



Demande de brevet déposée pour la Suisse et le Liechtenstein
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein

⑫ **FASCICULE DE LA DEMANDE** A3

⑪

621 036 G

⑳ Numéro de la demande: 2461/77

⑦ Requérent(s):
Jean-Claude Berney S.A., Epalinges

㉒ Date de dépôt: 28.02.1977

⑦ Inventeur(s):
Jean-Claude Berney, Epalinges

④ Demande publiée le: 15.01.1981

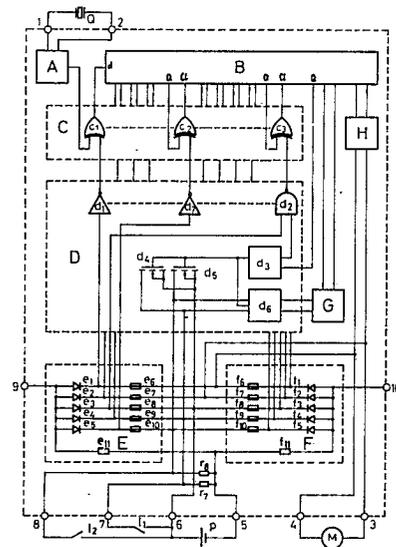
⑦ Mandataire:
Ammann Patentanwälte AG Bern, Bern

④ Fascicule de la demande
publié le: 15.01.1981

⑥ Rapport de recherche au verso

⑤ **Circuit intégré pour pièce d'horlogerie.**

⑦ Le circuit intégré comporte des circuits de mémoire composés chacun d'un élément de mémoire (e_6 - e_{10} ; f_6 - f_{10}) associé à des moyens d'adressage (e_1 - e_5 ; f_1 - f_5), et un premier groupe de X bornes (9, 10) destinées à programmer les circuits de mémoire. Ceux-ci sont branchés entre l'une des X bornes du premier groupe et l'une des Y bornes (1-8) déjà existantes du circuit intégré et formant un deuxième groupe de bornes. Les circuits de mémoire sont aussi reliés au diviseur de fréquence (B) par des moyens électroniques (C,D) qui sont commandés par des signaux issus des circuits pour la mesure du temps, de manière à délivrer au diviseur de fréquence une information de correction de la fréquence distincte pour chacune des combinaisons d'états possibles des circuits de mémoire. Le nombre des bornes supplémentaires est rendu minimum, ce qui diminue le prix du circuit intégré, le rend plus fiable et contribue à résoudre les problèmes d'encombrement.





RAPPORT DE RECHERCHE RECHERCHENBERICHT

Demande de brevet No.:
Patentgesuch Nr.:

CH 2461/77

I.I.B. Nr.:
HO 12 372

Documents considérés comme pertinents Einschlägige Dokumente		
Catégorie Kategorie	Citation du document avec indication, en cas de besoin, des parties pertinentes. Kennzeichnung des Dokuments, mit Angabe, soweit erforderlich, der massgeblichen Teile	Revendications con- cernées Betrifft Anspruch Nr.
X	FR - A - 2 238 280 (INTERSIL INC.) * Page 3, lignes 21-38; page 4; page 5, lignes 1-18; figures 1, 2 *	I,1,2,11
X	CH - A - 2270/70 (CENTRE ELECTRONIQUE HORLOGER) * Colonne 4, lignes 6-52; colonne 5, lignes 35-48; colonne 6, lignes 7-26; figures 2,6,9,10 *	
Domaines techniques recherchés Recherchierte Sachgebiete (INT. CL. ²) G 04 F 5/00 G 04 C 9/00 G 04 C 3/00		
Catégorie des documents cités Kategorie der genannten Dokumente: X: particulièrement pertinent von besonderer Bedeutung A: arrière-plan technologique technologischer Hintergrund O: divulgation non-écrite mündliche Offenbarung P: document intercalaire Zwischenliteratur T: théorie ou principe à la base de der Erfindung zugrunde liegende Theorien oder Grundsätze E: demande faisant interférence kollidierende Anmeldung L: document cité pour d'autres raisons aus andern Gründen angeführtes Dokument &: membre de la même famille, document correspondant Mitglied der gleichen Patentfamilie; übereinstimmendes Dokument		
Etendue de la recherche/Umfang der Recherche		
Revendications ayant fait l'objet de recherches Recherchierte Patentansprüche: ensemble Revendications n'ayant pas fait l'objet de recherches Nicht recherchierte Patentansprüche: Raison: Grund:		
Date d'achèvement de la recherche/Abschlussdatum der Recherche		Examinateur I.I.B./I.I.B Prüfer
29 novembre 1977		

REVENDEICATIONS

1. Circuit intégré pour pièce d'horlogerie, comportant plusieurs circuits électroniques pour la mesure du temps, un circuit de commande pour des moyens d'affichage et des moyens électroniques pour effectuer au moins une fonction auxiliaire en dépendance d'une information délivrée à leurs entrées, des circuits de mémoire servant à la commande desdits moyens électroniques et comprenant chacun un élément de mémoire et des moyens d'adressage dudit élément, un premier groupe de x bornes servant à programmer lesdits circuits de mémoire et un second groupe de y bornes destinées à relier auxdits circuits électroniques les éléments de la pièce d'horlogerie extérieurs audit circuit intégré, caractérisé par le fait qu'au moins une des y bornes du second groupe (1-8; 21-39; 41-70) est connectée à au moins un desdits circuits de mémoire (e_1-e_{10} ; f_1-f_{10} ; $e_{11}-e_{22}$; $e_{37}-e_{42}$) et qu'au moins une des x bornes du premier groupe (9-10; 40; 71, 81-84) est connectée à une pluralité de circuits de mémoire, de manière à permettre l'activation de chacun desdits moyens d'adressage (r_1-r_5 ; f_1-f_5 ; $e_{11}-e_{16}$; $e_{32}-e_{36}$) et, de ce fait, la programmation de l'élément de mémoire associé, par l'application sur lesdites bornes du premier et du second groupe d'une combinaison particulière de tensions.

2. Circuit intégré pour pièce d'horlogerie selon la revendication 1, caractérisé en ce que lesdits moyens électroniques pour effectuer au moins une fonction auxiliaire comprennent un circuit d'ajustement (C, C', C'') de la fréquence des signaux dudit diviseur de fréquence et un circuit d'introduction et d'identification (D, D', D'') pour délivrer l'information d'ajustement audit circuit d'ajustement, les entrées dudit circuit d'introduction étant reliées auxdits circuits de mémoire.

3. Circuit intégré selon la revendication 2, caractérisé en ce que le circuit d'introduction et d'identification (D', D'') comporte ses propres moyens de mémorisation ($d_{11}-d_{18}$; $d_{21}-d_{28}$).

4. Circuit intégré selon la revendication 2, caractérisé en ce que le circuit d'introduction et d'identification (D) comporte un formateur (d_3) de signaux séquentiels et un commutateur électronique (d_4 , d_5) pour relier momentanément ledit formateur à une partie au moins des x bornes du second groupe.

5. Circuit intégré selon la revendication 1, caractérisé en ce que les éléments de mémoire (e_6-e_{10} ; f_6-f_{10}) desdits circuits de mémoire sont des fusibles.

6. Circuit intégré selon la revendication 5, caractérisé en ce que lesdits fusibles desdits circuits de mémoire sont réalisés par des métallisations dudit circuit intégré.

7. Circuit intégré selon la revendication 5, caractérisé en ce que les moyens d'adressage (e_1-e_5 ; f_1-f_5) des circuits de mémoire sont des diodes en série avec lesdits fusibles.

8. Circuit intégré selon la revendication 1, comportant des transistors MOS, caractérisé en ce que les moyens d'adressage sont constitués par au moins une diode parasite de l'un desdits transistors MOS.

9. Circuit intégré selon la revendication 1, caractérisé en ce que les moyens d'adressage des circuits de mémoire ont une partie commune.

La présente invention concerne un circuit intégré pour pièce d'horlogerie, comportant plusieurs circuits électroniques pour la mesure du temps, un circuit de commande pour des moyens d'affichage et des moyens électroniques pour effectuer au moins une fonction auxiliaire en dépendance d'une information délivrée à leurs entrées, des circuits de mémoire servant à la commande desdits moyens électroniques et comprenant chacun un élément de mémoire et des moyens d'adressage dudit élément, un premier

groupe de x bornes servant à programmer lesdits circuits de mémoire et un second groupe de y bornes destinées à relier auxdits circuits électroniques les éléments de la pièce d'horlogerie extérieurs audit circuit intégré.

5 Les pièces d'horlogerie utilisent dans leur grande majorité des oscillateurs à quartz comme base de temps. Ces oscillateurs délivrent des impulsions de fréquence assez élevée, par exemple 32 kHz, et très stable à un diviseur de fréquence qui, à son tour, attaque le circuit de commande de l'affichage des indications horaires.

Les opérations de mise à la fréquence exacte des quartz sont longues et délicates et augmentent passablement le prix de ces éléments.

15 Différents systèmes ont été proposés pour permettre l'utilisation de quartz n'ayant pas subi ces opérations de mise à la fréquence, c'est-à-dire de quartz dont la fréquence est différente de la fréquence théoriquement nécessaire.

Ces systèmes comportent un circuit d'ajustement de la fréquence des signaux de sortie du diviseur qui agissent, selon les cas, en présélectionnant le taux de division du diviseur, ou en ajoutant ou supprimant des impulsions à l'entrée de un ou plusieurs étages du diviseur à des intervalles de temps déterminés.

20 Selon la demande de brevet FR N° 2238280, on connaît un oscillateur intégré et son procédé de réglage numérique en fréquence comprenant des éléments de mémoire programmables depuis l'extérieur du circuit intégré. Ces éléments sont des diodes dont certaines sont court-circuitées afin de modifier leur état de manière permanente. En principe, chaque élément est relié à une borne du circuit intégré, de sorte que le nombre de ces bornes, qui n'est pas rendu minimal, renchérit le circuit intégré, tend à en restreindre la fiabilité et pose des problèmes d'encombrement.

25 Selon la mémoire exposée CH N° 2270/70, on connaît aussi un dispositif de mise à la fréquence d'une pièce d'horlogerie par modification du taux de division du diviseur de fréquence. Celui-ci présente des entrées auxiliaires dont l'état logique détermine le taux de division et une mémoire, par exemple altérable électriquement, reliée à ces entrées. La mémoire se compose d'une pluralité de circuits de mémoire individuels associés chacun à une borne de programmation. Comme précédemment, le nombre de ces bornes (du circuit intégré) n'est pas minimal, ce qui renchérit le circuit intégré, tend à en restreindre la fiabilité et pose des problèmes d'encombrement.

30 Quel que soit le système prévu, on doit disposer de moyens pour introduire l'information nécessaire à la programmation du circuit d'ajustement, pour qu'il puisse agir sur le circuit diviseur de manière que ce dernier délivre des signaux à la fréquence voulue.

35 Un des moyens les plus simple consiste à utiliser des bornes du circuit intégré, réunissant tous les circuits de la montre, bornes réservées à cet effet. En reliant chacune de ces bornes à un pôle ou l'autre de la source d'alimentation électrique, on peut composer une information binaire qui peut être utilisée directement par le circuit d'ajustement. On peut donc introduire avec n bornes 2^n informations distinctes. Pour introduire 256 informations, il faut donc réserver huit bornes. On sait que les bornes d'un circuit intégré sont une source possible de panne et participent pour une part non négligeable au prix de revient et à l'encombrement du circuit intégré. Ce système, s'il est simple, est donc peu économique.

40 Pour éviter ce grand nombre de bornes, on pourrait utiliser une mémoire ROM constituée par une combinaison d'interconnexions internes au circuit intégré, choisie au moment de la fabrication de ce dernier. Cette solution manque malheureusement totalement de souplesse, car il faut prévoir autant de variantes que l'on veut d'informations distinctes, 256 si l'on se rapporte à l'exemple précédent.

45 Une autre solution consiste à utiliser des mémoires RAM, PROM, REPRM et similaires. Ces mémoires peuvent être

programmées au moins une fois en utilisant un circuit d'adressage interne au circuit intégré, qui permet de localiser l'élément de mémoire que l'on veut programmer. Ainsi, au moyen de n entrées, on peut adresser et programmer 2^n éléments de mémoire, ce qui permet d'obtenir $2^{(2^n)}$ informations distinctes. Pour pouvoir introduire 256 informations, il faut donc réserver trois bornes sur le circuit intégré. Ces systèmes sont donc avantageux du point de vue du nombre de bornes supplémentaires du circuit, mais ils présentent tous actuellement d'importants inconvénients pour l'application dans une montre. Les RAM, par exemple, perdent leur information au moment où on supprime la source d'alimentation, par exemple au moment où on change la pile de la montre. Quant aux PROM et REPROM, elles nécessitent soit des courants, soit des tensions élevées de programmation qu'il est difficile d'obtenir dans un circuit intégré pour montre qui utilise des technologies à basse tension et à faible courant.

Le but de la présente invention est un circuit intégré qui, par une disposition particulière des circuits d'adressage et des éléments de mémoire, permet d'éviter ces difficultés et nécessite peu de bornes supplémentaires du circuit intégré.

Pour atteindre ce but, le circuit intégré pour pièce d'horlogerie selon l'invention est caractérisé par le fait qu'au moins une des y bornes du second groupe est connectée à au moins un desdits circuits de mémoire et qu'au moins une des x bornes du premier groupe est connectée à une pluralité de circuits de mémoire, de manière à permettre l'activation de chacun desdits moyens d'adressage et, de ce fait, la programmation de l'élément de mémoire associé, par l'application sur lesdites bornes du premier et du second groupe d'une combinaison particulière de tensions.

L'invention va être décrite ci-après à l'aide du dessin, dans lequel:

La fig. 1 est un schéma-bloc d'un circuit intégré selon l'invention, destiné à une montre à affichage analogique.

La fig. 2 est un schéma-bloc d'un circuit intégré selon l'invention pour une montre à affichage digital à diodes électroluminescentes (LED).

La fig. 3 est le schéma-bloc d'un circuit intégré selon l'invention pour une montre à affichage digital à effet de champ (LCD).

La fig. 4 représente un détail d'un circuit intégré selon l'invention, dans lequel on utilise les diodes parasites des transistors MOS.

La fig. 5 représente un schéma-bloc d'un circuit intégré selon l'invention utilisant des circuits de mémoire du type RAM.

La fig. 1 représente à titre d'exemple le schéma-bloc d'un circuit intégré selon l'invention, destiné à une montre à affichage analogique. Le circuit intégré groupe plusieurs circuits électroniques dont un oscillateur A, un diviseur de fréquence B, formé de plusieurs étages de division, un circuit d'ajustement C, un circuit d'introduction et d'identification D, des circuits de mémoire groupés sous E et F, un circuit de commande des moyens d'affichage H et un circuit de correction et de mise à l'heure G. Ces circuits sont formés d'une pluralité de transistors reliés entre eux par une pluralité de connexions, de manière à obtenir les fonctions désirées. Pour simplifier, nous n'avons représenté que les fonctions et les liaisons nécessaires à une explication claire de l'objet de l'invention.

Le circuit intégré est muni d'un premier groupe de x bornes comprenant les bornes 9 et 10, dont le potentiel est fixé par les résistances e_{11} et f_{11} reliées au pôle négatif de la source d'alimentation P par la borne 5.

Le circuit intégré est muni d'un deuxième groupe de y bornes 1 à 8 permettant de relier les circuits électroniques à des éléments de la montre extérieurs au circuit intégré. Le résonateur Q est relié à l'oscillateur A par les bornes 1 et 2, le moteur M d'entraînement des aiguilles au circuit de commande des moyens d'affichage H par les bornes 3 et 4, la source électrique d'alimentation aux circuits par les bornes 5 et 6, les interrupteurs de

correction et de mise à l'heure au circuit d'identification D par les bornes 7 et 8.

Le groupe E comprend cinq circuits de mémoire formés chacun d'une diode en série avec un fusible. Chacun de ces circuits de mémoire est relié, d'une part, à la borne 9 par l'anode de sa diode et, d'autre part, à l'une des bornes du deuxième groupe, la cathode de ladite diode étant reliée à une entrée du circuit D. Le circuit de mémoire formé de la diode e_1 et du fusible e_6 est relié à la borne 4, le circuit formé de e_2 et e_7 à la borne 3, le circuit formé de e_3 et e_8 à la borne 6, le circuit formé de e_4 et e_9 à la borne 7 et le circuit formé de e_5 et e_{10} à la borne 8.

Le groupe F comprend également cinq circuits de mémoire formés chacun d'une diode en série avec un fusible. Chacun de ces circuits de mémoire est relié, d'une part, à la borne 10 par l'anode de sa diode et, d'autre part, à l'une des bornes du deuxième groupe, la cathode de ladite diode étant reliée à une entrée du circuit D. Le circuit de mémoire formé de la diode f_1 et du fusible f_6 est relié à la borne 4, le circuit formé de f_2 et f_7 à la borne 3, le circuit formé de f_3 et f_8 à la borne 6, le circuit formé de f_4 et f_9 à la borne 7 et le circuit formé de f_5 et f_{10} à la borne 8.

Les dix circuits de mémoire sont donc reliés chacun à l'une des bornes du premier groupe et, d'autre part, à l'une des bornes du second groupe, selon dix combinaisons de liaisons différentes. Les fusibles sont des métallisations particulières du circuit intégré que l'on peut détruire en y faisant passer un courant d'une certaine importance. Ces fusibles sont donc des éléments de mémoire qui peuvent présenter deux états distincts: une résistance faible lorsqu'ils sont intacts et une résistance infinie lorsqu'ils sont détruits. Les diodes e_1 à e_5 et f_1 à f_5 sont les moyens d'adressage de ces éléments de mémoire. En effet, lorsque le circuit intégré est alimenté par la source électrique P, leurs anodes sont au pôle négatif et elles ne peuvent être conductrices, quel que soit le signal délivré par les circuits électroniques sur les bornes du deuxième groupe. Pour rendre une diode conductrice, il est nécessaire d'appliquer une tension positive entre les bornes des premier et second groupes auxquels est relié le circuit de mémoire dont elle fait partie. Si, par exemple, on veut détruire le fusible e_6 , il faut appliquer un potentiel 0 sur la borne 4 et un potentiel +V sur la borne 9. Si l'on ne veut pas détruire d'autres fusibles, il faut également fixer le potentiel des autres bornes et mettre 0 sur les bornes 5 et 10, et +V sur les bornes 3, 6, 7 et 8. Ainsi, seule la diode e_1 sera conductrice et un courant circulera de la borne 9 qui est à +V à la borne 4 qui est à 0 par la diode e_1 et le fusible e_6 . Ce courant n'est limité que par les caractéristiques de conduction de la diode et peut donc être très important, dans tous les cas suffisant pour détruire le fusible e_6 .

Chaque élément de mémoire peut donc être détruit séparément en appliquant entre les bornes des premier et second groupes une combinaison de tensions particulière. Ces tensions devront être appliquées au circuit intégré par un générateur de tensions à faible résistance interne, extérieur à celui-ci. Ci-dessous, nous donnons la combinaison de tensions particulière à la programmation de

Bornes	3	4	5	6	7	8	9	10
e_6	+	-	-	+	+	+	+	-
e_7	-	+	-	+	+	+	+	-
e_8	+	+	-	-	+	+	+	-
e_9	+	+	-	+	-	+	+	-
e_{10}	+	+	-	+	+	-	+	-
f_6	+	-	-	+	+	+	-	+
f_7	-	+	-	-	+	+	-	+
f_8	+	+	-	-	+	+	-	+
f_9	+	+	-	+	-	+	-	+
f_{10}	+	+	-	+	+	-	-	+

Pour obtenir les combinaisons e_8 et f_8 , il est bien sûr nécessaire de débrancher la source d'alimentation P.

On peut, par d'autres combinaisons de tension, détruire simultanément plusieurs fusibles.

Ce système a deux avantages; d'une part, on peut programmer dix circuits de mémoire en n'utilisant que deux bornes supplémentaires du circuit intégré; d'autre part, on peut atteindre directement par une diode tous les fusibles, ce qui permet de débiter facilement par un générateur externe les courants élevés nécessaires à la destruction de ceux-ci.

Pour que l'information délivrée par les éléments de mémoire soit utilisable, il est nécessaire d'identifier l'état de chacun de ceux-ci et introduire dans le circuit d'ajustement C une suite d'états logiques déterminée. C'est le rôle du circuit D. Cette suite d'états logiques dépend de la conception du circuit C. Dans cet exemple, celui-ci comporte dix portes OU-EXCLUSIF dont une partie seulement est représentée. La première, C_1 , a sa première entrée reliée à la sortie de l'oscillateur A et sa sortie reliée à l'entrée d'horloge du premier étage de division binaire du diviseur B, alors que chacune des suivantes, dont C_2 et C_3 , sont reliées aux sorties des neuf premiers étages de division binaire du diviseur B et à l'entrée d'horloge de l'étage de division suivant, ce qui représente vingt liaisons entre les circuits A et B et le circuit C. Les secondes entrées des dix circuits OU-EXCLUSIF du circuit C sont reliées à dix sorties correspondantes du circuit D.

Il est bien connu que, dans une porte OU-EXCLUSIF, les signaux appliqués à la première entrée et les signaux de sortie se déphasent de 180° à chaque modification de l'état logique de la seconde entrée. Ainsi, si l'on applique, sur la seconde entrée de l'un des dix OU-EXCLUSIF du circuit C, des impulsions de période T, la période moyenne des signaux délivrés par le diviseur B va être raccourcie d'une valeur relative

$$\frac{t \cdot 2^n}{T}$$

t étant la période de sortie des signaux délivrés par l'oscillateur A et n le nombre d'étages de division binaire placés entre ledit oscillateur et l'entrée de la porte OU-EXCLUSIF concernée. Il est ainsi possible d'ajuster la fréquence des signaux délivrés par le diviseur B en appliquant, sur tout ou partie des secondes entrées des dix portes OU-EXCLUSIF du circuit C, des impulsions périodiques. Pour éviter toute ambiguïté, il est souhaitable que les flancs de montée et de descente de ces impulsions soient commandés par l'un des étages de division du circuit B qui suit la porte sur l'entrée de laquelle ces impulsions sont appliquées.

C'est au circuit D d'appliquer, sur les entrées correspondantes du circuit C, des impulsions de cette nature, selon la combinaison dépendant de l'état des éléments de mémoire. Nous examinerons ci-après trois cas significatifs.

Les éléments de mémoire (fusibles) e_6 , e_7 , f_6 et f_7 sont reliés à des sorties du circuit de commande des moyens d'affichage H. Celui-ci est commandé par des sorties du diviseur B qui déterminent la période et la durée des impulsions motrices délivrées par ce circuit H au moteur M par les bornes 3 et 4. Examinons le cas du circuit de mémoire formé de la diode e_1 et du fusible e_6 .

Si e_6 est intact, les impulsions motrices délivrées par le circuit H sur la borne 4 sont transmises par le fusible e_6 sur la cathode de e_1 et sur l'entrée d'un amplificateur d_1 . La sortie de d_1 est reliée à la seconde entrée du OU-EXCLUSIF c_1 . Ce dernier va donc recevoir des impulsions directement issues des impulsions motrices dont les flancs de montée et de descente sont commandés par des signaux délivrés par le diviseur B, ce qui va entraîner un ajustement correspondant de la fréquence de ces signaux.

Si le fusible e_6 est détruit, le potentiel de la cathode de e_1 est fixé à 0 par le courant de fuite de e_1 et par la résistance e_{11} reliée à la borne 5. La sortie de l'amplificateur d_1 reste en permanence à 1 et la porte c_1 va rester inopérante et il n'y aura pas d'ajustement de la fréquence des signaux délivrés par le diviseur B. Les fusibles e_7 , f_6 et f_7 sont reliés de la même manière à des amplifica-

teurs, non représentés, du circuit D, dont les sorties sont reliées à des entrées des portes OU-EXCLUSIF du circuit C.

Les éléments de mémoire e_8 et f_8 sont reliés au pôle positif de la source électrique d'alimentation P par la borne 6. Examinons le cas du circuit de mémoire formé de la diode e_3 et du fusible e_8 .

Si le fusible e_8 est intact, le potentiel sur la cathode de e_3 est fixé à 1 (+V). Cette cathode est reliée à la première entrée d'une porte NON-ET d_2 , dont la sortie est branchée à la seconde entrée du OU-EXCLUSIF C_3 et la seconde entrée à une sortie d'un formateur de signaux séquentiels d_3 . La durée et la période des signaux délivrés par celui-ci sont commandées par des sorties du diviseur B. Comme la première entrée du d_2 est à 1, ces signaux séquentiels apparaissent sur la seconde entrée de c_3 , ce qui va entraîner un ajustement correspondant de la fréquence des signaux de sortie du diviseur B.

Si le fusible e_8 est détruit, le potentiel sur la cathode de e_3 et la première entrée de d_2 est fixé à 0 par le courant inverse de e_3 et la résistance e_{11} . La sortie de la porte d_2 va donc se maintenir à 1 et la porte C_3 va rester inopérante.

Le fusible f_8 est relié de la même manière à une porte NON-ET du circuit D dont la sortie est reliée à la seconde entrée d'un OU-EXCLUSIF du circuit C, non représenté.

Les éléments de mémoire e_9 , e_{10} , f_9 et f_{10} sont reliés à l'une des bornes 7 ou 8, dont le potentiel est fixé à 0 par la résistance r_7 , respectivement r_8 , sauf occasionnellement en cas de manipulation des interrupteurs de mise à l'heure I_1 et I_2 . Comme ces éléments de mémoire sont déjà reliés à 0 par le courant de fuite de leur diode et la résistance e_{11} , respectivement f_{11} , il est nécessaire de superposer sur les résistances r_7 et r_8 des signaux d'identification pour déterminer l'état des éléments de mémoire. Ainsi r_7 est reliée au drain d'un transistor MOS d_4 et r_8 au drain d'un transistor MOS d_5 . Ces transistors ont leur source à +V et leur gate relié à une sortie du formateur de signaux séquentiels d_3 . Ils font office de commutateurs électroniques et permettent de superposer, sur les résistances r_7 et r_8 , des impulsions positives de courte durée.

La sortie de d_3 et les drains de d_4 et d_5 sont branchés, d'autre part, aux entrées d'un circuit d'inhibition d_6 dont les sorties sont reliées au circuit de mise à l'heure G. Les impulsions d'identification agissent sur les circuits de mémoire de la même manière que les impulsions motrices dans le premier cas présenté. Examinons le cas du circuit de mémoire formé du fusible e_{10} et de la diode e_5 .

Si e_{10} est intact, les impulsions d'identification passent par e_{10} sur la cathode de e_5 et sur l'entrée de l'amplificateur d_7 et, par là, sur la seconde entrée de la porte c_2 , et provoquent un ajustement correspondant de la fréquence des signaux délivrés par le diviseur B. Si e_{10} est détruit, le potentiel à l'entrée de d_7 est fixé à 0 par le courant inverse de la diode e_5 et par la résistance e_{11} . La sortie de d_7 est à 1 et c_2 est inopérant.

Les fusibles e_9 , f_9 et f_{10} sont reliés de la même manière par des amplificateurs du circuit D à des portes OU-EXCLUSIF du circuit C, non représentés.

Les interrupteurs I_1 et I_2 sont utilisés pour la remise à l'heure de la pièce d'horlogerie. Ils permettent, selon leur état ouvert ou fermé, d'introduire aux entrées du circuit d'inhibition d_6 des états logiques 0 et 1 qui sont transmis, par ce circuit d_6 , au circuit de mise à l'heure G, agissant lui-même sur le diviseur de fréquence B. Le rôle de ce circuit d'inhibition est de rendre les impulsions d'identification inopérantes sur le circuit de mise à l'heure G, qui ne doit enregistrer que les instructions provenant des interrupteurs de mise à l'heure.

Il est ainsi possible de programmer le circuit d'ajustement C par l'intermédiaire du circuit d'introduction et d'identification D en fonction de l'état des éléments de mémoire, en l'occurrence des fusibles.

Dans notre cas, il y a 2^{10} combinaisons différentes de ces états, ce qui permet d'obtenir 1024 pas d'ajustement. Si la période des signaux délivrés par les circuits H et d_3 est de 2 s, le pas d'ajustement est d'environ $1,5 \cdot 10^{-5}$.

Pour ne pas raccourcir trop les impulsions motrices, il est souhaitable que les signaux séquentiels délivrés par le formateur d_3 ne se produisent pas pendant la durée des impulsions motrices.

On pourrait, par ailleurs, augmenter la capacité du circuit d'ajustement en branchant des circuits de mémoire entre les bornes 1 et 2 et les bornes 9 et 10, pour autant que les entrées et sortie de l'oscillateur A passent par des états logiques déterminés, ce qui dépend de la configuration de cet oscillateur.

La fig. 2 représente, à titre d'exemple, le schéma-bloc d'un circuit intégré selon l'invention, destiné à une montre à affichage digital à diodes électroluminescentes (LED). Ce circuit intégré groupe plusieurs circuits électroniques, l'oscillateur A', le diviseur de fréquence B', le circuit d'ajustement C', le circuit d'introduction et d'identification D', les circuits de mémoire groupés sous E', le circuit de commande des moyens d'affichage H' et le circuit de correction et de mise à l'heure G'. Le circuit intégré est muni, comme précédemment, d'un deuxième groupe de bornes 21 à 39 pour relier les circuits électroniques à des éléments de la montre, extérieurs au circuit intégré, tels le quartz Q', par les bornes 21 et 22, les interrupteurs de correction et de mise à l'heure I₃ et I₄ par les bornes 23 et 24, et la source électrique d'alimentation par les bornes 38 et 39. L'affichage LED est multiplexé. Il est relié aux sept sorties segments du circuit H' par les bornes 25 à 31, et aux six sorties digits du même circuit par les bornes 32 à 37.

Le circuit intégré comporte également une borne supplémentaire 40 du premier groupe, dont le potentiel est fixé à 0 par la résistance r_{40} .

Le groupe E' comprend six circuits de mémoire formés chacun, comme dans la fig. 1, d'une diode en série avec un fusible. Chacun de ces circuits de mémoire est, d'une part, relié par la cathode de sa diode au circuit D' et à la borne 40 du premier groupe et, d'autre part, à l'une des bornes du second groupe, le circuit de mémoire formé de la diode e_{11} et du fusible e_{17} à la borne 37, le circuit formé de e_{12} et e_{18} à la borne 36, le circuit formé de e_{13} et e_{19} à la borne 35, le circuit formé de e_{14} et e_{20} à la borne 34, le circuit formé de e_{15} et e_{21} à la borne 33, et le circuit formé de e_{16} et e_{22} à la borne 32. Si la résistance r_{40} est de valeur élevée, il est nécessaire, pour détruire le fusible e_{17} , d'appliquer une tension +V sur la borne 37 et une tension 0 sur la borne 40 au moyen d'un générateur de tensions externe à faible résistance interne. A ce moment, le courant n'est plus limité que par les caractéristiques de conduction de la diode e_{11} et le courant peut être très important, dans tous les cas suffisant, pour détruire le fusible e_{17} . Comme dans le cas de la fig. 1, on peut détruire séparément tous les fusibles e_{17} à e_{22} en appliquant entre les bornes du premier et du second groupe diverses combinaisons de tensions.

Le circuit D' comporte ses propres circuits de mémorisation dans lesquels sont transposés les états des fusibles. Il s'agit des six flip-flops de type D, d_{11} à d_{16} , dont les entrées D sont reliées à la borne 40 et les entrées d'horloge respectivement aux bornes 32 à 37.

Il est bien connu que, dans un affichage multiplexé, les digits sont alimentés à tour de rôle. Aussi apparaissent à tour de rôle, sur les bornes 32 à 37, des impulsions positives. Examinons le cas du circuit de mémoire formé de la diode e_{11} et du fusible e_{17} , relié à la borne 37, de même que l'entrée d'horloge du FF d_{11} qui bascule sur le flanc négatif de l'impulsion d'horloge.

Si le fusible e_{17} est intact, le potentiel de la borne 40, et aussi de l'entrée D du FF d_{11} , sera à 1 pendant l'impulsion positive apparaissant sur la borne 37 par le courant circulant par e_{17} et e_{11} . Lorsque cette impulsion disparaît, cet état 1 sera enregistré par le FF d_{11} .

Si le fusible e_{17} est détruit, le potentiel sur la borne 40 sera fixé à 0 pendant cette impulsion positive sur la borne 37, le courant ne pouvant plus circuler par e_{17} . Cet état 0 sera enregistré par le FF d_{11} lorsque cette impulsion disparaît.

La sortie de d_{11} sera donc à 1 si le fusible e_{17} est intact, et à 0 si ce fusible est détruit. Cette sortie est reliée à la première entrée d'une porte NON-ET d_{17} , dont la seconde entrée est reliée à la sortie d'un formateur d'impulsions d_{18} , relié à des sorties du diviseur de fréquence B'. La sortie de d_{17} est reliée à la seconde entrée d'une porte OU-EXCLUSIF c_{11} , dont la première entrée est reliée à la sortie de l'oscillateur A' et la sortie à l'entrée d'horloge du premier étage de division du diviseur B'.

Lorsque la sortie du FF d_{11} est à 1, la porte d_{17} est passante et les impulsions du formateur d_{18} sont transmises sur la seconde entrée de c_{11} , ce qui provoque un ajustement correspondant de la fréquence des signaux délivrés par le diviseur de fréquence B'. Si, par contre, la sortie du FF d_{11} est à 0, la porte 17 est bloquée et la porte c_{11} reste inopérante. Les FF d_{12} à d_{16} agissent de la même manière par des portes NON-ET du circuit D' et des portes OU-EXCLUSIF du circuit C', non représentées. Les sorties des FF d_{11} à d_{16} peuvent présenter 2^6 combinaisons d'états différentes, correspondant aux 2^6 combinaisons d'états des fusibles e_{17} à e_{22} , ce qui permet 64 pas d'ajustement. On peut facilement augmenter le nombre de ces pas en utilisant d'autres sorties du deuxième groupe, ou en ajoutant d'autres sorties supplémentaires au premier groupe.

La fig. 3 représente, à titre d'exemple, le schéma-bloc d'un circuit intégré selon l'invention, destiné à une montre à affichage digital à effet de champ (LCD). Ce circuit intégré groupe plusieurs circuits électroniques, l'oscillateur A, le diviseur de fréquence B', le circuit d'ajustement C', le circuit d'introduction et d'identification D' des circuits de mémoire groupés sous E'', le circuit de commande des moyens d'affichage H'' et le circuit de correction et de mise à l'heure G''. Le circuit intégré est muni d'un deuxième groupe de bornes 41 à 70 pour relier les circuits électroniques à des éléments de la montre, extérieurs au circuit intégré, tels le quartz Q'', par les bornes 41 et 42, les interrupteurs de correction et de mise à l'heure I₅ et I₆ par les bornes 43 et 44, et le pôle positif de la source d'alimentation électrique P'' par la borne 70. Les segments et l'électrode commune de l'affichage LCD sont reliés à 24 sorties du circuit H'' par les bornes 45 à 69.

Le circuit intégré comporte également une borne 71 du premier groupe pour relier le pôle négatif de la source d'alimentation aux circuits de mémoire. Dans ce cas particulier, cette borne est utilisée également comme borne de programmation lorsque la pile n'est pas branchée.

Le groupe E'' comprend six circuits de mémoire formés chacun, comme dans les fig. 1 et 2, d'une diode en série avec un fusible. Chacun de ces circuits de mémoire est relié par la cathode de sa diode à une des entrées du circuit D'' et par l'anode de cette diode à la borne 71 et, d'autre part, à l'une des bornes du deuxième groupe. Le circuit de mémoire formé de la diode e_{31} et du fusible e_{37} est relié à la borne 69, le circuit formé de e_{32} et e_{38} à la borne 68, le circuit formé de e_{33} et e_{39} à la borne 67, le circuit formé de e_{34} et e_{40} à la borne 66, le circuit formé de e_{35} et e_{41} à la borne 65, et le circuit formé de e_{36} et e_{42} à la borne 64. Lorsque la pile P'' est en place, les anodes des diodes e_{31} à e_{36} sont à 0 et ces diodes ne peuvent être conductrices. Par contre, si l'on débranche la pile, on peut mettre un potentiel +V sur la borne 71 au moyen d'un générateur de tensions extérieur. Ainsi, par exemple, si l'on veut détruire le fusible e_{37} , il faut mettre +V sur la borne 71 et 0 sur la borne 69. Un courant important circulera de la borne 71 à la borne 69 par la diode e_{31} et le fusible e_{37} , propre à détruire celui-ci. Comme dans les cas des fig. 1 et 2, on peut détruire séparément tous les fusibles e_{37} à e_{42} en appliquant, entre les bornes des premier et second groupes, différentes combinaisons de tensions.

Le circuit D'' comporte ses propres moyens de mémorisation dans lesquels sont transposés les états des fusibles. Il s'agit de six flip-flops de type RS à portes NON-OU d_{21} à d_{26} , dont les entrées de positionnement(s) sont branchées chacune à la cathode de l'une des diodes e_{31} à e_{36} , et les entrées de remise à zéro (R) à une

sortie du formateur d_{28} . Ce dernier fournit des impulsions courtes de remise à zéro à des moments déterminés. Il est bien connu que, dans les affichages LCD, les segments et l'électrode commune reçoivent des signaux carrés de fréquence assez basse, par exemple 32 Hz. Examinons le cas du circuit de mémoire formé de la diode e_{31} et du fusible e_{37} .

Si le fusible e_{37} est intact, les signaux de 32 Hz délivrés par le circuit H" sur la borne 69 sont transmis par le fusible e_{37} sur la cathode de la diode e_{31} et sur l'entrée de positionnement du FF d_{21} . Si celui-ci a été remis précédemment à zéro par les impulsions de remise à zéro délivrées par le formateur d_{28} , il basculera à 1 dès que le signal sur la borne 69 redevient positif, soit au maximum 15 ms plus tard, et il restera dans cet état 1.

Si le fusible e_{37} est détruit, le potentiel sur la cathode de la diode e_{31} est fixé à 0 par son courant inverse de fuite. Si le FF d_{21} a été préalablement remis à 0, il restera dans cet état, puisque son entrée de positionnement est à 0.

Le FF d_{21} agit sur le diviseur de la même manière que le FF d_{11} dans la fig. 2, par l'intermédiaire de la porte NON-ET d_{27} et la porte OU-EXCLUSIF C_{21} . La seconde entrée de d_{27} est reliée à une deuxième sortie du formateur d_{28} qui délivre des signaux de correction décalés par rapport aux impulsions de remise à zéro. Les sorties des FF d_{22} à FF d_{26} sont reliées par d'autres portes NON-ET et à d'autres portes OU-EXCLUSIF, non représentées.

Il est en plus possible d'utiliser les 24 sorties de l'affichage, ce qui permettrait d'obtenir 2^{24} pas d'ajustement. Si l'on n'a pas besoin d'une telle capacité, on peut utiliser une partie des informations à la programmation d'autres systèmes.

La fig. 4 représente à titre d'exemple un détail d'un circuit intégré selon l'invention, réalisé en technologie CMOS, dans lequel on utilise les diodes parasites des transistors MOS.

Il est bien connu qu'en technologie CMOS, le substrat de base est de type N. Les sources et les drains des transistors de type P sont des zones P+ diffusées directement sur ce substrat de base. Pour réaliser des transistors de type N, il faut former préalablement un caisson de type P. Les sources et drains des transistors de type N sont alors diffusés sur ce caisson. Il existe naturellement des diodes parasites entre source et caisson et drain et caisson, diodes dont les anodes sont en commun au caisson. Il est facile de réaliser des groupes de diodes isolés entre eux en réalisant plusieurs caissons de type P. Sur la fig. 4, nous avons représenté un circuit de mémoire branché de la même manière que dans la fig. 3, et un amplificateur de sortie avec toutes les diodes parasites.

T est la borne reliée normalement au pôle positif de la source d'alimentation, W la borne reliée normalement au pôle négatif et Z une borne reliée à l'affichage LCD.

Le circuit de mémoire est formé de la diode n_1 , en série avec le fusible n_3 , n_1 étant la diode parasite entre le drain du transistor t_1 et le caisson S_1 qui est commun à la plupart des transistors de type N du circuit intégré. S_1 est relié à la borne W. Le transistor t_1 a son gate et sa source reliés à la borne W et est donc non conducteur. La diode parasite source-caisson est n_2 . Le fusible n_3 est relié à la borne Z et à la sortie d'un amplificateur formé des transistors complémentaires t_2 et t_3 , ayant leurs drains et leurs gates en commun, selon une configuration bien connue. Le transistor t_2 a deux diodes parasites, n_4 et n_5 contre le substrat S_3 , qui est commun à tous les transistors P du circuit intégré. S_3 est relié à la borne T. Le transistor t_3 est diffusé sur un caisson isolé S_2 en même temps que les autres transistors N des amplificateurs de sortie. Il a deux diodes parasites, n_6 et n_7 , contre le caisson S_2 . Il est possible de laisser ce caisson S_2 en l'air. Il est toutefois préférable de bien fixer son potentiel, ce qui se fait en le reliant au drain du transistor t_4 , dont la source est à la borne W et le gate à la borne T. t_4 est diffusé sur le substrat S_1 et a deux diodes parasites contre ce substrat, n_8 et n_9 . Il y a encore deux diodes parasites, n_{10} et n_{11} , entre les caissons S_1 et S_2 et le substrat S_3 .

Si, pour détruire le fusible n_3 , on applique une tension +V aux bornes T et W, et une tension 0 sur la borne Z, il va circuler

un premier courant de la borne W à la borne Z par la diode n_1 et le fusible n_3 , et un second courant par la diode n_9 et la diode n_7 . On peut faire en sorte, en dimensionnant correctement les diodes n_1 et n_9 , que le premier courant soit nettement plus élevé que le second, ce qui permet de détruire le fusible n_3 sans endommager d'autres parties du circuit.

On voit donc qu'il est parfaitement possible, dans un circuit intégré en technologie CMOS, d'utiliser les diodes parasites des transistors MOS comme moyens d'adressage des circuits de mémoire.

La fig. 5 représente, à titre d'exemple, un circuit intégré selon l'invention utilisant des circuits de mémoire de type RAM.

Les fig. 1 à 4 représentent des circuits intégrés équipés d'éléments de mémoire de type PROM, sous forme de fusibles agissant sur un circuit d'ajustement de la fréquence du diviseur, permettant de résoudre un problème commun à tous les types de montres électroniques. Par extension, on peut utiliser ce système pour programmer d'autres types de circuits de mémoire, par exemple des REPRM ou des RAM, et utiliser cette information à d'autres fins que la programmation d'un circuit d'ajustement de la fréquence. Il n'est bien entendu pas possible de supprimer l'inconvénient des RAM, qui est de perdre l'information lorsque l'on supprime la source électrique d'alimentation. Mais on peut, par contre, bénéficier d'une caractéristique du système permettant de réduire le nombre de bornes du circuit intégré. Un cas intéressant est la montre calculatrice. Il est bien connu que l'on peut ajouter à une montre électronique à affichage digital des moyens de calcul. Ces montres sont équipées d'un clavier permettant d'introduire des nombres et de commander certaines opérations, et leur circuit intégré est équipé de circuits de mémoire pour mémoriser, au moins momentanément, ces nombres et ces instructions. Nous avons représenté, en fig. 5, un circuit intégré pour montre calculatrice à affichage LED à six digits se présentant comme le circuit intégré de la fig. 2 auquel ont été adjoints des moyens de calcul et quelques bornes supplémentaires.

Le circuit intégré est équipé d'un deuxième groupe de bornes 21 à 39 pour relier, comme dans le circuit intégré de la fig. 2, le quartz Q', les interrupteurs de mise à l'heure I_3 et I_4 , les segments de l'affichage LED et la pile P', les bornes 32 à 37 étant reliées chacune à l'un des digits de l'affichage. Le circuit intégré est muni d'un premier groupe de bornes comportant la borne 40 servant à programmer le circuit d'ajustement par l'intermédiaire d'éléments de mémoire du type PROM, et les bornes 81 à 84 reliées au pôle négatif de la pile par les résistances r_{81} à r_{84} . Le circuit intégré comporte, comme celui de la fig. 2, plusieurs circuits électroniques groupés dans le circuit K', dont un oscillateur, un diviseur de fréquence, un circuit d'ajustement, un circuit d'introduction et d'identification, des circuits de mémoire, un circuit de correction et de mise à l'heure, un circuit de commande des moyens d'affichage auxquels sont ajoutés des circuits de calcul. Le circuit intégré comporte, d'autre part, 24 circuits de mémoire RAM groupés sous F' et se présentant sous forme de flip-flops de type D disposés selon une matrice selon six lignes et quatre colonnes. Les 4 flip-flops de chaque ligne ont leurs entrées d'horloge reliées en commun à l'une des bornes 32 à 37. Les six flip-flops de chaque colonne ont leurs entrées D reliées en commun à l'une des bornes 81 à 84. Ainsi, chaque flip-flop est relié, d'une part, à l'une des bornes du premier groupe et, d'autre part, à l'une des bornes du second groupe selon 24 combinaisons de liaisons différentes.

La montre est équipée d'un clavier M' en forme de matrice, comportant également six lignes reliées chacune à l'une des bornes 32 à 37, et quatre colonnes reliées chacune à l'une des bornes 81 à 84, et 24 interrupteurs permettant de court-circuiter séparément chacune des lignes avec chacune des colonnes. Ces interrupteurs sont donc des moyens extérieurs au circuit intégré permettant d'établir, entre les bornes de celui-ci, diverses combinaisons de tensions.

Regardons ce qui se passe lorsque l'on ferme l'interrupteur I_{11} . Les impulsions présentes sur la borne 37 vont apparaître sur la borne 84. Cependant, seul le flip-flop f_{11} reçoit ces impulsions simultanément sur son entrée d'horloge et sur son entrée D et bascule à 1. Ainsi, chaque interrupteur du clavier correspond à un flip-flop du groupe F', qui peut ainsi localiser et mémoriser

l'instruction donnée par l'utilisateur pour la transmettre ensuite aux circuits de calcul. Ce système permet donc d'économiser six bornes de ligne, puisqu'on utilise des sorties de l'affichage LED. On voit donc que, pour ce cas particulier, l'utilisation d'un circuit intégré selon l'invention peut également être intéressante.

