

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 10 月 8 日 (08.10.2020)



(10) 国际公布号
WO 2020/199059 A1

- (51) 国际专利分类号:
H03L 7/099 (2006.01)
- (21) 国际申请号: PCT/CN2019/080695
- (22) 国际申请日: 2019 年 3 月 30 日 (30.03.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 毛懿鸿 (MAO, Yihong); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 高鹏 (GAO, Peng); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 广州三环专利商标代理有限公司 (SCIHEAD IP LAW FIRM); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: MULTI-CHANNEL MULTI-CARRIER TRANSCEIVER

(54) 发明名称: 多通道多载波收发机

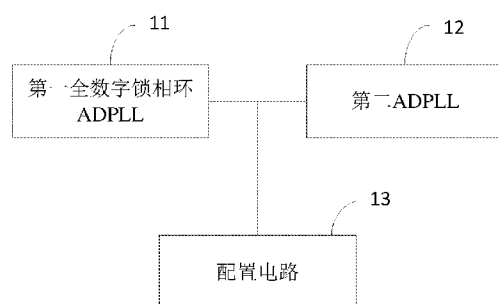


图 5

- 11 First all digital phase-locked loop (ADPLL)
12 Second ADPLL
13 Configuration circuit

(57) Abstract: Provided is a multi-channel multi-carrier transceiver, comprising: a first channel for transmitting a first carrier; a second channel for transmitting a second carrier; a first ADPLL coupled to the first channel and used for providing a local oscillator signal for the first channel; a second ADPLL coupled to the second channel and used for providing a local oscillator signal for the second channel; and a configuration circuit coupled to the first ADPLL and the second ADPLL respectively and used for configuring the first ADPLL or the second ADPLL according to combination information of the first carrier and the second carrier. A phase-locked loop is configured according to combination information of a plurality of carriers, so that the phase-locked loop can eliminate spurs caused by frequency pulling of the plurality of carriers, and the reliability of multi-channel multi-carrier communication is improved; a plurality of phase-locked loops can be arranged side by side in parallel on a layout and are not limited to the loop bandwidth of the phase-locked loop; and area overheads can be economized, and the area cost introduced itself is small.

(57) 摘要：一种多通道多载波收发机，包括：第一通道，用于传输第一载波；第二通道，用于传输第二载波；第一ADPLL，耦合至第一通道，用于为第一通道提供本振信号；第二ADPLL，耦合至第二通道，用于为第二通道提供本振信号；以及配置电路，分别耦合至第一ADPLL和第二ADPLL，用于根据第一载波和第二载波的组合信息，对第一ADPLL或者第二ADPLL进行配置。通过根据多个载波的组合信息，对锁相环进行配置，使得锁相环可以消除多个载波的频率牵引导致的杂散，提高了多通道多载波通信的可靠性；多个锁相环在版图上可以并排平行放置，不受限于锁相环的环路带宽，并且可以节约面积开销，而自身引入的面积代价很小。

多通道多载波收发机

技术领域

本申请涉及电子技术领域，尤其涉及一种多通道多载波收发机。

5 背景技术

在无线射频芯片中，锁相环用于给发射机和接收机提供稳定的本地振荡器（local oscillator，LO）信号。其中，如图 1 所示的射频收发机中的全数字锁相环（all digital phase-locked loop，ADPLL）的结构示意图，与传统锁相环相比，ADPLL 的面积能够更灵活地随工艺尺寸的下降而减小，因此应用越来越广泛。ADPLL 一般包括时间-数字转换器（time-digital converter，TDC）、数字滤波器、数字控制振荡器（digital-controlled oscillator，DCO）和反馈分频器（Ndivider）。锁相环的原理是以一个高精度时钟作为参考源产生其若干倍频的高频信号，通过分频器（如图 1 中的 LO Div）产生实际需要的 LO 信号，在发射机中经过上变频混频器（如图 1 中的 up-converter）及功率放大器（power amplifier，PA）后将基带信号发射出去，或者在接收机中经过下变频混频器（mixer）将低噪声放大器（low noise amplifier，LNA）接收到的射频信号转换为基带信号。

当芯片上存在多个锁相环同时工作时，例如非连续载波聚合的场景，多个 DCO 之间还存在频率牵引导致的杂散或干扰。这些杂散都使锁相环的输出信号在相应的频偏处超出发射系统定义的频谱模板，恶化接收系统定义的阻塞场景下的噪声系数，或者直接恶化锁相环的噪声。由于系统中多个本振频率和时钟共存，并且干扰途径很多，杂散成为锁相环的工程设计中最为关键的指标。

现有的一种降低杂散或干扰的方法主要为利用锁相环中滤波器的低通特性，对杂散进行滤波。对于噪声要求不高的低阶调制系统，降低环路带宽可有效地抑制带外杂散。如图 2 所示的带宽对杂散的抑制示意图，环路带宽从 150kHz 减小到 70kHz 左右后，spur 减小约 12dB。

然而，随着系统对锁相环的积分相位噪声要求越来越高，使用小带宽无法满足系统的噪声要求，而增大带宽后环路对杂散的抑制能力恶化，甚至当杂散落入环路带宽以内后环路对杂散没有任何抑制能力。这种情况下，就无法再通过优化带宽来同时满足低噪声和低杂散的要求。此外，由于 5G 应用中最小的 raster 为 15kHz，理论上可以产生 15kHz 及其谐波的 spur，而锁相环的典型带宽都远大于 15kHz，因此无法通过减小带宽的方式抑制杂散。

除了优化带宽外，另外一种降低杂散或干扰的方法是，如图 3 所示的干扰源与被干扰源隔离方案示意图，通过小心的版图布局和走线，提高各干扰源（如 DCO/PA/电源等）与被干扰源（时钟走线/DCO/电源等）之间的隔离度，也可以提高较好的杂散性能。例如，两个 DCO 的电感之间的距离为 100um，pulling 导致的 spur 为 -40dBc，如果拉远到 200um，spur 可以降低到 -50dBc，对积分相噪的影响降低。或者时钟走线与 DCO 电感之间的距离为 100um，导致输出频谱上的小数 spur 为 -60dBc，无法满足发射机的频谱模板要求，如果拉远到 200um，spur 降低到 -70dBc，则满足要求。

然而，增加干扰源与被干扰源之间隔离度的方法往往是需要拉远干扰源和被干扰源，或使用保护环/保护带，或对不同工作频率的模块使用不同的电源，以得到足够的隔离度，

这些方式都会导致芯片面积增加。此外，随着通信系统越来越复杂，片上子系统越来越多，干扰源与干扰途径也大量增加，仅通过增加隔离度的方式提高杂散性能变得越来越困难，代价也越来越大。

5 发明内容

本申请实施例提供了一种多通道多载波收发机，以提高多通道多载波通信的可靠性。

第一方面，提供了一种多通道多载波收发机，包括：第一通道，用于传输第一载波；第二通道，用于传输第二载波；第一全数字锁相环 ADPLL，耦合至所述第一通道，用于为所述
10 所述第一通道提供本振信号；第二 ADPLL，耦合至所述第二通道，用于为所述第二通道提供本振信号；以及配置电路，分别耦合至所述第一 ADPLL 和所述第二 ADPLL，用于根据所述
15 所述第一载波和所述第二载波的组合信息，对所述第一 ADPLL 或者所述第二 ADPLL 进行配置。在该方面中，通过根据多个载波的组合信息，对锁相环进行配置，使得锁相环可以消除多个载波的频率牵引导致的杂散，提高了多通道多载波通信的可靠性。

在一个实现中，所述第一 ADPLL 或所述第二 ADPLL 还包括信号产生电路，所述信号
15 产生电路耦合至所述配置电路，所述信号产生电路用于根据所述配置电路配置的杂散的频率，消除所述杂散。在该实现中，信号产生电路可以根据配置电路配置的杂散的频率，准确地消除多个载波的频率牵引导致的杂散。

在又一个实现中，所述配置电路具体用于配置所述杂散的频率为第一频率与第二频率的差值的绝对值，其中，所述第一频率为所述第一载波的频率，所述第二频率为所述第二
20 载波的频率。在该实现中，配置杂散的频率为第一载波的频率与第二载波的频率的差值的绝对值，可以准确地确定杂散的频率。

在又一个实现中，配置的所述杂散的频率 $F_{spur_A_B} = \text{Abs}(F_{lo_A} * \text{Div_A} - F_{lo_B} * \text{Div_B})$ ，其中， F_{lo_A} 为所述第一载波的频点， Div_A 为与所述第一 ADPLL 连接的本地振荡器的除率， $F_{lo_A} * \text{Div_A}$ 为所述第一频率， F_{lo_B} 为所述第二载波的频点， Div_B 为与所述第二
25 ADPLL 连接的本地振荡器的除率， $F_{lo_B} * \text{Div_B}$ 为所述第二频率。在该实现中，杂散的频率与各个载波的频点、本地振荡器的除率有关。

在又一个实现中，所述信号产生电路包括相互连接的单音复信号产生电路、自适应算法电路、环路相位补偿电路、抵消信号产生电路和杂散抵消电路；所述单音复信号产生电路耦合至所述配置电路；所述单音复信号产生电路用于根据所述配置电路配置的所述杂散
30 的频率，产生单音复信号，所述单音复信号的频率与所述杂散的频率相同；所述自适应算法电路用于根据所述单音复信号，对所述杂散进行自适应收敛，得到收敛后的信号；所述环路相位补偿电路用于对所述单音复信号和所述收敛后的信号进行相位补偿，得到补偿后的信号；所述抵消信号产生电路用于根据所述收敛后的信号、以及所述补偿后的信号，生成所述杂散抵消信号；以及所述杂散抵消电路用于采用所述杂散抵消信号抵消所述信号中的
35 杂散。在该实现中，信号产生电路生成的杂散抵消信号的频率与杂散的频率相同，杂散抵消信号的幅度和相位通过自适应算法进行收敛，使得 DCO 信号中的杂散幅度降低到满足系统要求，从而通过全数字方式，可以消除多个 DCO 之间的频率牵引导致的杂散。

在又一个实现中，所述配置电路用于配置多个杂散的频率，所述配置电路与多个所述

信号产生电路并行连接；所述多个并行连接的信号产生电路用于分别根据每个信号产生电路中的单音复信号产生电路产生的单音复信号，同时对多个杂散进行消除。在该实现中，配置电路可以同时给多个信号产生电路配置多个杂散的频率率，使得多个信号产生电路可以对多个杂散进行消除，同时提高了配置效率。

在又一个实现中，所述配置电路用于配置多个杂散的频率，所述配置电路与多个所述信号产生电路串行连接；所述多个串行连接的信号产生电路用于根据每个信号产生电路中的单音复信号产生电路产生的单音复信号，依次对所述多个杂散进行消除。在该实现中，配置电路可以依次给多个信号产生电路配置多个杂散的频率，使得多个信号产生电路可以对多个杂散进行消除。

第二方面，提供了一种多通道多载波收发机，包括：第一通道，用于传输第一载波；第二通道，用于传输第二载波；第一全数字锁相环 ADPLL，耦合至所述第一通道，用于为所述第一通道提供本振信号；第二 ADPLL，耦合至所述第二通道，用于为所述第二通道提供本振信号；所述第一 ADPLL 和第二 ADPLL 在版图上并排平行放置。在该方面中，多个锁相环在版图上可以并排平行放置，不受限于锁相环的环路带宽，并且可以节约由于隔离度限制或分电源导致的面积开销，而自身引入的面积代价很小。

在一个实现中，所述第一 ADPLL 的电感与第二 ADPLL 的电感相邻。

在又一个实现中，所述收发机还包括一配置电路，分别耦合至所述第一 ADPLL 和所述第二 ADPLL，用于根据所述第一载波和所述第二载波的组合信息，对所述第一 ADPLL 或者所述第二 ADPLL 进行配置。

在又一个实现中，所述第一 ADPLL 或所述第二 ADPLL 还包括一信号产生电路，所述信号产生电路耦合至所述配置电路，所述信号产生电路用于根据所述配置电路的配置的杂散的频率，消除所述杂散。

在又一个实现中，所述配置电路具体用于配置所述杂散的频率为第一频率与第二频率的差值的绝对值，其中，所述第一频率为所述第一载波的频率，所述第二频率为所述第二载波的频率。

在又一个实现中，配置的所述杂散的频率 $F_{spur_A_B} = \text{Abs}(F_{lo_A} * \text{Div_A} - F_{lo_B} * \text{Div_B})$ ，其中， F_{lo_A} 为所述第一载波的频点， Div_A 为与所述第一 ADPLL 连接的本地振荡器的除率， $F_{lo_A} * \text{Div_A}$ 为所述第一频率， F_{lo_B} 为所述第二载波的频点， Div_B 为与所述第二 ADPLL 连接的本地振荡器的除率， $F_{lo_B} * \text{Div_B}$ 为所述第二频率。

在又一个实现中，所述信号产生电路包括相互连接的单音复信号产生电路、自适应算法电路、环路相位补偿电路、抵消信号产生电路和杂散抵消电路；所述单音复信号产生电路耦合至所述配置电路；所述单音复信号产生电路用于根据所述配置电路配置的所述杂散的频率，产生单音复信号，所述单音复信号的频率与所述杂散的频率相同；所述自适应算法电路用于根据所述单音复信号，对所述杂散进行自适应收敛，得到收敛后的信号；所述环路相位补偿电路用于对所述单音复信号和所述收敛后的信号进行相位补偿，得到补偿后的信号；所述抵消信号产生电路用于根据所述收敛后的信号、以及所述补偿后的信号，生成所述杂散抵消信号；所述杂散抵消电路用于采用所述杂散抵消信号抵消所述信号中的杂散。

附图说明

图 1 为射频收发机中的全数字锁相环的结构示意图；
图 2 为带宽对杂散的抑制示意图；
图 3 为干扰源与被干扰源隔离方案示意图；
图 4 为示例的一种多通道多载波收发机的结构示意图；
图 5 为本申请实施例提供的一种多通道多载波收发机的结构示意图；
图 6a 为本申请实施例提供的一种锁相环的内部结构示意图；
图 6b 为本申请实施例提供的另一种锁相环的内部结构示意图；
图 7a 为图 6a 所示实施例中信号产生电路 25a 的详细的结构示意图；
图 7b 为图 6b 所示实施例中信号产生电路 25b 的详细的结构示意图；
图 8 为本申请实施例提供的并行杂散消除的结构示意图；
图 9 为两个锁相环的版图排布示意图。

具体实施方式

下面结合上述附图对本申请的技术方案进行描述。

请参阅图 4，为示例的一种多通道多载波收发机的结构示意图。图 4 以第五代（5th generation, 5G）移动通信接收系统应用的载波聚合（carrier aggregation, CA）组合 Band28 和 Band79 为示意，两载波载频分别为：Fsig1=800MHz，Fsig2=4800.2MHz；两接收通道本振频率分别为：Flo1=800MHz，Flo2=4800.2MHz；LO1 和 LO2 的分频比分别选择为 12 和 2，则两个频综输出的 DCO 频率分别为 Fdco1=9600MHz，Fdco2=9600.4MHz，则两个 DCO 互相牵引会产生 Fspur=0.4MHz 的杂散，这种杂散称为频率牵引杂散（pulling）。如果两个 DCO 之间隔离度不足，则产生的 spur 会严重恶化锁相环的积分噪声。

相关场景还包括发射系统或接收系统的带间载波聚合（inter-band carrier aggregation, inter-band CA）和带内非连续载波聚合（intra-band non-contiguous carrier aggregation, intra-band NC-CA），双卡双待（dual carrier dual standby, DSDS）等多个 DCO 同时工作的情况。由于 5G 应用中 CA 组合非常多，因此存在很多 DCO 频率相近的场景。

有鉴于此，本申请提供了一种多通道多载波收发机，通过根据多个载波的组合信息，对锁相环进行配置，使得锁相环可以消除多个载波的频率牵引导致的杂散，提高了多通道多载波通信的可靠性；多个锁相环在版图上可以并排平行放置，不受限于锁相环的环路带宽，并且可以节约面积开销，而自身引入的面积代价很小。

请参阅图 5，图 5 为本申请实施例提供的一种多通道多载波收发机的结构示意图，该收发机包括第一通道（图中未示出），用于传输第一载波；第二通道（图中未示出），用于传输第二载波；第一 ADPLL11，耦合至所述第一通道，用于为所述第一通道提供本振信号；第二 ADPLL12，耦合至所述第二通道，用于为所述第二通道提供本振信号；以及配置电路 13，分别耦合至所述第一 ADPLL11 和所述第二 ADPLL12，用于根据所述第一载波和所述第二载波的组合信息，对所述第一 ADPLL11 或者所述第二 ADPLL12 进行配置。

具体地，该配置电路用于配置杂散的频率。该杂散是两个载波的频率牵引导致的，具体是两个锁相环的 DCO 的频率牵引导致的。

具体地,该配置电路用于配置所述杂散的频率为第一频率与第二频率的差值的绝对值,其中,所述第一频率为所述第一载波的频率,所述第二频率为所述第二载波的频率。

如表 1 所示,假设锁相环 1 工作在频段 A,锁相环 2 工作在频段 B,则配置牵引杂散的频率为 $F_{spur_A_B} = \text{Abs}(F_{lo_A} * Div_A - F_{lo_B} * Div_B)$ 。其中, F_{lo_A} 为所述第一载波的频点,也即锁相环 1 工作的频点, Div_A 为与所述第一 ADPLL 连接的本地振荡器的除率, $F_{lo_A} * Div_A$ 为所述第一频率,即锁相环 1 的 DCO 频率。 F_{lo_B} 为所述第二载波的频点,也即锁相环 2 工作的频点, Div_B 为与所述第二 ADPLL 连接的本地振荡器的除率, $F_{lo_B} * Div_B$ 为所述第二频率,即锁相环 2 的 DCO 频率。

假设锁相环 1 工作在频段 C,锁相环 2 工作在频段 D,则配置牵引杂散的频率为 $F_{spur_C_D} = \text{Abs}(F_{lo_C} * Div_C - F_{lo_D} * Div_D)$ 。其中, F_{lo_C} 为所述第一载波的频点, Div_C 为与所述第一 ADPLL 连接的本地振荡器的除率, $F_{lo_C} * Div_C$ 为所述第一频率,即锁相环 1 的 DCO 频率。 F_{lo_D} 为所述第二载波的频点, Div_D 为与所述第二 ADPLL 连接的本地振荡器的除率, $F_{lo_D} * Div_D$ 为所述第二频率,即锁相环 2 的 DCO 频率。

当然,这里锁相环 1 工作在频段 A 或频段 C,锁相环 2 工作在频段 B 或频段 D 仅为示例,本申请对此不作限定。

可以预先配置表 1 的参数,当确定第一 ADPLL 和第二 ADPLL 工作的频段,即可确定需配置的杂散频率。

表 1

锁相环 1				锁相环 2				牵引杂散频率配置
频段	频点	LO 除率	DCO 频率	频段	频点	LO 除率	DCO 频率	
频段 A	F_{lo_A}	Div_A	$F_{lo_A} * Div_A$	频段 B	F_{lo_B}	Div_B	$F_{lo_B} * Div_B$	$F_{spur_A_B} = \text{Abs}(F_{lo_A} * Div_A - F_{lo_B} * Div_B)$
频段 C	F_{lo_C}	Div_C	$F_{lo_C} * Div_C$	频段 D	F_{lo_D}	Div_D	$F_{lo_D} * Div_D$	$F_{spur_C_D} = \text{Abs}(F_{lo_C} * Div_C - F_{lo_D} * Div_D)$

如表 2 所示,给出了锁相环工作的具体的频段、频点、LO 除率和 DCO 频率的示例,可以将上述参数的值代入上述牵引杂散频率配置的公式,计算得到具体的牵引杂散的频率值。例如,假设锁相环 1 工作在频段 B3,锁相环 2 工作在频段 B8,则 $F_{spur} = \text{Abs}(1875 * 4 - 937.6 * 8) = \text{Abs}(7500 - 7500.8) = 0.8$ 。

表 2

锁相环 1				锁相环 2				牵引杂散频率配置 (MHz)
频段	频点 (MHz)	LO 除率	DCO 频率 (MHz)	频段	频点	LO 除率	DCO 频率 (MHz)	
B3	1875	4	7500	B8	937.6	8	7500.8	0.8
B8	950	8	7600	B39	1900.2	4	7600.8	0.8
B4	2153.2	4	8612.8	B29	717.8	12	8613.6	0.8

如表 3 所示,假设 LO 除率是固定的,也可以仅预先配置频点。则也可以根据锁相环所在的频段、该固定的 LO 除率和预先配置的频点,得到牵引杂散频率。

表 3

锁相环 1		锁相环 2		牵引杂散频率配置
频段	频点	频段	频点	
频段 A	Flo_A	频段 B	Flo_B	Fspur_A_B
频段 C	Flo_C	频段 D	Flo_D	Fspur_C_D

如表 4 所示，给出了锁相环工作的具体的频段、频点的示例，假设锁相环 1 对应的 LO 除率为 4，锁相环 2 对应的 LO 除率为 8，则可以将上述参数的值代入上述牵引杂散频率配置的公式，计算得到具体的牵引杂散的频率值。例如，假设锁相环 1 工作在频段 B3，锁相环 2 工作在频段 B8，则 $F_{spur} = \text{Abs}(1875 \times 4 - 937.6 \times 8) = \text{Abs}(7500 - 7500.8) = 0.8$ 。

表 4

锁相环 1		锁相环 2		牵引频率配置
频段	频点	频段	频点	
B3	1875	B8	937.6	0.8
B8	950	B39	1900.2	0.8
B4	2153.2	B29	717.8	0.8

配置方式（配置的锁相环、工作频段、工作频点）需要在用户手册中列出，如表 1~表 4。其中表格 1 仅供设计人员使用，可以不需要写入用户手册，仅提供表格 3 的信息即可。

进一步地，如图 6a 和图 6b 所示的锁相环的内部结构示意图，一个 ADPLL（包括上述第一 ADPLL11 和第二 ADPLL12）包括依次耦合的时间-数字转换器 21、数字滤波器 22、数字控制振荡器 23 和反馈分频器 24。在本实施例中，该 ADPLL 中还可以包括信号产生电路。在图 6a 中，该信号产生电路 25 连接在 TDC21 和 DCO23 之间；在图 6b 中，该信号产生电路 25 连接在 TDC21 和数字滤波器 22 之间。并且该信号产生电路还耦合至配置电路。该信号产生电路用于根据配置电路配置的杂散的频率，消除杂散。

其中，TDC21 的输出 TDC_OUT 中包括一个幅度为 A_{spur} ，频率为 f_{spur} ，相位为 ϕ_{spur} 的杂散信号。该信号产生电路 25 用于产生频率与杂散的频率相同的单音复信号，并根据 TDC 的输出中的杂散信号的幅度和相位，生成杂散抵消信号，通过自适应算法对杂散抵消信号的幅度进行收敛，对杂散抵消信号的相位进行补偿，使得 TDC 输出的信号中的杂散幅度降低到满足系统要求，从而最终降低锁相环输出信号的杂散能量。

具体地，请参阅图 7a，为图 6a 所示的信号产生电路 25 的详细的结构示意图。如图 7a 所示，该信号产生电路 25 可以包括相互耦合的单音复信号产生电路 251、自适应算法电路 252、环路相位补偿电路 253、抵消信号产生电路 254 和杂散抵消电路 255。该信号产生电路 25 耦合至上述配置电路 13，该配置电路 13 连接上述单音复信号产生电路 251。TDC21 输出中包括信号和牵引杂散，其中，该牵引杂散是一个时变信号。TDC21 输出的信号和牵引杂散经数字滤波器 22，数字滤波器 22 输出滤波后的信号（称为“信号_滤波”）和滤波后的牵引杂散（称为“牵引杂散_滤波”），其中，该牵引杂散_滤波也是一个时变信号。信号产生电路 25 用产生的牵引杂散抵消信号消除数字滤波器 22 输出后的牵引杂散_滤波，得到滤波后的信号。

图 7b 为图 6b 所示的信号产生电路 25 的详细的结构示意图，该信号产生电路 25 的内部结构与图 7a 所示的信号产生电路 25 的内部结构相同，所不同的是，该信号产生电路 25

连接在 TDC21 和数字滤波器 22 之间。

与小数杂散的开环校准方式不同的是，牵引杂散消除是一种实时监测、计算和消除的闭环校准，因此牵引杂散是一种时变信号，本实施例中，单音复信号产生电路 251 产生频率为 f_{spur} 的单音复信号 $e^{j2\pi f_{\text{spur}}t}$ ，该单音复信号的频率与杂散的频率 f_{spur} 相同。

5 ADPLL 无法直接获得牵引杂散的频率信息，而负责配置 ADPLL 工作频率的软件可以根据工作场景，即 CA 组合信息，知道牵引杂散的频率信息，因此该杂散的频率可以由上述配置电路 13 配置的。在干扰源 DCO (Aggressor) 和受干扰源 DCO (victim) 频率已知的情况下，配置电路 13 可以获得杂散的频率。具体地，配置电路 13 配置杂散的频率为第一频率与第二频率的差值的绝对值，所述第一频率为干扰源的 DCO 输出的信号的频率，
10 所述第二频率为受干扰源的 DCO 输出的信号的频率。例如，如图 4 所示，子系统 1 锁定在 f_{dco1} ，打开即将工作在 f_{dco2} 的子系统 2 后，可以配置需要消除的杂散频率为 $f_{\text{spur}} = |f_{\text{dco1}} - f_{\text{dco2}}|$ 。

多个 DCO 之间频率牵引会产生杂散。TDC21 的输出中包括这种杂散。自适应算法电路 252 根据单音复信号的频率，检测 TDC251 的输出中该频率对应的牵引杂散的幅度 A_{cl} 和相位 ϕ_{cl} ，并进行自适应收敛，得到收敛后的信号 $A_{\text{cl}}e^{j\phi_{\text{cl}}}$ 。

15 由于自适应算法电路 252 和抵消信号产生电路 254 都需要使用上述单音复信号，而自适应算法电路 252 和抵消信号产生电路 254 之间由于锁相环对牵引杂散存在相移，因此，环路相位补偿电路 253 对所述单音复信号和所述收敛后的信号进行相位补偿，得到补偿后的信号 $e^{j(2\pi f_{\text{spur}}t + \phi_{\text{comp}})}$ 。

抵消信号产生电路 254 结合自适应算法电路 252 输出的收敛后的信号，以及环路相位
20 补偿电路 253 输出的补偿后的信号，生成杂散抵消信号 $A_{\text{cl}} \sin(2\pi f_{\text{spur}}t + \phi_{\text{comp}} + \phi_{\text{cl}})$ 。

由于杂散抵消信号的频率与杂散的频率相同，杂散抵消信号的幅度和相位已通过自适应算法进行收敛，数字滤波器输出的信号中的杂散幅度降低到满足系统要求，因此，信号中杂散基本被消除。

干扰源 DCO (aggressor) 直接干扰被干扰 DCO (victim)，被干扰 DCO 上存在频率
25 牵引杂散，频率为 $f_{\text{spur}} = |f_{\text{dco_victim}} - f_{\text{dco_aggressor}}|$ 。由于 TDC 的输出信号可以直接反映出 DCO 上调制的杂散，因此 TDC 输出包括信号和牵引杂散。对数字滤波器的输入或输出注入一个频率为 f_{spur} 、幅度为 A_{cal} 、相位为 ϕ_{cal} 的牵引杂散抵消信号，其中幅度 A_{cal} 和相位 ϕ_{cal} 是检测 TDC 输出并通过自适应算法来计算得到，其中 A_{cal} 和 ϕ_{cal} 在自适应算法收敛过程中为时变信号。当自适应算法收敛后，理想情况下 TDC 输出信号中频率为 f_{spur}
30 的牵引杂散分量消失，因此杂散抵消电路的输出只剩下信号和牵引杂散抵消信号。实际实现时，由于抵消信号的精度受限，牵引杂散分量不会完全消失，但是仍然可以降低到系统能接受的范围内。

在上述的实施例中，进一步地，在一个实现中，以 TDC 和数字滤波器之间连接有多个信号产生电路为例 (TDC 和 DCO 连接信号产生电路的方案也可以采用本实现方式)，如果
35 TDC 的输出中包括多种频率的杂散，则如图 8 所示的并行杂散消除的结构示意图，配置电路可与多个信号产生电路并行连接，配置电路可以用于配置多个杂散的频率。多个并行连接的信号产生电路用于分别根据每个信号产生电路中的单音复信号产生电路产生的单音复信号，同时对多个杂散进行消除。具体地，TDC 的输出为信号

$+A_{\text{spur}_1} \sin(2\pi f_{\text{spur}_1} t + \varphi_{\text{spur}_1}) + A_{\text{spur}_2} \sin(2\pi f_{\text{spur}_2} t + \varphi_{\text{spur}_2}) + \dots + A_{\text{spur}_k} \sin(2\pi f_{\text{spur}_k} t + \varphi_{\text{spur}_k})$,

则在 TDC 和数字滤波器中可以并联多个信号产生电路：杂散 1 信号产生电路、杂散 2 信号产生电路、..... 杂散 k 信号产生电路。其中，杂散 1 信号产生电路生成杂散抵消信号 $A_{\text{spur}_1} \sin(2\pi f_{\text{spur}_1} t + (\pi + \varphi_{\text{spur}_1}))$ ，以抵消 spur_1；类似的，杂散 2 信号产生电路生成杂散抵消信号 $A_{\text{spur}_2} \sin(2\pi f_{\text{spur}_2} t + (\pi + \varphi_{\text{spur}_2}))$ ，以抵消 spur_2，杂散 k 信号产生电路生成杂散抵消信号 $A_{\text{spur}_k} \sin(2\pi f_{\text{spur}_k} t + (\pi + \varphi_{\text{spur}_k}))$ ，以抵消 spur_k。其中，这多个信号产生电路是可以同时工作的。从而，这多个并行的信号产生电路可以最终消除 TDC 的输出中的全部杂散。具体地，信号产生电路并行工作是指，每个信号产生电路包括的上述电路是作为一个整体并行连接的。

在另一个实现中，如果 TDC 的输出中包括多种频率的杂散，配置电路用于配置多个杂散的频率，所述配置电路与多个所述信号产生电路串行连接；所述多个串行连接的信号产生电路用于根据每个信号产生电路中的单音复信号产生电路产生的单音复信号，依次对所述多个杂散进行消除。具体地，多个信号产生电路中的自适应算法电路串行连接，分别提取每种频率的杂散的幅度和相位，信号产生电路的其它电路则是作为一个整体并联连接至对应的自适应算法电路。

根据本申请实施例提供的一种多通道多载波收发机，通过根据多个载波的组合信息，对锁相环进行配置，使得锁相环可以消除多个载波的频率牵引导致的杂散，提高了多通道多载波通信的可靠性。

本申请实施例还提供一种多通道多载波收发机，包括：第一通道，用于传输第一载波；第二通道，用于传输第二载波；第一 ADPLL，耦合至所述第一通道，用于为所述第一通道提供本振信号；第二 ADPLL，耦合至所述第二通道，用于为所述第二通道提供本振信号；所述第一 ADPLL 和第二 ADPLL 在版图上并排平行放置。可选地，所述第一 ADPLL 的电感与第二 ADPLL 的电感相邻。

如图 9 所示的两个锁相环的版图排布示意图，示例了 N 个锁相环的版图排布，每个锁相环在版图上并排平行放置。且各个锁相环的电感相邻。

多个锁相环在版图上可以并排平行放置，不受限于锁相环的环路带宽，并且可以节约面积开销，而自身引入的面积代价很小。

进一步地，所述收发机还包括一配置电路，分别耦合至所述第一 ADPLL 和所述第二 ADPLL，用于根据所述第一载波和所述第二载波的组合信息，对所述第一 ADPLL 或者所述第二 ADPLL 进行配置。关于杂散的频率的配置可以参考上述实施例。

进一步地，所述第一 ADPLL 或所述第二 ADPLL 还包括一信号产生电路，所述信号产生电路耦合至所述配置电路，所述信号产生电路用于根据所述配置电路的配置的杂散的频率，消除所述杂散。关于信号产生电路如何进行杂散的消除可以参考上述实施例。

应用上述信号产生电路后，片上 DCO 可以并排平行放置且间距可以小于 1mm，或者在芯片顶层进行布局布线时优先优化其它电路，而不需要受限于 DCO 之间的牵引杂散，使得芯片的顶层布局更加灵活。

本申请提供了一种多通道多载波收发机，多个锁相环在版图上可以并排平行放置，不受限于锁相环的环路带宽，并且可以节约面积开销，而自身引入的面积代价很小。

所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的系统、装置和单元的具体工作过程，可以参考前述方法实施例中的对应过程，在此不再赘述。

在本申请所提供的几个实施例中，应该理解到，所揭露的系统、装置和方法，可以通过其它的方式实现。例如，该单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如，多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。所显示或讨论的相互之间的耦合、或直接耦合、或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

在上述实施例中，可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时，可以全部或部分地以计算机程序产品的形式实现。该计算机程序产品包括一个或多个计算机指令。在计算机上加载和执行该计算机程序指令时，全部或部分地产生按照本申请实施例的流程或功能。该计算机可以是通用计算机、专用计算机、计算机网络、或者其他可编程装置。该计算机指令可以存储在计算机可读存储介质中，或者通过该计算机可读存储介质进行传输。该计算机指令可以从一个网站站点、计算机、服务器或数据中心通过有线（例如同轴电缆、光纤、数字用户线（digital subscriber line，DSL））或无线（例如红外、无线、微波等）方式向另一个网站站点、计算机、服务器或数据中心进行传输。该计算机可读存储介质可以是计算机能够存取的任何可用介质或者是包含一个或多个可用介质集成的服务器、数据中心等数据存储设备。该可用介质可以是只读存储器（read-only memory，ROM），或随机存储存储器（random access memory，RAM），或磁性介质，例如，软盘、硬盘、磁带、磁碟、或光介质，例如，数字通用光盘（digital versatile disc，DVD）、或者半导体介质，例如，固态硬盘（solid state disk，SSD）等。

权 利 要 求

1、一种多通道多载波收发机，其特征在于，包括：

第一通道，用于传输第一载波；

第二通道，用于传输第二载波；

第一全数字锁相环 ADPLL，耦合至所述第一通道，用于为所述第一通道提供本振信号；

第二 ADPLL，耦合至所述第二通道，用于为所述第二通道提供本振信号；

配置电路，分别耦合至所述第一 ADPLL 和所述第二 ADPLL，用于根据所述第一载波和所述第二载波的组合信息，对所述第一 ADPLL 或者所述第二 ADPLL 进行配置。

2、根据权利要求 1 所述的多通道多载波收发机，其特征在于，所述第一 ADPLL 或所述第二 ADPLL 还包括信号产生电路，所述信号产生电路耦合至所述配置电路，所述信号产生电路用于根据所述配置电路配置的杂散的频率，消除所述杂散。

3、根据权利要求 2 所述的多通道多载波收发机，其特征在于，所述配置电路具体用于配置所述杂散的频率为第一频率与第二频率的差值的绝对值，其中，所述第一频率为所述第一载波的频率，所述第二频率为所述第二载波的频率。

4、根据权利要求 3 所述的多通道多载波收发机，其特征在于，配置的所述杂散的频率 $F_{spur_A_B} = \text{Abs}(F_{lo_A} * \text{Div_A} - F_{lo_B} * \text{Div_B})$ ，其中， F_{lo_A} 为所述第一载波的频点， Div_A 为与所述第一 ADPLL 连接的本地振荡器的除率， $F_{lo_A} * \text{Div_A}$ 为所述第一频率， F_{lo_B} 为所述第二载波的频点， Div_B 为与所述第二 ADPLL 连接的本地振荡器的除率， $F_{lo_B} * \text{Div_B}$ 为所述第二频率。

5、根据权利要求 2~4 任一项所述的多通道多载波收发机，其特征在于，所述信号产生电路包括相互连接的单音复信号产生电路、自适应算法电路、环路相位补偿电路、抵消信号产生电路和杂散抵消电路；所述单音复信号产生电路耦合至所述配置电路；

所述单音复信号产生电路用于根据所述配置电路配置的所述杂散的频率，产生单音复信号，所述单音复信号的频率与所述杂散的频率相同；

所述自适应算法电路用于根据所述单音复信号，对所述杂散进行自适应收敛，得到收敛后的信号；

所述环路相位补偿电路用于对所述单音复信号和所述收敛后的信号进行相位补偿，得到补偿后的信号；

所述抵消信号产生电路用于根据所述收敛后的信号、以及所述补偿后的信号，生成所述杂散抵消信号；

所述杂散抵消电路用于采用所述杂散抵消信号抵消所述信号中的杂散。

6、根据权利要求 5 所述的多通道多载波收发机，其特征在于，所述配置电路用于配置多个杂散的频率，所述配置电路与多个所述信号产生电路并行连接；

所述多个并行连接的信号产生电路用于分别根据每个信号产生电路中的单音复信号产生电路产生的单音复信号，同时对多个杂散进行消除。

7、根据权利要求 2~5 任一项所述的多通道多载波收发机，其特征在于，所述配置电路用于配置多个杂散的频率，所述配置电路与多个所述信号产生电路串行连接；

所述多个串行连接的信号产生电路用于根据每个信号产生电路中的单音复信号产生电路产生的单音复信号，依次对所述多个杂散进行消除。

8、一种多通道多载波收发机，其特征在于，包括：

第一通道，用于传输第一载波；

第二通道，用于传输第二载波；

第一全数字锁相环 ADPLL，耦合至所述第一通道，用于为所述第一通道提供本振信号；

第二 ADPLL，耦合至所述第二通道，用于为所述第二通道提供本振信号；

所述第一 ADPLL 和第二 ADPLL 在版图上并排平行放置。

9、根据权利要求 8 所述的多通道多载波收发机，其特征在于，所述第一 ADPLL 的电感与第二 ADPLL 的电感相邻。

10、根据权利要求 8 或 9 所述的多通道多载波收发机，其特征在于，所述收发机还包括一配置电路，分别耦合至所述第一 ADPLL 和所述第二 ADPLL，用于根据所述第一载波和所述第二载波的组合信息，对所述第一 ADPLL 或者所述第二 ADPLL 进行配置。

11、根据权利要求 10 所述的多通道多载波收发机，其特征在于，所述第一 ADPLL 或所述第二 ADPLL 还包括一信号产生电路，所述信号产生电路耦合至所述配置电路，所述信号产生电路用于根据所述配置电路的配置的杂散的频率，消除所述杂散。

12、根据权利要求 11 所述的多通道多载波收发机，其特征在于，所述配置电路具体用于配置所述杂散的频率为第一频率与第二频率的差值的绝对值，其中，所述第一频率为所述第一载波的频率，所述第二频率为所述第二载波的频率。

13、根据权利要求 12 所述的多通道多载波收发机，其特征在于，配置的所述杂散的频率 $F_{spur_A_B} = \text{Abs}(F_{lo_A} * \text{Div_A} - F_{lo_B} * \text{Div_B})$ ，其中， F_{lo_A} 为所述第一载波的频点， Div_A 为与所述第一 ADPLL 连接的本地振荡器的除率， $F_{lo_A} * \text{Div_A}$ 为所述第一频率， F_{lo_B} 为所述第二载波的频点， Div_B 为与所述第二 ADPLL 连接的本地振荡器的除率， $F_{lo_B} * \text{Div_B}$ 为所述第二频率。

14、根据权利要求 11~13 任一项所述的多通道多载波收发机，其特征在于，所述信号产生电路包括相互连接的单音复信号产生电路、自适应算法电路、环路相位补偿电路、抵消信号产生电路和杂散抵消电路；所述单音复信号产生电路耦合至所述配置电路；

5 所述单音复信号产生电路用于根据所述配置电路配置的所述杂散的频率，产生单音复信号，所述单音复信号的频率与所述杂散的频率相同；

所述自适应算法电路用于根据所述单音复信号，对所述杂散进行自适应收敛，得到收敛后的信号；

所述环路相位补偿电路用于对所述单音复信号和所述收敛后的信号进行相位补偿，得到补偿后的信号；

10 所述抵消信号产生电路用于根据所述收敛后的信号、以及所述补偿后的信号，生成所述杂散抵消信号；

所述杂散抵消电路用于采用所述杂散抵消信号抵消所述信号中的杂散。

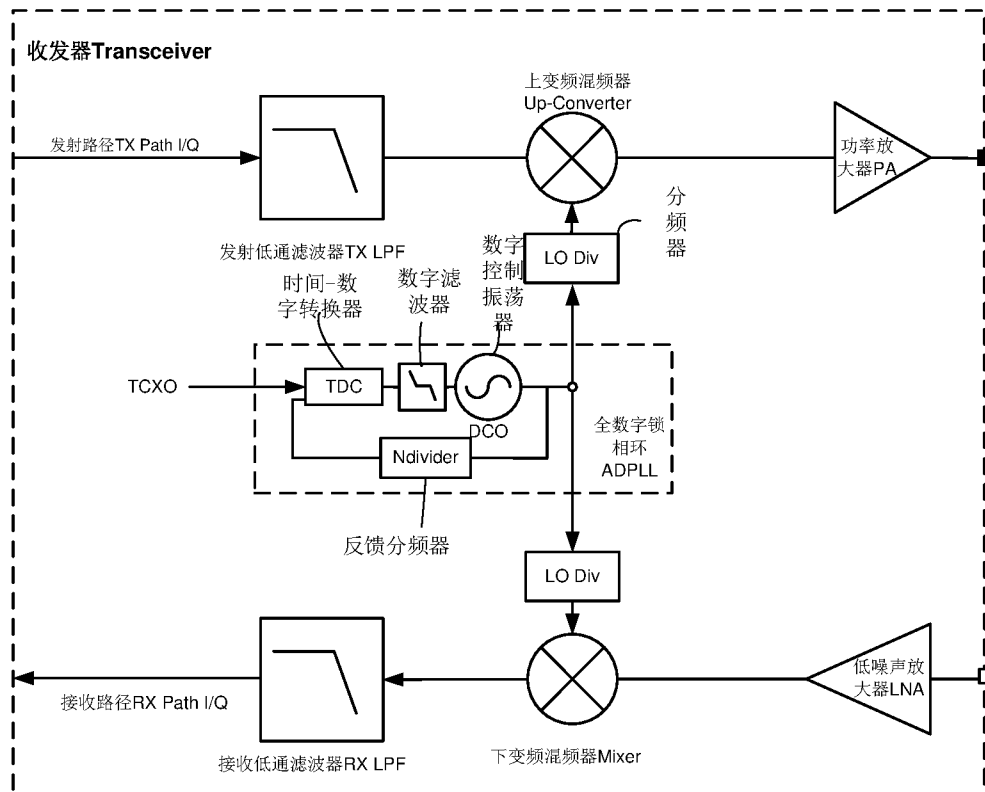


图 1

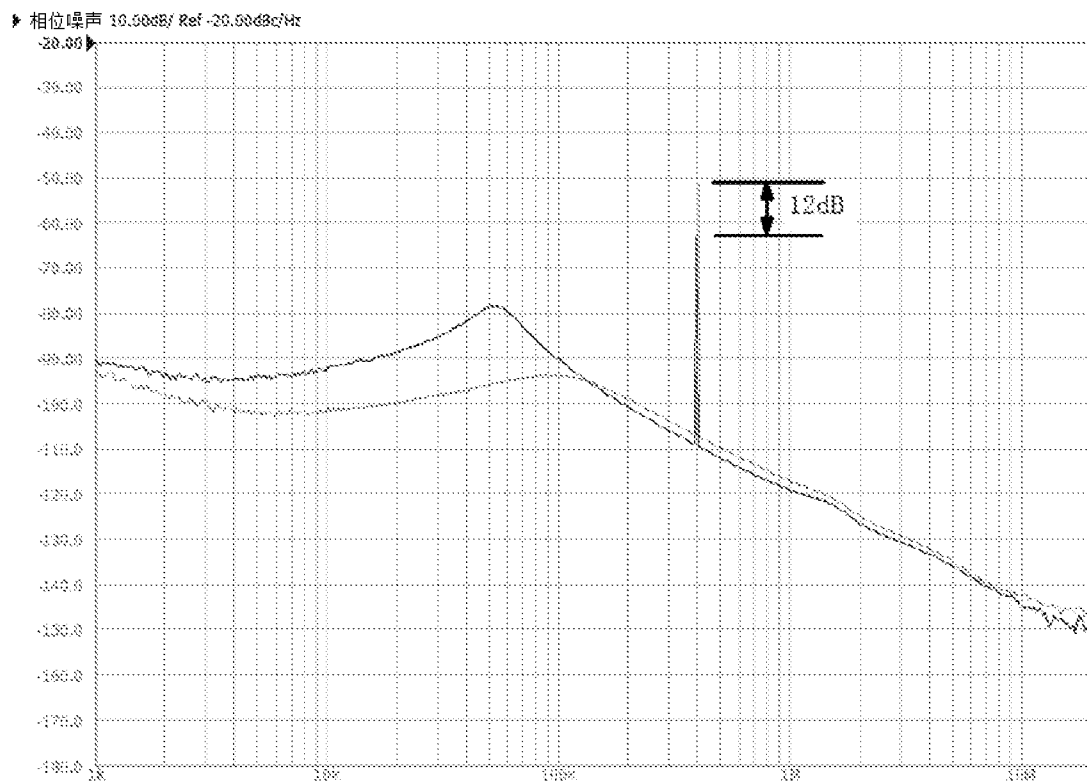


图 2

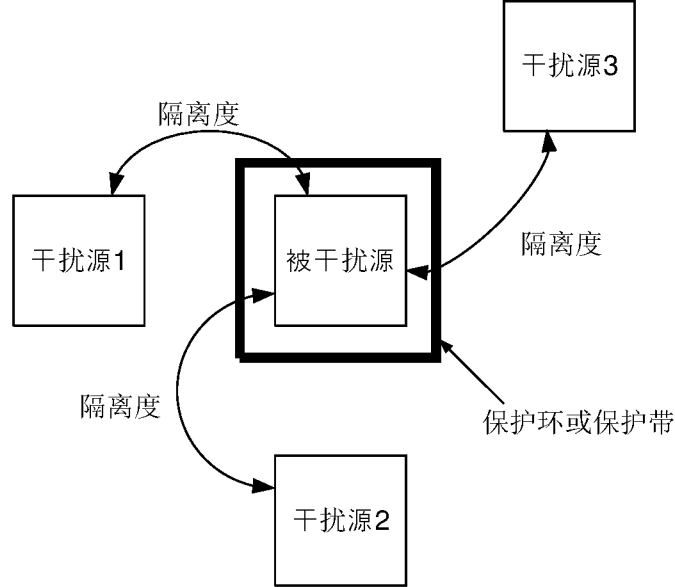


图 3

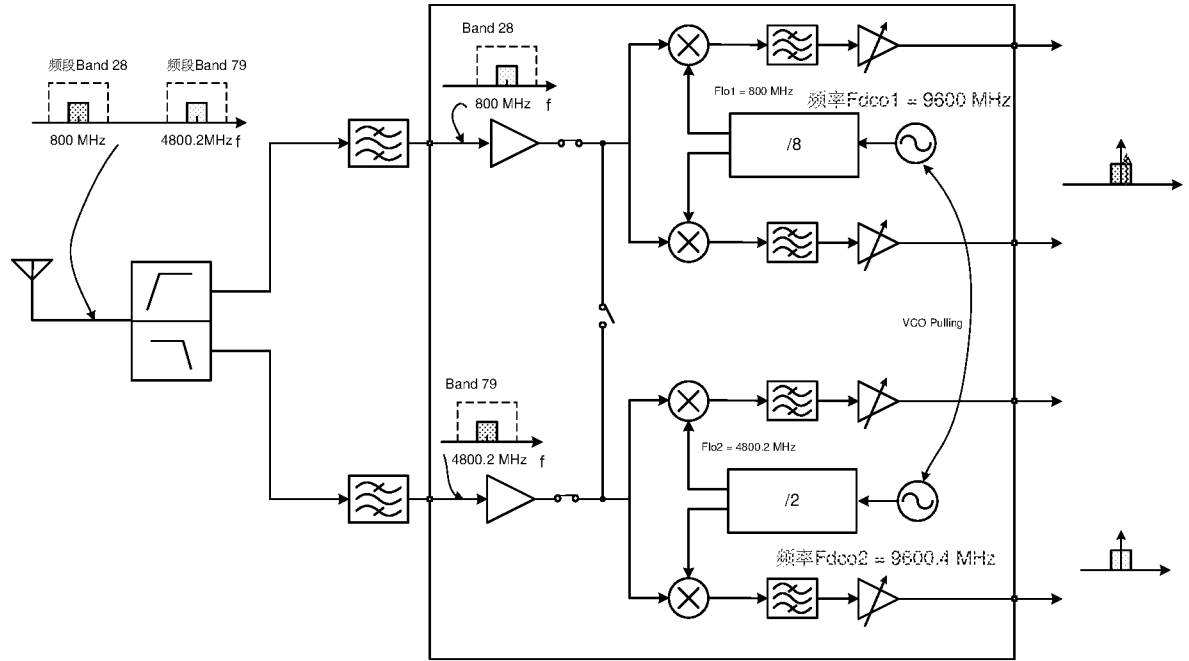


图 4

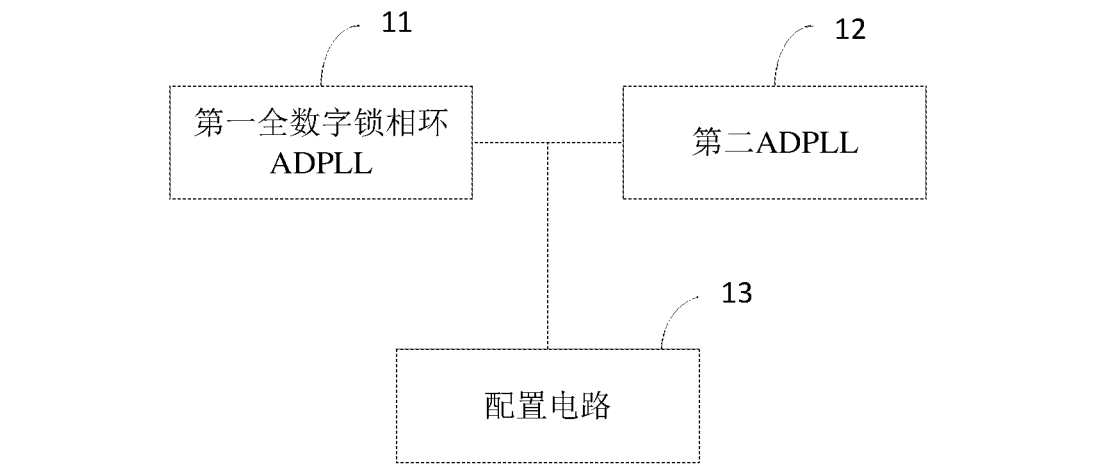


图 5

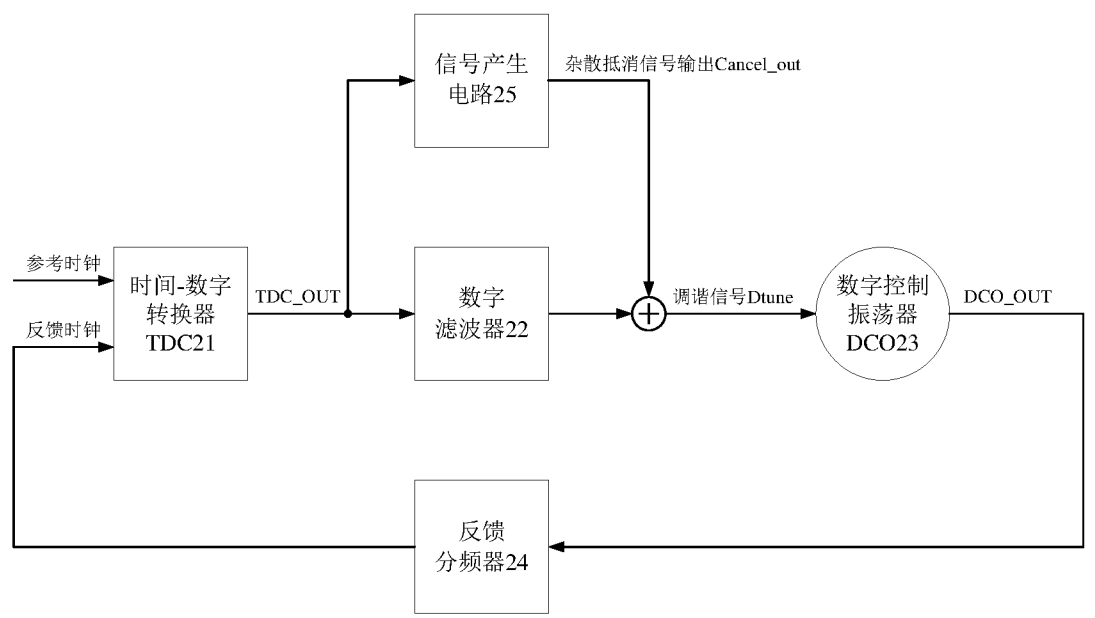


图 6a

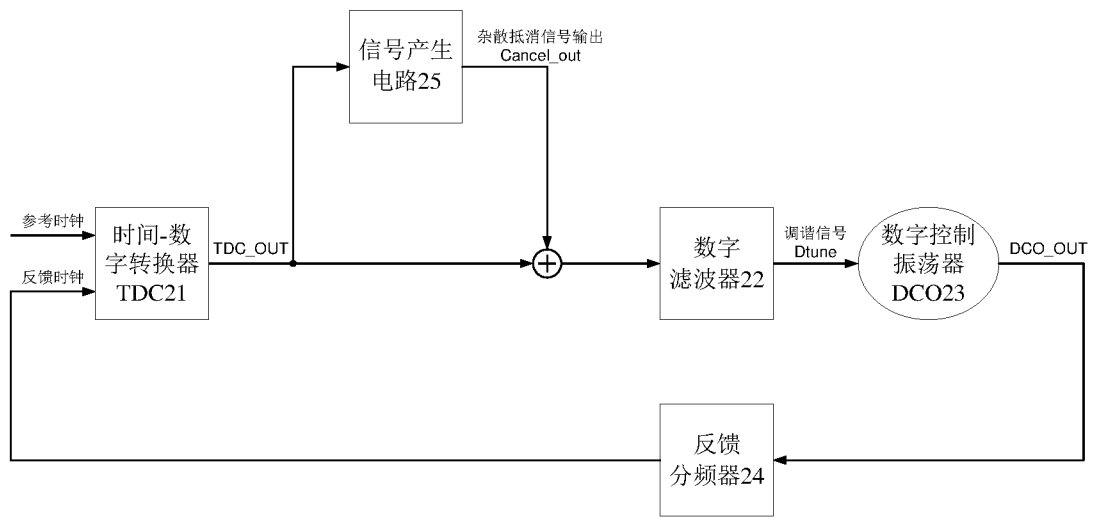


图 6b

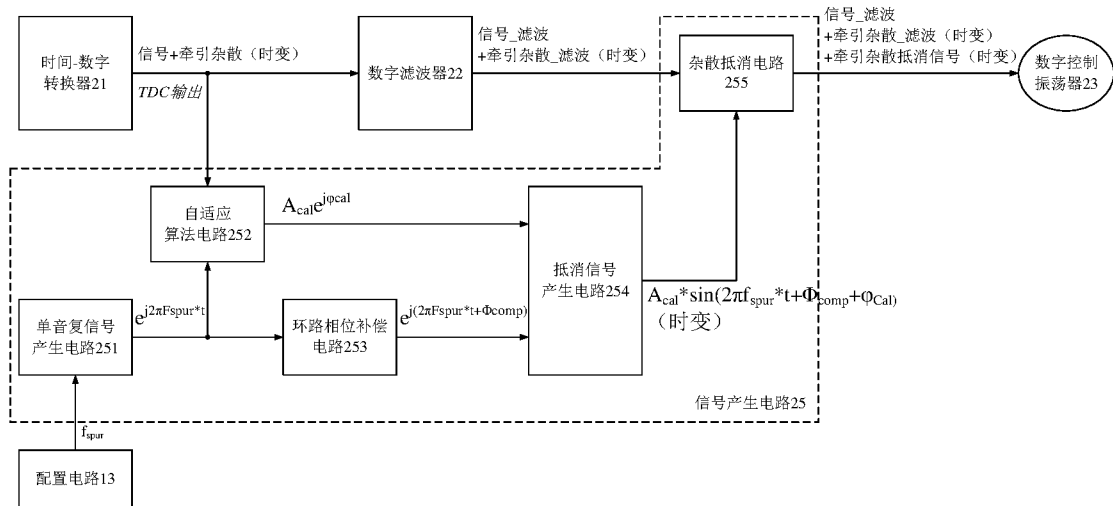


图 7a

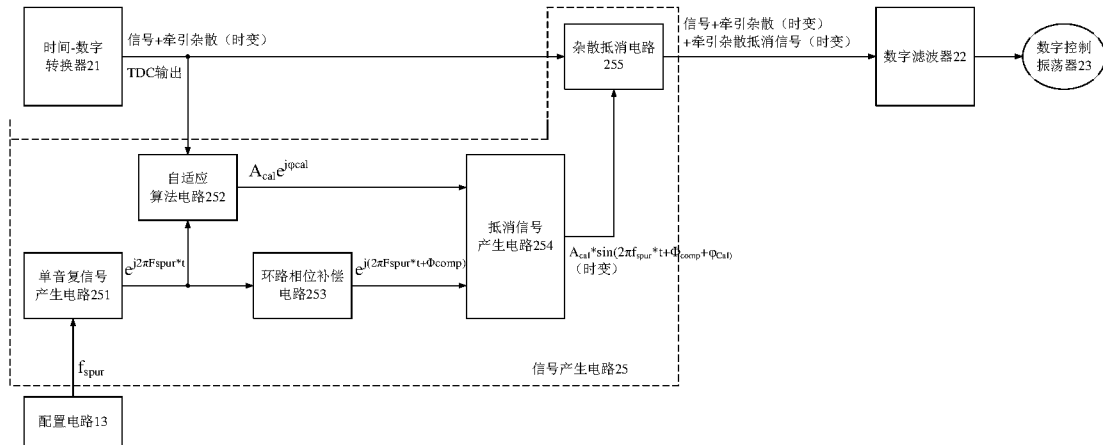


图 7b

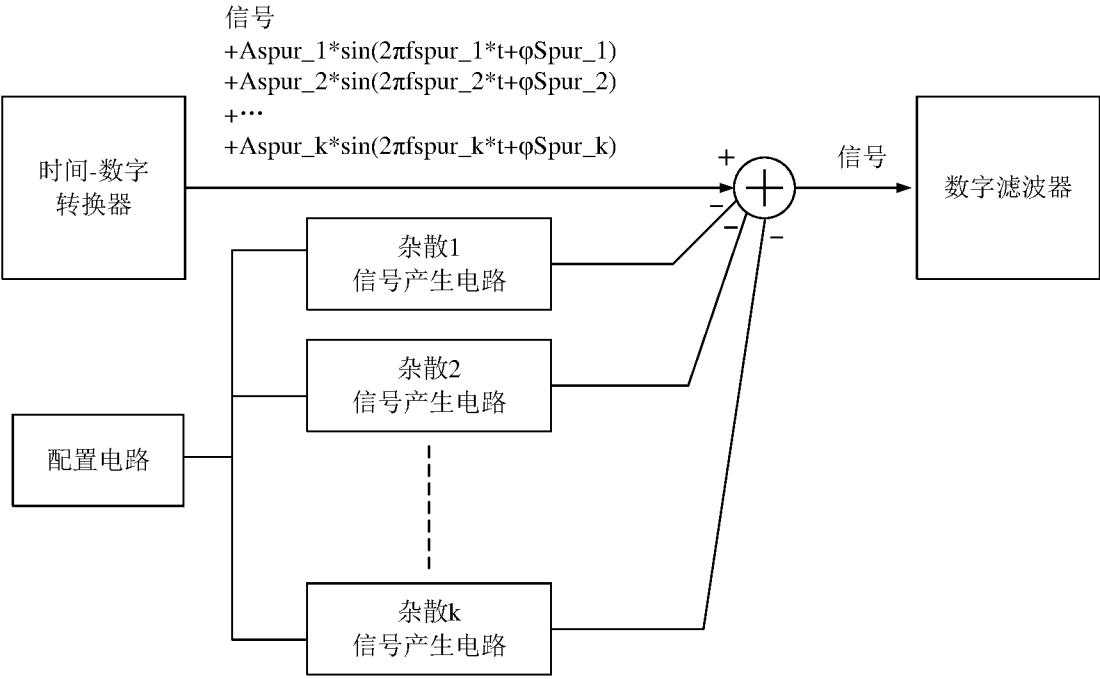


图 8

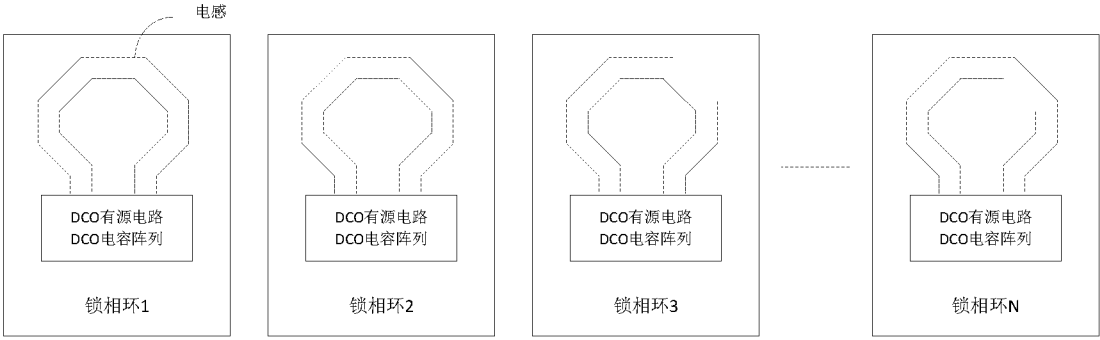


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/080695

A. CLASSIFICATION OF SUBJECT MATTER

H03L 7/099(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03L; H04B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI, VEN, USTXT, EPTXT, WOTXT, IEEE: 多, 双, 二, 通道, 载波, 载频, 频率, 频段, 数字锁相环, DPLL, ADPLL, 数字控制振荡器, 数控振荡器, 数字受控振荡器, DCO, 杂散, 干扰, 牵引, two, second, multiple, paths, carriers, all digital phase locked loop, digital PLL, spur, pulling

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103716059 A (NXP B.V.) 09 April 2014 (2014-04-09) description, paragraphs [0046]-[0110], and figures 1 and 2	8, 9
A	CN 103716059 A (NXP B.V.) 09 April 2014 (2014-04-09) description, paragraphs [0046]-[0110], and figures 1 and 2	1-7, 10-14
Y	CN 204231528 U (ZHUHAI JIAXUN SAITE ELECTRONICS CO., LTD.) 25 March 2015 (2015-03-25) description, paragraph [0021], and figures 1 and 2	8, 9
A	CN 204231528 U (ZHUHAI JIAXUN SAITE ELECTRONICS CO., LTD.) 25 March 2015 (2015-03-25) description, paragraph [0021], and figures 1 and 2	1-7, 10-14
A	CN 107437939 A (INTEL IP CORPORATION) 05 December 2017 (2017-12-05) entire document	1-14
A	US 2017134030 A1 (QUALCOMM INCORPORATED) 11 May 2017 (2017-05-11) entire document	1-14
A	EP 3422579 A1 (INTEL IP CORPORATION) 02 January 2019 (2019-01-02) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 December 2019

Date of mailing of the international search report

02 January 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/080695

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 10056912 B1 (AVAGO TECHNOLOGIES GENERAL IP (SINGAPORE) PTE. LTD.) 21 August 2018 (2018-08-21) entire document	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/080695

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103716059	A	09 April 2014	US	9306690	B2	05 April 2016
				EP	2675070	B1	16 August 2017
				CN	103716059	B	09 September 2015
				US	2013343173	A1	26 December 2013
				EP	2675070	A1	18 December 2013
CN	204231528	U	25 March 2015	None			
CN	107437939	A	05 December 2017	US	9847800	B1	19 December 2017
				US	2017346508	A1	30 November 2017
US	2017134030	A1	11 May 2017	None			
EP	3422579	A1	02 January 2019	US	10263624	B2	16 April 2019
				US	2018375519	A1	27 December 2018
US	10056912	B1	21 August 2018	US	2018241404	A1	23 August 2018

国际检索报告

国际申请号

PCT/CN2019/080695

A. 主题的分类

H03L 7/099 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H03L; H04B

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS, CNTXT, CNKI, VEN, USTXT, EPTXT, WOTXT, IEEE: 多, 双, 二, 通道, 载波, 载频, 频率, 频段, 数字锁相环, DPLL, ADPLL, 数字控制振荡器, 数控振荡器, 数字受控振荡器, DC0, 杂散, 干扰, 牵引, two, second, multiple, paths, carriers, all digital phase locked loop, digital PLL, spur, pulling

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 103716059 A (NXP股份有限公司) 2014年 4月 9日 (2014 - 04 - 09) 说明书第0046-0110段, 图1-2	8, 9
A	CN 103716059 A (NXP股份有限公司) 2014年 4月 9日 (2014 - 04 - 09) 说明书第0046-0110段, 图1-2	1-7, 10-14
Y	CN 204231528 U (珠海佳讯赛特电子有限公司) 2015年 3月 25日 (2015 - 03 - 25) 说明书第0021段, 附图1和2	8, 9
A	CN 204231528 U (珠海佳讯赛特电子有限公司) 2015年 3月 25日 (2015 - 03 - 25) 说明书第0021段, 附图1和2	1-7, 10-14
A	CN 107437939 A (英特尔IP公司) 2017年 12月 5日 (2017 - 12 - 05) 全文	1-14
A	US 2017134030 A1 (QUALCOMM INC) 2017年 5月 11日 (2017 - 05 - 11) 全文	1-14
A	EP 3422579 A1 (INTEL IP CORP) 2019年 1月 2日 (2019 - 01 - 02) 全文	1-14

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 12月 16日

国际检索报告邮寄日期

2020年 1月 2日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

王婷婷

电话号码 86-010-62412161

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 10056912 B1 (AVAGO TECHNOLOGIES GENERAL IP) 2018年 8月 21日 (2018 - 08 - 21) 全文	1-14

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/080695

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103716059	A	2014年 4月 9日	US	9306690	B2	2016年 4月 5日
				EP	2675070	B1	2017年 8月 16日
				CN	103716059	B	2015年 9月 9日
				US	2013343173	A1	2013年 12月 26日
				EP	2675070	A1	2013年 12月 18日
CN	204231528	U	2015年 3月 25日	无			
CN	107437939	A	2017年 12月 5日	US	9847800	B1	2017年 12月 19日
				US	2017346508	A1	2017年 11月 30日
US	2017134030	A1	2017年 5月 11日	无			
EP	3422579	A1	2019年 1月 2日	US	10263624	B2	2019年 4月 16日
				US	2018375519	A1	2018年 12月 27日
US	10056912	B1	2018年 8月 21日	US	2018241404	A1	2018年 8月 23日