



등록특허 10-2220002



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년02월26일

(11) 등록번호 10-2220002

(24) 등록일자 2021년02월19일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2014-0042750

(22) 출원일자 2014년04월10일

심사청구일자 2019년04월09일

(65) 공개번호 10-2014-0123431

(43) 공개일자 2014년10월22일

(30) 우선권주장

JP-P-2013-083799 2013년04월12일 일본(JP)

JP-P-2013-093160 2013년04월26일 일본(JP)

(56) 선행기술조사문현

JP2011124360 A*

(뒷면에 계속)

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내 사카쿠라 마사유키

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내 수자와 히데오미

(74) 대리인

장훈

심사관 : 임창연

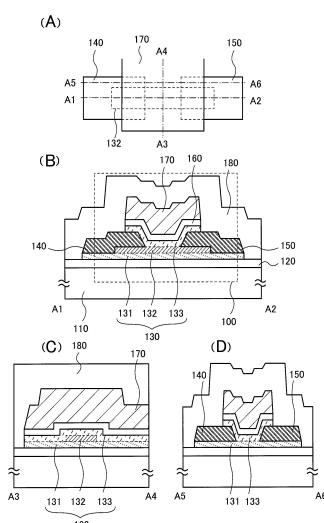
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치

(57) 요 약

본 발명은 미세화에 따라 현저해지는 전기 특성의 저하를 억제할 수 있는 구성의 반도체 장치를 제공한다.

상기 반도체 장치는 절연 표면 위에 형성된 제 1 산화물 반도체층과, 제 1 산화물 반도체층 위에 형성되고, 면적 이 제 1 산화물 반도체층보다 작고 전체가 제 1 산화물 반도체층과 중첩되는 제 2 산화물 반도체층과, 제 1 산화물 반도체층의 일부 및 제 2 산화물 반도체층의 일부와 한쪽 면이 접촉하는 소스 전극층 및 드레인 전극층과, 제 1 산화물 반도체층 및 제 2 산화물 반도체층 위에 형성되고 소스 전극층 및 드레인 전극층의 다른 쪽 면과 일부 가 접촉하는 제 3 산화물 반도체층과, 제 3 산화물 반도체층 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성된 게이트 전극층을 구비하는 구성으로 한다.

대 표 도 - 도1

(56) 선행기술조사문현
JP2013062499 A*
KR1020120047202 A*
US20120146713 A1
US20080296568 A1
*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

반도체 장치에 있어서,

절연 표면 위의 제 1 산화물 반도체층과;

상기 제 1 산화물 반도체층 위의 제 2 산화물 반도체층과;

상기 제 1 산화물 반도체층의 일부 및 상기 제 2 산화물 반도체층의 일부와 접촉하는 소스 전극 및 드레인 전극과;

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층 위의 제 3 산화물 반도체층과;

상기 제 3 산화물 반도체층 위의 게이트 절연막과;

상기 게이트 절연막 위의 게이트 전극을 포함하고,

상기 제 2 산화물 반도체층은 전체가 상기 제 1 산화물 반도체층과 중첩되고,

상기 제 3 산화물 반도체층은 상기 소스 전극의 일부 및 상기 드레인 전극의 일부와 접촉하고,
 상기 제 1 산화물 반도체층의 제 1 영역은 상기 제 1 산화물 반도체층의 제 2 영역보다 얇고,
 상기 제 1 영역은 상기 제 3 산화물 반도체층과 직접 접촉하고,
 상기 제 2 영역은 상기 제 2 산화물 반도체층과 직접 접촉하는, 반도체 장치.

청구항 12

제 11 항에 있어서,

채널 폭 방향의 단면에 있어서, 상기 제 2 산화물 반도체층의 상면의 길이(W_T)와 상기 제 2 산화물 반도체층의 한쪽 측면의 길이(W_S)가 $0.3W_S \leq W_T \leq 3W_S$ 의 관계를 만족시키는, 반도체 장치.

청구항 13

제 11 항에 있어서,

상기 제 1 산화물 반도체층의 전도대 하단 및 상기 제 3 산화물 반도체층의 전도대 하단은 상기 제 2 산화물 반도체층의 전도대 하단보다 0.05eV 이상 2eV 이하만큼 진공 준위에 가까운, 반도체 장치.

청구항 14

제 11 항에 있어서,

상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 및 상기 제 3 산화물 반도체층의 각각은 In-M-Zn 산화물을 포함하고,

M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 및 Hf로 이루어진 군에서 선택된 하나이고,

상기 제 1 산화물 반도체층 및 상기 제 3 산화물 반도체층 각각에서의 In에 대한 M의 원자수비는 상기 제 2 산화물 반도체층에서의 In에 대한 M의 원자수비보다 높은, 반도체 장치.

청구항 15

제 11 항에 있어서,

상기 소스 전극 및 상기 드레인 전극의 각각은 Al, Cr, Cu, Ta, Ti, Mo, 및 W로 이루어진 군에서 선택된 도전재료를 포함하는, 반도체 장치.

청구항 16

제 11 항에 있어서,

상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 및 상기 제 3 산화물 반도체층의 각각은 결정을 포함하는, 반도체 장치.

청구항 17

제 11 항에 있어서,

상기 제 2 산화물 반도체층의 c축은 상기 제 2 산화물 반도체층의 표면의 법선 벡터에 평행한 방향으로 배향되는, 반도체 장치.

청구항 18

제 11 항에 있어서,

상기 제 2 산화물 반도체층의 측면부에서의 결정 및 상기 측면부를 덮는 상기 제 3 산화물 반도체층에서의 결정은 인듐 및 산소에 의하여 연접되는, 반도체 장치.

청구항 19

제 11 항에 있어서,

상기 절연 표면 위에 용량 소자를 더 포함하고,

상기 용량 소자는 상기 소스 전극 및 상기 드레인 전극 중 하나를 포함하는, 반도체 장치.

청구항 20

제 11 항에 따른 반도체 장치를 포함하는 전자 기기.

발명의 설명

기술 분야

[0001]

본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 본 발명의 일 형태는 특히 반도체 장치, 표시 장치, 발광 장치, 기억 장치, 연산 장치, 촬상(撮像) 장치, 이들의 구동 방법, 또는 이들의 제작 방법에 관한 것이다.

[0002]

또한, 본 명세서 등에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 트랜지스터나 반도체 회로는 반도체 장치의 일 형태이다. 또한, 기억 장치, 표시 장치, 전자 기기는 반도체 장치를 포함하는 경우가 있다.

배경기술

[0003]

절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 사용할 수 있는 반도체 박막으로서는 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목을 받고 있다.

[0004]

예를 들어, 트랜지스터의 활성층으로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유한 비정질 산화물 반도체를 사용한 트랜지스터가 특허문현 1에 개시(開示)되어 있다.

선행기술문헌

특허문현

[0005]

(특허문현 0001) 일본 특개2006-165528호 공보

발명의 내용

해결하려는 과제

[0006]

일반적으로 말해서, 회로의 고집적화를 위해서는 트랜지스터의 미세화가 필수 기술이다. 한편, 트랜지스터의 미세화는 온 전류, 문턱 전압, S_v(subthreshold value) 등 트랜지스터의 전기 특성의 열화를 일으키는 것이 알려져 있다.

[0007]

따라서, 본 발명의 일 형태는 미세화에 따라 현저해지는 전기 특성의 저하를 억제할 수 있는 구성의 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 집적도가 높은 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 온 전류 특성의 열화가 저감된 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 저소비 전력의 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 신뢰성이 높은 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 전원이 차단되어도 데이터가 유지되는 반도체 장치를 제공하는 것을 목적 중 하나로 한다.

[0008]

다만, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들 모든 과제를 해결할 필요는 없다. 또한, 이들 외의 과제는 명세서, 도면, 청구항 등의 내용으로부터 저절로 명확해지는 것이며 명세서, 도면, 청구항 등의 내용으로부터 이들 외의 과제를 만들어낼 수 있다.

과제의 해결 수단

- [0009] 본 발명의 일 형태는 적층된 산화물 반도체층을 구비하는 반도체 장치에 관한 것이다.
- [0010] 본 발명의 일 형태는 절연 표면 위에 형성된 제 1 산화물 반도체층과, 제 1 산화물 반도체층 위에 형성되고 면적이 제 1 산화물 반도체층보다 작고 전체가 제 1 산화물 반도체층과 중첩되는 제 2 산화물 반도체층과, 제 1 산화물 반도체층의 일부 및 제 2 산화물 반도체층의 일부와 접촉하는 소스 전극층 및 드레인 전극층과, 제 1 산화물 반도체층 및 제 2 산화물 반도체층 위에 형성되고 소스 전극층 및 드레인 전극층 각각과 일부가 접촉하는 제 3 산화물 반도체층과, 제 3 산화물 반도체층 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성된 게이트 전극층을 구비하는 것을 특징으로 하는 반도체 장치이다.
- [0011] 또한, 본 명세서 등에서 '제 1', '제 2' 등의 서수사는 구성 요소의 혼동을 피하기 위해서 붙인 것이며, 수(數)적으로 한정하는 것이 아님을 부기한다.
- [0012] 또한, 제 1 산화물 반도체층 중, 제 2 산화물 반도체층, 소스 전극층, 및 드레인 전극층과 중첩되지 않은 영역이 제 3 산화물 반도체층과 접촉하는 구조이다.
- [0013] 또한, 제 1 산화물 반도체층 중 제 2 산화물 반도체층과 중첩되지 않은 영역의 두께는 제 2 산화물 반도체층과 중첩된 영역의 두께보다 얇은 구조이어도 좋다.
- [0014] 또한, 상기 반도체 장치의 채널 폭 방향의 단면에 있어서, 제 2 산화물 반도체층의 상면의 길이(W_T)와 한쪽 측면의 길이(W_S)의 관계는 $0.3W_S \leq W_T \leq 3W_S$ (W_T 는 $0.3W_S$ 이상 $3W_S$ 이하)인 것이 바람직하다.
- [0015] 또한, 제 1 산화물 반도체층 및 제 3 산화물 반도체층은 전도대 하단의 에너지가 제 2 산화물 반도체층의 전도대 하단의 에너지보다 0.05eV 이상 2eV 이하만큼 진공 준위에 가까운 것이 바람직하다.
- [0016] 또한, 제 1 산화물 반도체층, 제 2 산화물 반도체층, 및 제 3 산화물 반도체층은 c축이 배향되는 결정을 포함하는 것이 바람직하다.
- [0017] 또한, 제 2 산화물 반도체층의 측면부와, 이 측면부를 덮는 제 3 산화물 반도체층은 인듐 및 산소에 의하여 연접된 결정 구조를 갖는 것이 바람직하다.

발명의 효과

- [0018] 본 발명의 일 형태를 사용함으로써, 미세화에 따라 현저해지는 전기 특성의 저하를 억제할 수 있는 구성의 반도체 장치를 제공할 수 있다. 또는, 접적도가 높은 반도체 장치를 제공할 수 있다. 또는, 온 전류 특성의 열화가 저감된 반도체 장치를 제공할 수 있다. 또는, 저소비 전력의 반도체 장치를 제공할 수 있다. 또는, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또는, 전원이 차단되어도 데이터가 유지되는 반도체 장치를 제공할 수 있다.
- [0019] 다만, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 반드시 이들 모든 효과를 가질 필요는 없다. 또한, 이들 외의 효과는 명세서, 도면, 청구항 등의 내용으로부터 저절로 명확해지는 것이며, 명세서, 도면, 및 청구항 등의 내용으로부터 이들 외의 효과를 만들어낼 수 있다.

도면의 간단한 설명

- [0020] 도 1은 트랜지스터를 설명하기 위한 상면도 및 단면도.
 도 2는 산화물 반도체층의 밴드 구조를 설명하기 위한 도면.
 도 3은 트랜지스터의 확대 단면도.
 도 4는 트랜지스터의 채널 폭 방향의 단면도.
 도 5는 트랜지스터의 채널 폭 방향의 단면도.
 도 6은 트랜지스터의 채널 폭 방향의 단면도.
 도 7은 트랜지스터의 채널 폭 방향의 단면도.
 도 8은 트랜지스터의 제작 방법을 설명하기 위한 도면.

도 9는 트랜지스터의 제작 방법을 설명하기 위한 도면.

도 10은 산화물 반도체층의 결정 구조의 일 형태를 설명하기 위한 도면.

도 11은 반도체 장치의 단면도 및 회로도.

도 12는 반도체 장치의 회로도.

도 13은 반도체 장치의 블록도.

도 14는 기억 장치를 설명하기 위한 회로도.

도 15는 반도체 장치가 적용될 수 있는 전자 기기를 설명하기 위한 도면.

도 16은 트랜지스터를 설명하기 위한 상면도 및 단면도.

도 17은 트랜지스터의 채널 폭 방향의 단면도.

도 18은 트랜지스터의 채널 폭 방향의 단면도.

도 19는 트랜지스터의 채널 폭 방향의 단면도.

도 20은 트랜지스터의 제작 방법을 설명하기 위한 도면.

도 21은 트랜지스터의 제작 방법을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0021]

실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되는 것이 아니다. 또한, 이하에서 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면에 공통적으로 이용하며, 그 반복되는 설명은 생략하는 경우가 있다.

[0022]

또한, 본 명세서 등에서, 'X와 Y가 접속되어 있다'라고 명시적으로 기재하는 경우에는 X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함한다. 여기서, X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)을 뜻한다. 따라서, 소정의 접속 관계, 예를 들어 도면 또는 문장으로 제시된 접속 관계에 한정되지 않으며, 도면 또는 문장으로 제시된 접속 관계 이외의 것도 포함한다.

[0023]

X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 스위치는 온 상태 또는 오프 상태로 제어된다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 갖는다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 갖는다.

[0024]

X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 변화시키는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 일례로서, X와 Y 사이에 다른 회로가 존재하더라도 X로부터 출력된 신호가 Y로 전달된다면 X와 Y는 기능적으로 접속되어 있는 것으로 한다.

[0025]

또한, 'X와 Y가 접속되어 있다'라고 명시적으로 기재하는 경우는, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로가 개재(介在)되어 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y 사이에 다른 회로가 개재되어 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로가 개재되지 않고 접속되어 있는 경우)를 포함하는 것으로 한다. 즉, '전기적으로 접속되어 있다'라고 명시적으로 기재하는 경우에는 단순히 '접속되어 있다'라고만 명시적으로 기재되어 있는 경우와 같은 것으로 한다.

- [0026] 또한, 회로도상으로는 독립되어 있는 구성 요소끼리가 전기적으로 접속되어 있는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 함께 가지고 있는 경우도 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선 및 전극 양쪽의 구성 요소의 기능을 함께 가지고 있다. 따라서, 본 명세서에서 '전기적으로 접속'이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 함께 가지고 있는 경우도 그 범주에 포함한다.
- [0027] 또한, 본 명세서 등에서는 다양한 기판을 사용하여 트랜지스터를 형성할 수 있다. 기판의 종류는 특정한 것에 한정되지 않는다. 그 기판의 일례로서는 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스강 기판, 스테인리스강박이 사용된 기판, 텅스텐 기판, 텅스텐박이 사용된 기판, 가요성 기판, 접합 필름, 섬유형 재료를 포함하는 종이, 또는 기재(基材) 필름 등이 있다. 유리 기판의 일례로서는, 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리, 또는 소다 석회 유리 등이 있다. 가요성 기판의 일례로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설휘(PES)으로 대표되는 플라스틱, 또는 아크릴 등 가요성을 갖는 합성 수지 등이 있다. 접합 필름의 일례로서는, 폴리프로필렌, 폴리에스테르, 폴리불화비닐, 또는 폴리염화비닐 등이 있다. 기재 필름의 일례로서는, 폴리에스테르, 폴리아미드, 폴리아미드, 무기 중착 필름, 또는 종이류 등이 있다. 특히 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하여 트랜지스터를 제조함으로써, 특성, 크기, 또는 형상 등의 편차가 적고 전류 능력이 높고 크기가 작은 트랜지스터를 제조할 수 있다. 이러한 트랜지스터로 회로를 구성하면, 회로의 저소비 전력화 또는 고집적화를 도모할 수 있다.
- [0028] 또한, 한 기판을 사용하여 트랜지스터를 형성한 후, 다른 기판으로 트랜지스터를 전치하여 그 다른 기판 위에 트랜지스터를 배치하여도 좋다. 트랜지스터가 전치되는 기판의 일례로서는, 트랜지스터를 형성하는 것이 가능한 상술한 바와 같은 기판에 더하여, 종이 기판, 셀로판 기판, 석재 기판, 목재 기판, 직물 기판(천연 섬유(견, 면, 마), 합성 섬유(나일론, 폴리우레탄, 폴리에스테르) 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스테르) 등을 포함함), 괴혁 기판, 또는 고무 기판 등을 들 수 있다. 이러한 기판을 사용함으로써, 특성이 양호한 트랜지스터의 형성, 소비 전력이 작은 트랜지스터의 형성, 깨지기 어려운 장치의 제조, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.
- [0029] (실시형태 1)
- [0030] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치에 대하여 도면을 사용하여 설명한다.
- [0031] 도 1은 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도이다. 도 1의 (A)는 상면도이고, 도 1의 (A)를 일점 쇄선 A1-A2에서 절단한 단면이 도 1의 (B)이고, 일점 쇄선 A3-A4에서 절단한 단면이 도 1의 (C)이고, 일점 쇄선 A5-A6에서 절단한 단면이 도 1의 (D)이다. 또한, 도 1의 (A)의 상면도에서는 도면의 명료화를 위해서 요소의 일부를 생략하였다. 또한, 일점 쇄선 A1-A2 방향을 채널 길이 방향, 일점 쇄선 A3-A4 방향을 채널 폭 방향이라고 부르는 경우가 있다.
- [0032] 도 1에 도시한 트랜지스터(100)는 기판(110) 위에 형성된 하지 절연막(120), 상기 하지 절연막(120) 위에 형성된 제 1 산화물 반도체층(131), 상기 제 1 산화물 반도체층(131) 위에 형성되고 면적이 제 1 산화물 반도체층(131)보다 작고 전체가 제 1 산화물 반도체층(131)과 중첩되는 제 2 산화물 반도체층(132), 제 1 산화물 반도체층(131)의 일부 및 제 2 산화물 반도체층(132)의 일부와 접촉하는 소스 전극층(140) 및 드레인 전극층(150), 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132) 위에 형성되고 소스 전극층(140) 및 드레인 전극층(150)과 일부가 접촉하는 제 3 산화물 반도체층(133), 상기 제 3 산화물 반도체층(133) 위에 형성된 게이트 절연막(160), 상기 게이트 절연막(160) 위에 형성된 게이트 전극층(170)을 구비한다.
- [0033] 또한, 도 16에 도시한 트랜지스터(101)와 같이, 제 1 산화물 반도체층(131) 중 소스 전극층(140)과 접촉하는 영역의 두께 및 드레인 전극층(150)과 접촉하는 영역의 두께가 각각 제 1 산화물 반도체층(131) 중 제 2 산화물 반도체층(132)과 중첩되는 영역의 두께보다 얇은 구성으로 하여도 좋다.
- [0034] 또한, 게이트 절연막(160) 및 게이트 전극층(170) 위에 산화물 절연층(180)이 형성되어도 좋다. 상기 산화물 절연층(180)은 필요에 따라 제공하면 좋고 그 위에 다른 절연층을 더 형성하여도 좋다. 또한, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)을 총칭하여 산화물 반도체층(130)이라고 부른다.
- [0035] 또한, 트랜지스터의 '소스'나 '드레인'의 기능은 다른 특성을 갖는 트랜지스터가 적용되는 경우나, 또는 회로 동작에서 전류 방향이 변화되는 경우 등에 서로 바뀔 수 있다. 그러므로, 본 명세서에서는 '소스'나 '드레인'

이라는 용어는 교체하여 사용할 수 있다.

[0036] 기판(110)은 단순한 지지 재료에 한정되지 않으며, 트랜지스터 등 다른 디바이스가 형성된 기판이어도 좋다. 이 경우에는 트랜지스터(100)의 게이트 전극층(170), 소스 전극층(140), 및 드레인 전극층(150) 중 적어도 하나는 상기 다른 디바이스와 전기적으로 접속되어도 좋다.

[0037] 하지 절연막(120)은 기판(110)으로부터의 불순물 확산을 방지하는 역할뿐만 아니라, 산화물 반도체층(130)에 산소를 공급하는 역할도 가질 수 있다. 그러므로, 하지 절연막(120)은 산소를 함유한 절연막인 것이 바람직하고, 화학양론적 조성보다 많은 산소를 함유한 절연막이면 더 바람직하다. 또한, 기판(110)이 상술한 바와 같은 다른 디바이스가 형성된 기판인 경우, 하지 절연막(120)은 충간 절연막으로서의 기능도 갖는다. 이 경우에는 표면이 평탄하게 되도록 CMP(Chemical Mechanical Polishing)법 등으로 평탄화 처리를 수행하는 것이 바람직하다.

[0038] 또한, 트랜지스터(100)의 채널이 형성되는 영역에서 산화물 반도체층(130)은 기판(110) 측으로부터 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)이 순차적으로 적층된 구조를 갖는다. 또한, 제 1 산화물 반도체층(131) 중, 제 2 산화물 반도체층(132), 소스 전극층(140), 및 드레인 전극층(150)과 중첩되지 않은 영역은 제 3 산화물 반도체층(133)과 접촉하기 때문에, 제 2 산화물 반도체층(132)은 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에 의하여 둘러싼 구조이다.

[0039] 여기서, 일례로서 제 2 산화물 반도체층(132)에는 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)보다 전자 친화력(진공 준위로부터 전도대 하단까지의 에너지)이 큰 산화물 반도체를 사용한다. 전자 친화력은 진공 준위와 가전자대 상단의 에너지 차이(이온화 페텐셜)로부터, 전도대 하단과 가전자대 상단의 에너지 차이(에너지 갭)를 뺀으로써 산출할 수 있다.

[0040] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)을 구성하는 금속 원소를 1종류 이상 함유하고, 예를 들어 전도대 하단의 에너지가 제 2 산화물 반도체층(132)보다 0.05eV , 0.07eV , 0.1eV , 0.15eV 중 어느 값 이상, 2eV , 1eV , 0.5eV , 0.4eV 중 어느 값 이하만큼 진공 준위에 가까운 산화물 반도체로 형성하는 것이 바람직하다.

[0041] 이러한 구조에 있어서, 게이트 전극층(170)에 전계를 인가하면 산화물 반도체층(130) 중 전도대 하단의 에너지가 가장 작은 제 2 산화물 반도체층(132)에 채널이 형성된다. 즉, 제 2 산화물 반도체층(132)과 게이트 절연막(160) 사이에 제 3 산화물 반도체층(133)이 형성되어 있음으로써, 트랜지스터의 채널이 게이트 절연막(160)과 접촉하지 않는 구조가 된다.

[0042] 또한, 제 1 산화물 반도체층(131)은 제 2 산화물 반도체층(132)을 구성하는 금속 원소를 1종류 이상 함유하여 구성되기 때문에, 제 2 산화물 반도체층(132)과 하지 절연막(120)이 접촉하는 경우의 계면에 비해 제 2 산화물 반도체층(132)과 제 1 산화물 반도체층(131) 사이의 계면에 계면 준위가 형성되기 어려워진다. 상기 계면 준위는 채널을 형성하는 경우가 있기 때문에 트랜지스터의 문턱 전압이 변동될 수 있다. 따라서, 제 1 산화물 반도체층(131)을 제공함으로써 트랜지스터의 문턱 전압 등 전기 특성의 편차를 저감할 수 있다. 또한, 상기 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0043] 또한, 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)을 구성하는 금속 원소를 1종류 이상 함유하여 구성되기 때문에, 제 2 산화물 반도체층(132)과 게이트 절연막(160)이 접촉하는 경우의 계면에 비해 제 2 산화물 반도체층(132)과 제 3 산화물 반도체층(133) 사이의 계면에서 캐리어가 산란되기 어려워진다. 따라서, 제 3 산화물 반도체층(133)을 제공함으로써 트랜지스터의 전계 효과 이동도를 높게 할 수 있다.

[0044] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에는, 예를 들어 제 2 산화물 반도체층(132)보다 높은 원자수비로 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf를 함유한 재료를 사용할 수 있다. 구체적으로는, 상기 원자수비를 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상으로 한다. 상술한 원소는 산소와 강하게 결합하기 때문에, 산화물 반도체층에 산소 결손이 발생하는 것을 억제하는 기능을 갖는다. 즉 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에는 제 2 산화물 반도체층(132)보다 산소 결손이 발생하기 어렵다고 할 수 있다.

[0045] 또한, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)이 인듐, 아연, 및 M(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)을 적어도 함유한 In-M-Zn 산화물인 경우, 제 1 산화물 반도체층(131)의 원자수비를 $\text{In:M:Zn=x}_1:\text{y}_1:\text{z}_1$, 제 2 산화물 반도체층(132)의 원자수비를 $\text{In:M:Zn=x}_2:\text{y}_2:\text{z}_2$, 제 3 산화물 반도체층(133)의 원자수비를 $\text{In:M:Zn=x}_3:\text{y}_3:\text{z}_3$ 으로 하면, y_1/x_1 및 y_3/x_3 이 y_2/x_2

보다 큰 것이 바람직하다. y_1/x_1 및 y_3/x_3 은 y_2/x_2 보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상으로 한다. 이 경우에 제 2 산화물 반도체층(132)에서 y_2 가 x_2 이상이면 트랜지스터의 전기 특성을 안정화시킬 수 있다. 다만, y_2 가 x_2 의 3배 이상이 되면 트랜지스터의 전계 효과 이동도가 저하되기 때문에, y_2 는 x_2 의 3배 미만인 것이 바람직하다.

[0046]

또한, 본 명세서에서 산화물 반도체층의 조성을 설명하는 원자수비로서는 그 모재(base material)의 원자수비를 말하는 경우도 포함된다. 표 1은 ICP-MS(Inductively Coupled Plasma Mass Spectrometry)법으로 측정한 In-Ga-Zn 산화물 재료로 형성된 타깃의 조성과 상기 타깃을 사용하여 스퍼터링법으로 성막(成膜)한 In-Ga-Zn 산화물막의 조성의 일례이다. 표로부터 상기 산화물막에서는 상기 타깃보다 Zn 성분이 약간 감소되는 경우가 있다는 것을 알 수 있다.

표 1

[0047]

	조성 (원자수비 In:Ga:Zn)		
	IGZO 타깃	1:1:1	1:3:2
IGZO막	1.0:1.0:0.7	1.0:2.9:1.2	1.0:3.0:2.6

[0048]

타깃으로서 산화물 반도체 재료를 사용하여 스퍼터링법으로 성막하는 경우, 스퍼터링 가스의 종류나 그 비율, 타깃의 밀도, 및 성막 조건에 따라, 성막되는 산화물 반도체막의 조성이 그 모재의 타깃 조성과 달라지는 경우가 있다. 따라서, 본 명세서에서는 산화물 반도체층의 조성을 설명하는 원자수비에는 그 모재의 원자수비도 포함한다. 예를 들어, 스퍼터링법을 이용하여 성막하는 경우에, 원자수비가 1:1:1인 In-Ga-Zn 산화물막을, 원자수비가 1:1:1인 In-Ga-Zn-O 재료를 타깃으로서 사용하여 성막된 In-Ga-Zn 산화물막으로 바꿔 말할 수 있다.

[0049]

제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133) 중 Zn 및 O를 제외한 In 및 M의 원자수 비율은 In이 50atomic% 미만이고 M이 50atomic% 이상인 것이 바람직하고, In이 25atomic% 미만이고 M이 75atomic% 이상이면 더 바람직하다. 또한, 제 2 산화물 반도체층(132) 중 Zn 및 O를 제외한 In 및 M의 원자수 비율은 In이 25atomic% 이상이고 M이 75atomic% 미만인 것이 바람직하고, In이 34atomic% 이상이고 M이 66atomic% 미만이면 더 바람직하다.

[0050]

제 1 산화물 반도체층(131)의 두께 및 제 3 산화물 반도체층(133)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 제 2 산화물 반도체층(132)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.

[0051]

제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에는, 예를 들어 인듐, 아연, 및 갈륨을 함유한 산화물 반도체를 사용할 수 있다. 특히 제 2 산화물 반도체층(132)이 인듐을 함유하면, 캐리어 이동도가 높아지기 때문에 바람직하다.

[0052]

또한, 산화물 반도체층을 채널로서 사용하는 트랜지스터의 전기 특성을 안정화시키기 위해서는, 산화물 반도체층 내의 불순물 농도를 저감시켜 산화물 반도체층을 진성 또는 실질적으로 진성으로 하는 것이 유효하다. 여기서, '실질적으로 진성'이란, 산화물 반도체층의 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 미만인 것을 말한다.

[0053]

또한, 산화물 반도체층에 있어서, 수소, 질소, 탄소, 실리콘, 및 주성분 이외의 금속 원소는 불순물이다. 예를 들어, 수소 및 질소는 도너 준위의 형성에 기여하며 캐리어 밀도를 증대시킨다. 또한, 실리콘은 산화물 반도체층 내에서 불순물 준위의 형성에 기여한다. 상기 불순물 준위는 트랩이 되어 트랜지스터의 전기 특성을 열화시키는 경우가 있다. 따라서, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)의 층 내나 각 계면에서의 불순물 농도를 저감시키는 것이 바람직하다.

[0054]

산화물 반도체층을 진성 또는 실질적으로 진성으로 하기 위해서는 SIMS(Secondary Ion Mass Spectrometry) 분석에서, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에 실리콘 농도가 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만인 부분을 갖는 것이 좋다. 또한, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에 수소 농도가 $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times$

10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 보다 바람직하게는 5×10^{18} atoms/cm³ 이하인 부분을 갖는 것이 좋다. 또한, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에 질소 농도가 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하인 부분을 갖는 것이 좋다.

[0055] 또한, 산화물 반도체층이 결정을 포함하는 경우에 실리콘이나 탄소가 고농도로 함유되면, 산화물 반도체층의 결정성이 저하될 수 있다. 산화물 반도체층의 결정성을 저하시키지 않기 위해서는, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에 실리콘 농도가 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 1×10^{18} atoms/cm³ 미만인 부분을 가지면 좋다. 또한, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에 탄소 농도가 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 1×10^{18} atoms/cm³ 미만인 부분을 가지면 좋다.

[0056] 또한, 상술한 바와 같이 고순도화된 산화물 반도체층이 채널 형성 영역에 사용된 트랜지스터의 오프 전류는 매우 작다. 예를 들어 소스와 드레인 간의 전압을 0.1V, 5V, 또는 10V 정도로 한 경우에, 트랜지스터의 채널 폭으로 정규화된 오프 전류를 수yA/ μ m 내지 수zA/ μ m까지 저감할 수 있다.

[0057] 또한, 트랜지스터의 게이트 절연막으로서는 실리콘을 함유한 절연막이 사용되는 경우가 많기 때문에, 산화물 반도체층의 채널이 되는 영역은 상술한 이유로 본 발명의 일 형태에 따른 트랜지스터와 같이 게이트 절연막과 접촉하지 않는 구조가 바람직하다고 할 수 있다. 또한, 게이트 절연막과 산화물 반도체층 사이의 계면에 채널이 형성되는 경우에는, 상기 계면에서 캐리어가 산란되어 트랜지스터의 전계 효과 이동도가 낮아질 수 있다. 이러한 관점에서 봐도, 산화물 반도체층의 채널이 되는 영역은 게이트 절연막으로부터 떨어지게 하는 것이 바람직하다고 할 수 있다.

[0058] 따라서, 산화물 반도체층(130)을 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)의 적층 구조로 함으로써, 제 2 산화물 반도체층(132)에 채널을 형성할 수 있어, 높은 전계 효과 이동도 및 안정된 전기 특성을 갖는 트랜지스터를 형성할 수 있다.

[0059] 다음에, 산화물 반도체층(130)의 밴드 구조에 대하여 설명한다. 밴드 구조의 해석은 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에 상당하는 층으로서 에너지 갭이 3.5eV인 In-Ga-Zn 산화물, 제 2 산화물 반도체층(132)에 상당하는 층으로서 에너지 갭이 3.15eV인 In-Ga-Zn 산화물을 사용하여, 산화물 반도체층(130)에 상당하는 적층을 제작하여 수행하였다.

[0060] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)의 두께는 각각 10nm로 하고, 분광 엘립소미터(UT-300, HORIBA JOBIN YVON사 제조)를 이용하여 에너지 갭을 측정하였다. 또한, 진공 준위와 가전자대 상단의 에너지 차이는 자외선 광전자 분광 분석(UPS: Ultraviolet Photoelectron Spectroscopy) 장치(VersaProbe, PHI사 제조)를 이용하여 측정하였다.

[0061] 도 2의 (A)는 진공 준위와 가전자대 상단의 에너지 차이로부터 각 층의 에너지 갭을 뺀 값으로서 산출되는 진공 준위와 전도대 하단의 에너지 차이(전자 친화력)의 밴드 구조의 일부를 모식적으로 도시한 것이다. 도 2의 (A)는 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)과 접촉하도록 산화 실리콘막을 제공한 경우의 밴드도이다. 여기서, Ev는 진공 준위의 에너지, EcI1 및 EcI2는 산화 실리콘막의 전도대 하단의 에너지, EcS1은 제 1 산화물 반도체층(131)의 전도대 하단의 에너지, EcS2는 제 2 산화물 반도체층(132)의 전도대 하단의 에너지, EcS3은 제 3 산화물 반도체층(133)의 전도대 하단의 에너지이다.

[0062] 도 2의 (A)에 도시한 바와 같이, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)에서 전도대 하단의 에너지가 연속적으로 변화된다. 이것은 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)의 조성이 근사되어 산소가 상호로 확산되기 쉽다는 것으로부터도 이해된다. 따라서, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)은 조성이 다른 층으로 이루어진 적층체이지만, 물성적으로 연속되어 있다고도 할 수 있으며, 도면에서는 상기 적층체의 각 층의 계면은 점선으로 도시하였다.

[0063] 공통된 주성분을 함유한 층이 적층된 산화물 반도체층(130)은 각 층을 단순히 적층하지 않고 연속 접합(여기서는 특히 전도대 하단의 에너지가 각 층 사이에서 연속적으로 변화되는 U자형 웰 구조(well structure having a

U shape)가 형성되도록 제작한다. 즉, 각 층 사이의 계면에 트랩 중심이나 재결합 중심 등 결합 준위를 형성하는 불순물이 존재하지 않는 적층 구조를 형성한다. 만약에 적층된 산화물 반도체층들 사이에 불순물이 존재되어 있으면 에너지 밴드의 연속성이 없어져 계면에서 캐리어가 트랩되거나 재결합하여 소멸된다.

[0064] 또한, 도 2의 (A)에서는 EcS1과 EcS3이 같은 경우에 대하여 도시하였지만, 각각이 달라도 좋다. 예를 들어, EcS3보다 EcS1의 에너지가 높은 경우, 밴드 구조의 일부는 도 2의 (B)와 같다.

[0065] 예를 들어 EcS1=EcS3인 경우, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에 원자수비가 In:Ga:Zn=1:3:2, 1:3:3, 1:3:4, 1:3:6, 1:6:4, 또는 1:9:6인 In-Ga-Zn 산화물, 제 2 산화물 반도체층(132)에 원자수비가 In:Ga:Zn=1:1:1, 5:5:6, 또는 3:1:2인 In-Ga-Zn 산화물 등을 사용할 수 있다. 또한, EcS1>EcS3인 경우, 제 1 산화물 반도체층(131)에 원자수비가 In:Ga:Zn=1:6:4 또는 1:9:6인 In-Ga-Zn 산화물, 제 2 산화물 반도체층(132)에 원자수비가 In:Ga:Zn=1:1:1, 5:5:6, 또는 3:1:2인 In-Ga-Zn 산화물, 제 3 산화물 반도체층(133)에 원자수비가 In:Ga:Zn=1:3:2, 1:3:3, 1:3:4, 1:3:6인 In-Ga-Zn 산화물 등을 사용할 수 있다.

[0066] 도 2로부터, 산화물 반도체층(130) 중 제 2 산화물 반도체층(132)이 웨(우물)이 되어, 산화물 반도체층(130)을 사용한 트랜지스터에서 채널이 제 2 산화물 반도체층(132)에 형성되는 것을 알 수 있다. 또한, 산화물 반도체층(130)은 전도대 하단의 에너지가 연속적으로 변화되고 있기 때문에, U자형 웨이라고도 부를 수 있다. 또한, 이러한 구성으로 형성된 채널을 매몰 채널이라고도 부를 수 있다.

[0067] 또한, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)과, 산화 실리콘막 등 절연막 사이의 계면 근방에는 불순물이나 결합에 기인한 트랩 준위가 형성될 수 있다. 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)이 있음으로써, 제 2 산화물 반도체층(132)을 상기 트랩 준위로부터 떨어져 존재하게 할 수 있다. 다만, EcS1 또는 EcS3과, EcS2 사이의 에너지 차이가 작으면, 제 2 산화물 반도체층(132)의 전자가 상기 에너지 차이를 넘어 트랩 준위에 도달하는 경우가 있다. 전자가 트랩 준위에 트랩됨으로써 절연막과의 계면에 음의 전하가 생겨 트랜지스터의 문턱 전압이 양 방향으로 변동된다.

[0068] 따라서, 트랜지스터의 문턱 전압의 변동을 저감하기 위해서는 EcS1 및 EcS3과, EcS2 사이에 에너지 차이를 제공할 필요가 있다. EcS1과 EcS2 사이, 및 EcS3과 EcS2 사이의 각 에너지 차이는 0.1eV 이상이 바람직하고, 0.15eV 이상이면 더 바람직하다.

[0069] 또한, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에 결정부가 포함되는 것이 바람직하다. 특히 c축이 배향된 결정을 사용함으로써, 트랜지스터의 전기 특성을 안정화시킬 수 있다.

[0070] 또한, 산화물 반도체층(130)에 In-Ga-Zn 산화물을 사용하는 경우, In이 게이트 절연막으로 확산되는 것을 방지하기 위해서 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)보다 In이 적은 조성을 갖는 것이 바람직하다.

[0071] 소스 전극층(140) 및 드레인 전극층(150)에는 산소와 결합되기 쉬운 도전 재료를 사용하는 것이 바람직하다. 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W 등을 사용할 수 있다. 이들 재료 중에서도 특히 산소와 결합되기 쉬운 Ti나, 나중의 공정 온도를 비교적 높게 할 수 있음 등의 이유로 융점이 높은 W를 사용하는 것이 더 바람직하다. 또한, 산소와 결합되기 쉬운 도전 재료에는 산소가 확산되기 쉬운 재료도 그 범주에 포함된다.

[0072] 산소와 결합되기 쉬운 도전 재료와 산화물 반도체층을 접촉시키면, 산화물 반도체층 내의 산소가, 산소와 결합되기 쉬운 도전 재료 층으로 확산되는 현상이 일어난다. 상기 현상은 온도가 높을수록 현저하게 일어난다. 트랜지스터의 제작 공정에서는 가열 공정을 몇 번 수행하기 때문에, 상기 현상에 의하여, 산화물 반도체층의 소스 전극층 또는 드레인 전극층과 접촉한 근방의 영역에 산소 결손이 발생하여, 막 내에 미량으로 포함되는 수소와 상기 산소 결손이 결합됨으로써 상기 영역이 n형화된다. 따라서, 상기 n형화된 영역은 트랜지스터의 소스 또는 드레인으로서 작용할 수 있다.

[0073] 도 3의 트랜지스터의 확대 단면도(채널 길이 방향의 단면)에 상기 n형화된 영역이 도시되어 있다. 제 2 산화물 반도체층(132) 내에 접선으로 도시된 경계(135)는 진성 반도체 영역과 n형 반도체 영역의 경계이고, 제 2 산화물 반도체층(132) 중 소스 전극층(140) 또는 드레인 전극층(150)과 접촉한 근방의 영역이, n형화된 영역이 된다. 또한, 경계(135)는 모식적으로 도시한 것이며, 실제로는 명확하지 않은 경우가 있다. 또한, 도 3에서는 경계(135)가 제 2 산화물 반도체층(132) 내에서 가로 방향으로 연장되어 위치한 상태를 도시하였지만, 제 2 산화물 반도체층(132) 중 소스 전극층(140) 또는 드레인 전극층(150)과 제 1 산화물 반도체층(131) 사이에 끼워진 영역의 막 두께 방향 전체가 n형화될 수도 있다. 또한, 도시하지 않았지만, 제 1 산화물 반도체층(131) 또는

제 3 산화물 반도체층(133)에도 n형화 영역이 형성되는 경우도 있다.

[0074] 또한, 채널 길이가 매우 짧은 트랜지스터를 형성하면, 상기 산소 결손의 발생으로 인하여 n형화된 영역이 트랜지스터의 채널 길이 방향으로 연장되어 존재하는 경우가 있다. 이 경우, 문턱 전압의 시프트나 게이트 전압으로 온/오프를 제어하기 어려운 상태(도통 상태)가 되는 등 트랜지스터의 전기 특성이 변동된다. 그러므로, 채널 길이가 매우 짧은 트랜지스터를 형성하는 경우에는 소스 전극층 및 드레인 전극층에 산소와 결합되기 쉬운 도전 재료를 사용하는 것은 반드시 바람직하다고는 할 수 없다.

[0075] 이러한 경우에는 소스 전극층(140) 및 드레인 전극층(150)에는 상술한 재료보다 산소와 결합되기 어려운 도전 재료를 사용하는 것이 바람직하다. 상기 도전 재료로서는, 예를 들어 질화 탄탈, 질화 티타늄, 또는 루테늄을 함유한 재료 등을 사용할 수 있다. 또한, 상기 도전 재료를 제 2 산화물 반도체층(132)과 접촉시키는 경우에는, 소스 전극층(140) 및 드레인 전극층(150)을, 상기 도전 재료 및 상술한 산소와 결합하기 쉬운 도전 재료를 적층한 구조으로 하여도 좋다.

[0076] 게이트 절연막(160)에는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 탄탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중 1종류 이상을 함유한 절연막을 사용할 수 있다. 또한, 게이트 절연막(160)은 상기 재료의 적층이 어도 좋다.

[0077] 게이트 전극층(170)에는 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta, 및 W 등의 도전막을 사용할 수 있다. 또한, 상기 게이트 전극층(170)은 상술한 재료의 적층이어도 좋다. 또한, 상기 게이트 전극층에는 질소를 함유한 도전막을 사용하여도 좋다.

[0078] 게이트 절연막(160) 및 게이트 전극층(170) 위에는 산화물 절연층(180)이 형성되어도 좋다. 상기 산화물 절연층(180)에는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 탄탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중 1종류 이상을 함유한 절연막을 사용할 수 있다. 또한, 상기 산화물 절연층(180)은 상기 재료의 적층이어도 좋다.

[0079] 여기서, 산화물 절연층(180)은 과잉 산소를 함유하는 것이 바람직하다. 과잉 산소를 함유한 산화물 절연층이란, 열처리 등에 의하여 산소를 방출할 수 있는 산화물 절연층을 말한다. 바람직하게는, 승온 이탈 가스 분광법에 의한 분석에서, 산소 원자로 환산된 경우의 산소의 방출량이 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 이상인 막으로 한다. 상기 산화물 절연층(180)으로부터 방출되는 산소는 게이트 절연막(160)을 통하여 산화물 반도체층(130)의 채널 형성 영역으로 확산시킬 수 있음으로써, 채널 형성 영역에 산소 결손이 형성된 경우에도 산소를 보전할 수 있다. 따라서, 트랜지스터의 전기 특성을 안정화시킬 수 있다.

[0080] 반도체 장치의 고집적화를 위해서는 트랜지스터의 미세화가 필수이다. 한편, 트랜지스터의 미세화로 인하여 트랜지스터의 전기 특성이 열화되는 것이 알려져 있으며, 특히 채널 폭의 축소에 직접 기인하여 일어나는 온 전류의 저하는 현저하다.

[0081] 도 4는 종래의, 산화물 반도체층을 사용한 트랜지스터를 채널 폭 방향으로 절단한 단면도이다. 상기 트랜지스터는 기판(210) 위에 하지 절연막(220), 상기 하지 절연막 위에 형성된 산화물 반도체층(230), 상기 산화물 반도체층 위에 형성된 게이트 절연막(260), 및 게이트 전극(270)을 구비한다.

[0082] 도 4의 (A)는 산화물 반도체층(230)의 두께보다 채널 폭 방향으로의 상기 산화물 반도체층의 상면의 길이(W_T)가 충분히 큰 트랜지스터이다. 이 경우, 채널 폭은 W_T 로 정의하면 된다.

[0083] 게이트 전극(270)으로부터 산화물 반도체층(230)의 측면에 인가되는 전계는 산화물 반도체층(230)의 전체에는 미치지 않기 때문에 산화물 반도체층(230)의 측면에서는 채널이 충분히 형성되지 않는다. 또한, 산화물 반도체층(230)의 두께에 상당하는 측면의 길이(W_{S1} , W_{S2})는 그 상면의 길이(W_T)에 대한 비율이 작기 때문에, 만약에 채널이 형성되어도 채널로서의 그 기여는 작은 것으로 추정된다. 따라서, W_T 가 작을수록, 즉 미세화될수록 온 전류가 저하된다고 할 수 있다.

[0084] 또한, 도 4의 (B)와 같이 W_T 가 산화물 반도체층(230)의 두께와 같은 정도까지 축소된 트랜지스터의 경우, 게이트 전극(270)으로부터 산화물 반도체층(230)의 측면에 인가되는 전계는 산화물 반도체층(230)의 전체에 미치기

때문에, 산화물 반도체층(230)의 측면에도 채널이 형성된다. 따라서, 산화물 반도체층(230)의 두께를 두껍게 하는 등에 의하여 온 전류가 향상되는 것이 기대되지만, 종래의 트랜지스터에서는 채널 형성층(산화물 반도체층(230))과 게이트 절연막(260) 사이의 계면에서 캐리어가 산란되기 때문에 온 전류가 충분히 향상되지 않는다.

[0085] 또한, 성막 방법에 따라서는, 산화물 반도체층(230)의 측면을 덮는 게이트 절연막(260)의 두께(T_{GI2})가 상기 산화물 반도체층의 상면을 덮는 상기 게이트 절연막의 두께(T_{GI1})보다 얇아지기 쉽다. 그러므로, 게이트 절연막(260)에 절연 내압이 국소적으로 낮은 부분이 생겨 트랜지스터의 신뢰성을 저하시키는 경우가 있다.

[0086] 또한, T_{GI1} 과 T_{GI2} 가 다르기 때문에 게이트 전극(270)으로부터 산화물 반도체층(230)에 인가되는 전계에 편차가 발생한다. 그러므로, 온 전류에 편차가 발생하는 경우가 있다.

[0087] 한편, 본 발명의 일 형태에 따른 트랜지스터에서는 상술한 바와 같이 채널이 형성되는 제 2 산화물 반도체층(132)과 게이트 절연막(160) 사이에 제 3 산화물 반도체층(133)이 형성된 구조를 갖는다. 따라서, 채널 형성층과 게이트 절연막 사이의 계면에서 캐리어가 산란되는 것을 억제할 수 있어, 트랜지스터의 전계 효과 이동도를 높일 수 있다.

[0088] 또한, 본 발명의 일 형태에 따른 트랜지스터에서는 채널이 형성되는 제 2 산화물 반도체층(132)을 덮도록 제 3 산화물 반도체층(133)이 형성되어 있기 때문에, 제 2 산화물 반도체층(132)의 상면과 마찬가지로 측면에서도 캐리어 산란을 억제할 수 있다. 즉, 본 발명의 일 형태에 따른 트랜지스터는 종래의 트랜지스터보다 온 전류를 높일 수 있다.

[0089] 특히 본 발명의 일 형태에 따른 트랜지스터는 도 5에 도시한 트랜지스터(100)의 채널 폭 방향의 단면, 및 도 17에 도시한 트랜지스터(101)의 채널 폭 방향의 단면과 같이, W_T 가 제 2 산화물 반도체층(132)의 두께와 같은 정도, 또는 그 이하까지 축소된 구조로 하면 전기 특성의 향상 효과가 높다.

[0090] 도 5 및 도 17과 같은 트랜지스터의 경우, 게이트 전극층(170)으로부터 제 2 산화물 반도체층(132)의 측면에 인가되는 전계는 제 2 산화물 반도체층(132) 전체에 미치기 때문에, 채널이 제 2 산화물 반도체층(132)의 측면과 상면에 균일하게 형성된다.

[0091] 본 발명의 일 형태에 따른 트랜지스터에서는 게이트 전극층(170)으로부터 제 2 산화물 반도체층(132)의 측면에 전계가 인가되기 쉬운 구조를 갖는다. 특히 트랜지스터(101)는 제 1 산화물 반도체층(131) 중 제 2 산화물 반도체층(132)과 중첩되지 않은 영역의 두께가 제 2 산화물 반도체층(132)과 중첩된 영역의 두께보다 얇은 구조이다. 그러므로, 게이트 전극층(170)이 게이트 절연막(160) 및 제 3 산화물 반도체층(133)을 개재하여, 채널이 형성되는 제 2 산화물 반도체층(132)의 측면을 덮기 쉬워지기 때문에, 게이트 전극층(170)으로부터 제 2 산화물 반도체층(132) 전체에 전계를 인가하기 쉬워진다.

[0092] 도 5의 (A) 및 도 17의 (A)와 같이 채널 영역(137)이 트랜지스터에 형성되는 경우, 채널 폭은 W_T , W_{S1} , 및 W_{S2} 의 합으로 정의할 수 있으며, 상기 트랜지스터에는 상기 채널 폭에 따른 온 전류가 흐른다.

[0093] 또한, 도 5의 (B) 및 도 17의 (B)와 같이 W_T 가 매우 작은 트랜지스터의 경우, 채널 영역(138)이 제 2 산화물 반도체층(132)의 W_T 방향 전체에 형성될 수도 있다. 이 경우, 제 2 산화물 반도체층(132) 전체에 전류가 흐르게 되기 때문에, 트랜지스터에는 매우 높은 온 전류가 흐른다. 또한, 도 5의 (A) 및 도 17의 (A)와 같은 트랜지스터에서도 W_T , W_{S1} 이 충분히 작은 경우에는 제 2 산화물 반도체층(132) 전체에 전류가 흐르게 된다.

[0094] 또한, 본 발명의 일 형태에 따른 트랜지스터는 게이트 절연막(160)의 T_{GI1} 과 T_{GI2} 가 거의 같은 것을 특징 중 하나로 한다. 그러므로, 게이트 전극층(170)으로부터 제 2 산화물 반도체층(132)에 인가되는 전계에 편차가 발생하지 않고, 제 2 산화물 반도체층(132)의 상면 및 측면에 채널이 균일하게 형성된다. 따라서, W_{S1} , W_{S2} 가 W_T 와 같은 정도일 때, 상면에만 채널이 형성되는 경우에 비해, 약 3배의 온 전류를 얻을 수 있다. 또한, 도 6에 도시한 트랜지스터(100)의 채널 폭 방향의 단면, 및 도 18에 도시한 트랜지스터(101)의 채널 폭 방향의 단면과 같이, W_{S1} , W_{S2} 가 W_T 의 2배일 때, 상면에만 채널이 형성되는 경우에 비해, 약 5배의 온 전류를 얻을 수 있다.

[0095] 또한, 본 발명의 일 형태에 따른 트랜지스터는 게이트 절연막(160)의 T_{GI1} 과 T_{GI2} 가 거의 같기 때문에, 게이트 절연막(260)에 절연 내압이 국소적으로 낮은 부분을 발생하지 않고 신뢰성이 높은 트랜지스터를 형성할 수 있다.

- [0096] 또한, $W_{S1}=W_{S2}=W_S$ 로 할 때, 트랜지스터의 온 전류를 효율적으로 향상시키기 위해서는 $0.3W_S \leq W_T \leq 3W_S$ (W_T 는 $0.3W_S$ 이상 $3W_S$ 이하)로 한다. 또한, 바람직하게는 W_T/W_S 를 0.5 이상 1.5 이하로 하고, 더 바람직하게는 W_T/W_S 를 0.7 이상 1.3 이하로 한다. $W_T/W_S > 3$ 의 경우에는 S값이나 오프 전류가 증가될 수 있다.
- [0097] 따라서, 본 발명의 일 형태에 따른 트랜지스터는 트랜지스터가 미세화된 경우에도 충분히 높은 온 전류를 얻을 수 있다.
- [0098] 또한, 본 발명의 일 형태에 따른 트랜지스터는 제 2 산화물 반도체층(132)을 제 1 산화물 반도체층(131) 위에 형성함으로써 계면 준위를 형성하기 어렵게 하는 효과나, 제 2 산화물 반도체층(132)을 3층 구조 중의 중간층으로 함으로써 상하로부터의 불순물 혼입의 영향을 배제할 수 있는 효과 등을 함께 갖는다. 그러므로, 제 2 산화물 반도체층(132)은 제 1 산화물 반도체층(131)과 제 3 산화물 반도체층(133)으로 둘러싼 구조가 되어, 상술한 트랜지스터의 온 전류의 향상에 더하여, 문턱 전압을 안정화시키거나 S값을 향상시킬 수 있다. 따라서, I_{cut} (게이트 전압 VG가 0V일 때의 전류)를 작게 할 수 있어 소비 전력을 저감할 수 있다. 또한, 트랜지스터의 문턱 전압이 안정화됨으로써 반도체 장치의 장기 신뢰성을 향상시킬 수 있다.
- [0099] 또한, 본 발명의 일 형태에 따른 트랜지스터는 도 7 및 도 19와 같이 하지 절연막(120)과 기판(110) 사이에 도전막(172)을 구비하여도 좋다. 상기 도전막을 제 2 게이트 전극으로서 사용함으로써, 온 전류를 더 증가시키거나 문턱 전압을 제어할 수 있다. 온 전류를 증가시키기 위해서는, 예를 들어 게이트 전극층(170)과 도전막(172)을 같은 전위로 하며 상기 트랜지스터를 듀얼 게이트 트랜지스터로서 구동시키면 좋다. 또한, 문턱 전압을 제어하기 위해서는 게이트 전극층(170)과 다른 정전위를 도전막(172)에 공급하면 좋다.
- [0100] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.
- [0101] (실시형태 2)
- [0102] 본 실시형태에서는 실시형태 1에서 설명한 도 1에 도시한 트랜지스터(100)의 제작 방법에 대하여 도 8 및 도 9를 사용하여 설명한다.
- [0103] 기판(110)으로서는 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘 또는 탄화 실리콘 등으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 사용하는 것도 가능하며, 이러한 기판 위에 반도체 소자가 제공된 것을 기판으로서 사용하여도 좋다.
- [0104] 하지 절연막(120)은 플라즈마 CVD법 또는 스퍼터링법 등에 의하여 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 등 산화물 절연막, 질화 실리콘, 질화산화 실리콘, 질화 알루미늄, 질화산화 알루미늄 등 질화물 절연막, 또는 상기 재료를 혼합한 막을 사용하여 형성할 수 있다. 또한, 상기 재료의 적층이어도 좋고, 적어도 산화물 반도체층(130)과 접촉하는 상층은 산화물 반도체층(130)에 대한 산소의 공급원이 될 수 있는, 과잉 산소를 함유한 재료로 형성하는 것이 바람직하다.
- [0105] 또한, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등으로 하지 절연막(120)에 산소를 첨가하여도 좋다. 산소를 첨가함으로써, 하지 절연막(120)으로부터 산화물 반도체층(130)에 산소를 더 용이하게 공급할 수 있다.
- [0106] 또한, 기판(110)의 표면이 절연체이고 나중에 제공하는 산화물 반도체층(130)으로 불순물이 확산될 영향이 없는 경우에는 하지 절연막(120)을 제공하지 않는 구성으로 할 수 있다.
- [0107] 다음에, 하지 절연막(120) 위에 제 1 산화물 반도체층(131)이 되는 제 1 산화물 반도체막(331)을 스퍼터링법, CVD(Chemical Vapor Deposition)법, MBE법, ALD(Atomic Layer Deposition)법, 또는 PLD법을 이용하여 성막한다(도 8의 (A) 참조).
- [0108] 다음에, 제 1 산화물 반도체막(331) 위에 제 2 산화물 반도체막을 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD 법을 이용하여 성막한다. 그리고, 제 2 산화물 반도체막을 선택적으로 에칭함으로써, 제 2 산화물 반도체층(132)을 형성한다(도 8의 (B) 참조).
- [0109] 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132)의 적층, 및 나중의 공정에서 형성하는 제 3 산화물 반도체층(133)도 포함한 적층에서 연속 접합을 형성하기 위해서는 로드록 체임버를 구비한 멀티 체임버 방식의

성막 장치(예를 들어 스퍼터링 장치)를 이용하여 각 층을 대기에 노출시키지 않고 연속적으로 적층할 필요가 있다. 스퍼터링 장치에서의 각 체임버는 산화물 반도체에 있어서 불순물인 물 등을 가능한 한 제거하도록 크라이오 펌프 등 흡착식 진공 배기 펌프를 이용하여 고진공 배기(5×10^{-7} Pa 내지 1×10^{-4} Pa 정도까지)할 수 있는 것, 및 막이 형성되는 기판을 100°C 이상, 바람직하게는 500°C 이상까지 가열할 수 있는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩을 조합하여 배기계로부터 체임버 내에, 탄소 성분이나 수분 등을 함유한 기체가 역류하지 않게 해 두는 것이 바람직하다.

[0110] 고순도 진성 산화물 반도체를 얻기 위해서는 체임버 내를 고진공으로 배기할 뿐만 아니라 스퍼터링 가스를 고순도화할 필요도 있다. 스퍼터링 가스로서 사용하는 산소 가스나 아르곤 가스는 이슬점이 -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하까지 고순도화된 가스를 사용함으로써, 산화물 반도체층에 수분 등이 침입되는 것을 가능한 한 방지할 수 있다.

[0111] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 나중의 공정에서 형성되는 제 3 산화물 반도체층(133)에는 실시형태 1에서 설명한 재료를 사용할 수 있다. 예를 들어, 제 1 산화물 반도체층(131)에 원자수비가 In:Ga:Zn=1:3:6, 1:3:4, 1:3:3, 또는 1:3:2인 In-Ga-Zn 산화물, 제 2 산화물 반도체층(132)에 원자수비가 In:Ga:Zn=1:1:1 또는 5:5:6인 In-Ga-Zn 산화물, 제 3 산화물 반도체층(133)에 원자수비가 In:Ga:Zn=1:3:6, 1:3:4, 1:3:3, 또는 1:3:2인 In-Ga-Zn 산화물을 사용할 수 있다.

[0112] 또한, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에 사용할 수 있는 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 또는 In과 Zn의 양쪽을 함유하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감시키기 위해서, In 및 Zn과 함께 스테빌라이저(stabilizer)를 함유하는 것이 바람직하다.

[0113] 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 또한, 이들 외의 스테빌라이저로서는, 란타노이드인, 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 텔륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.

[0114] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, In-Hf-Al-Zn 산화물을 사용할 수 있다.

[0115] 또한 여기서, 예를 들어 In-Ga-Zn 산화물이란, In, Ga, 및 Zn을 주성분으로서 함유한 산화물을 뜻한다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 좋다. 또한, 본 명세서에서 In-Ga-Zn 산화물로 구성된 막을 IGZO막이라고도 부른다.

[0116] 또한, $InMO_3(ZnO)_m$ ($m > 0$, 및 m 은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M은 Ga, Fe, Mn, Co, Y, Zr, La, Ce, 및 Nd 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 또한, $In_2SnO_5(ZnO)_n$ ($n > 0$, 및 n 은 정수)으로 표기되는 재료를 사용하여도 좋다.

[0117] 다만, 실시형태 1에서 자세히 설명한 바와 같이, 제 2 산화물 반도체층(132)은 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)보다 전자 친화력이 크게 되도록 재료를 선택한다.

[0118] 또한, 스퍼터링법을 이용하여 산화물 반도체층을 성막하는 것이 바람직하다. 스퍼터링법으로서는 RF 스퍼터링 법, DC 스퍼터링법, AC 스퍼터링법 등을 이용할 수 있다. 특히, 성막할 때 발생하는 먼지를 저감할 수 있고 막 두께 분포도 균일하게 할 수 있기 때문에 DC 스퍼터링법을 이용하는 것이 바람직하다.

[0119] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)으로서 In-Ga-Zn 산화물을 사용하는 경우, In, Ga, Zn의 원자수비가 예를 들어 In:Ga:Zn=1:1:1, In:Ga:Zn=2:2:1, In:Ga:Zn=3:1:2, In:Ga:Zn=5:5:6, In:Ga:Zn=1:3:2, In:Ga:Zn=1:3:3, In:Ga:Zn=1:3:4, In:Ga:Zn=1:3:6, In:Ga:Zn=1:4:3, In:Ga:Zn=1:5:4, In:Ga:Zn=1:6:6, In:Ga:Zn=2:1:3, In:Ga:Zn=1:6:4, In:Ga:Zn=1:9:6, In:Ga:Zn=1:1:4,

In:Ga:Zn=1:1:2 중 어느 것인 재료를 사용할 수 있다.

[0120] 또한, 예를 들어 In, Ga, Zn의 원자수비가 $In:Ga:Zn=a:b:c(a+b+c=1)$ 인 산화물의 조성이, 원자수비가 $In:Ga:Zn=A:B:C(A+B+C=1)$ 인 산화물의 조성의 근방이라는 것은 a, b, c가 $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 를 만족시키는 것을 뜻한다. r은 예를 들어, 0.05로 하면 좋다. 이것은 다른 산화물의 경우도 마찬가지이다.

[0121] 또한, 제 2 산화물 반도체층(132)은 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)보다 In의 함유량을 많이 하면 좋다. 산화물 반도체에서는 주로 중금속의 s 궤도가 캐리어 전도에 기여하는데, In의 함유율을 많이 함으로써 더 많은 s 궤도가 겹치기 때문에, In이 Ga보다 많은 조성의 산화물은 In이 Ga와 동등한 조성의 산화물 또는 적은 조성의 산화물에 비해 이동도가 높다. 그러므로, 제 2 산화물 반도체층(132)에 In의 함유량이 많은 산화물을 사용함으로써, 이동도가 높은 트랜ジ스터를 실현할 수 있다.

[0122] 이하에서 산화물 반도체막의 구조에 대하여 설명한다.

[0123] 본 명세서에서 '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.

[0124] 또한, 본 명세서에 있어서, 삼방정 또는 능면체정은 육방정계에 포함된다.

[0125] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.

[0126] 우선, CAAC-OS막에 대하여 설명한다.

[0127] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막의 하나이며, 결정부의 대부분은 한 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기일 수도 있다.

[0128] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)가 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0129] CAAC-OS막을 시료면에 실질적으로 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(괴형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 괴형성면 또는 상면에 평행하게 배열된다.

[0130] 한편, CAAC-OS막을 시료면에 실질적으로 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부들 사이에서 금속 원자의 배열에는 규칙성이 보이지 않는다.

[0131] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.

[0132] X선 회절(XRD: X-Ray Diffraction) 장치를 이용하여 CAAC-OS막의 구조 해석을 수행하면, 예를 들어 $InGaZnO_4$ 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 $InGaZnO_4$ 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 괴형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것을 확인할 수 있다.

[0133] 한편, CAAC-OS막을 c축에 실질적으로 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의하여 해석하면, 2θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 $InGaZnO_4$ 의 결정의 (110)면에 귀속된다. $InGaZnO_4$ 의 단결정 산화물 반도체막의 경우에는, 2θ 를 56° 근방에 고정하고 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편 CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.

[0134] 상술한 것으로부터, CAAC-OS막에 있어서는, 상이한 결정부들 사이에서는 a축 및 b축의 배향이 불규칙하지만, c

축 배향성을 갖고 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은 결정의 a-b면에 평행한 면이다.

[0135] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 열처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않을 수도 있다.

[0136] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 된다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 될 수 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.

[0137] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방인 피크에 더하여, 2θ가 36° 근방인 피크도 나타나는 경우가 있다. 2θ가 36° 근방인 피크는 CAAC-OS막 내의 일부에 c축 배향성을 갖지 않는 결정이 포함되는 것을 뜻한다. CAAC-OS막은 2θ가 31° 근방일 때 피크가 나타나고, 2θ가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.

[0138] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등 산화물 반도체막의 주성분 이외의 원소이다. 특히 실리콘 등, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한 철이나 니켈 등 중금속, 아르곤, 이산화탄소 등을 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0139] 또한, CAAC-OS막은 결함 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0140] 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도가 낮게 될 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터의 전기 특성은 문턱 전압이 음(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 그러므로, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작아 신뢰성이 높은 트랜지스터가 된다. 산화물 반도체막의 캐리어 트랩에 트랩된 전하는 방출될 때까지 걸리는 시간이 길고 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 불순물 농도가 높고 결함 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터의 전기 특성은 불안정하게 되는 경우가 있다.

[0141] 또한, CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다.

[0142] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.

[0143] TEM에 의한 미결정 산화물 반도체막의 관찰상에서는 결정부를 명확히 확인할 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, 예를 들어 TEM에 의한 nc-OS막의 관찰상에서는 결정 입체를 명확히 확인할 수 없는 경우가 있다.

[0144] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성을 찾을 수 없다. 따라서, 분석 방법에 따라서는 nc-OS막을 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어, 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 이용하여 out-of-plane법에 의하여 nc-OS막의 구조 해석을 수행한 경우, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 결정부보다 프로브 직경이 큰(예를 들어 50nm 이상) 전자빔을 사용하여 얻어지는 nc-OS막의 전자 회절(제한 시야 전자 회절이라고도 함) 패턴에서는, 할로 패턴과 같은 회절 패턴이 관측된다. 한편, 결정부의 크기와 프로브 직경이 가깝거나 결정부보다 프로브 직경이 작은(예를 들어 1nm 이상 30nm 이하) 전자빔을 사용하여 얻어지

는 nc-OS막의 전자 회절(나노 범 전자 회절이라고도 함) 패턴에서는 스폷이 관측된다. 또한, nc-OS막의 나노 범 전자 회절 패턴에서는, 휘도가 높은 원형(환상(環狀))의 영역이 관측되는 경우가 있다. 또한, nc-OS막의 나노 범 전자 회절 패턴에서는, 환상의 영역에 복수의 스폷이 관측되는 경우가 있다.

[0145] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결합 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, nc-OS막은 CAAC-OS막보다 결합 준위 밀도가 높다.

[0146] 또한, 산화물 반도체막은, 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이라도 좋다.

[0147] CAAC-OS막은, 예를 들어 다결정 산화물 반도체 스퍼터링용 타깃을 사용하여 스퍼터링법으로 성막할 수 있다. 상기 스퍼터링용 타깃에 이온이 충돌되면, 스퍼터링용 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)하여 a-b면에 평행한 면을 갖는 평판 형상 또는 펠릿(pellet) 형상의 스퍼터링 입자로서 박리될 수 있다. 이 경우, 상기 평판 형상 또는 펠릿 형상의 스퍼터링 입자는 대전되어 있기 때문에 플라즈마 중에서 응집되지 않고 결정 상태를 유지하면서 기판에 도달하여, CAAC-OS막을 성막할 수 있다.

[0148] 제 2 산화물 반도체층(132)이 In-M-Zn 산화물(M은 Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 제 2 산화물 반도체층(132)을 성막하기 위해 사용하는 스퍼터링 타깃에서, 금속 원소의 원자수비를 $In:M:Zn=a1:b1:c1$ 로 하면, $a1/b1$ 은 1/3 이상 6 이하, 더 나아가서는 1 이상 6 이하이고, $c1/b1$ 은 1/3 이상 6 이하, 더 나아가서는 1 이상 6 이하인 것이 바람직하다. 또한, $c1/b1$ 을 1 이상 6 이하로 함으로써, 제 2 산화물 반도체층(132)으로서 CAAC-OS막이 형성되기 쉬워진다. 타깃에서의 금속 원소의 원자수비의 대표적인 예로서는 $In:M:Zn=1:1:1$, $In:M:Zn=3:1:2$, $In:M:Zn=5:5:6$ 등이 있다.

[0149] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)이 In-M-Zn 산화물(M은 Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)을 성막하기 위해 사용하는 스퍼터링 타깃에서, 금속 원소의 원자수비를 $In:M:Zn=a2:b2:c2$ 로 하면, $a2/b2 < a1/b1$ 이고, $c2/b2$ 는 1/3 이상 6 이하, 더 나아가서는 1 이상 6 이하인 것이 바람직하다. 또한, $c2/b2$ 를 1 이상 6 이하로 함으로써, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)으로서 CAAC-OS막이 형성되기 쉬워진다. 타깃에서의 금속 원소의 원자수비의 대표적인 예로서는 $In:M:Zn=1:3:2$, $In:M:Zn=1:3:3$, $In:M:Zn=1:3:4$, $In:M:Zn=1:3:6$ 등이 있다.

[0150] 여기서, 도 10을 사용하여 본 발명의 일 형태에 따른 트랜지스터에서의 산화물 반도체층(130)의 결정 구조의 일례를 설명한다.

[0151] 도 10의 (A)는 본 발명의 일 형태에 따른 트랜지스터의 채널 폭 방향의 단면도이다. 또한, 도 10의 (B)는 도 10의 (A)에 도시한 산화물 반도체층(130)의 일부의 영역인 영역(400)을 확대한 도면이다.

[0152] 도 10의 (B)에 도시한 가로 방향으로의 점선은 결정의 층 구조를 모식적으로 표시한 것이다. 제 1 산화물 반도체층(131) 내의 결정의 c축은 하지 절연막(120)과의 계면에 실질적으로 수직 방향으로 배향된다. 그리고, 제 1 산화물 반도체층(131) 위에 형성되는 제 2 산화물 반도체층(132) 및 제 3 산화물 반도체층(133)의 결정도 제 1 산화물 반도체층(131)과 같은 방향으로 c축이 배향되는 것이 바람직하다.

[0153] 또한, 제 2 산화물 반도체층(132)과 제 3 산화물 반도체층(133)이 접촉하는 영역(410)에서 결정이 연접된 구조가 되는 것이 바람직하다. 도 10의 (C)에 도시한 바와 같이, In-Ga-Zn 산화물에서는 InO_2 로 이루어진 층과, Ga 또는 Zn의 산화물로 이루어진 층((Ga, Zn)O)의 2층이 c축 방향으로 층상으로 배열된 결정 구조를 갖는다.

[0154] 제 3 산화물 반도체층(133)을 성막할 때, 상술한 평판 형상 또는 펠릿 형상의 스퍼터링 입자에 포함되는 InO_2 가 기여함으로써, 도 10의 (D)에 도시한 바와 같이 제 2 산화물 반도체층(132)과 제 3 산화물 반도체층(133)이 접촉하는 영역(410)에서 결정이 연접된다.

[0155] 상기 결정의 연접에 의하여 제 2 산화물 반도체층(132)과 제 3 산화물 반도체층(133) 사이의 계면에 트랩 중심이나 재결합 중심 등 결합 준위가 형성되는 것을 억제할 수 있다. 또한, 도 10의 (D)에서 제 2 산화물 반도체층(132) 및 제 3 산화물 반도체층(133)에 포함되는 InO_2 가 직선상으로 연접하는 모양을 도시하였지만, 이에 한정되지 않으며 도면에 있어서 높이가 다른 InO_2 가 서로 연접되어도 좋다.

[0156] 제 2 산화물 반도체층(132)을 형성한 후에 제 1 열처리를 수행하여도 좋다. 제 1 열처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도로 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는

분위기, 또는 감압 상태에서 수행하면 좋다. 또한, 제 1 열처리의 분위기는 불활성 가스 분위기하에서 열처리한 후에, 이탈된 산소를 보충하기 위해서 산화성 가스를 10ppm 이상 포함하는 분위기하에서 수행하여도 좋다. 제 1 열처리에 의하여, 제 2 산화물 반도체층(132)의 결정성을 높이고, 하지 절연막(120) 및 제 1 산화물 반도체층(131)으로부터 수소나 물 등 불순물을 더 제거할 수 있다. 또한, 제 2 산화물 반도체층(132)을 형성하는 예칭 전에 제 1 열처리를 수행하여도 좋다.

[0157] 다음에, 제 1 산화물 반도체막(331) 및 제 2 산화물 반도체층(132) 위에 소스 전극층(140) 및 드레인 전극층(150)이 되는 제 1 도전막을 형성한다. 제 1 도전막으로서는 Al, Cr, Cu, Ta, Ti, Mo, W, 또는 이들 중 어느 것을 주성분으로서 함유한 합금 재료를 사용할 수 있다. 예를 들어, 스퍼터링법 등에 의하여 두께 100nm의 티타늄막을 형성한다. 또한, CVD법에 의하여 텅스텐막을 형성하여도 좋다.

[0158] 다음에, 제 1 도전막을 제 2 산화물 반도체층(132) 위에서 분단하도록 예칭하여 소스 전극층(140) 및 드레인 전극층(150)을 형성한다(도 8의 (C) 참조). 이 때, 제 1 도전막이 오버 예칭됨으로써, 제 2 산화물 반도체층(132)의 일부가 예칭된 형상이 되어도 좋다.

[0159] 다음에, 제 1 산화물 반도체막(331), 제 2 산화물 반도체층(132), 소스 전극층(140) 및 드레인 전극층(150) 위에 제 3 산화물 반도체층(133)이 되는 제 3 산화물 반도체막(333)을 형성한다.

[0160] 또한, 제 3 산화물 반도체막(333)의 형성 후에 제 2 열처리를 수행하여도 좋다. 제 2 열처리는 제 1 열처리와 같은 조건으로 수행할 수 있다. 제 2 열처리에 의하여 제 3 산화물 반도체막(333)으로부터 수소나 물 등 불순물을 제거할 수 있다. 또한, 제 1 산화물 반도체막(331) 및 제 2 산화물 반도체층(132)으로부터 수소나 물 등 불순물을 더 제거할 수 있다.

[0161] 여기서는 제 1 열처리를 수행할 때, 제 1 도전막을 형성할 때, 제 2 열처리를 수행할 때에 하지 절연막(120) 위의 전체 면에 제 1 산화물 반도체막(331)이 형성되어 있다. 상기 열처리 및 CVD법에 의한 도전막 형성은 고온으로 해야 되는 공정이지만, 상기 제 1 산화물 반도체막이 하지 절연막(120) 위의 전체 면에 형성되어 있음으로써, 하지 절연막(120)에 포함되는 과잉 산소의 불필요한 방출을 억제할 수 있다.

[0162] 다음에, 제 3 산화물 반도체막(333) 위에 게이트 절연막(160)이 되는 절연막(360)을 형성한다. 절연막(360)에는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 등을 사용할 수 있다. 또한, 절연막(360)은 상기 재료의 적층이어도 좋다. 절연막(360)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법 등을 이용하여 형성할 수 있다. 또한, 게이트 절연막(160)은 원재료, 온도, 압력, 전극간 거리, 투입 전력 등을 조정하여 형성함으로써, 도 5의 (A)에 도시한 바와 같이 T_{G11} 과 T_{G12} 를 거의 같게 하고 피복성을 향상시키는 조건을 사용하여 형성하는 것이 바람직하다. 예를 들어, 게이트 절연막으로서의 막질을 유지할 수 있는 범위에서 고온, 고압의 조건으로 성막함으로써 피복성을 향상시킬 수 있다.

[0163] 다음에, 절연막(360) 위에 게이트 전극층(170)이 되는 제 2 도전막(370)을 형성한다(도 9의 (A) 참조). 제 2 도전막(370)에는 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta, W, 또는 이들 중 어느 것을 주성분으로 함유한 합금 재료를 사용할 수 있다. 제 2 도전막(370)은 스퍼터링법이나 CVD법 등에 의하여 형성할 수 있다. 또한, 제 2 도전막(370)으로서는 질소를 함유한 도전막을 사용하여도 좋고, 상술한 재료를 함유한 도전막과 질소를 함유한 도전막의 적층을 사용하여도 좋다.

[0164] 다음에, 게이트 전극층(170)을 형성하기 위한 레지스트 마스크를 이용하여 제 2 도전막(370)을 선택적으로 예칭하여 게이트 전극층(170)을 형성한다.

[0165] 다음에, 상기 레지스트 마스크 또는 게이트 전극층(170)을 마스크로 이용하여 절연막(360)을 선택적으로 예칭하여 게이트 절연막(160)을 형성한다.

[0166] 다음에, 상기 레지스트 마스크 또는 게이트 전극층(170)을 마스크로 이용하여 제 3 산화물 반도체막(333)을 예칭하여 제 3 산화물 반도체층(133)을 형성한다.

[0167] 다음에, 상기 레지스트 마스크 또는 게이트 전극층(170)에 더하여 소스 전극층(140) 및 드레인 전극층(150)을 마스크로 이용하여 제 1 산화물 반도체막(331)을 선택적으로 예칭하여 제 1 산화물 반도체층(131)을 형성한다(도 9의 (B) 참조).

[0168] 제 2 도전막(370), 절연막(360), 제 3 산화물 반도체막(333), 및 제 1 산화물 반도체막(331)의 상기 예칭은 총

마다 따로따로 수행하여도 좋고 연속적으로 수행하여도 좋다.

[0169] 다음에, 소스 전극층(140), 드레인 전극층(150), 및 게이트 전극층(170) 위에 산화물 절연층(180)을 형성한다(도 9의 (C) 참조). 산화물 절연층(180)은 하지 절연막(120)과 같은 재료 및 방법을 이용하여 형성할 수 있다.

[0170] 또한, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등으로 산화물 절연층(180)에 산소를 첨가하여도 좋다. 산소를 첨가함으로써, 산화물 절연층(180)으로부터 산화물 반도체층(130)으로 산소를 더 용이하게 공급할 수 있다.

[0171] 다음에, 제 3 열처리를 수행하여도 좋다. 제 3 열처리는 제 1 열처리와 같은 조건으로 수행할 수 있다. 제 3 열처리에 의하여 하지 절연막(120), 게이트 절연막(160), 산화물 절연층(180)으로부터 파잉 산소가 방출되기 쉬워져 산화물 반도체층(130)의 산소 결손을 저감할 수 있다.

[0172] 상술한 공정을 거쳐, 도 1에 도시한 트랜지스터(100)를 제작할 수 있다.

[0173] 또한, 상술한 바와 같은 공정을 이용하여 트랜지스터(101)를 제작할 수 있다(도 20, 도 21 참조). 다만, 도 20의 (B)에 도시한 바와 같이, 제 1 산화물 반도체막(331)을 오버 에칭하여, 제 1 산화물 반도체막(331) 중 제 2 산화물 반도체층(132)과 중첩되지 않은 영역의 두께(T_{OS2})를 제 2 산화물 반도체층(132)과 중첩된 영역의 두께(T_{OS1})보다 얇게 한다. 예를 들어, T_{OS2}/T_{OS1} 을 0.1 이상 0.8 이하, 바람직하게는 0.1 이상 0.5 이하, 더 바람직하게는 0.1 이상 0.3 이하로 하면 좋다.

[0174] 또한, 본 실시형태에서 설명한 금속막 등은 대표적으로는 스퍼터링법이나 플라즈마 CVD법으로 형성할 수 있지만, 다른 방법, 예를 들어 열 CVD법에 의하여 형성하여도 좋다. 열 CVD법의 예로서는 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD법 등이 있다.

[0175] 열 CVD법은 플라즈마를 사용하지 않는 성막 방법이기 때문에 플라즈마 대미지로 인한 결함이 생성되지 않는다는 장점을 갖는다.

[0176] 또한, 열 CVD법에서는 원료 가스와 산화제를 동시에 체임버 내에 도입하여 체임버 내를 대기압하 또는 감압하고 기판 근방 또는 기판 위에서 반응시켜 기판 위에 퇴적시킴으로써 성막을 수행하여도 좋다.

[0177] ALD법에서는 체임버 내를 대기압하 또는 감압하하고 반응시키기 위한 원료 가스를 순차적으로 체임버 내에 도입하고, 이 가스 도입 절차를 반복함으로써 성막을 수행하여도 좋다. 예를 들어, 각각 스위칭 밸브(고속 밸브라고도 부름)를 전환하여 2종류 이상의 원료 가스를 순차적으로 체임버에 공급한다. 즉, 복수 종류의 원료 가스가 혼합되지 않도록 제 1 원료 가스와 동시에 또는 제 1 원료 가스를 도입한 후에 불활성 가스(아르곤 또는 질소 등) 등을 도입하고 나서 제 2 원료 가스를 도입한다. 또한, 불활성 가스를 동시에 도입하는 경우 불활성 가스는 캐리어 가스가 되고, 또한 제 2 원료 가스를 도입할 때에도 불활성 가스를 동시에 도입하여도 좋다. 또한, 불활성 가스의 도입 대신에 진공 배기에 의하여 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판 표면에 흡착됨으로써 제 1 층이 성막되고, 나중에 도입되는 제 2 원료 가스와 제 1 층이 반응함으로써 제 1 층 위에 제 2 층이 적층되어, 박막이 형성된다. 상기 가스 도입 절차를 제어하면서 원하는 두께가 될 때까지 여러 번 반복함으로써 뛰어난 단차 피복성을 갖는 박막을 형성할 수 있다. 박막의 두께는 가스 도입 절차의 반복 횟수를 변경함으로써 조절이 가능하기 때문에 막 두께를 정밀하게 조절할 수 있어 ALD법은 미세한 FET를 제작하는 경우에 적합하다.

[0178] 예를 들어, ALD를 이용하는 성막 장치에 의하여 텅스텐막을 형성하는 경우에는 WF_6 가스와 B_2H_6 가스를 순차적으로 반복하여 도입함으로써 초기 텅스텐막을 형성한 후에, WF_6 가스와 H_2 가스를 동시에 도입하여 텅스텐막을 형성한다. 또한, B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.

[0179] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

[0180] (실시형태 3)

[0181] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터가 사용되어 있으며, 전력이 공급되지 않는 상황에서도 기억 내용을 유지할 수 있고, 기록 횟수에 대한 제한도 없는 반도체 장치(기억 장치)의 일례를 도면을 사용하여 설명한다.

[0182] 도 11의 (A)는 반도체 장치의 단면도이고 도 11의 (B)는 반도체 장치의 회로도이다.

- [0183] 도 11에 도시한 반도체 장치는 하부에 제 1 반도체 재료를 사용한 트랜지스터(3200)를 구비하고, 상부에 제 2 반도체 재료를 사용한 트랜지스터(3300) 및 용량 소자(3400)를 구비한다. 또한, 트랜지스터(3300)로서는 실시 형태 1에서 설명한 트랜지스터(100) 또는 트랜지스터(101)를 사용할 수 있다.
- [0184] 또한, 용량 소자(3400)는 한쪽 전극을 트랜지스터(3300)의 소스 전극층 또는 드레인 전극층, 다른 쪽 전극을 트랜지스터(3300)의 게이트 전극층, 유전체를 트랜지스터(3300)의 제 3 산화물 반도체층 및 게이트 절연막(160)과 같은 재료를 사용하는 구조로 함으로써, 트랜지스터(3300)와 동시에 형성할 수 있다.
- [0185] 여기서, 제 1 반도체 재료와 제 2 반도체 재료로서는 서로 상이한 밴드 갭을 갖는 재료를 사용하는 것이 바람직하다. 예를 들어, 제 1 반도체 재료로서는 산화물 반도체 이외의 반도체 재료(실리콘 등)를 사용하고, 제 2 반도체 재료로서는 실시형태 1에서 설명한 산화물 반도체를 사용할 수 있다. 산화물 반도체 이외의 재료를 사용한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는 오프 전류가 작다는 전기 특성 때문에 장시간의 전하 유지를 가능하게 한다.
- [0186] 또한, 상기 트랜지스터는 모두 n채널형 트랜지스터인 것으로 하여 설명하지만, p채널형 트랜지스터를 사용할 수 있음은 물론이다. 또한, 데이터를 유지하기 위해서 산화물 반도체를 사용한, 실시형태 1에 기재된 바와 같은 트랜지스터를 사용하기만 하면, 반도체 장치에 사용되는 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성은 여기서 기재하는 것에 한정할 필요는 없다.
- [0187] 도 11의 (A)에 도시한 트랜지스터(3200)는 반도체 재료(예를 들어, 결정성 실리콘 등)를 포함한 기판(3000)에 제공된 채널 형성 영역과, 채널 형성 영역을 끼우도록 제공된 불순물 영역과, 불순물 영역과 접촉하는 금속간화합물 영역과, 채널 형성 영역 위에 제공된 게이트 절연막과, 게이트 절연막 위에 제공된 게이트 전극층을 구비한다. 또한, 도면에 있어서, 명시적으로는 소스 전극층이나 드레인 전극층이 구비되지 않는 경우가 있지만, 편의상 이러한 상태를 포함하여 트랜지스터라고 부르는 경우가 있다. 또한, 이 때, 트랜지스터의 접속 관계를 설명하기 위해서, 소스 영역이나 드레인 영역을 포함하여 소스 전극층이나 드레인 전극층이라고 표현하는 경우가 있다. 즉, 본 명세서에서 소스 전극층이라는 기재에는 소스 영역이 포함될 수 있다.
- [0188] 기판(3000) 위에는 트랜지스터(3200)를 둘러싸도록 소자 분리 절연층(3100)이 제공되고, 트랜지스터(3200)를 덮도록 절연층(3150)이 제공된다. 또한, 소자 분리 절연층(3100)은 LOCOS(Local Oxidation of Silicon)나 STI(Shallow Trench Isolation) 등의 소자 분리 기술을 이용하여 형성할 수 있다.
- [0189] 예를 들어, 결정성 실리콘 기판을 사용하면, 트랜지스터(3200)는 고속으로 동작할 수 있게 된다. 따라서, 상기 트랜지스터를 판독용 트랜지스터로서 사용하면, 데이터를 고속으로 판독할 수 있다.
- [0190] 절연층(3150) 위에는 트랜지스터(3300)가 제공되고, 그 소스 전극층 및 드레인 전극층 중 하나는 연장되어 용량 소자(3400)의 한쪽 전극으로서 작용한다. 또한, 상기 용량 소자(3400)의 한쪽 전극은 접속 배선(3350)을 통하여 트랜지스터(3300)의 게이트 전극층과 전기적으로 접속된다.
- [0191] 도 11의 (A)에 도시한 트랜지스터(3300)는 산화물 반도체층에 채널이 형성되는 상부 게이트형 트랜지스터이다. 트랜지스터(3300)는 오프 전류가 작으므로, 이것을 사용하면 오랫동안 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작이 불필요하거나, 또는 리프레시 동작의 빈도가 매우 적은 반도체 기억 장치로 할 수 있어 소비 전력을 충분히 저감시킬 수 있다.
- [0192] 또한, 트랜지스터(3300)와 중첩되도록 절연층(3150)을 개재하여 전극(3250)이 제공된다. 상기 전극을 제 2 게이트 전극으로 이용하고 이것에 적절한 전위를 공급함으로써, 트랜지스터(3300)의 문턱 전압을 제어할 수 있다. 또한, 트랜지스터(3300)의 장기 신뢰성을 높일 수 있다. 또한, 상기 전극을 트랜지스터(3300)의 게이트 전극과 같은 전위로 하여 동작시킴으로써 온 전류를 증대시킬 수 있다. 또한, 전극(3250)을 제공하지 않는 구성으로 할 수도 있다.
- [0193] 도 11의 (A)에 도시한 바와 같이, 트랜지스터(3200)를 형성하는 기판 위에 트랜지스터(3300) 및 용량 소자(3400)를 형성할 수 있기 때문에 반도체 장치의 집적도를 높일 수 있다.
- [0194] 도 11의 (A)에 대응하는 회로 구성의 일례를 도 11의 (B)에 도시하였다.
- [0195] 도 11의 (B)에 있어서, 제 1 배선(3001)은 트랜지스터(3200)의 소스 전극층과 전기적으로 접속되고, 제 2 배선(3002)은 트랜지스터(3200)의 드레인 전극층과 전기적으로 접속된다. 또한, 제 3 배선(3003)은 트랜지스터(3300)의 소스 전극층 및 드레인 전극층 중 하나와 전기적으로 접속되고, 제 4 배선(3004)은 트랜지스터(3300)의 게이트 전극층과 전기적으로 접속된다. 그리고, 트랜지스터(3200)의 게이트 전극층과 트랜지스터(3300)의

소스 전극층 및 드레인 전극층 중 다른 하나는 용량 소자(3400)의 한쪽 전극과 전기적으로 접속되고, 제 5 배선(3005)은 용량 소자(3400)의 다른 쪽 전극과 전기적으로 접속된다. 또한, 전극(3250)에 상당하는 요소는 도시하지 않았다.

[0196] 도 11의 (B)에 도시한 반도체 장치에서는 트랜지스터(3200)의 게이트 전극층의 전위를 유지할 수 있다는 특징을 살펴보자, 다음과 같이 데이터의 기록, 유지, 및 판독이 가능하다.

[0197] 데이터의 기록 및 유지에 대하여 설명한다. 우선, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 온 상태가 되는 전위로 설정하여 트랜지스터(3300)를 온 상태로 한다. 이로써, 제 3 배선(3003)의 전위가 트랜지스터(3200)의 게이트 전극층 및 용량 소자(3400)에 공급된다. 즉 트랜지스터(3200)의 게이트 전극층에는 소정의 전하가 공급된다(기록). 여기서는, 2개의 다른 전위 레벨을 부여하는 전하(이하 Low 레벨 전하, High 레벨 전하라고 함) 중 어느 하나가 공급되는 것으로 한다. 그 후, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 오프 상태가 되는 전위로 설정하여 트랜지스터(3300)를 오프 상태로 함으로써, 트랜지스터(3200)의 게이트 전극층에 공급된 전하가 유지된다(유지).

[0198] 트랜지스터(3300)의 오프 전류는 매우 작기 때문에, 트랜지스터(3200)의 게이트 전극층의 전하는 오랫동안 유지된다.

[0199] 다음에, 데이터의 판독에 대하여 설명한다. 제 1 배선(3001)에 소정의 전위(정전위)를 공급한 상태에서 제 5 배선(3005)에 적절한 전위(판독 전위)를 공급하면, 트랜지스터(3200)의 게이트 전극층에 유지된 전하량에 따라 제 2 배선(3002)의 전위가 변화된다. 일반적으로 말해서, 트랜지스터(3200)를 n채널형으로 하면, 트랜지스터(3200)의 게이트 전극층에 High 레벨 전하가 공급된 경우의 외견상 문턱 전압 $V_{th,H}$ 는 트랜지스터(3200)의 게이트 전극층에 Low 레벨 전하가 공급된 경우의 외견상 문턱 전압 $V_{th,L}$ 보다 낮게 되기 때문이다. 여기서 외견상 문턱 전압이란, 트랜지스터(3200)를 '온 상태'로 하기 위해서 필요한 제 5 배선(3005)의 전위를 말한다. 따라서, 제 5 배선(3005)의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 사이의 전위 V_0 으로 설정함으로써 트랜지스터(3200)의 게이트 전극층에 공급된 전하를 판별할 수 있다. 예를 들어, 기록 동작할 때 High 레벨 전하가 공급되어 있는 경우에는, 제 5 배선(3005)의 전위가 $V_0(>V_{th,H})$ 이 되면 트랜지스터(3200)는 온 상태가 된다. Low 레벨 전하가 공급되어 있는 경우에는, 제 5 배선(3005)의 전위가 $V_0(<V_{th,L})$ 이 되어도 트랜지스터(3200)는 그대로 오프 상태가 유지된다. 따라서, 제 2 배선(3002)의 전위를 판별함으로써, 유지되어 있는 데이터를 판독할 수 있다.

[0200] 또한, 메모리 셀을 어레이 형태로 배치하여 사용하는 경우에는 원하는 메모리 셀의 데이터만을 판독할 수 있을 필요가 있다. 이와 같이 데이터를 판독하지 않는 경우에는, 게이트 전극층의 상태에 상관없이 트랜지스터(3200)가 오프 상태가 되는 전위, 즉 $V_{th,H}$ 보다 낮은 전위를 제 5 배선(3005)에 공급하면 좋다. 또는, 게이트 전극층의 상태에 상관없이 트랜지스터(3200)가 온 상태가 되는 전위, 즉 $V_{th,L}$ 보다 큰 전위를 제 5 배선(3005)에 공급하면 좋다.

[0201] 본 실시형태에 기재된 반도체 장치에서는 채널 형성 영역에 산화물 반도체가 사용된, 오프 전류가 매우 작은 트랜지스터를 사용함으로써, 매우 오랫동안 기억 내용을 유지할 수 있다. 즉, 리프레시 동작을 수행할 필요가 없게 되거나, 또는 리프레시 동작의 빈도를 매우 적게 하는 것이 가능하게 되므로, 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력이 공급되지 않는 경우(다만, 전위는 고정되어 있는 것이 바람직함)에도 오랫동안 기억 내용이 유지될 수 있다.

[0202] 또한, 본 실시형태에 기재된 반도체 장치에서는, 데이터의 기록에 높은 전압을 필요로 하지 않으며 소자의 열화문제도 없다. 예를 들어, 종래의 비휘발성 메모리와 같이, 플로팅 게이트에 전자를 주입하거나, 플로팅 게이트로부터 전자를 추출할 필요가 없기 때문에, 게이트 절연막의 열화와 같은 문제가 발생하지 않는다. 즉, 본 발명에 따른 반도체 장치에서는 종래의 비휘발성 메모리에서 문제가 되어 있는 재기록 가능 횟수에 대한 제한이 없으며, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터가 온 상태인지 오프 상태인지에 따라 데이터의 기록이 수행되기 때문에 고속 동작도 용이하게 실현할 수 있다.

[0203] 상술한 바와 같이 하여, 미세화 및 고집적화되고 높은 전기 특성을 갖는 반도체 장치를 제공할 수 있다.

[0204] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

[0205] (실시형태 4)

- [0206] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터를 사용하여, 전력이 공급되지 않는 상황에서도 기억 내용을 유지할 수 있고 기록 횟수에도 제한이 없는, 실시형태 3에 제시된 구성과 다른 구성의 반도체 장치에 대하여 설명한다.
- [0207] 도 12는 반도체 장치의 회로 구성의 일례이다. 상기 반도체 장치에 있어서, 제 1 배선(4500)과 트랜지스터(4300)의 소스 전극층은 전기적으로 접속되고, 제 2 배선(4600)과 트랜지스터(4300)의 제 1 게이트 전극층은 전기적으로 접속되고 트랜지스터(4300)의 드레인 전극층과 용량 소자(4400)의 제 1 단자는 전기적으로 접속된다. 또한, 상기 반도체 장치에 포함되는 트랜지스터(4300)로서는 실시형태 1에서 설명한 트랜지스터(100)를 사용할 수 있다. 또한, 제 1 배선(4500)은 비트라인, 제 2 배선(4600)은 워드라인으로서의 기능을 가질 수 있다.
- [0208] 상기 반도체 장치(메모리셀(4250))는 도 11에 도시한 트랜지스터(3300) 및 용량 소자(3400)와 같은 접속 형태로 할 수 있다. 따라서, 용량 소자(4400)는 실시형태 3에서 설명한 용량 소자(3400)의 형성 공정과 마찬가지로 트랜지스터(4300)의 제작 공정에서 동시에 제작할 수 있다.
- [0209] 다음에, 도 12에 도시한 반도체 장치(메모리셀(4250))에서 데이터의 기록 및 유지를 수행하는 경우에 대하여 설명한다.
- [0210] 우선, 제 2 배선(4600)에 트랜지스터(4300)가 온 상태가 되는 전위를 공급하여 트랜지스터(4300)를 온 상태로 한다. 이로써, 제 1 배선(4500)의 전위가 용량 소자(4400)의 제 1 단자에 공급된다(기록). 이 후, 제 2 배선(4600)의 전위를 트랜지스터(4300)가 오프 상태가 되는 전위로 설정하여 트랜지스터(4300)를 오프 상태로 함으로써, 용량 소자(4400)의 제 1 단자의 전위가 유지된다(유지).
- [0211] 산화물 반도체를 사용한 트랜지스터(4300)는 오프 전류가 매우 작다는 특징을 갖는다. 그러므로, 트랜지스터(4300)를 오프 상태로 함으로써, 용량 소자(4400)의 제 1 단자의 전위(또는, 용량 소자(4400)에 축적된 전하)를 매우 오랫동안 유지할 수 있다.
- [0212] 다음에, 데이터의 관독에 대하여 설명한다. 트랜지스터(4300)가 온 상태가 되면, 부유 상태인 제 1 배선(4500)과 용량 소자(4400)가 도통되어 제 1 배선(4500)과 용량 소자(4400) 사이에서 전하가 재분배된다. 이로써, 제 1 배선(4500)의 전위가 변화된다. 제 1 배선(4500)의 전위의 변화량은 용량 소자(4400)의 제 1 단자의 전위(또는 용량 소자(4400)에 축적된 전하)에 따라 변동된다.
- [0213] 예를 들어, 용량 소자(4400)의 제 1 단자의 전위를 V, 용량 소자(4400)의 용량을 C, 제 1 배선(4500)이 갖는 용량 성분을 CB, 전하가 재분배되기 전의 제 1 배선(4500)의 전위를 VB0으로 하면, 전하가 재분배된 후의 제 1 배선(4500)의 전위는 $(CB \times VB0 + C \times V) / (CB + C)$ 가 된다. 따라서, 메모리셀(4250)의 상태로서 용량 소자(4400)의 제 1 단자의 전위가 V1 및 V0($V1 > V0$)의 2개의 상태를 취한다고 가정하면, 전위 V1을 유지하고 있는 경우의 제 1 배선(4500)의 전위($= (CB \times VB0 + C \times V1) / (CB + C)$)는 전위 V0을 유지하고 있는 경우의 제 1 배선(4500)의 전위($= (CB \times VB0 + C \times V0) / (CB + C)$)보다 높은 것을 알 수 있다.
- [0214] 그리고, 제 1 배선(4500)의 전위를 소정의 전위와 비교함으로써, 데이터를 판독할 수 있다.
- [0215] 이와 같이 도 12에 도시한 반도체 장치(메모리셀(4250))는 트랜지스터(4300)의 오프 전류가 매우 작다는 특징을 갖기 때문에, 용량 소자(4400)에 축적된 전하가 오랫동안 걸쳐 유지될 수 있다. 즉, 리프레시 동작을 수행할 필요가 없게 되거나, 또는 리프레시 동작의 빈도를 매우 적게 하는 것이 가능하게 되므로, 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력이 공급되지 않는 경우에도 장기간에 걸쳐 기억 내용이 유지될 수 있다.
- [0216] 도 12에 도시한 메모리셀(4250)은 메모리셀(4250)을 구동시키기 위한 구동 회로가 형성된 기판과 적층되는 것이 바람직하다. 메모리셀(4250)과 구동 회로를 적층함으로써 반도체 장치의 소형화를 도모할 수 있다. 또한, 적층하는 메모리셀(4250) 및 구동 회로의 개수에 제한은 없다.
- [0217] 구동 회로에 포함되는 트랜지스터에는 트랜지스터(4300)와 다른 반도체 재료를 사용하는 것이 바람직하다. 예를 들어, 실리콘, 게르마늄, 실리콘게르마늄, 탄화 실리콘, 또는 갈륨비소 등을 사용할 수 있으며, 단결정 반도체를 사용하면 더 바람직하다. 이러한 반도체 재료를 사용한 트랜지스터는 산화물 반도체를 사용한 트랜지스터 보다 고속 동작이 가능하며, 메모리셀(4250)의 구동 회로의 구성에 사용하는 것이 적합하다.
- [0218] 상술한 바와 같이, 미세화 및 고집적화되고 높은 전기 특성을 갖는 반도체 장치를 제공할 수 있다.
- [0219] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

[0220] (실시형태 5)

[0221] 본 실시형태에서는 적어도 실시형태 1에서 설명한 트랜지스터를 사용할 수 있으며, 실시형태 3에서 설명한 기억 장치를 포함한 CPU에 대하여 설명한다.

[0222] 도 13은 실시형태 1에서 설명한 트랜지스터(100)를 적어도 일부에 사용한 CPU의 일례의 구성을 도시한 블록도이다.

[0223] 도 13에 도시한 CPU는 기판(1190) 위에 ALU(Arithmetic Logic Unit; 연산 회로)(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(1189)를 구비한다. 기판(1190)으로서는 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. 재기록 가능한 ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 제공하여도 좋다. 물론 도 13에 도시한 CPU는 그 구성을 간략화하여 도시한 일례에 불과하며, 실제의 CPU는 그 용도에 따라 다종다양한 구성을 갖는다. 예를 들어 도 13에 도시한 CPU 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고 상기 코어를 복수로 포함하여 그 코어들이 병렬로 동작하는 구성으로 하여도 좋다. 또한, CPU가 내부 연산 회로나 데이터 버스로 취급되는 비트 수를, 예를 들어 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.

[0224] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 복호화된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.

[0225] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 복호화된 명령에 기초하여 각종 제어를 수행한다. 구체적으로는 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램을 실행하는 동안에 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 데이터를 레지스터(1196)로부터 판독하거나 레지스터(1196)에 기록한다.

[0226] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어 타이밍 컨트롤러(1195)는 기준 클록 신호 CLK1을 바탕으로 내부 클록 신호 CLK2를 생성하는 내부 클록 생성부를 구비하며, 내부 클록 신호 CLK2를 상기 각종 회로에 공급한다.

[0227] 도 13에 도시한 CPU에서는 레지스터(1196)에 메모리셀이 제공되어 있다. 레지스터(1196)의 메모리셀로서는, 상술한 실시형태에 제시된 트랜지스터를 사용할 수 있다.

[0228] 도 13에 도시한 CPU에 있어서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라 레지스터(1196)에서의 유지 동작을 선택한다. 즉 레지스터(1196)가 갖는 메모리 셀에서 플립플롭에 의한 데이터 유지를 수행할지 또는 용량 소자에 의한 데이터 유지를 수행할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되어 있는 경우, 레지스터(1196) 내의 메모리 셀에 전원 전압이 공급된다. 용량 소자에 의한 데이터 유지가 선택되어 있는 경우, 용량 소자에서 데이터가 재기록되고, 레지스터(1196) 내의 메모리셀에 대한 전원 전압의 공급을 정지할 수 있다.

[0229] 도 14는 레지스터(1196)로서 사용할 수 있는 기억 소자의 회로도의 일례이다. 기억 소자(700)는 전원 차단에 의하여 기억 데이터가 휘발되는 회로(701)와, 전원이 차단되어도 기억 데이터가 휘발되지 않는 회로(702)와, 스위치(703)와, 스위치(704)와, 논리 소자(706)와, 용량 소자(707)와, 선택 기능을 갖는 회로(720)를 구비한다. 회로(702)는 용량 소자(708)와, 트랜지스터(709)와, 트랜지스터(710)를 구비한다. 또한, 기억 소자(700)는 필요에 따라 다이오드, 저항 소자, 인덕터 등 다른 소자를 더 구비하여도 좋다.

[0230] 여기서, 회로(702)에는 실시형태 3에서 설명한 기억 장치를 사용할 수 있다. 기억 소자(700)에 대한 전원 전압 공급이 정지되었을 때, 회로(702)의 트랜지스터(709)의 제 1 게이트에는 접지 전위(0V), 또는 트랜지스터(709)가 오프 상태가 되는 전위가 계속 입력되는 구성으로 한다. 예를 들어, 트랜지스터(709)의 제 1 게이트가 저항 등의 부하를 통하여 접지되는 구성으로 한다.

[0231] 여기서는 스위치(703)가 일 도전형(예를 들어 n채널형)을 갖는 트랜지스터(713)를 사용하여 구성되고 스위치(704)가 상기 일 도전형과 반대의 도전형(예를 들어 p채널형)을 갖는 트랜지스터(714)를 사용하여 구성되는 예를 제시한다. 또한, 스위치(703)의 제 1 단자는 트랜지스터(713)의 소스 및 드레인 중 하나에 대응하고, 스위

치(703)의 제 2 단자는 트랜지스터(713)의 소스 및 드레인 중 다른 하나에 대응하며, 스위치(703)는 트랜지스터(713)의 게이트에 입력되는 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉 트랜지스터(713)의 온 상태 또는 오프 상태)이 선택된다. 스위치(704)의 제 1 단자는 트랜지스터(714)의 소스 및 드레인 중 하나에 대응하고, 스위치(704)의 제 2 단자는 트랜지스터(714)의 소스 및 드레인 중 다른 하나에 대응하고, 스위치(704)는 트랜지스터(714)의 게이트에 입력되는 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉 트랜지스터(714)의 온 상태 또는 오프 상태)이 선택된다.

[0232] 트랜지스터(709)의 소스 및 드레인 중 하나는 용량 소자(708)의 한 쌍의 전극 중 하나, 및 트랜지스터(710)의 게이트에 전기적으로 접속된다. 여기서, 접속 부분을 노드 M2로 한다. 트랜지스터(710)의 소스 및 드레인 중 하나는 저전원 전위를 공급할 수 있는 배선(예를 들어 GND라인)과 전기적으로 접속되고, 소스 및 드레인 중 다른 하나는 스위치(703)의 제 1 단자(트랜지스터(713)의 소스 및 드레인 중 하나)와 전기적으로 접속된다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인 중 다른 하나)는 스위치(704)의 제 1 단자(트랜지스터(714)의 소스 및 드레인 중 다른 하나)와 전기적으로 접속된다. 스위치(704)의 제 2 단자(트랜지스터(714)의 소스 및 드레인 중 다른 하나)는 전원 전위 VDD를 공급할 수 있는 배선과 전기적으로 접속된다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인의 다른 하나)와, 스위치(704)의 제 1 단자(트랜지스터(714)의 소스 및 드레인 중 하나)와, 논리 소자(706)의 입력 단자와, 용량 소자(707)의 한 쌍의 전극 중 하나의 전극은 전기적으로 접속된다. 여기서, 접속 부분을 노드 M1로 한다. 용량 소자(707)의 한 쌍의 전극 중 다른 하나는 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(707)의 한 쌍의 전극 중 다른 하나는 저전원 전위를 공급할 수 있는 배선(예를 들어 GND라인)과 전기적으로 접속된다. 용량 소자(708)의 한 쌍의 전극 중 다른 하나는 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저 전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(708)의 한 쌍의 전극 중 다른 하나는 저전원 전위를 공급할 수 있는 배선(예를 들어 GND라인)과 전기적으로 접속된다.

[0233] 또한, 용량 소자(707) 및 용량 소자(708)는 트랜지스터나 배선의 기생 용량 등을 적극적으로 이용하면, 생략할 수도 있다.

[0234] 트랜지스터(709)의 제 1 게이트(제 1 게이트 전극층)에는 제어 신호 WE가 입력된다. 스위치(703) 및 스위치(704)는 제어 신호 WE와는 상이한 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택되며, 스위치(703) 및 스위치(704) 중 하나의 제 1 단자와 제 2 단자 사이가 도통 상태일 때 스위치(703) 및 스위치(704) 중 다른 하나의 제 1 단자와 제 2 단자 사이는 비도통 상태가 된다.

[0235] 트랜지스터(709)의 소스 및 드레인 중 다른 하나에는 회로(701)에 유지된 데이터에 대응하는 신호가 입력된다. 도 14는 회로(701)로부터 출력된 신호가 트랜지스터(709)의 소스 및 드레인 중 다른 하나에 입력되는 예를 도시한 것이다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호는 논리 소자(706)에 의하여 그 논리값이 반전된 반전 신호가 되어 회로(720)를 통하여 회로(701)에 입력된다.

[0236] 또한, 도 14에 도시한 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호는 논리 소자(706) 및 회로(720)를 통하여 회로(701)에 입력되는 예를 도시하였지만, 이에 한정되지 않는다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호는 논리값이 반전되지 않고 회로(701)에 입력되어도 좋다. 예를 들어, 회로(701) 내에, 입력 단자로부터 입력된 신호의 논리값이 반전된 신호가 유지되는 노드가 존재하는 경우에, 스위치(703)의 제 2 단자(트랜지스터(713)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.

[0237] 도 14에서의 트랜지스터(709)는 실시형태 1에서 설명한 트랜지스터(100)를 사용할 수 있다. 또한, 실시형태 3에서 설명한 바와 같이 제 2 게이트(제 2 게이트 전극층)를 구비하는 구성으로 하는 것이 바람직하다. 제 1 게이트에는 제어 신호 WE를 입력하고 제 2 게이트에는 제어 신호 WE2를 입력할 수 있다. 제어 신호 WE2는 일정한 전위의 신호로 하면 좋다. 상기 일정한 전위로서는, 예를 들어 접지 전위 GND나 트랜지스터(709)의 소스 전위보다 작은 전위 등이 선택된다. 제어 신호 WE2는 트랜지스터(709)의 문턱 전압을 제어하기 위한 전위 신호이며, 트랜지스터(709)의 Icut를 더 저감시킬 수 있다. 또한, 트랜지스터(709)로서는 제 2 게이트를 구비하지 않는 트랜지스터를 사용할 수도 있다.

[0238] 또한, 도 14에 있어서, 기억 소자(700)에 사용되는 트랜지스터 중 트랜지스터(709) 이외의 트랜지스터는 산화물 반도체 이외의 반도체로 이루어진 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들어, 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 또한, 기억 소자(700)에 사용

되는 모든 트랜지스터를, 채널이 산화물 반도체층에 형성되는 트랜지스터로 할 수도 있다. 또는, 기억 소자(700)는 트랜지스터(709) 이외에도, 채널이 산화물 반도체층에 형성되는 트랜지스터를 포함하여도 좋고, 나머지 트랜지스터를 산화물 반도체 이외의 반도체로 이루어지는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수도 있다.

[0239] 도 14에서의 회로(701)에는, 예를 들어 플립플롭 회로를 사용할 수 있다. 또한, 논리 소자(706)로서는, 예를 들어 인버터나 클럭드 인버터 등을 사용할 수 있다.

[0240] 본 발명의 일 형태에 따른 반도체 장치에 있어서, 기억 소자(700)에 전원 전압이 공급되지 않는 동안에는 회로(701)에 기억된 데이터를 회로(702)에 제공된 용량 소자(708)에 의하여 유지할 수 있다.

[0241] 또한, 산화물 반도체층에 채널이 형성되는 트랜지스터는 오프 전류가 매우 작다. 예를 들어, 산화물 반도체층에 채널이 형성되는 트랜지스터의 오프 전류는 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터의 오프 전류에 비해 현저하게 작다. 그러므로, 상기 트랜지스터를 트랜지스터(709)로서 사용하면, 기억 소자(700)에 전원 전압이 공급되지 않는 동안에도 용량 소자(708)에 유지된 신호가 오랫동안 유지된다. 그러므로, 기억 소자(700)는 전원 전압의 공급이 정지되어 있는 동안에도 기억 내용(데이터)을 유지할 수 있다.

[0242] 또한, 스위치(703) 및 스위치(704)를 제공함으로써 프리차지 동작을 수행하는 것을 특징으로 한 기억 소자이기 때문에, 전원 전압 공급 재개 후에 회로(701)가 원래의 데이터를 다시 유지할 때까지의 시간을 짧게 할 수 있다.

[0243] 또한, 회로(702)에 있어서, 용량 소자(708)에 의하여 유지된 신호는 트랜지스터(710)의 게이트에 입력된다. 따라서, 기억 소자(700)로의 전원 전압의 공급이 재개된 후에, 용량 소자(708)에 의하여 유지된 신호를 트랜지스터(710)의 상태(온 상태 또는 오프 상태)로 변환하고, 회로(702)로부터 판독할 수 있다. 그러므로, 용량 소자(708)에 유지된 신호에 대응하는 전위가 약간 변동하더라도 원래의 신호를 정확하게 판독할 수 있다.

[0244] 프로세서가 갖는 레지스터나 캐쉬 메모리 등 기억 장치에 상술한 바와 같은 기억 소자(700)를 사용함으로써, 전원 전압의 공급 정지로 인한 기억 장치 내의 데이터 소실을 방지할 수 있다. 또한, 전원 전압의 공급을 재개한 후, 단시간에 전원 공급 정지 전의 상태로 복귀할 수 있다. 따라서, 프로세서 전체, 또는 프로세서를 구성하는 하나 또는 복수의 논리 회로에서 짧은 시간이라도 전원을 정지할 수 있으므로 소비 전력을 억제할 수 있다.

[0245] 본 실시형태에서는 기억 소자(700)를 CPU에 사용하는 예를 설명하였지만, 기억 소자(700)는 DSP(Digital Signal Processor), 커스텀 LSI, PLD(Programmable Logic Device) 등의 LSI, RF-ID(Radio Frequency Identification)에도 응용할 수 있다.

[0246] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

[0247] (실시형태 6)

[0248] 본 실시형태에서는 실시형태 1에서 설명한 트랜지스터, 실시형태 3, 4에서 설명한 기억 장치, 또는 실시형태 5에서 설명한 CPU 등(DSP, 커스텀 LSI, PLD, RF-ID를 포함함)을 사용할 수 있는 전자 기기의 예에 대하여 설명한다.

[0249] 실시형태 1에서 설명한 트랜지스터, 실시형태 3, 4에서 설명한 기억 장치, 또는 실시형태 5에서 설명한 CPU 등은 다양한 전자 기기(오락기도 포함함)에 사용할 수 있다. 전자 기기로서는 텔레비전, 모니터 등의 표시 장치, 조명 장치, 퍼스널 컴퓨터, 워드 프로세서, 화상 재생 장치, 포터블 오디오 플레이어, 라디오, 테이프 레코더, 스테레오, 전화, 코드리스 전화, 휴대 전화, 자동차 전화, 트랜시버, 무선기, 게임기, 계산기, 휴대 정보 단말, 전자 수첩, 전자 서적, 전자 번역기, 음성 입력 기기, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, IC칩, 전자 레인지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 에어컨디셔너 등의 공기 조절 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 보존용 냉동고, 방사선 측정기, 투석 장치, X선 진단 장치 등의 의료 기기 등을 들 수 있다. 또한, 연기 감지기, 열 감지기, 가스 경보 장치, 방범 경보 장치 등의 경보 장치도 들 수 있다. 또한, 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 전력 저장 시스템 등의 산업 기기도 들 수 있다. 또한, 연료를 사용한 엔진이나, 비수계 이차 전지로부터의 전력을 사용하여 전동기에 의하여 추진하는 이동체 등도 전자 기기의 범주에 포함되는 것으로 한다. 상기 이동체로서, 예를 들어 전기 자동차(EV), 내연 기관과 전동기를 결합한 하이브리드 자동차(HEV), 플러그인 하이브리드 자동차(PHEV), 이들의 타이어 차륜을 무한궤도로 바꾼 궤도 장착 차량, 전동 어시스트 자전거를 포함하는 원동기가 달린 자전거, 자동 이륜차, 전동 휠체어, 골프용 카

트, 소형 또는 대형 선박, 잠수함, 헬리콥터, 항공기, 로켓, 인공 위성, 우주 탐사기나 혹성 탐사기, 우주선을 들 수 있다. 이들 전자 기기의 일부의 구체적인 예를 도 15에 도시하였다.

[0250] 도 15의 (A)에 도시한 텔레비전 장치(8000)는 하우징(8001)에 표시부(8002)가 조합되어 있으며, 표시부(8002)에 의하여 영상을 표시하고, 스피커부(8003)로부터 음성을 출력할 수 있다. 본 발명의 일 형태에 따른 트랜지스터를 구비하는 기억 장치는 표시부(8002)를 동작하기 위한 구동 회로에 사용할 수 있다.

[0251] 또한, 텔레비전 장치(8000)는 정보 통신을 수행하기 위한 CPU(8004)나, 메모리를 구비하여도 좋다. CPU(8004)나 메모리에, 본 발명의 일 형태에 따른 트랜지스터를 구비하는 CPU나 기억 장치를 사용할 수 있다.

[0252] 도 15의 (A)에 도시한 경보 장치(8100)는 주택용 화재 경보기이며, 연기 또는 열의 검출부(8102) 및 마이크로 컴퓨터(8101)를 사용한 전자 기기의 일례이다. 마이크로 컴퓨터(8101)는 상술한 실시형태에 기재된 트랜지스터, 기억 장치, 또는 CPU를 포함한다.

[0253] 또한, 도 15의 (A)에 도시한 실내기(8200) 및 실외기(8204)를 구비하는 에어컨디셔너는 상술한 실시형태에 제시된 트랜지스터, 기억 장치, 또는 CPU 등을 포함하는 전자 기기의 일례이다. 구체적으로는 실내기(8200)는 하우징(8201), 송풍구(8202), CPU(8203) 등을 구비한다. 도 15의 (A)는 CPU(8203)가 실내기(8200)에 제공되어 있는 예이지만, 실외기(8204)에 제공되어도 좋다. 또는, 실내기(8200)와 실외기(8204) 양쪽 모두에 CPU(8203)가 제공되어도 좋다. 상술한 실시형태에서 제시한 트랜지스터를 에어컨디셔너의 CPU에 사용함으로써 전력 절감을 도모할 수 있다.

[0254] 또한, 도 15의 (A)에 도시한 전기 냉동 냉장고(8300)는 상술한 실시형태에 제시된 트랜지스터, 기억 장치, 또는 CPU 등을 포함하는 전자 기기의 일례이다. 구체적으로는 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실 도어(8302), 냉동실 도어(8303), CPU(8304) 등을 구비한다. 도 15의 (A)에서는 CPU(8304)가 하우징(8301) 내부에 제공된다. 상술한 실시형태에서 제시한 트랜지스터를 전기 냉동 냉장고(8300)의 CPU(8304)에 사용함으로써 전력 절감을 도모할 수 있다.

[0255] 도 15의 (B), (C)는 전자 기기의 일례인 전기 자동차의 예이다. 전기 자동차(9700)에는 2차 전지(9701)가 탑재되어 있다. 2차 전지(9701)의 전력은 회로(9702)에 의하여 출력이 조정되어 구동 장치(9703)에 공급된다. 회로(9702)는 ROM, RAM, CPU(미도시) 등을 구비하는 처리 장치(9704)에 의하여 제어된다. 상술한 실시형태에서 제시한 트랜지스터를 전기 자동차(9700)의 CPU에 사용함으로써 전력 절감을 도모할 수 있다.

[0256] 구동 장치(9703)는 직류 전동기 또는 교류 전동기 단독으로 구성되거나, 또는 전동기와 내연 기관이 조합되어 구성된다. 처리 장치(9704)는 전기 자동차(9700)의 운전자의 조작 정보(가속, 감속, 정지 등)나 주행시의 정보(오르막길이나 내리막길 등의 정보, 구동륜에 가해지는 부하의 정보 등)의 입력 정보에 따라 회로(9702)에 제어 신호를 출력한다. 회로(9702)는 처리 장치(9704)의 제어 신호에 따라, 리튬 2차 전지(9701)로부터 공급되는 전기 에너지를 조정하여 구동 장치(9703)의 출력을 제어한다. 교류 전동기가 탑재되어 있는 경우에는, 직류를 교류로 변환시키는 인버터(미도시)도 내장된다.

[0257] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

100: 트랜지스터	101: 트랜지스터
110: 기판	120: 하지 절연막
130: 산화물 반도체층	131: 제 1 산화물 반도체층
132: 제 2 산화물 반도체층	133: 제 3 산화물 반도체층
135: 경계	137: 채널 영역
138: 채널 영역	140: 소스 전극층
150: 드레인 전극층	160: 게이트 절연막
170: 게이트 전극층	172: 도전막
180: 산화물 절연층	210: 기판

220: 하지 절연막	230: 산화물 반도체층
260: 게이트 절연막	270: 게이트 전극
331: 제 1 산화물 반도체막	333: 제 3 산화물 반도체막
360: 절연막	370: 도전막
400: 영역	410: 영역
700: 기억 소자	701: 회로
702: 회로	703: 스위치
704: 스위치	706: 논리 소자
707: 용량 소자	708: 용량 소자
709: 트랜지스터	710: 트랜지스터
713: 트랜지스터	714: 트랜지스터
720: 회로	1189: ROM 인터페이스
1190: 기판	1191: ALU
1192: ALU 컨트롤러	1193: 인스트럭션 디코더
1194: 인터럽트 컨트롤러	1195: 타이밍 컨트롤러
1196: 레지스터	1197: 레지스터 컨트롤러
1198: 버스 인터페이스	1199: ROM
3000: 기판	3001: 배선
3002: 배선	3003: 배선
3004: 배선	3005: 배선
3100: 소자 분리 절연층	3150: 절연층
3200: 트랜지스터	3250: 전극
3300: 트랜지스터	3350: 접속 배선
3400: 용량 소자	4250: 메모리셀
4300: 트랜지스터	4400: 용량 소자
4500: 배선	4600: 배선
8000: 텔레비전 장치	8001: 하우징
8002: 표시부	8003: 스피커부
8004: CPU	8100: 경보 장치
8101: 마이크로 컴퓨터	8102: 검출부
8200: 실내기	8201: 하우징
8202: 송풍구	8203: CPU
8204: 실외기	8300: 전기 냉동 냉장고
8301: 하우징	8302: 냉장실 도어
8303: 냉동실 도어	8304: CPU
9700: 전기 자동차	9701: 2차 전지

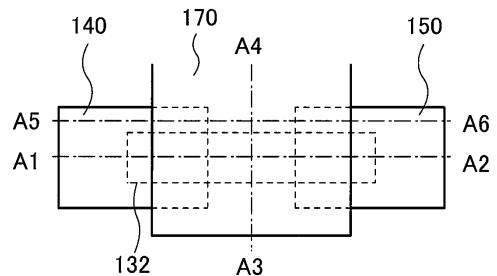
9702: 회로

9703: 구동 장치

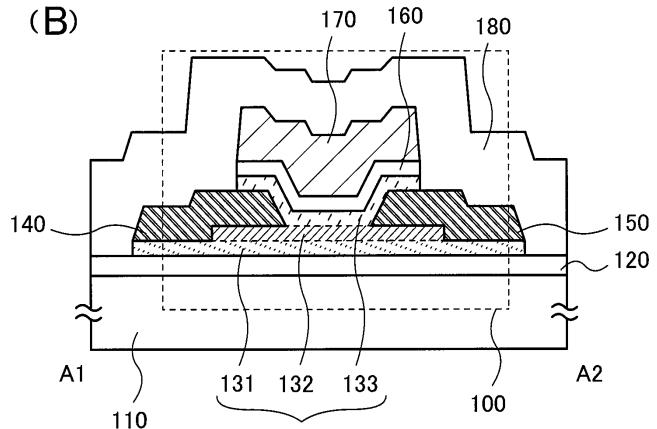
9704: 처리 장치

도면**도면1**

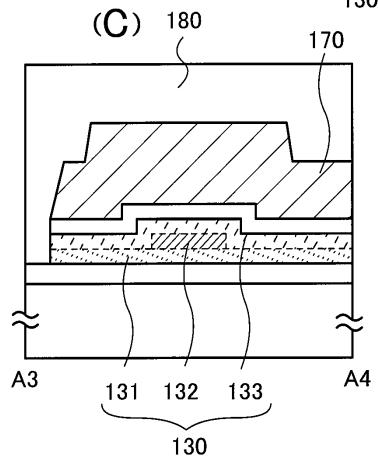
(A)



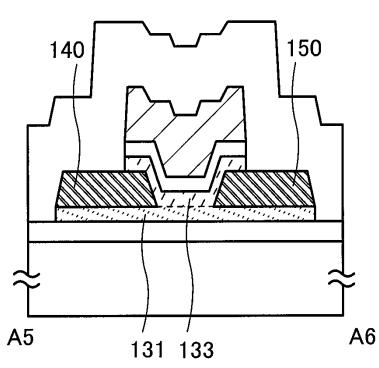
(B)



(C)

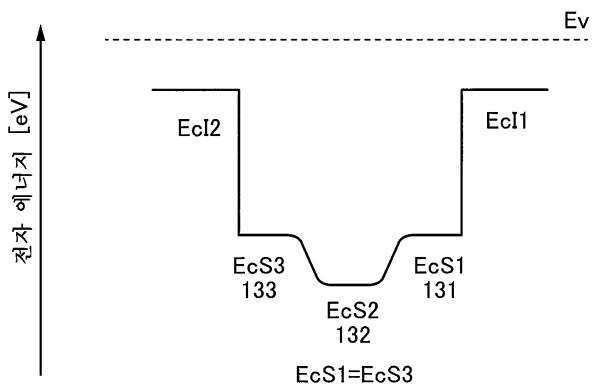


(D)

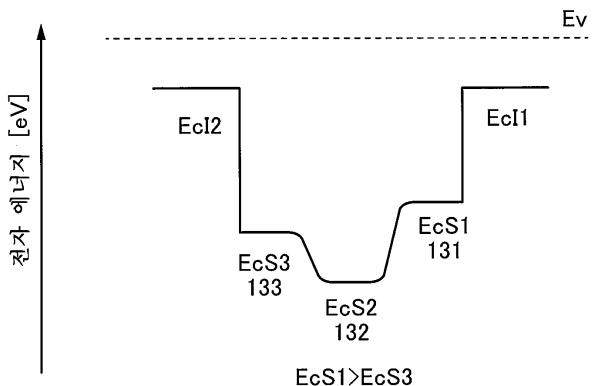


도면2

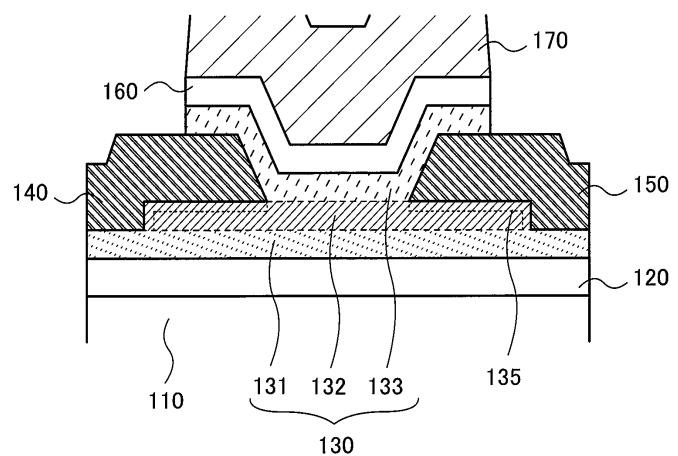
(A)



(B)

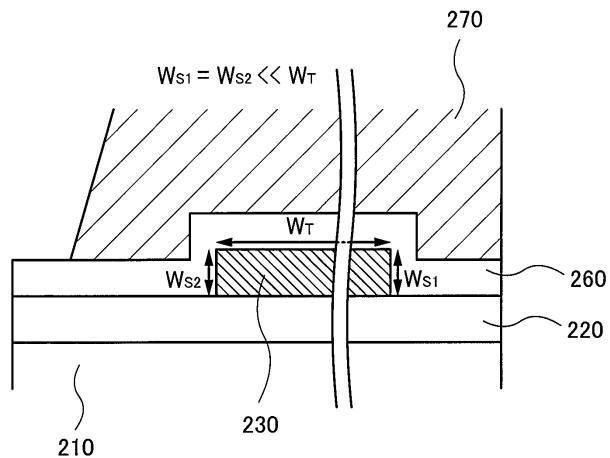


도면3

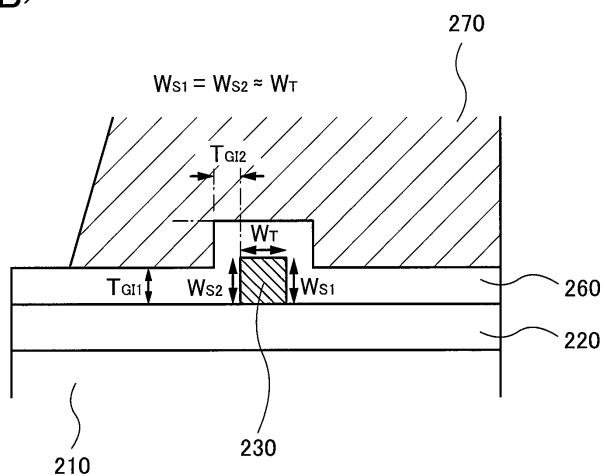


도면4

(A)

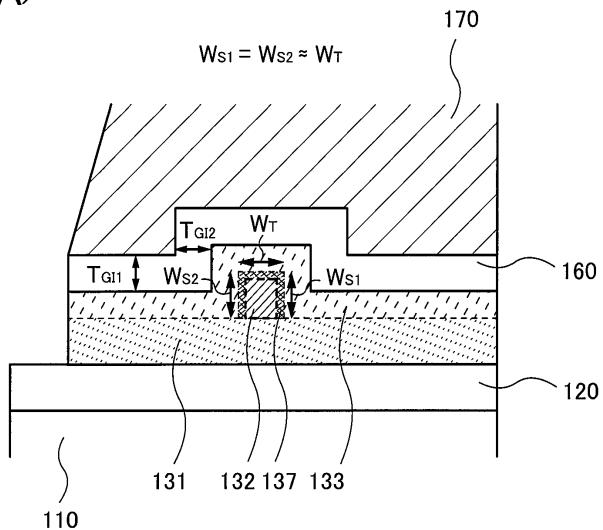


(B)

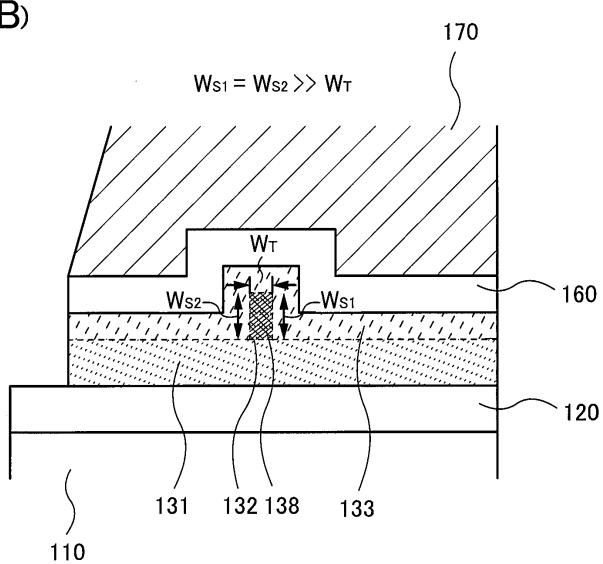


도면5

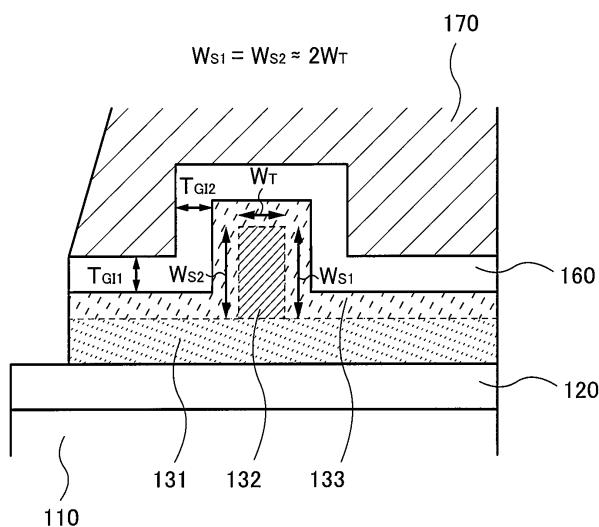
(A)



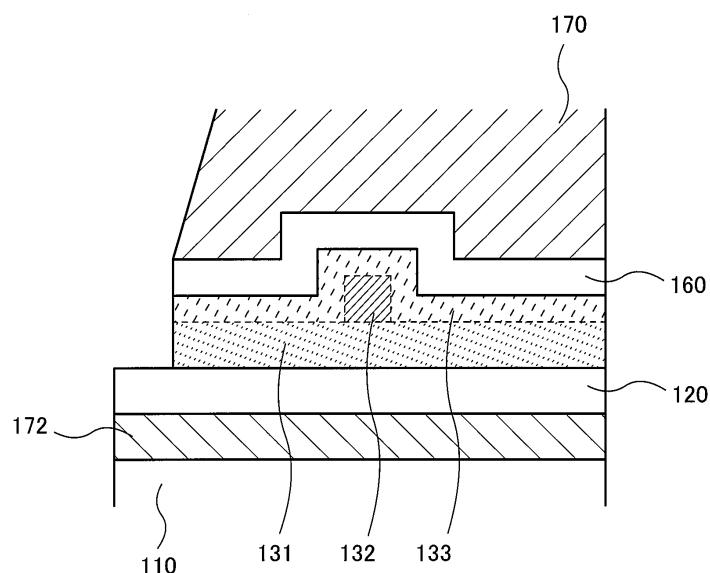
(B)



도면6

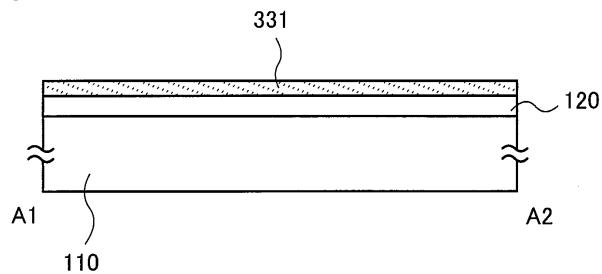


도면7

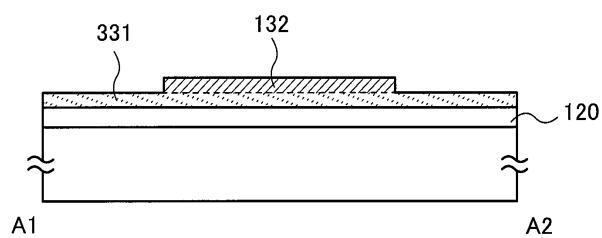


도면8

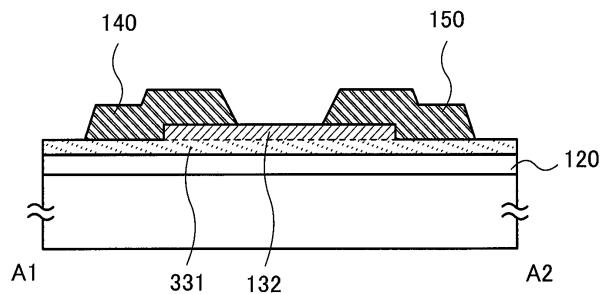
(A)



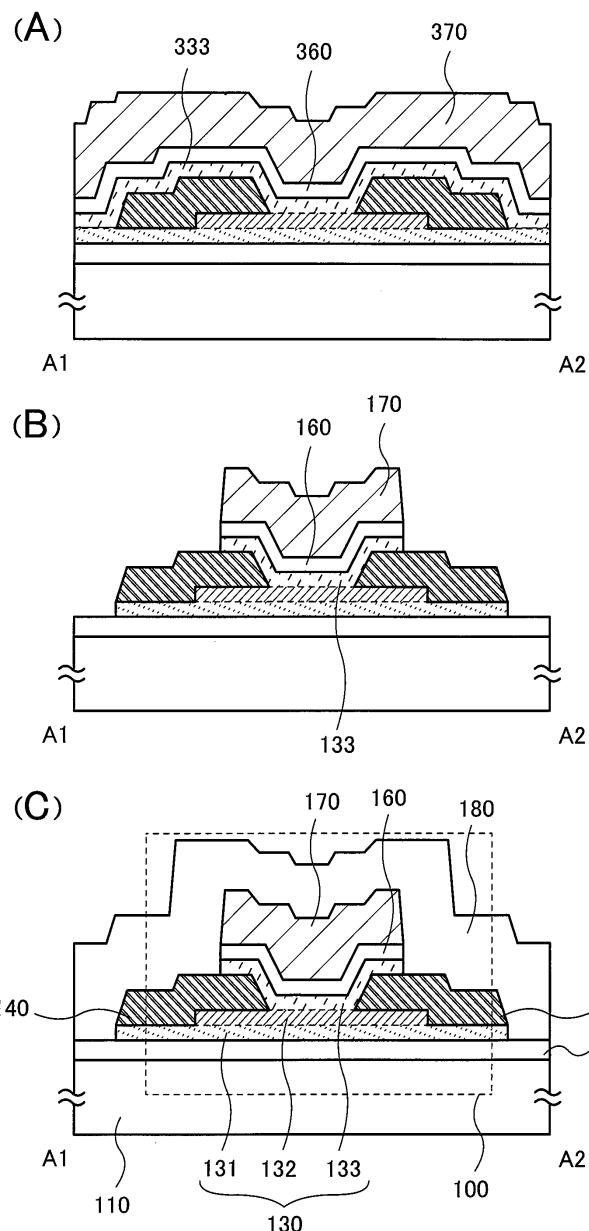
(B)



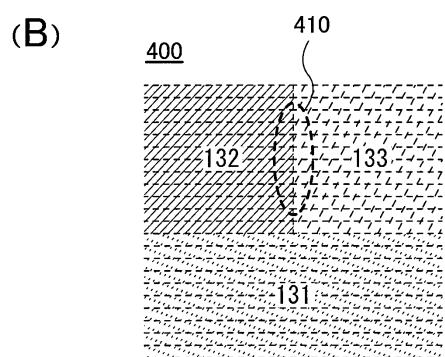
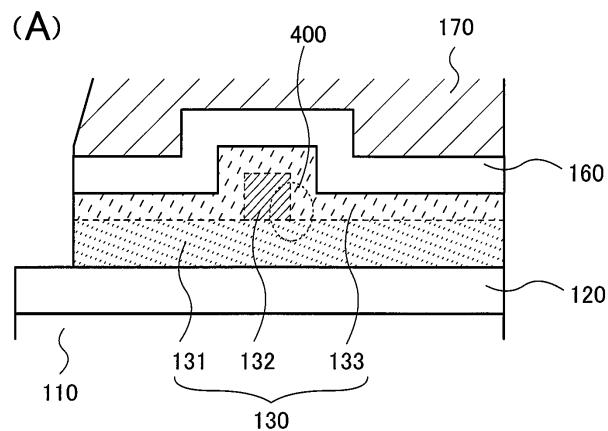
(C)



도면9



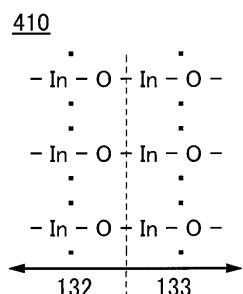
도면10



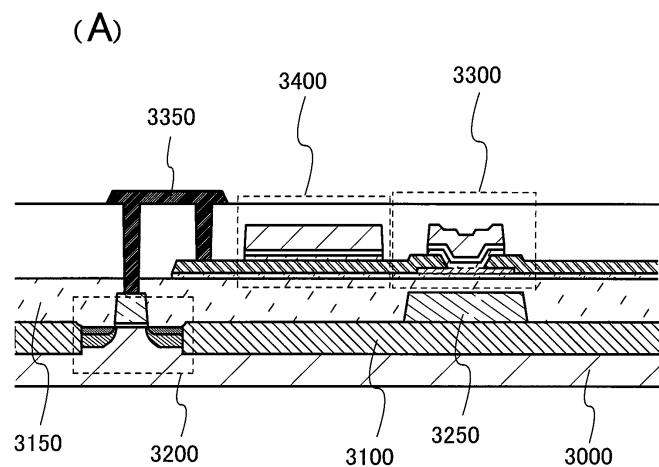
(C)

InO_2
 $(\text{Ga}, \text{Zn}) \text{O}$
 $(\text{Ga}, \text{Zn}) \text{O}$
 InO_2
 $(\text{Ga}, \text{Zn}) \text{O}$
 $(\text{Ga}, \text{Zn}) \text{O}$
 InO_2
 \vdots
 InO_2

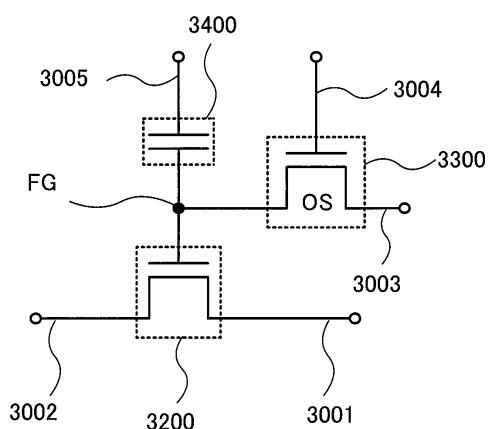
(D)



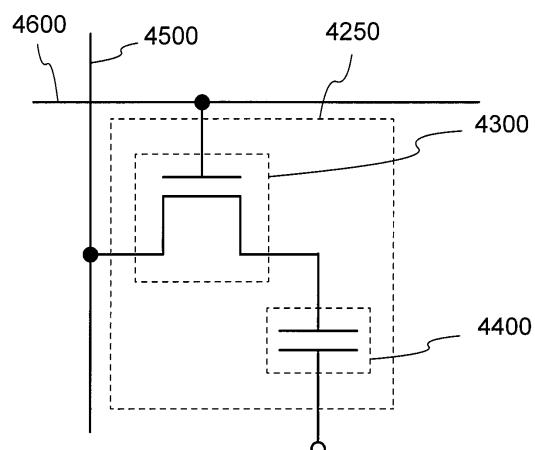
도면11



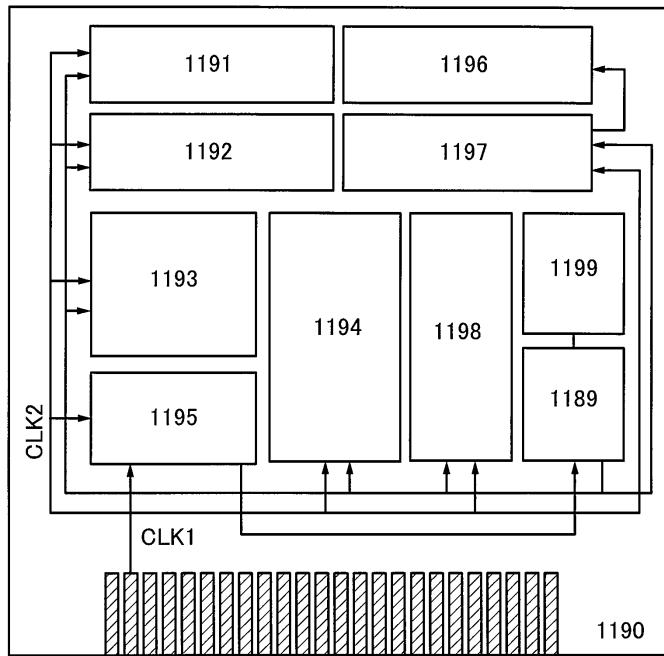
(B)



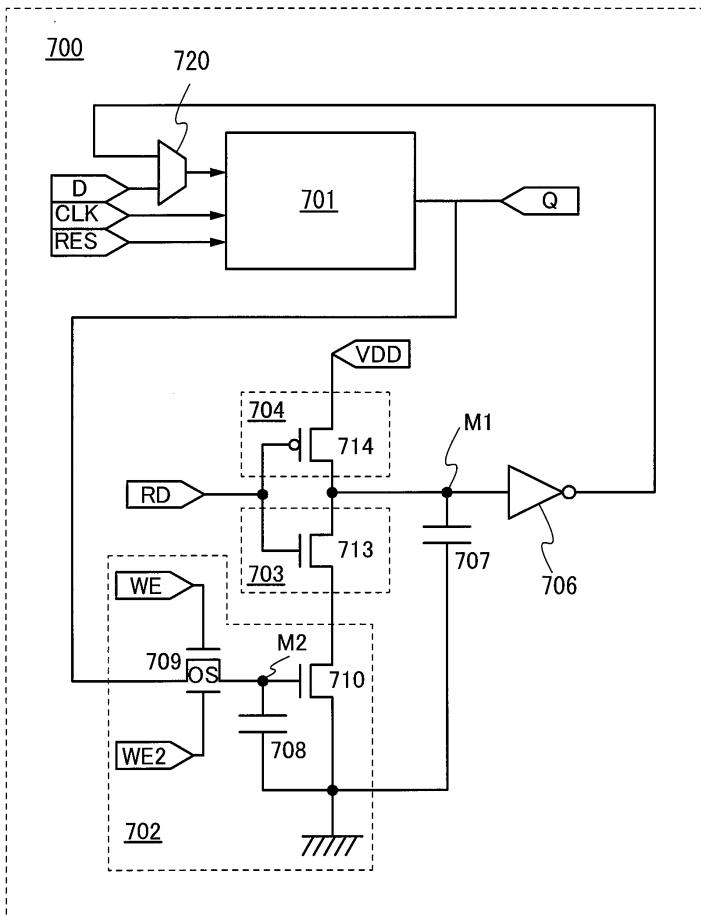
도면12



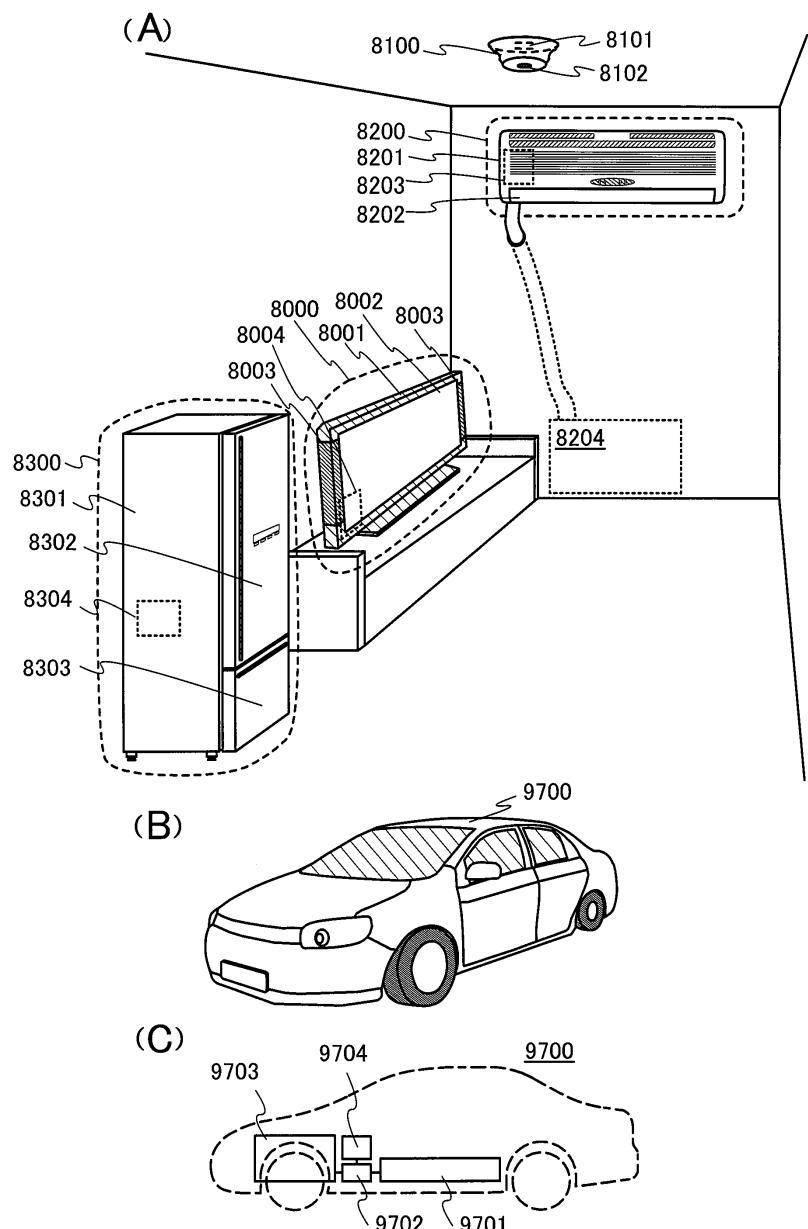
도면13



도면14

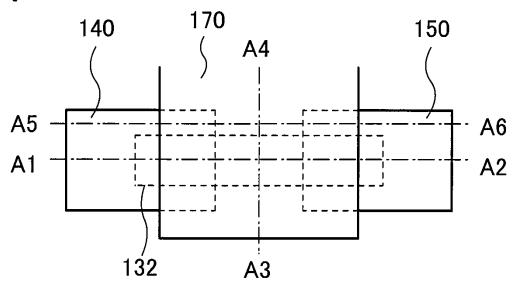


도면15

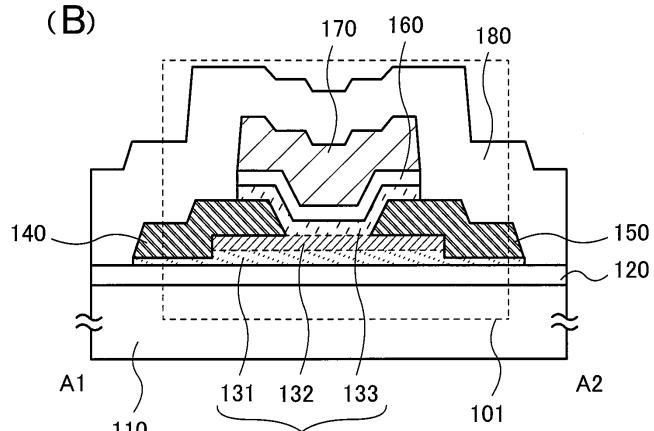


도면16

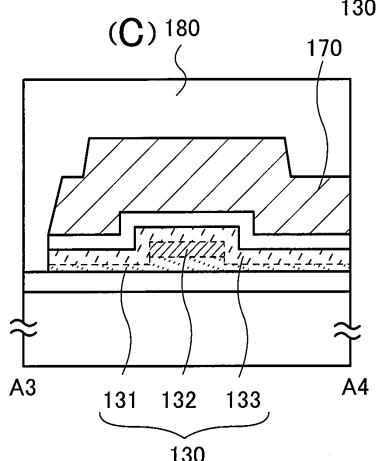
(A)



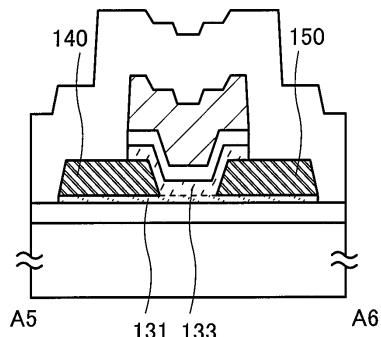
(B)



(C)

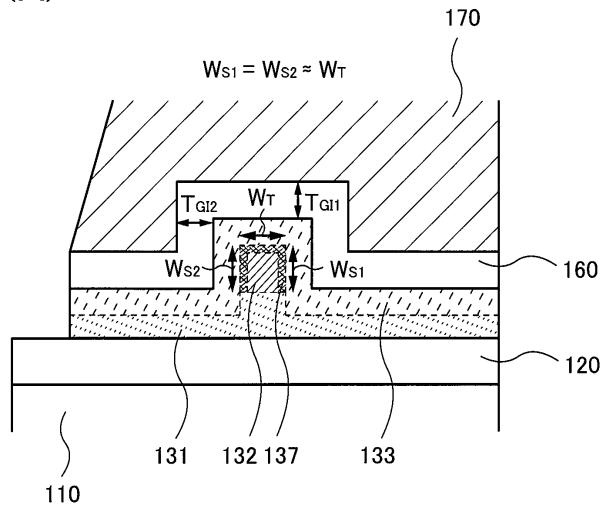


(D)

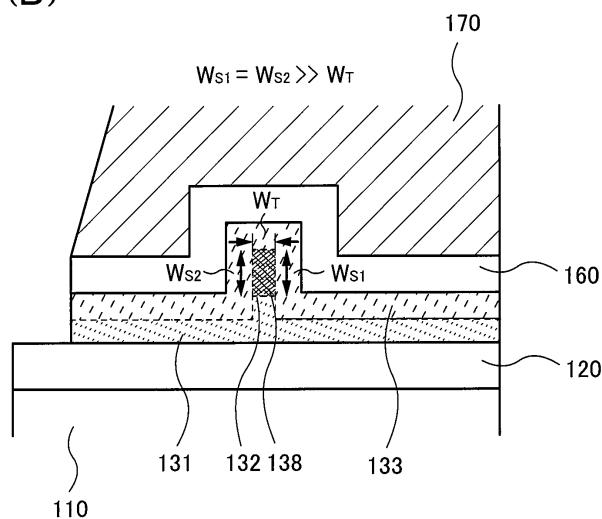


도면17

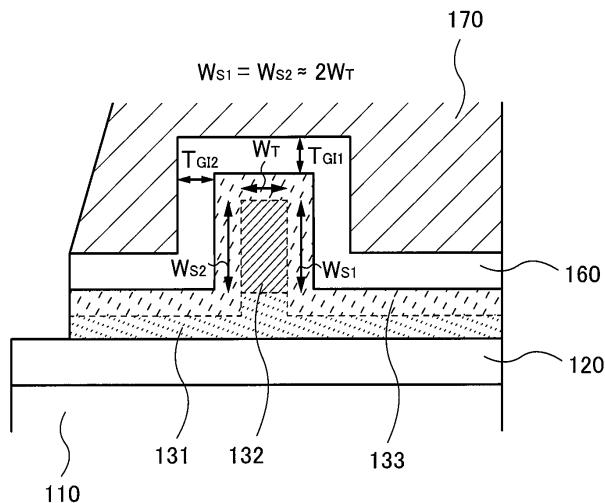
(A)



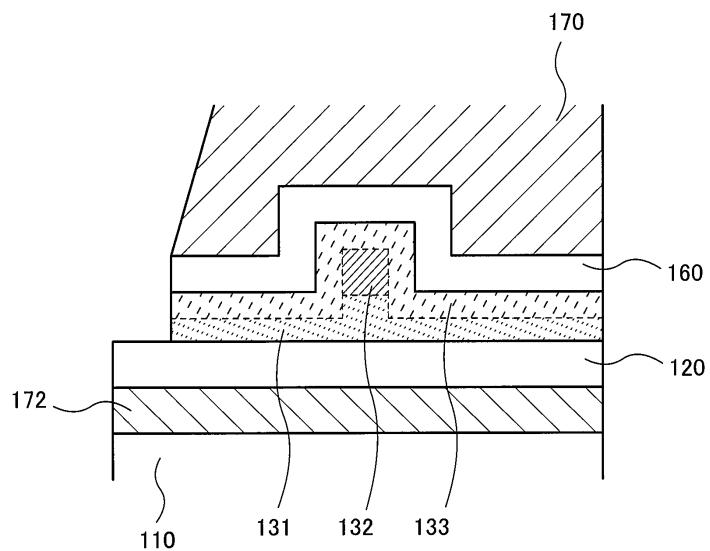
(B)



도면18

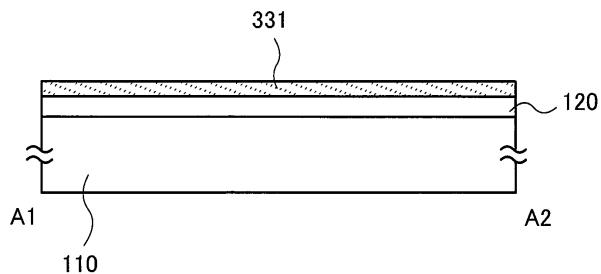


도면19

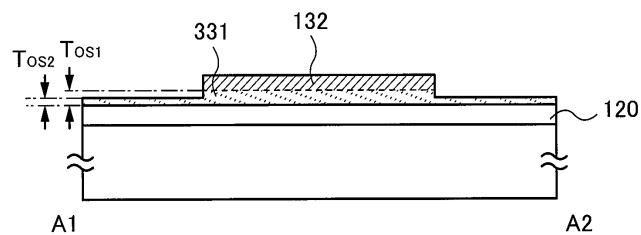


도면20

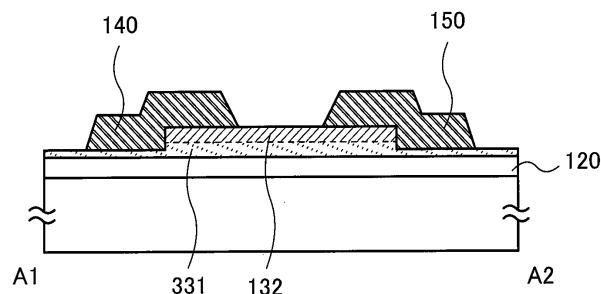
(A)



(B)



(C)



도면21

