

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92136229

※申請日期：92年12月19日

※IPC分類：

H01L 9/778

壹、發明名稱：

(中) 半導體裝置

(外) 半導體裝置

貳、申請人：(共 1 人)

1. 姓名：(中) 東芝股份有限公司

(英) KABUSHIKI KAISHA TOSHIBA

代表人：(中) 1. 岡村正

(英)

地址：(中) 日本國東京都港區芝浦一丁目一番一號

(英)

國籍：(中英) 日本 JAPAN

參、發明人：(共 1 人)

1. 姓名：(中) 野田隆夫

(英) 野田隆夫

地址：(中) 日本國東京都港區芝浦一丁目一番一號 株式会社 東芝 知的財產部內

(英)

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2002/12/19 ; 2002-367573 ☒ 有主張優先權

(1)

玖、發明說明

【發明所屬之技術領域】

本發明是關於半導體，更詳細而言是關於包含利用 2 維電子氣之場效電晶體的半導體裝置。

本申請案是以在日本國 2002 年 12 月 19 月所申請的日本專利申請號 2002-367573 為基礎而主張優先權，該申請案被援用至本申請案。

【先前技術】

以場效電晶體 (field effect transistor: FET) 之一種而言，所知的有「高電子移動度電晶體 (high electron transistor: HEMT)」。在此，例如在半絕緣性之半導體基板上形成由高純度之半導體所構成之通道層，和比通道層電子親和力小，被摻雜高濃度 n 型雜質之電子供給層的異質接合，將被儲存於通道層中之電子移動度高的 2 維電子氣 (2-dimensional electron gas: 2DEG) 當作載流子的電晶體。

現在最一般的 HEMT 以基板而言，是使用砷化鎵 (GaAs)，通道層是使用不與 GaAs 格子整合之銦砷化鎵 (InGaAs)，假晶 (Pseudomorphic) - HEMT (P-HEMT)。為通道層材料之 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 是產生隨著 In 組成 x 變大而電子移動度變高，並提升高頻率性能及低雜音性能的優點。但是，對於 P-HEMT 因必須使通道層成為臨界膜厚 (保持結晶格子彈性變形之厚度) 以下，故作為通道層之

(2)

In 組成 x 範圍，僅可使用 0.25 以下。

另外，使用銦磷（InP）基板作為基板的 HEMT（InP-HEMT）因可以將格子整合於 InP 之 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 當作通道層使用，故可取得優良之高頻率性能。但是，則有（1）InP 基板比 GaAs 基板價格高，（2）對於 In 組成 0.53 是能量帶隙 E_g 小，對電場的耐壓性為低的問題點。

近年來，藉由分子束磊晶法（MBE）或有機金屬氣相磊晶法（MOCVD）等之磊晶技術之進步，已可以製作成首先在 GaAs 基板上磊晶也比 GaAs 晶格常數大之半導體層來當作緩衝層，並在其上面疊層 In 組成 x 為 0.3 以上之 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層當作通道層之異質構造的 HEMT（Metamorphic-HEMT（MM-HEMT））。MM-HEMT 因也可以使通道層之 In 組成比 P-HEMT 大，故則有優良高頻率性能，另外因使用價格便宜之 GaAs 基板，故比起 InP-HEMT 可以低價格來製造的優點。

第 7 圖是表示本發明者至研究本發明之過程中所檢討之 MM-HEMT 之剖面構造之一例的模式圖。若沿著製造工程說明其構造，則如下述。

即是，首先，依據 MOCVD 法，在半絕緣性 GaAs 基板 901 上，依序磊晶從 0 至 0.39 漸漸使 In 組成變化的無摻雜 $\text{In}_{v1}\text{Al}_{1-v1}\text{As}$ 緩衝層 902、無摻雜 $\text{In}_{0.40}\text{Al}_{0.60}\text{As}$ 通道層 903、無摻雜 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 間隔層 904、Si 摻雜 n 型 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 電子供給層 905、無摻雜 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 肖特基接觸層 906 和 Si 摻雜 n 型 $\text{In}_{0.40}\text{Al}_{0.60}\text{As}$ 歐姆接觸層

(3)

907。

接著，依據微影成像技術及蒸鍍製程，形成使鈦（Ti）／鉑（Pt）／金（Au）依序疊層之非合金型之歐姆接觸的源極電極 908 及汲極電極 909。

接著，依據電子束曝光蝕刻除去僅使一部分露出之 n 型 InGaAs 歐姆接觸層 907，使無摻雜 InAlAs 肖特基接觸層 906 之表面予以露出，依據在其上面形成 Ti／Pt／Au 閘極電極 910，而完成 HEMT 之重要部位。

以上所說明之具體例的情形，雖然通道層 903 之 In 組成爲 0.4，但是即使除此之外的 In 組成，其製作方法亦可以使用相同方法。

如此一來，MM-HEMT 是具有通道層之 In 組成不制約於與基板之格子整合條件的優點。並且，In 組成爲 0.31～0.45 之範圍的 MM-HEMT 則有以下之優點。

（1）InAlAs 電子供給層 905 和 InGaAs 通道層 903 之傳導帶的頻帶不連續量 ΔE_c 爲 0.62～0.80eV，取得比 P-HEMT 之 0.34eV 及 InP-HEMT 之 0.52eV 大且高之 2DEG 濃度。

（2）取得通道層 903 之帶隙 E_g 比 0.84～1.00eV 和 InP-HEMT 之 0.76eV 大且高耐壓。

但是，n 型 InGaAs 歐姆接觸層 907 和無摻雜 InAlAs 肖特基接觸層 906 之異質界面之傳導帶的頻帶不連續量 ΔE_c 爲 0.62～0.80eV。對此，P-HEMT 之 GaAs 歐姆接觸層和 AlGaAs 電子供給層之頻帶不連續 ΔE_c 爲 0.15eV。

(4)

再者，InP-HEMT 之 InGaAs 歐姆接觸層和 InAlAs 肖特基接觸層之頻帶不連續 ΔE_c 為 0.52eV 。即是，當 MM-HEMT 之歐姆接觸層 907 和肖特基接觸層 906 之異質界面之傳導帶之頻帶不連續量和 P-HEMT 或 InP-HEMT 比較時，則為 0.1eV 以上大的值。

該傳導帶之頻帶不連續因成為藉由非合金歐姆接觸之源極電極 908、汲極電極 909 和 InGaAs 通道層 903 之間的電子電流的障壁，故成為明顯使源極及極汲電阻增大之原因。其結果，則有元件高頻率性能及低雜音性能下降之問題點。

發明所欲解決之課題

如上述說明般，第 7 圖所表示之 MM-HEMT 之情形，則有因 n 型 InGaAs 歐姆接觸層 907 和無摻雜 InAlAs 肖特基接觸層 906 之傳導帶的頻帶不連續量 ΔE_c 為大，故引起高頻率性能及低雜音性能下降的問題點。

【發明內容】

提供一種半導體裝置，其特徵為：具備有 GaAs 基板；被設置在 GaAs 基板上，由至少一部分之晶格常數比 GaAs 大的半導體所構成之緩衝層；由被設置在上述緩衝層之上的 $\text{In}_{u1}\text{Ga}_{1-u1}\text{As}$ 所構成之通道層；由被設置在上述通道層之上及下面之至少一方的 n 型 $\text{In}_{v1}\text{Al}_{1-v1}\text{As}$ 所構成之電子供給層；被設置在上述通道層及上述電子供

(5)

給層之上面至少一部分由無摻雜 $\text{In}_{v2}\text{Al}_{1-v2}\text{As}$ 所構成之肖特基接觸層；被設置在上述肖特基接觸層之上面的 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層；被設置在上述 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層之上面的 n 型 $\text{In}_{u2}\text{Ga}_{1-u2}\text{As}$ 歐姆接觸層；被設置在上述肖特基接觸層之上面的閘極電極；和被設置在上述歐姆接觸層之上面的源極電極及汲極電極。

提供一種半導體裝置，其特徵為：具備有 GaAs 基板；被設置在 GaAs 基板上，由至少一部分之晶格常數比 GaAs 大的半導體所構成之緩衝層；被設置在上述緩衝層之上面包含有通道層和電子供給層之疊層體，上述通道層是由 $\text{In}_{u1}\text{Ga}_{1-u1}\text{As}$ 所構成，上述電子供給層是由 n 型 $\text{In}_{v1}\text{Al}_{1-v1}\text{As}$ 所構成之疊層體；被設置在上述疊層體之上面包含有無摻雜 $\text{In}_{v2}\text{Al}_{1-v2}\text{As}$ 層之肖特基接觸層；被設置在上述肖特基接觸層之上面的 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層；被設置在上述 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層之上面的 n 型 $\text{In}_{u2}\text{Ga}_{1-u2}\text{As}$ 歐姆接觸層；被設置在上述肖特基接觸層之上面的閘極電極；和被設置在上述歐姆接觸層之上面的源極電極及汲極電極，上述 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層是具有帶隙擁有自上述肖特基接觸層朝向上述歐姆接觸層連續性或斷續性縮小之分布的部分。

提供一種半導體裝置，其特徵為：具備有 GaAs 基板；被設置在 GaAs 基板上，由至少一部分之晶格常數比 GaAs 大的半導體所構成之緩衝層；被設置在上述緩衝層

(6)

之上面包含有通道層和電子供給層之疊層體，上述通道層是由 $\text{In}_{u1}\text{Ga}_{1-u1}\text{As}$ 所構成，上述電子供給層是由 n 型 $\text{In}_{v1}\text{Al}_{1-v1}\text{As}$ 所構成之疊層體；被設置在上述疊層體之上上面包含有無摻雜 $\text{In}_{v2}\text{Al}_{1-v2}\text{As}$ 層之肖特基接觸層；被設置在上述肖特基接觸層之上上面的 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層；被設置在上述 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層之上上面的 n 型 $\text{In}_{u2}\text{Ga}_{1-u2}\text{As}$ 歐姆接觸層；被設置在上述肖特基接觸層之上上面的閘極電極；和被設置在上述歐姆接觸層之上上面的源極電子極及汲極電極，上述緩衝層是具晶格常數自上述基板朝向上述疊層體連續性或階段性增大的部分，上述 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層是具有帶隙自上述肖特基接觸層朝向上述歐姆接觸層連續性或斷續性縮小的部分。

【實施方式】

〔發明實施形態〕

以下，參照圖面針對本發明之實施形態予以說明。

第 1 圖是例示本發明之實施形態所涉及之半導體裝置之剖面構造的模式圖。即是，該半導體裝置是形成在半絕緣性 GaAs 基板 101 之上上面的 MM-HEMT。

當針對該構造予以說明時，是在 GaAs 基板 101 之上上面，依序磊晶使 In 組成 v 漸漸變化的無摻雜 $\text{In}_{v1}\text{Al}_{1-v1}\text{As}$ 緩衝層 102、Si 摻雜 n 型 InAlAs 電子供給層 103、無摻雜 InAlAs 間隔層 104、無摻雜 InGaAs 通道層 105、無摻雜 InAlAs 間隔層 106、Si 摻雜 n 型 InAlAs

(7)

電子供給層 107、無摻雜 InAlAs 肖特基接觸層 108、Si 摻雜 n 型 InGaAlP 層 109 和 Si 摻雜 n 型 InGaAs 歐姆接觸層 110。

然後，在歐姆接觸層 110 上各形成有源極電極 111 和汲極電極 112。再者，除去該些電極之間的歐姆接觸層 110 和 n 型 InGaAlP 層 109，並在肖特基接觸層 108 之上面形成有閘極電極 113。

針對該 HEMT，電子供給層 103、107 所供給之電子在通道層 105 中形成 2DEG，因應施加於閘極電極 113 之偏壓，成為可高速開關動作。

肖特基接觸層 108 之厚度是以例如 20nm 左右為最佳。若厚度太厚時，則有無法完全空泛化的情形，當太薄時，則產生洩漏的情形。再者，如後述之實施例所述般，肖特基接觸層 108 亦可以設定為例如 InAlAs 層和 AlGaAs 層，或 InAlAs 層和 InAlAs 層的疊層構造。

作為緩衝層 102 之材料除了 InAlAs 之外，亦可以使用例如 InGaAs、InGaAlAs、InGaP、InAlP 或 InGaAlP 等。再者，緩衝層即使為該些中之任一層所構成之單層構造亦可，或是疊層該些中之任 2 個以上之材料的多層構造亦可。

然後，為了緩和 GaAs 基板 101 和磊晶在其上面之半導體層之晶格常數的「偏離」，緩衝層 102 是具有以從該層厚方向觀看時，晶格常數隨著自基板 101 分離而連續性或階段性地增加的分布為最佳。此時，以觀看緩衝層 102

(8)

之層厚方向全體，若晶格常數隨著自基板側分離大概增加即可。即是，觀看緩衝層 102 之層厚方向，即使有晶格常數隨著自基板 101 分離而減少的部分亦可。例如，將緩衝層 102 當作 InAlAs 層和 InGaP 層之疊層構造時，在該些接合部分上，即使晶格常數隨著自基板 101 分離而局部性減少亦可。

另外，於確保與該些緩衝層 102 的格子整合之時，構成通道層 105 和歐姆接觸層 110 之 $\text{In}_U\text{Ga}_{1-U}\text{As}$ 之 In 組成 U 是設定為 $0.31 \leq U \leq 0.45$ 為最佳。通道層 105 和歐姆接觸層 110 之 In 組成即使為相同亦可，不同亦可。

但是，如之後所說明般，通道層 105 或歐姆接觸層 110 之膜厚比「臨界膜厚」薄之時，即使與緩衝層 102 之最上層無格子整合，亦可以防止誤吻合錯位等之發生。因此，該些層比臨界膜厚薄之時，則可將該 In 組成 U 之上限提升至約 0.6 為止。

並且，針對通道層 105 為了也取得比所謂的 InP-HEMT 高之耐壓，In 組成 U 之上限大概設定為 0.45 即可。

當將構成通道層 105 之 InGaAs 之 In 組成設定為 0.31 ~ 0.45 之範圍時，則可取得通道層 105 之帶隙 E_g 比 0.84 ~ 1.00eV 和 InP-HEMT 之 0.76eV 大且高耐壓。

再者，構成電子供給層 103、107 和肖特基接觸層 108 之 $\text{In}_V\text{Al}_{1-V}\text{As}$ 之 In 組成 V 是於確保與緩衝層 102 之格子整合時，以設定在 $0.30 \leq V \leq 0.44$ 之範圍內為最佳

(9)

。電子供給層 103、107 和肖特基接觸層 108 之 In 組成即使為相同亦可，不同也亦可。

但是，於此時也如後面所說明般，電子供給層 103 或肖特基接觸層 108 之膜厚比「臨界膜厚」薄之時，即使與緩衝層 102 之最上層無格子整合，亦可以防止誤吻合錯位等之發生。因此，該些層比臨界膜厚薄之時，則可將該 In 組成 U 之下限下降至約 0.1 為止。

當將通道層 105 和電子供給層 103、107 之 In 組成設成上述之範圍時，電子供給層 103、107 和通道層 105 之傳導帶之頻帶不連續量 ΔE_c 則成為 $0.62 \sim 0.80 \text{ eV}$ ，取得比 P-HEMT 之 0.34 eV 及 InP-HEMT 之 0.52 eV 大且高之 2DEG 濃度。

再者另一方面，本實施形態之 HEMT 因是藉由設置使組成傾斜之緩衝層 102，而可以使用 GaAs 基板來製造，故也有價格便宜之優點。

然後，本實施形態之 HEMT 之另外特徵是在 InAlAs 肖特基接觸層 108 和 InGaAs 歐姆接觸層 110 之間插入 n 型 InGaAlP 層 109 之點。如此一來，可以緩和肖特基接觸層 108 和歐姆接觸層 110 之間的頻帶不連續。其結果，可以下降源極電阻及汲極電阻而改善電晶體之高頻率特性及雜音特性。

該 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層 109 之 In 組成 X 是於確保與緩衝層 102 的格子整合之時，設定在 $0.78 \leq X \leq 0.92$ 之範圍內，Al 組成 Y 為在 $0 \leq Y \leq 1$ 之範圍內為最佳。

(10)

但是，此時也如後面所說明般，InGaAlP 層 109 之膜厚比「臨界膜厚」薄之時，即使與緩衝層 102 之最上層無格子整合，亦可以防止誤吻合錯位等之發生。因此 InGaAlP 層 109 比臨界膜厚薄之時，則可以將該 In 組成 X 之上限提升至 1。

再者又藉由使 n 型 InGaAlP 層 109 之 In 組成或 Al 組成之至少一方，從肖特基接觸層 108 朝向歐姆接觸層 110，連續性或斷續性予以變化，則亦可以使能量頻帶更加縮小。

並且，所知道的有以使用 InAlAs 當作電子供給層，以使用 InGaAlP 當作肖特基接觸層，在 InGaAlP 上形成有閘極電極的 HEMT。（日本國專利 P3086748 藤田等。US Patent No.5,319,223 Fujita et. al）。但是，爲了使縮小 InGaAs 歐姆接觸層和 InGaAlP 層之 ΔE_c 至源極電阻及汲極電阻之增大不造成問題的電平爲止，在歐姆接觸層側縮小 InGaAlP 層之 In 組成，並且，當在 InGaAlP 層上形成閘極電極之時，則顯著增大閘極漏電流。其結果，發生元件性能下降之問題。因此，爲了降低源極電阻及汲極電阻，並且充分降低閘極漏電流，將 InGaAlP 層之一部分予以蝕刻除去後，則必須在露出表面的 InAlAs 肖特基接觸層上形成閘極電極。

第 2 圖是表示本實施形態之 HEMT 之傳導帶的能量頻帶構造和比較例的模式圖。即是，同圖（a）是表示無設置 InGaAlP 層 109 之 MM-HEMT 之歐姆電極下之能量 -

(11)

頻帶構造。再者，同圖（b）及（c）是表示將 InGaAlP 層 109 插入於 InGaAs 歐姆接觸層 110 和 InAlAs 肖特基接觸層 108 之間的本實施形態之 MM-HEMT 之能量頻帶構造。

如第 2 圖（a）所示般，於不插入 InGaAsAl 層 109 之時，在 InGaAs 歐姆接觸層 110 和 InAlAs 肖特基接觸層 108 之間，因產生大頻帶不連續，成為對電子電流之障壁，故源極電阻及汲極電阻變高。

對此，如第 2 圖（b）所示般，當插入 InGaAlP 層 109 時，則可以降低傳導帶之頻帶不連續，並使對於電子電流的障壁下降。

再者，又如第 2 圖（c）所示般，當使 InGaAlP 層 109 之 Al 組成從 InAlAs 肖特基接觸層 108 朝向 InGaAs 歐姆接觸層 110 連續性或階段性縮小時，則減低傳導帶的頻率不連續。即使將 InGaAlP 層 109 之 In 組成從肖特基接觸層 108 朝向歐姆接觸層 110 連續性或階段性增加亦可以取得相同效果。

如此，因從源極電極 111 及汲極墊極 112 到通道層 105 之異質接合的傳導帶之頻帶不連續所引起之對電子電流的障壁，是可以藉由插入 InGaAlP 層 109 而降低。尤其，於使 Al 組成予以傾斜之時， ΔE_c 之障壁則成為最小，可以更明顯地取得電阻降低效果。再者，此時，即使取代 Al 組成使 In 組成予以傾斜，或同時使該些予以傾斜亦可。

(12)

接著，針對本實施形態之 HEMT 之格子整合條件予以說明。

第 3 圖表示 III - V 族化合物半導體之晶格常數和能量帶隙之關係的曲線圖。

使用於 HEMT 之 InGaAs 層、InAlAs 層及 InGaAlP 層爲了提高磊晶之時的晶圓品質之安定性，已對緩衝層 102（在厚度方向變化組成）之最上部格子整合爲最佳。

在此，當將通道層 105 及歐姆接觸層 110 之組成設定爲 $\text{In}_u\text{Ga}_{1-u}\text{As}$ ，將電子供給層 103、107 及肖特基接觸層 108 之組成設定爲 $\text{In}_v\text{Al}_{1-v}\text{As}$ ，將 InGaAlP 層 109 之組成設定爲 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 之時，爲了在各層間取得格子整合的條件是 $V=U-0.01$ 、 $X=U+0.47$ 。即使 InGaAlP 層 109 之 Al 組成 Y 變化，因格子整合條件幾乎不變化，故 Al 組成取得 $0 \leq Y \leq 1$ 。

在該格子整合條件之範圍下，InGaAlP 之電子親和力之大小，是取 InGaAs 和 InAlAs 之中間值。即是，若依據本實施形態，InGaAlP 層 109 是可以保持維持與上下層格子整合，緩和頻帶不連續。

並且，InGaAs 層、InAlAs 層及 InGaAlP 層雖然是與緩衝層 102 之最上層格子整合爲最佳，但若爲臨界膜厚以下之厚度，則不一定需要與緩衝層之最上層嚴密地格子整合，並也不需要互相格子整合。

例如，爲了提高高頻率性能，亦可提高 InGaAs 通道層 105 之 In 組成。即是，於將通道層 105 之膜厚設定爲

(13)

臨界膜厚以下之時，則可以將 In 組成提高至與緩衝層 102 之最上層不能格子整合之範圍為止。

具體而言，對於與緩衝層 102 之最上層格子整合之 InGaAs 之 In 組成 X_{In} ，於通道層 105 或歐姆接觸層 110 之厚度約為 20nm 以下之時，可將 In 組成增大至 ($X_{In}+0.15$) 左右。再者，對於與緩衝層 102 之最上層格子整合之 InAlAs 之 In 組成 X_{In} ，於電子供給層 103 或肖特基接觸層 108 之厚度約為 15nm 以下之時，可將 In 組成縮小至 ($X_{In}-0.2$) 左右。再者，即使針對 InGaAlP 層 109，對於與緩衝層 102 之最上層格子整合之 InGaAlP 之 In 組成 X_{In} ，也於 InGaAl 層 109 之厚度約為 15nm 以下之時，可將 In 組成增大至 ($X_{In}+0.2$) 左右。

再者，若為臨界膜厚以下，爲了提高耐壓，則可以縮小 InAlAs 肖特基接觸層 108 之 In 組成，自格子整合錯開。或是，爲了更縮小從源極電極 111 及汲極電極 112 至通道層 105 為止之間的異質接合的傳導帶不連續，亦可以漸漸增大 InGaAlP 層 109 之 In 組成，自格子整合錯開。

即是，若為臨界膜厚以下，爲了找出因應用途之性能，亦可自格子條件錯開組成。

如以上說明般，本實施形態之 MM-HEMT 是藉由在 n 型 InGaAs 歐姆接觸層 110 和 InAlAs 肖特基接觸層 108 之間，插入 n 型 InGaAlP 層 109，可以降低歐姆接觸層 110 和肖特基接觸層 108 之間的異質接合之傳導帶之頻帶不連續量，緩和對於電子電流的障壁，並改善高頻率性能

(14)

及低雜音性能。

以下，參照實施例，針對本發明之實施形態予以詳細說明。

(第1實施例)

首先，作成第1圖所示之MM-HEMT當作本發明之第1實施例。該作成程序如下所述。

首先，依據MOCVD法，在半絕緣性GaAs基板101之上面，形成漸漸使In組成從0變化至0.39的無摻雜InAlAs緩衝層102。

然後，在其上面，依序磊晶Si摻雜n型InAlAs電子供給層103、無摻雜InAlAs間隔層104、無摻雜InGaAs通道層105、無摻雜InAlAs間隔層106、Si摻雜n型InAlAs電子供給層107、無摻雜InAlAs肖特基接觸層108、Si摻雜n型 $\text{In}_{0.87}(\text{Ga}_{1-y}\text{Al}_y)_{0.13}\text{P}$ 層109、Si摻雜n型 $\text{In}_{0.4}\text{Ga}_{0.6}\text{As}$ 歐姆接觸層110。

在此， $\text{In}_{0.87}(\text{Ga}_{1-y}\text{Al}_y)_{0.13}\text{P}$ 層109是使該Al組成從0.5至0連續性變化。再者，將InAlAs肖特基接觸層之厚度設定為20nm。

接著，依據微影成像技術及蒸鍍製程，形成依據Ti/Pt/Au非合金型歐姆接觸的源極電極111及汲極電極112。

之後，依據磷酸系蝕刻液選擇濕蝕刻除去藉由電子束曝光而僅使一部分予以露出之n型InGaAs歐姆接觸層

(15)

110。並且，依據鹽酸系蝕刻液濕蝕刻除去 n 型 InGaAlP 層 109，並使無摻雜 InAlAs 肖特基接觸層 108 之表面予以露出，在該上面形成 Ti/Pt/Au 閘極電極 113。

再者，如第 7 圖所示般，作成無設置 InGaAlP 層 109 之 MM-HEMT 當作比較例。

測定如此所製作之本實施例及比較例之 MM-HEMT 之電氣特性的結果，本實施例之 MM-HEMT 之源極電阻 R_s 及汲極電阻 R_d 比起比較例之 MM-HEMT，皆可以降低約 30%。依據 R_s 和 R_d 之下降，互相電導 g_m 及電流增益遮斷頻率 f_T 同時提高 18%。再者，最小雜音指數 N_{fmin} 降低大約 0.1dB。

(第 2 實施例)

接著，作成插入不含 Al 之 InGaP 層之 HEMT，當作本發明之第 2 實施例。

第 4 圖是表示本實施例之 MM-HEMT 之剖面構造的模式圖。以下，沿著該作成程序說明該 HEMT 之構造。

首先，與第 1 實施例相同，依據 MOCVD，在半絕緣性 GaAs 基板 301 之上面，形成漸漸使 In 組成從 0 變化至 0.39 的無摻雜 $In_vAl_{1-v}As$ 緩衝層 302。

然後，在其上面，依序磊晶 Si 摻雜 n 型 $In_{0.39}Al_{0.61}As$ 電子供給層 303、無摻雜 $In_{0.39}Al_{0.61}As$ 間隔層 304、無摻雜 $In_{0.40}Ga_{0.60}As$ 通道層 305、無摻雜 $In_{0.39}Al_{0.61}As$ 間隔層 306、Si 摻雜 n 型 $In_{0.39}Al_{0.61}As$ 電

(16)

子供給層 307、無摻雜 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 肖特基接觸層 308、Si 摻雜 n 型 $\text{In}_{0.87}\text{Ga}_{0.13}\text{P}$ 層 309、Si 摻雜 n 型 $\text{In}_{0.4}\text{Ga}_{0.6}\text{As}$ 歐姆接觸層 310。

在此，無摻雜 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 肖特基接觸層 308 之厚度設定為 20nm。

之後，與第 1 實施例相同，形成依據 Ti/Pt/Au 非合金型歐姆接觸的源極電極 311 及汲極電極 312。然後，依據磷酸系蝕刻液選擇濕蝕刻除去 n 型 InGaAs 歐姆接觸層 310，並且，依據鹽酸系蝕刻液選擇濕蝕刻除去 n 型 InGaP 層 309，並使 InAlAs 肖特基接觸層 308 之表面予以露出，在該上面形成 Ti/Pt/Au 閘極電極 313。

將如此所製作出之 MM-HEMT 之電氣特性與關於第 1 實施例中上述之比較例的 MM-HEMT 予以比較。其結果，本發明之 MM-HEMT 之源極電阻 R_s 及汲極電阻 R_d 比起比較例之 MM-HEMT，皆可以降低約 20%。依據 R_s 和 R_d 之下降，互相電導 g_m 及電流增益遮斷頻率 f_T 同時提高 10%。再者，最小雜音指數 N_{fmin} 降低大約 0.1dB。

(第 3 實施例)

接著，作成插入不含 Al 之 InGaP 層之 HEMT，當作本發明之第 3 實施例。再者，本實施例中，肖特基接觸層是具有在無摻雜 InAlAs 層上形成 AlGaAs 層的構造。

第 5 圖是表示本實施例之 MM-HEMT 之剖面構造的模式圖。以下，沿著該作成程序說明該 HEMT 之構造。

(17)

首先，與第 1 實施例相同，依據 MOCVD，在半絕緣性 GaAs 基板 401 之上面，形成漸漸使 In 組成從 0 變化至 0.30 的無摻雜 $\text{In}_v\text{Al}_{1-v}\text{As}$ 緩衝層 402。

然後，在其上面，依序磊晶 Si 摻雜 n 型 $\text{In}_{0.30}\text{Al}_{0.7}\text{As}$ 電子供給層 403、無摻雜 $\text{In}_{0.30}\text{Al}_{0.7}\text{As}$ 間隔層 404、無摻雜 $\text{In}_{0.4}\text{Ga}_{0.6}\text{As}$ 通道層 405、無摻雜 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 間隔層 406、Si 摻雜 n 型 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 電子供給層 407、無摻雜 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 肖特基接觸層 408a、無摻雜 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 肖特基接觸層 408b、Si 摻雜 n 型 $\text{In}_{0.8}\text{Ga}_{0.2}\text{P}$ 層 409、Si 摻雜 n 型 $\text{In}_{0.4}\text{Ga}_{0.6}\text{As}$ 歐姆接觸層 410。

將無摻雜 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 肖特基接觸層 408a 之厚度設定為 15nm，並將無摻雜 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 肖特基接觸層 408b 設定為 5nm。即是，AlGaAs 因晶格常數之誤偶合較大，故將肖特基接觸層 408b 形成較薄。

之後，與第 1 實施例相同，形成依據 Ti/Pt/Au 非合金型歐姆接觸的源極電極 411 及汲極電極 412。然後，依據磷酸系蝕刻液選擇濕蝕刻除去 n 型 InGaAs 歐姆接觸層 410，並且，依據鹽酸系蝕刻液選擇濕蝕刻除去 n 型 InGaP 層 409，並使 AlGaAs 肖特基接觸層 408b 之表面予以露出，在該上面形成 Ti/Pt/Au 閘極電極 413。

將如此所製作出之 MM-HEMT 之電氣特性與關於第 1 實施例中上述之比較例的 MM-HEMT 予以比較。其結果，本發明之 MM-HEMT 之源極電阻 R_s 及汲極電阻 R_d 比起比較例之 MM-HEMT，皆可以降低約 20%。依據 R_s

(18)

和 R_d 之下降，互相電導 g_m 及電流增益遮斷頻率 f_T 同時提高 10%。再者，最小雜音指數 N_{fmin} 降低大約 0.1dB。

(第 4 實施例)

作成插入使 In 組成傾斜之 InGaAlP 層的 HEMT，當作本發明之第 4 實施例。再者，本實施例中，肖特基接觸層是具有在無摻雜 InAlAs 層中插入無摻雜 InGaP 層的構造。

第 6 圖是表示本實施例之 MM-HEMT 之剖面構造的模式圖。以下，沿著該作成程序說明該 HEMT 之構造。

首先，與第 1 實施例相同，依據 MOCVD，在半絕緣性 GaAs 基板 501 之上面，形成漸漸使 In 組成從 0 變化至 0.3 的無摻雜 $In_vAl_{1-v}As$ 緩衝層 502。

然後，在其上面，依序磊晶 Si 摻雜 n 型 $In_{0.3}Al_{0.7}As$ 電子供給層 503、無摻雜 $In_{0.3}Al_{0.7}As$ 間隔層 504、無摻雜 $In_{0.4}Ga_{0.6}As$ 通道層 505、無摻雜 $In_{0.3}Al_{0.7}As$ 間隔層 506、Si 摻雜 n 型 $In_{0.3}Al_{0.7}As$ 電子供給層 507、無摻雜 $In_{0.3}Al_{0.7}As$ 肖特基接觸層 508a、無摻雜 $In_{0.8}Ga_{0.2}P$ 肖特基接觸層 508b、無摻雜 $In_{0.3}Al_{0.7}As$ 肖特基接觸層 508c、Si 摻雜 n 型 $In_{0.53}Ga_{0.47}As$ 歐姆接觸層 510。在此， $In_x(Ga_{1-y}Al_y)_{1-x}P$ 層 509 是使該 In 組成 X 從 0.8 連續性變化至 1。

將無摻雜 $In_{0.3}Al_{0.7}As$ 肖特基接觸層 508a 之厚度設定為 5nm，並將無摻雜 $In_{0.8}Ga_{0.2}P$ 肖特基接觸層 508b 設定

(19)

為 5nm，將無摻雜 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 肖特基接觸層 508c 之厚度設定為 10nm。

之後，與第 1 實施例相同，形成依據 $\text{Ti}/\text{Pt}/\text{Au}$ 非合金型歐姆接觸的源極電極 511 及汲極電極 512。然後，依據磷酸系蝕刻液選擇濕蝕刻除去 n 型 InGaAs 歐姆接觸層 510 之一部分。之後，又依據鹽酸系蝕刻液濕蝕刻除去開口部內之一部分的 n 型 InGaAlP 層 509，並使 InAlAs 肖特基接觸層 508c 之表面予以露出，在該上面形成 $\text{Ti}/\text{Pt}/\text{Au}$ 閘極電極 513。

將如此所製作出之 MM-HEMT 之電氣特性與關於第 1 實施例中上述之比較例的 MM-HEMT 予以比較。其結果，本發明之 MM-HEMT 之源極電阻 R_s 及汲極電阻 R_d 比起比較例之 MM-HEMT，皆可以降低約 20%。依據 R_s 和 R_d 之下降，互相電導 g_m 及電流增益遮斷頻率 f_T 同時提高 10%。再者，最小雜音指數 N_{fmin} 降低大約 0.1dB。

以上，是參照具體例針對本發明之實施形態予以說明。但是，本發明並不限定於該些具體例。

例如，針對各具體例中之半導體元件和半導體裝置之構造，或各要素之尺寸或形狀、導電型、雜質濃度、材料等，只要包含本發明之要旨，即使熟習該項技藝者作適當變更，亦包含在本發明之範圍內。

【圖式簡單說明】

第 1 圖是例示本發明之實施形態所涉及之半導體裝置

(20)

之剖面構造的模式圖。

第 2 圖是同時表示本發明之實施形態之 HEMT 之傳導帶之能量頻帶構造和比較例的模式圖。

第 3 圖是表示 III - V 族化合物半導體之晶格常數和能量帶隙之關係的曲線圖。

第 4 圖是表示本發明之第 2 實施例之 MM-HEMT 之剖面構造的模式圖。

第 5 圖是表示本發明之第 3 實施例之 MM-HEMT 之剖面構造的模式圖。

第 6 圖是表示本發明之第 4 實施例之 MM-HEMT 之剖面構造的模式圖。

第 7 圖是表示本發明者至研究本發明之過程中所檢討之 MM-HEMT 之剖面構造之一例的模式圖。

元件符號表

101	GaAs 基板
102	無摻雜 $\text{In}_{v1}\text{Al}_{1-v1}\text{As}$ 緩衝層
103	Si 摻雜 n 型 InAlAs 電子供給層
104	無摻雜 InAlAs 間隔層
105	無摻雜 InGaAs 通道層
106	無摻雜 InAlAs 間隔層
107	Si 摻雜 n 型 InAlAs 電子供給層
108	無摻雜 InAlAs 肖特基接觸層
109	Si 摻雜 n 型 InGaAlP 層

(21)

- 110 Si 摻雜 n 型 InGaAs 歐姆接觸層
- 111 源極電極
- 112 汲極電極
- 113 閘極電極
- 301 絕緣性 GaAs 基板
- 302 無摻雜 $\text{In}_v\text{Al}_{1-v}\text{As}$ 緩衝層
- 303 Si 摻雜 n 型 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 電子供給層
- 304 無摻雜 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 間隔層
- 305 無摻雜 $\text{In}_{0.40}\text{Ga}_{0.60}\text{As}$ 通道層
- 306 無摻雜 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 間隔層
- 307 Si 摻雜 n 型 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 電子供給層
- 308 無摻雜 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 肖特基接觸層
- 309 Si 摻雜 n 型 $\text{In}_{0.87}\text{Ga}_{0.13}\text{P}$ 層
- 310 Si 摻雜 n 型 $\text{In}_{0.4}\text{Ga}_{0.6}\text{As}$ 歐姆接觸層
- 311 源極電極
- 312 汲極電極
- 313 Ti/Pt/Au 閘極電極
- 401 半絕緣性 GaAs 基板
- 402 無摻雜 $\text{In}_v\text{Al}_{1-v}\text{As}$ 緩衝層
- 403 Si 摻雜 n 型 $\text{In}_{0.30}\text{Al}_{0.7}\text{As}$ 電子供給層
- 404 無摻雜 $\text{In}_{0.30}\text{Al}_{0.7}\text{As}$ 間隔層
- 405 無摻雜 $\text{In}_{0.4}\text{Ga}_{0.6}\text{As}$ 通道層
- 406 無摻雜 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 間隔層
- 407 Si 摻雜 n 型 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 電子供給層

(22)

408a	無摻雜 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 肖特基接觸層
408b	無摻雜 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 肖特基接觸層
409	Si 摻雜 n 型 $\text{In}_{0.8}\text{Ga}_{0.2}\text{P}$ 層
410	Si 摻雜 n 型 $\text{In}_{0.4}\text{Ga}_{0.6}\text{As}$ 歐姆接觸層
411	源極電極
412	汲極電極
413	Ti / Pt / Au 閘極電極
501	半絕緣性 GaAs 基板
503	無摻雜 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 間隔層
504	無摻雜 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 間隔層
505	無摻雜 $\text{In}_{0.4}\text{Ga}_{0.6}\text{As}$ 通道層
506	無摻雜 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 間隔層
507	Si 摻雜 n 型 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 電子供給層
508a	無摻雜 $\text{In}_{0.3}\text{Al}_{0.7}\text{As}$ 肖特基接觸層
508b	無摻雜 $\text{In}_{0.8}\text{Ga}_{0.2}\text{P}$ 肖特基接觸層
508c	無摻雜 $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 肖特基接觸層
509	$\text{In}_x (\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層
510	n 型 InGaAs 歐姆接觸層
511	源極電極
512	汲極電極
513	Ti / Pt / Au 閘極電極
901	半絕緣性 GaAs 基板
902	無摻雜 $\text{In}_{v1}\text{Al}_{1-v1}\text{As}$ 緩衝層
903	無摻雜 $\text{In}_{0.40}\text{Al}_{0.60}\text{As}$ 通道層

(23)

904	無 摻 雜 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 間 隔 層
905	Si 摻 雜 n 型 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 電 子 供 給 層
906	無 摻 雜 $\text{In}_{0.39}\text{Al}_{0.61}\text{As}$ 肖 特 基 接 觸 層
907	Si 摻 雜 n 型 $\text{In}_{0.40}\text{Al}_{0.60}\text{As}$ 歐 姆 接 觸 層
908	源 極 電 極
909	汲 極 電 極
910	Ti / Pt / Au 閘 極 電 極

伍、中文發明摘要

發明名稱：半導體裝置

一種半導體裝置，其特徵為：具備有 GaAs 基板；被設置在 GaAs 基板上，由至少一部分之晶格常數比 GaAs 大的半導體所構成之緩衝層；被設置在上述緩衝層之上而包含有通道層和電子供給層之疊層體，上述通道層是由 $\text{In}_{u1}\text{Ga}_{1-u1}\text{As}$ 所構成，上述電子供給層是由 n 型 $\text{In}_{v1}\text{Al}_{1-v1}\text{As}$ 所構成之疊層體；被設置在上述疊層體之上而包含有無摻雜 $\text{In}_{v2}\text{Al}_{1-v2}\text{As}$ 層之肖特基接觸 (Schottky Contact) 層；被設置在上述肖特基接觸層之上的 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層；被設置在上述 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層之上的 n 型 $\text{In}_{u2}\text{Ga}_{1-u2}\text{As}$ 歐姆接觸層；被設置在上述肖特基接觸層之上的閘極電極；和被設置在上述歐姆接觸層之上的源極電極及汲極電極，

上述 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層是具有帶隙擁有自上述肖特基接觸層朝向上述歐姆接觸層連續性或斷續性縮小之分布的部分。

陸、英文發明摘要

發明名稱：

柒、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

101	GaAs 基板
102	無摻雜 $\text{In}_{v_1}\text{Al}_{1-v_1}\text{As}$ 緩衝層
103	Si 摻雜 n 型 InAlAs 電子供給層
104	摻雜 InAlAs 間隔層
105	無摻雜 InGaAs 通道層
106	無摻雜 InAlAs 間隔層
107	Si 摻雜 n 型 InAlAs 電子供給層
108	無摻雜 InAlAs 肖特基接觸層
109	Si 摻雜 n 型 InGaAlP 層
110	Si 摻雜 n 型 InGaAs 歐姆接觸層
111	源極電極
112	汲極電極
113	閘極電極

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

拾、申請專利範圍

1. 一種半導體裝置，其特徵為：具備有；

GaAs 基板；

和被設置在前述 GaAs 基板上，由至少一部分之晶格常數比 GaAs 大的半導體所構成之緩衝層；

和由被設置在前述緩衝層之上的 $\text{In}_{u1}\text{Ga}_{1-u1}\text{As}$ 所構成之通道層；

和由被設置在前述通道層之上及下面之至少一方的 n 型 $\text{In}_{v1}\text{Al}_{1-v1}\text{As}$ 所構成之電子供給層；

和被設置在前述通道層及前述電子供給層之上、至少一部分由無摻雜 $\text{In}_{v2}\text{Al}_{1-v2}\text{As}$ 所構成之肖特基接觸 (Schottky Contact) 層；

和被設置在前述肖特基接觸層之上的 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層；

和被設置在前述 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層之上的 n 型 $\text{In}_{u2}\text{Ga}_{1-u2}\text{As}$ 歐姆接觸層；

和被設置在前述肖特基接觸層之上的閘極電極；和被設置在前述歐姆接觸層之上的源極電極及汲極電極。

2. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述肖特基接觸層係，由無摻雜 InAlAs 層所構成。

3. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述肖特基接觸層係，具有無摻雜 InAlAs 層和被設置在其上面之 AlGaAs 。

(2)

4. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述肖特基接觸層係，具有無摻雜 InAlAs 層，和被設置在其上面之 InGaP 層，和被設置在其上面之無摻雜 InAlAs。

5. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述緩衝層係，具有由 InAlAs、InGaAs、InGaAlAs、InGaP、InAlP 及 InGaAlP 所組成群之中所選出的 1 種或 2 種以上之疊層構造所構成，該材料固有之晶格常數隨著自前述基板分離而連續性或階段性增加所構成之部分。

6. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述通道層之 In 組成 U1 為 $0.31 \leq U1 \leq 0.45$ ，前述歐姆接觸層之 In 組成 U2 為 $0.31 \leq U2 \leq 0.60$ 。

7. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述歐姆接觸層之 In 組成 U2 為 $0.45 \leq U2 \leq 0.60$ ，該膜厚為 20nm 以下。

8. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述電子供給層之 In 組成 V1 為 $0.1 \leq V1 \leq 0.44$ ；前述肖特基接觸層之上述 $\text{In}_{v2}\text{Al}_{1-v2}\text{As}$ 之 In 組成 V2 為 $0.30 \leq V2 \leq 0.44$ 。

9. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述電子供給層之 In 組成 V1 為 $0.1 \leq V1 \leq 0.3$ ，該膜厚為 15nm 以下。

10. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層之 In 組成 X 為 $0.78 \leq$

(3)

$X \leq 0.1$ ，Al 組成 Y 為 $0 \leq Y \leq 1$ 。

11. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層之 In 組成 X 為 $0.92 \leq X \leq 1$ ，該膜厚為 15nm 以下。

12. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層之 In 組成 X 之分布係，自前述肖特基接觸層朝向前述歐姆接觸層連續性或斷續性增加而所構成。

13. 如申請專利範圍第 1 項所記載之半導體裝置，其中：前述 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層之 Al 組成 Y 之分布係，由前述肖特基接觸層朝向前述歐姆接觸層連續性或斷續性減少而所構成。

14. 一種半導體裝置；具備有：

GaAs 基板；

和被設置在前述 GaAs 基板上，由至少一部分之晶格常數比 GaAs 大的半導體所構成之緩衝層；

和被設置在前述緩衝層之上面包含有通道層和電子供給層之疊層體中，前述通道層是由 $\text{In}_{u1}\text{Ga}_{1-u1}\text{As}$ 所構成，前述電子供給層是由 n 型 $\text{In}_{v1}\text{Al}_{1-v1}\text{As}$ 所構成之疊層體；

和被設置在前述疊層體之上面包含有無摻雜 $\text{In}_{v2}\text{Al}_{1-v2}\text{As}$ 層之肖特基接觸層；

和被設置在前述肖特基接觸層之上的 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層；

(4)

和被設置在前述 n 型 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層之上的
的 n 型 $\text{In}_{u2}\text{Ga}_{1-u2}\text{As}$ 歐姆接觸層；

和被設置在前述肖特基接觸層之上的閘極電極；和

和被設置在前述歐姆接觸層之上的源極電極及汲極
電極；其特徵為：

前述 $\text{In}_x(\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層係，具有自前述肖特基
接觸層朝向前述歐姆接觸層的帶隙為具有連續性或斷續性
縮小之分佈的部分。

15. 如申請專利範圍第 14 項所記載之半導體裝置，
其中：前述緩衝層係，具有由 InAlAs 、 InGaAs 、
 InGaAlAs 、 InGaP 、 InAlP 及 InGaAlP 所組成群之中所選
出的 1 種或 2 種以上之疊層構造所構成，朝該層厚方向觀
之，該材料固有之晶格常數自上述基板分離而連續性或階
段性增加所構成之部分。

16. 一種半導體裝置；具備有：

GaAs 基板；

和被設置在前述 GaAs 基板上，由至少一部分之晶格
常數比 GaAs 大的半導體所構成之緩衝層；

和被設置在前述緩衝層之上包含有通道層和電子供
給層之疊層體，前述通道層是由 $\text{In}_{u1}\text{Ga}_{1-u1}\text{As}$ 所構成，
前述電子供給層是由 n 型 $\text{In}_{v1}\text{Al}_{1-v1}\text{As}$ 所構成之疊層體；

和被設置在前述疊層體之上包含有無摻雜
 $\text{In}_{v2}\text{Al}_{1-v2}\text{As}$ 層之肖特基接觸層；

和被設置在前述肖特基接觸層之上的 n 型

(5)

$\text{In}_x (\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層；

和被設置在前述 n 型 $\text{In}_x (\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層之上的
的 n 型 $\text{In}_{u2}\text{Ga}_{1-u2}\text{As}$ 歐姆接觸層；

和被設置在前述肖特基接觸層之上的閘極電極；和
被設置在前述歐姆接觸層之上的源極電子極及汲極
電極；其特徵為：

前述緩衝層係，具有自前述基板朝向前述疊層體的晶
格常數為連續性或階段性增大的部分；

前述 $\text{In}_x (\text{Ga}_{1-y}\text{Al}_y)_{1-x}\text{P}$ 層係，具有自前述肖特基
接觸層朝向前述歐姆接觸層的帶隙為連續性或斷續性縮小
的部分。

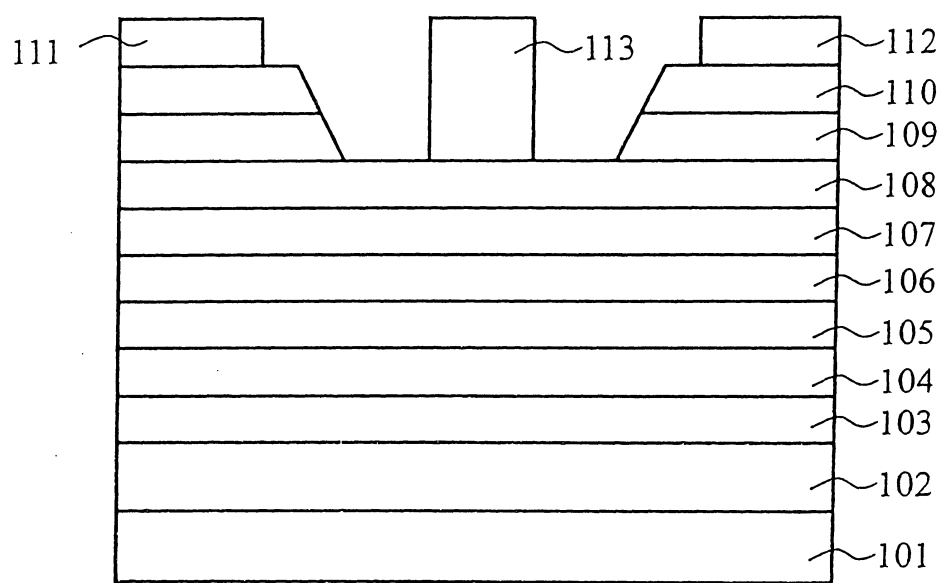
17. 如申請專利範圍第 16 項所記載之半導體裝置，
其中：前述通道層之 In 組成 $U1$ 為 $0.31 \leq U1 \leq 0.45$ ；前述
歐姆接觸層之 In 組成 $U2$ 為 $0.31 \leq U2 \leq 0.60$ 。

18. 如申請專利範圍第 16 項所記載之半導體裝置，
其中：前述歐姆接觸層之 In 組成 $U2$ 為 $0.45 \leq U2 \leq 0.60$ ，
該膜厚為 20nm 以下。

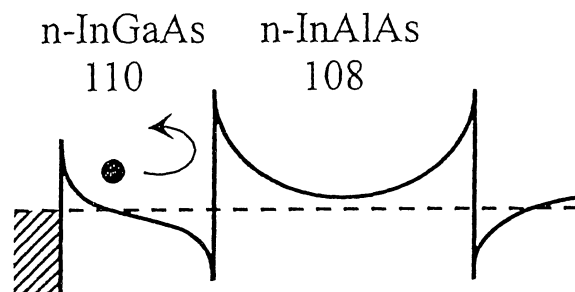
19. 如申請專利範圍第 16 項所記載之半導體裝置，
其中：前述電子供給層之 In 組成 $V1$ 為 $0.1 \leq V1 \leq 0.44$ ，
前述肖特基接觸層之前述 $\text{In}_{v2}\text{Al}_{1-v2}\text{As}$ 之 In 組成 $V2$ 為
 $0.30 \leq V2 \leq 0.44$ 。

20. 如申請專利範圍第 16 項所記載之半導體裝置，
其中：前述電子供給層之 In 組成 $V1$ 為 $0.1 \leq V1 \leq 0.3$ ，該
膜厚為 15nm 以下。

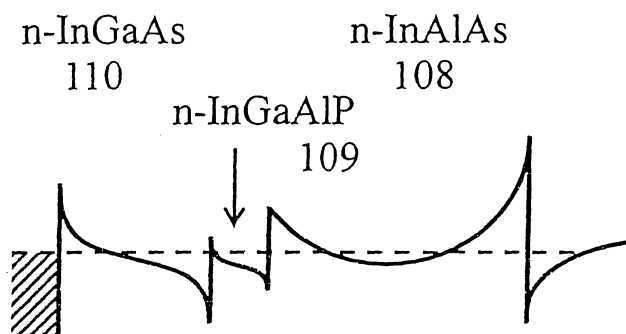
第1圖



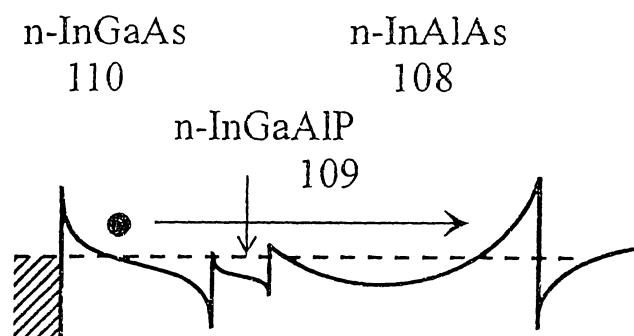
第2A圖



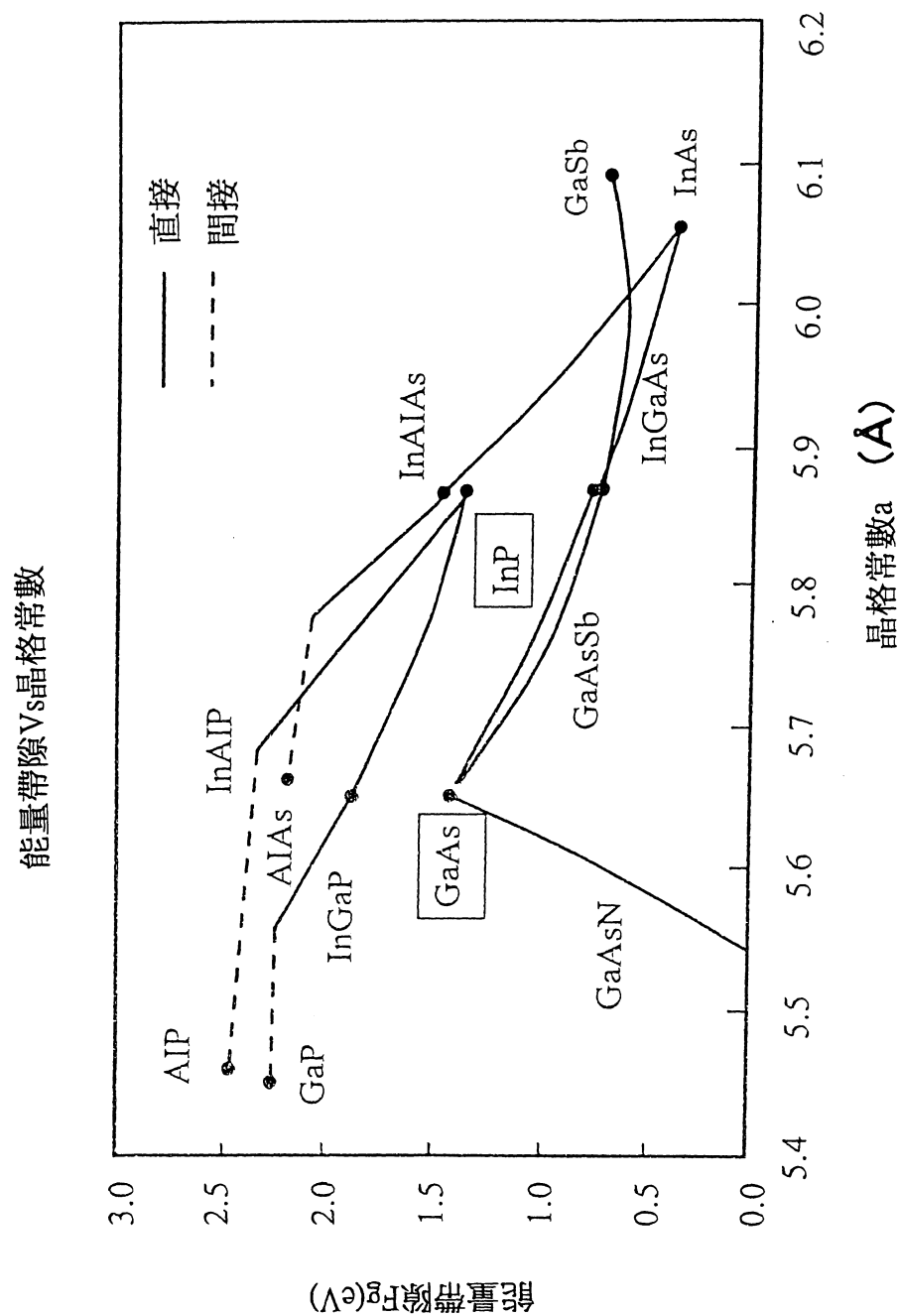
第2B圖



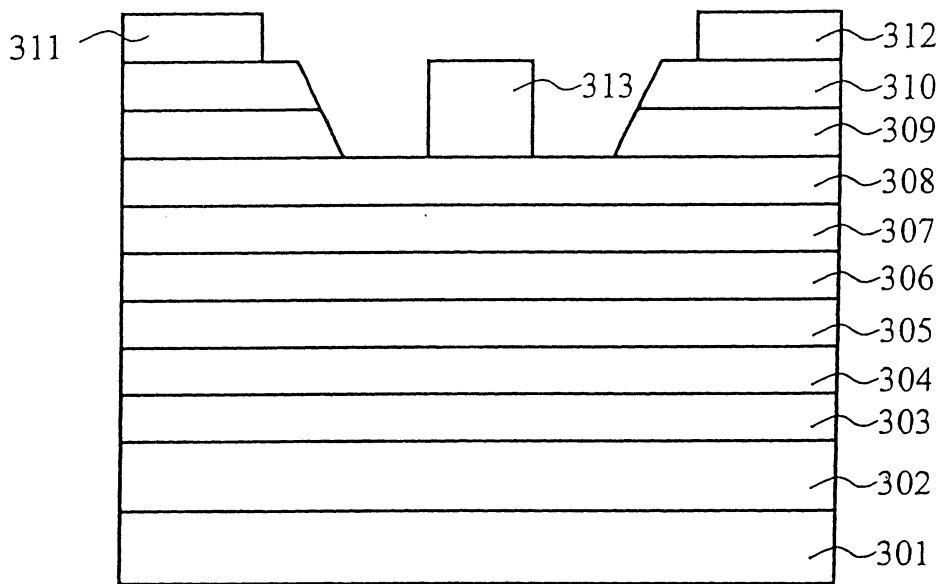
第2C圖



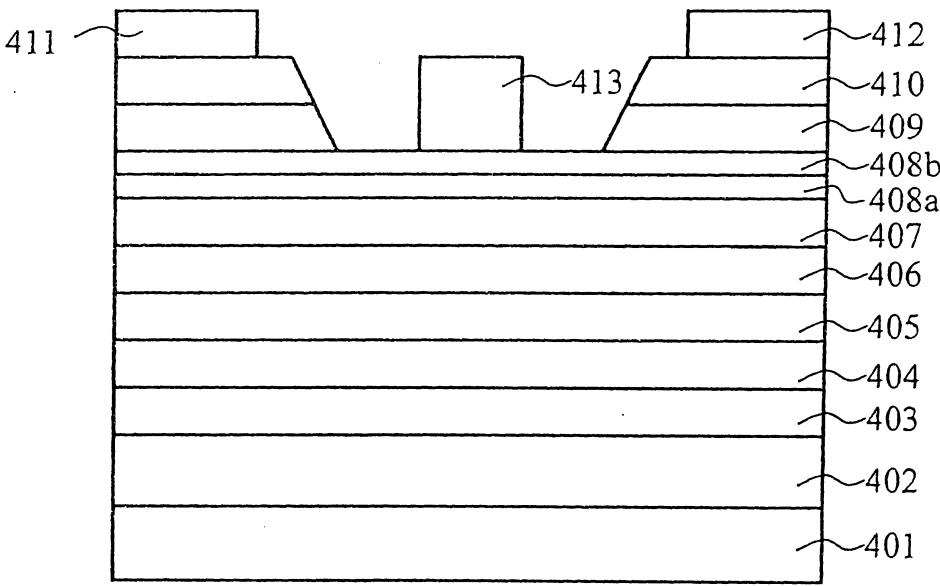
第3圖



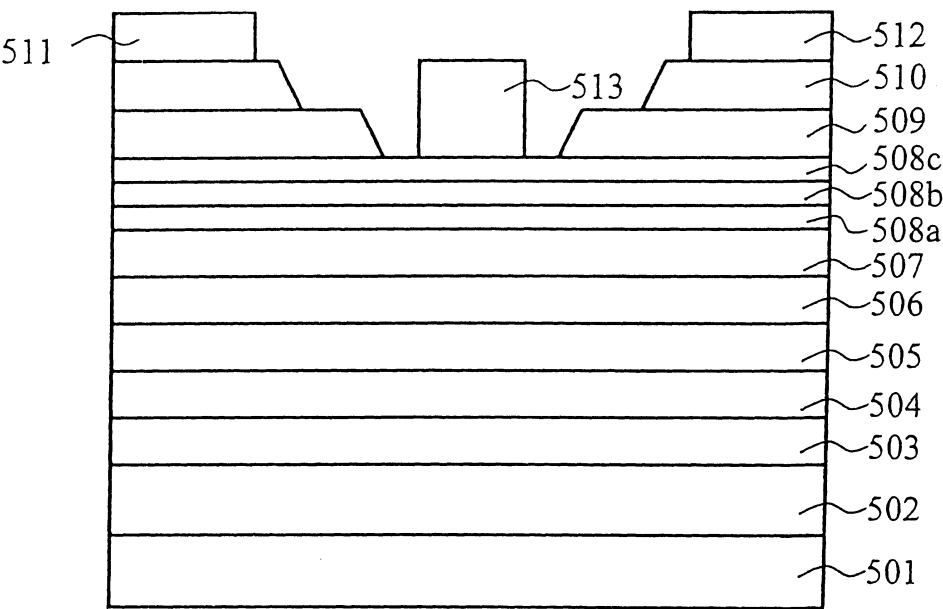
第4圖



第5圖



第6圖



第7圖

