

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-5073

(P2017-5073A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl. F I テーマコード (参考)  
 HO 1 L 25/04 (2014.01) HO 1 L 25/04 Z  
 HO 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2015-116498 (P2015-116498)  
 (22) 出願日 平成27年6月9日 (2015.6.9)

(71) 出願人 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号  
 (74) 代理人 100107766  
 弁理士 伊東 忠重  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100192636  
 弁理士 加藤 隆夫  
 (72) 発明者 佐藤 優  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 電子装置の製造方法

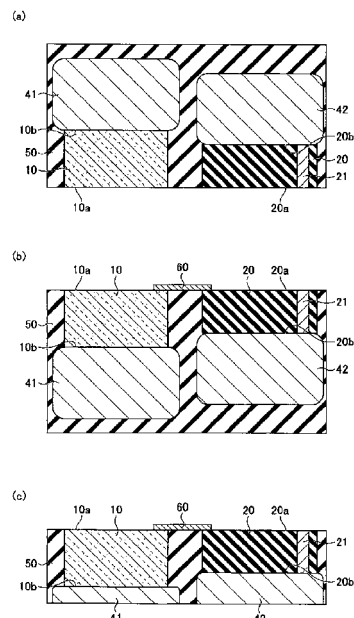
(57) 【要約】

【課題】複数のチップを集積化させて形成される電子装置を品質や歩留まりの低下を招くことなく製造することができる電子装置の製造方法を提供する。

【解決手段】支持部材に、第1の電子素子の一方の面及び第2の電子素子の一方の面を張り付ける工程と、前記第1の電子素子の他方の面に導電材料層を形成し、前記第2の電子素子の他方の面に導電材料層を形成する工程と、前記第1の電子素子の他方の面に形成された導電材料層及び前記第2の電子素子の他方の面に形成された導電材料層を樹脂により覆う工程と、前記樹脂を前記第1の電子素子の他方の面に形成された導電材料層及び前記第2の電子素子の他方の面に形成された導電材料層が露出するまで除去する工程と、露出している前記第1の電子素子の他方の面の導電材料層及び前記第2の電子素子の他方の面の導電材料層に金属板を接続し、前記導電材料層と前記金属板とを電氣的に接続する工程と、を有することを特徴とする電子装置の製造方法により上記課題を解決する。

【選択図】 図7

第1の実施の形態における電子装置の製造方法の工程図(2)



**【特許請求の範囲】****【請求項 1】**

支持部材に、第 1 の電子素子の一方の面及び第 2 の電子素子の一方の面を張り付ける工程と、

前記第 1 の電子素子の他方の面に導電材料層を形成し、前記第 2 の電子素子の他方の面に導電材料層を形成する工程と、

前記第 1 の電子素子の他方の面に形成された導電材料層及び前記第 2 の電子素子の他方の面に形成された導電材料層を樹脂により覆う工程と、

前記樹脂を前記第 1 の電子素子の他方の面に形成された導電材料層及び前記第 2 の電子素子の他方の面に形成された導電材料層が露出するまで除去する工程と、

露出している前記第 1 の電子素子の他方の面の導電材料層及び前記第 2 の電子素子の他方の面の導電材料層に金属板を接続し、前記導電材料層と前記金属板とを電氣的に接続する工程と、

を有することを特徴とする電子装置の製造方法。

**【請求項 2】**

前記樹脂を除去する工程の後、

露出している前記第 1 の電子素子の他方の面の導電材料層に凹部を形成する工程を有し

、前記金属板には、前記凹部に対応した形状の凸部が形成されており、

前記導電材料層に前記金属板を接合する際、前記凹部に前記凸部が入られることを特徴とする請求項 1 に記載の電子装置の製造方法。

**【請求項 3】**

前記第 1 の電子素子または前記第 2 の電子素子のいずれか一方または双方の側面は、前記導電材料層により覆われていることを特徴とする請求項 1 または 2 に記載の電子装置の製造方法。

**【請求項 4】**

支持部材に、第 1 の電子素子の一方の面及び第 2 の電子素子の一方の面を張り付ける工程と、

前記第 1 の電子素子の他方の面に導電材料層を形成し、前記第 2 の電子素子の他方の面に導電材料層を形成する工程と、

前記第 1 の電子素子の他方の面に形成された導電材料層及び前記第 2 の電子素子の他方の面に形成された導電材料層を樹脂により覆う工程と、

前記樹脂を前記第 1 の電子素子の他方の面が露出するとともに、前記第 2 の電子素子の他方の面に形成された導電材料層が露出するまで除去する工程と、

露出している前記第 1 の電子素子の他方の面及び前記第 2 の電子素子の他方の面の導電材料層に金属板を接続し、前記導電材料層と前記金属板とを電氣的に接続する工程と、

を有することを特徴とする電子装置の製造方法。

**【請求項 5】**

支持部材に、第 1 の電子素子の一方の面及び第 2 の電子素子の一方の面を張り付ける工程と、

前記第 1 の電子素子の他方の面に導電材料層を形成し、前記第 2 の電子素子の他方の面に導電材料層を形成する工程と、

前記第 1 の電子素子と前記第 1 の電子素子の他方の面に形成されている導電材料層とを合わせた厚さと、前記第 2 の電子素子と前記第 2 の電子素子の他方の面に形成されている導電材料層とを合わせた厚さとを略均一にする工程と、

を有することを特徴とする電子装置の製造方法。

**【請求項 6】**

前記支持部材を除去する工程と、

前記第 1 の電子素子の一方の面と前記第 2 の電子素子の一方の面とを接続する再配線を形成する工程を有することを特徴とする請求項 1 から 5 のいずれかに記載の電子装置の製

10

20

30

40

50

造方法。

【請求項 7】

前記導電材料層は、銀または金を含む材料により形成されていることを特徴とする請求項 1 から 6 のいずれかに記載の電子装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子装置の製造方法に関するものである。

【背景技術】

【0002】

パワーアンプ等の電子装置は、信号を増幅する働きを有しており、無線通信機の送信部等に用いられる。従来のパワーアンプは、例えば、半導体基板上にトランジスタ等が形成された半導体チップと、セラミックス等の基板上に整合回路が形成されたチップとを近接して配置し、各々のチップにおける電極同士をワイヤにより接続した構造のものがある（例えば、特許文献 1）。しかしながら、このような構造のパワーアンプは、チップの位置ずれやワイヤの長さのバラツキに起因してパワーアンプの電気的な特性が変化し、歩留まりの低下を招く場合がある。

【0003】

トランジスタ及び整合回路のすべてを一つの半導体基板上に集積化した構造のパワーアンプの場合、上述した位置ずれ等の問題は生じない。しかしながら、用いられる半導体基板が GaN 基板等の高価な基板であると、半導体基板を使用する面積が増える分だけ、コストが上昇してしまうため好ましくない。

【0004】

このため、複数のチップを集積化する方法の検討がなされており、例えば、複数のチップを集積化する技術として再配線技術がある（例えば、特許文献 2）。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特許第 3888785 号公報

【特許文献 2】特開 2013 - 38306 号公報

【特許文献 3】特開 2006 - 270037 号公報

【特許文献 4】特開平 07 - 7134 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、再配線技術により複数のチップを集積化する場合、チップ同士において厚さのバラツキがあるため、これらのチップの厚さを略同じにする必要がある。従って、チップの厚さを研磨等により略同じにする際に、チップの裏面に形成されている裏面電極等が除去され、品質や歩留まりの低下を招く場合がある。

【0007】

このため、複数のチップを集積化させて形成される電子装置において、品質や歩留まりの低下を招くことなく、製造することのできる電子装置が求められている。

【課題を解決するための手段】

【0008】

本実施の形態の一観点によれば、支持部材に、第 1 の電子素子の一方の面及び第 2 の電子素子の一方の面を張り付ける工程と、前記第 1 の電子素子の他方の面に導電材料層を形成し、前記第 2 の電子素子の他方の面に導電材料層を形成する工程と、前記第 1 の電子素子の他方の面に形成された導電材料層及び前記第 2 の電子素子の他方の面に形成された導電材料層を樹脂により覆う工程と、前記樹脂を前記第 1 の電子素子の他方の面に形成された導電材料層及び前記第 2 の電子素子の他方の面に形成された導電材料層が露出するまで

10

20

30

40

50

除去する工程と、露出している前記第 1 の電子素子の他方の面の導電材料層及び前記第 2 の電子素子の他方の面の導電材料層に金属板を接続し、前記導電材料層と前記金属板とを電氣的に接続する工程と、を有することを特徴とする。

【発明の効果】

【0009】

開示の電子装置の製造方法によれば、複数のチップを集積化させて形成される電子装置を品質や歩留まりの低下を招くことなく製造することができる。

【図面の簡単な説明】

【0010】

【図 1】電子装置の製造方法の工程図(1)

10

【図 2】電子装置の製造方法の工程図(2)

【図 3】電子装置の製造方法の工程図(3)

【図 4】電子装置の製造方法における説明図(1)

【図 5】電子装置の製造方法における説明図(2)

【図 6】第 1 の実施の形態における電子装置の製造方法の工程図(1)

【図 7】第 1 の実施の形態における電子装置の製造方法の工程図(2)

【図 8】第 1 の実施の形態における電子装置の製造方法の工程図(3)

【図 9】第 2 の実施の形態における電子装置の製造方法の説明図

【図 10】第 3 の実施の形態における電子装置の製造方法の説明図

【図 11】第 4 の実施の形態における電子装置の製造方法の工程図(1)

20

【図 12】第 4 の実施の形態における電子装置の製造方法の工程図(2)

【発明を実施するための形態】

【0011】

実施するための形態について、以下に説明する。尚、同じ部材等については、同一の符号を付して説明を省略する。

【0012】

〔第 1 の実施の形態〕

最初に、再配線技術により複数のチップを集積化して電子装置を作製する場合について、図 1 ~ 図 3 に基づき説明する。

【0013】

30

最初に、図 1 (a) に示すように、第 1 のチップ 910 の表面 910 a 側及び第 2 のチップ 920 の表面 920 a 側を支持部材 930 にフリップチップ実装により配置し張り付ける。

【0014】

第 1 のチップ 910 は、GaN 等の半導体基板により形成されている。第 1 のチップ 910 の表面 910 a 側には、不図示のトランジスタ等が形成されており、裏面 910 b 側には、不図示の裏面電極等が形成されている。第 2 のチップ 920 は、第 1 のチップ 910 とは異なる材料であって、例えば、セラミックス等の基板により形成されている。第 2 のチップ 920 の表面 920 a 側には、不図示のキャパシタ、抵抗、インダクタ等の整合回路及び配線等が形成されており、裏面 920 b 側には、不図示の裏面電極等が形成されている。また、第 2 のチップ 920 には、第 2 のチップ 920 の表面 920 a から裏面 920 b を貫通する貫通電極 921 が形成されており、これにより裏面 920 b 側においてグランドと接続される。

40

【0015】

尚、上述したように、第 1 のチップ 910 は、トランジスタが形成されているため、トランジスタが動作することにより発熱する。このため、第 1 のチップ 910 は、厚さが薄く形成されていることが好ましく、また、第 1 のチップ 910 の裏面に金属等を接着させて熱を逃がすことのできる構造となっている。また、第 2 のチップ 920 は、整合回路であるため、発熱はしないが、バイアス回路を兼ねているため、一般的に、裏面 920 b 側は接地されている。

50

## 【 0 0 1 6 】

次に、図 1 ( b ) に示すように、支持部材 9 3 0 に張り付けられている第 1 のチップ 9 1 0 及び第 2 のチップ 9 2 0 をモールド樹脂 9 5 0 により固める。これにより、第 1 のチップ 9 1 0 の裏面 9 1 0 b、及び、第 2 のチップ 9 2 0 の裏面 9 2 0 b はモールド樹脂 9 5 0 により覆われる。このようにモールド樹脂により全体がウェハ状に固められたものを疑似ウェハと呼ぶ場合がある。

## 【 0 0 1 7 】

次に、図 1 ( c ) に示すように、モールド樹脂 9 5 0 により固められた第 1 のチップ 9 1 0 及び第 2 のチップ 9 2 0 より支持部材 9 3 0 を剥がす。これにより、第 1 のチップ 9 1 0 の表面 9 1 0 a 及び第 2 のチップ 9 2 0 の表面 9 2 0 a が露出する。

10

## 【 0 0 1 8 】

次に、図 2 ( a ) に示すように、第 1 のチップ 9 1 0 の表面 9 1 0 a に形成されている不図示の電極と第 2 のチップ 9 2 0 の表面 9 2 0 a に形成されている不図示の電極とを再配線 9 6 0 により接続する。再配線 9 6 0 は金属材料等により形成されており、再配線プロセスにより形成する。例えば、再配線 9 6 0 は、第 1 のチップ 9 1 0 の表面 9 1 0 a 及び第 2 のチップ 9 2 0 の表面 9 2 0 a に再配線 9 6 0 を形成するための金属膜を成膜し、再配線 9 6 0 が形成される領域以外の領域の金属膜をドライエッチング等により除去することにより形成する。

## 【 0 0 1 9 】

次に、図 2 ( b ) に示すように、第 1 のチップ 9 1 0 の裏面 9 1 0 b 及び第 2 のチップ 9 2 0 の裏面 9 2 0 b を覆っているモールド樹脂 9 5 0 を研磨により除去し、第 1 のチップ 9 1 0 の裏面 9 1 0 b 及び第 2 のチップ 9 2 0 の裏面 9 2 0 b を露出させる。この際、第 1 のチップ 9 1 0 と第 2 のチップ 9 2 0 は厚さが異なるため、双方のチップの裏面を露出させる場合には、いずれか一方のチップの裏面は他方のチップの厚さと略同じ厚さとなるまで研磨により除去される。

20

## 【 0 0 2 0 】

次に、図 2 ( c ) に示すように、露出している第 1 のチップ 9 1 0 の裏面 9 1 0 b 及び第 2 のチップ 9 2 0 の裏面 9 2 0 b にメッキ等により金属膜 9 6 1 を形成する。

## 【 0 0 2 1 】

次に、図 3 に示すように、金属膜 9 6 1 が形成されている側に金属板 9 7 0 を半田等により接続する。このように接続された金属板 9 7 0 は、銅 ( C u ) 等の金属材料により形成されており、グラウンドに接続されている。従って、金属板 9 7 0 は、グラウンドとして機能するとともに、第 1 のチップ 9 1 0 において発熱した熱を放熱する機能を有している。

30

## 【 0 0 2 2 】

ところで、上記の製造工程においては、図 2 ( b ) に示される研磨においては、第 2 のチップ 9 2 0 の裏面 9 2 0 b に形成された不図示の裏面電極が露出するまで、研磨が行われる。しかしながら、研磨における削り量が多い場合には、研磨により第 2 のチップ 9 2 0 の裏面 9 2 0 b に形成されている裏面電極まで除去されてしまい、この場合、所望の電気的特性を得ることができない。また、研磨における削り量が少ない場合には、第 2 のチップ 9 2 0 の裏面 9 2 0 b に形成された裏面電極はモールド樹脂 9 5 0 に覆われたままで、電氣的に接続することができない。このため、一枚の疑似ウェハには、多数のチップを有しているため、すべての第 2 のチップ 9 2 0 において、裏面 9 2 0 b における裏面電極を除去することなく、モールド樹脂 9 5 0 を除去することは、極めて困難である。尚、本実施の形態において形成される疑似ウェハは、大きさが 6 インチのウェハである。

40

## 【 0 0 2 3 】

このため、図 4 に示すように、第 2 のチップ 9 2 0 の裏面 9 2 0 b に形成される裏面電極を膜厚が約 1 0  $\mu$  m の膜厚の厚いメッキ層 9 8 1 により形成する方法や、図 5 に示すように、第 2 のチップ 9 2 0 の裏面に金属板 9 8 2 を張り付ける方法が考えられる。しかしながら、第 2 のチップ 9 2 0 の裏面 9 2 0 b に膜厚が 1 0  $\mu$  m のメッキ層 9 8 1 を形成する方法では、メッキ層 9 8 1 を形成するため多大な時間を要する。また、チップ間におい

50

ては厚さにバラツキがあり、チップ間における厚さのバラツキが $10\ \mu\text{m}$ 程度であると、厚さが $10\ \mu\text{m}$ 程度のメッキ層981では、均一にメッキ層981を露出させることは困難である。また、第2のチップ920の裏面に金属板982を張り付ける方法では、第2のチップ920が極めて小さいため(例えば、 $1\text{mm}\times 5\text{mm}$ )、第2のチップ920に金属板982を接続する工程は困難であり、時間やコストを要する。

**【0024】**

(電子装置の製造方法)

次に、本実施の形態における電子装置の製造方法について説明する。

**【0025】**

最初に、図6(a)に示すように、第1のチップ10の表面10a側及び第2のチップ20の表面20a側を支持部材30にフリップチップ実装により配置し張り付ける。

10

**【0026】**

第1のチップ10は、GaN等の半導体基板により形成されている。第1のチップ10の表面10a側には、不図示のトランジスタ等が形成されており、裏面10b側には、不図示の裏面電極等が形成されている。第2のチップ20は、第1のチップ10とは異なる材料の基板、例えば、安価なシリコンやセラミックス等の基板により形成されている。第2のチップ20の表面20a側には、不図示のキャパシタ、抵抗、インダクタ等の整合回路及び配線等が形成されており、裏面20b側には、不図示の裏面電極等が形成されている。また、第2のチップ20には、第2のチップ20の表面20aから裏面20bを貫通する貫通電極21が形成されており、これにより裏面20b側においてグランドと接続される。支持部材30は、例えば、接着シート等の粘着性を有するシートや基板により形成されている。本願においては、第1のチップ10を第1の電子素子、第2のチップ20を第2の電子素子と記載する場合がある。尚、第1のチップ10及び第2のチップ20の厚さは、各々が $100\ \mu\text{m}\sim 300\ \mu\text{m}$ であり、例えば、厚さが $100\ \mu\text{m}$ となるように形成されているが、チップ自体の厚さ及びチップの傾きにより高さバラツキが $\pm 10\ \mu\text{m}$ 程度存在している。

20

**【0027】**

次に、図6(b)に示すように、支持部材30に張り付けられている第1のチップ10の裏面10bの上に導電材料層41を形成し、第2のチップ20の裏面20bの上に導電材料層42を形成する。導電材料層41、42は、銀ペーストまたは金ペーストをディスプレイペンサ等を用いて、第1のチップ10の裏面10bの上、第2のチップ20の裏面20bの上に供給することにより形成する。このように供給された銀ペーストまたは金ペーストは、表面張力により広がり全体の厚さが $15\ \mu\text{m}\sim 0.5\text{mm}$ となり、焼結させることにより、この厚さと略同じ厚さの導電材料層41、42が形成される。本実施の形態においては、導電材料層41、42の厚さは、約 $50\ \mu\text{m}$ となるように形成されている。

30

**【0028】**

次に、図6(c)に示すように、支持部材30に張り付けられている裏面10bに導電材料層41が形成されている第1のチップ10及び裏面20bに導電材料層42が形成されている第2のチップ20をモールド樹脂50により固める。これにより、第1のチップ10の裏面10bに形成された導電材料層41、及び、第2のチップ20の裏面20bに形成された導電材料層42はモールド樹脂50により覆われる。

40

**【0029】**

次に、図7(a)に示すように、モールド樹脂50により固められた第1のチップ10及び第2のチップ20より支持部材30を剥がす。これにより、第1のチップ10の表面10a及び第2のチップ20の表面20aが露出する。

**【0030】**

次に、図7(b)に示すように、第1のチップ10の表面10aに形成されている不図示の電極と第2のチップ20の表面20aに形成されている不図示の電極等を再配線60により接続する。再配線60は金属材料等により形成されており、再配線プロセスにより形成する。例えば、再配線60は、第1のチップ10の表面10a及び第2のチップ20

50

の表面 20 a に再配線 60 を形成するための金属膜を成膜し、再配線 60 が形成される領域以外の領域の金属膜をドライエッチング等により除去することにより形成する。

【0031】

次に、図 7 (c) に示すように、第 1 のチップ 10 の裏面 10 b の導電材料層 41 及び第 2 のチップ 20 の裏面 20 b の導電材料層 42 を覆っているモールド樹脂 50 を研磨により除去する。これにより、第 1 のチップ 10 の裏面 10 b に形成されている導電材料層 41 及び第 2 のチップ 20 の裏面 20 b に形成されている導電材料層 42 を露出させる。このようにして、第 1 のチップ 10 と導電材料層 41 とをあわせた厚さと、第 2 のチップ 20 と導電材料層 42 とをあわせた厚さを略同じにすることができる。尚、第 1 のチップ 10 と第 2 のチップ 20 の厚さが異なっても、導電材料層 41 及び導電材料層 42 が十分厚く形成されているため、導電材料層 41 及び導電材料層 42 は、いずれか一方が露出する前に、他方が除去されてしまうことはない。

10

【0032】

次に、図 8 に示すように、第 1 のチップ 10 の裏面 10 b に形成されている導電材料層 41 及び第 2 のチップ 20 の裏面 20 b に形成されている導電材料層 42 に金属板 70 を半田等により接続する。このように接続された金属板 70 は、銅 (Cu) 等の金属材料により形成されており、グランドに接続されている。従って、金属板 70 は、グランドとして機能するとともに、第 1 のチップ 10 において発熱した熱を放熱する機能を有している。

【0033】

本実施の形態においては、導電材料層 41 及び導電材料層 42 は 15  $\mu$ m から 0.5 mm と厚く形成されている。このため、第 1 のチップ 10 及び第 2 のチップ 20 において厚さにバラツキがあっても、導電材料層 41 及び導電材料層 42 は、いずれか一方が露出する前に、他方が除去されてしまうことはない。よって、第 1 のチップ 10 の裏面 10 b に形成されている裏面電極及び第 2 のチップ 20 の裏面 20 b に形成されている裏面電極が研磨により除去されることはない。また、導電材料層 41 及び導電材料層 42 は、銀ペースト等をディスペンサ等により供給することにより形成されるため、短時間で厚い導電材料層 41、42 を形成することができる。これにより、品質が安定したパワーアンプを高い歩留まりで製造することができる。

20

【0034】

〔第 2 の実施の形態〕

次に、第 2 の実施の形態について説明する。本実施の形態は、第 1 のチップ 10 の裏面 10 b の導電材料層 41 が除去されている構造のものである。

30

【0035】

本実施の形態における電子装置の製造方法は、第 1 の実施の形態の電子装置の製造方法において、図 6 (a) ~ 図 7 (b) における工程を行った後、図 9 (a) に示すように、第 1 のチップ 10 の裏面 10 b が露出するまでモールド樹脂 50 を除去する研磨を行う。これにより、第 2 のチップ 20 の裏面 20 b の導電材料層 42 は残っているが、第 1 のチップ 10 の裏面 10 b の導電材料層 41 は除去され、第 1 のチップ 10 の裏面 10 b が露出する。第 1 のチップ 10 は、貫通電極が形成されていないため、裏面 10 b における裏面電極は必ずしも必要ではなく、除去してもよい。

40

【0036】

次に、図 9 (b) に示すように、第 1 のチップ 10 の裏面 10 b 及び第 2 のチップ 20 の裏面 20 b の導電材料層 42 を金属板 70 に半田等により接続する。これにより本実施の形態における電子装置を製造することができる。

【0037】

尚、上記以外の内容については、第 1 の実施の形態と同様である。

【0038】

〔第 3 の実施の形態〕

次に、第 3 の実施の形態について説明する。本実施の形態は、第 1 のチップ 10 の放熱

50

効率を高めた構造の導電材料層 4 1 を形成した電子装置である。

【 0 0 3 9 】

本実施の形態は、第 1 の実施の形態における電子装置の製造方法において、図 6 ( a ) ~ 図 7 ( b ) における工程を行った後、図 7 ( c ) における研磨の工程において、導電材料層 4 1 及び導電材料層 4 2 をやや厚めに残す。その後、図 1 0 ( a ) に示すように、第 1 のチップ 1 0 の裏面 1 0 b に形成された導電材料層 4 1 に凹部 4 1 a を切削等の加工により形成する。

【 0 0 4 0 】

次に、図 1 0 ( b ) に示すように、第 1 のチップ 1 0 の裏面 1 0 b の導電材料層 4 1 及び第 2 のチップ 2 0 の裏面 2 0 b の導電材料層 4 2 を金属板 1 7 0 に半田等により接続する。金属板 1 7 0 には、導電材料層 4 1 における凹部 4 1 a に対応した形状の凸部 1 7 0 a が形成されており、導電材料層 4 1 と金属板 1 7 0 とが接する領域を広くすることができ、金属板 1 7 0 への熱伝導効率を高めることができる。

10

【 0 0 4 1 】

尚、上記以外の内容については、第 1 の実施の形態と同様である。

【 0 0 4 2 】

〔第 4 の実施の形態〕

次に、第 4 の実施の形態について説明する。本実施の形態は、発熱する第 1 のチップ 1 0 を効率よく放熱するため、第 1 のチップ 1 0 の側面も覆う導電材料層 1 4 1 が形成されている構造のものである。

20

【 0 0 4 3 】

最初に、図 1 1 ( a ) に示すように、第 1 のチップ 1 0 の表面 1 0 a 側及び第 2 のチップ 2 0 の表面 2 0 a 側を支持部材 3 0 にフリップチップ実装により配置し張り付ける。

【 0 0 4 4 】

次に、図 1 1 ( b ) に示すように、支持部材 3 0 に張り付けられている第 1 のチップ 1 0 の裏面 1 0 b の上及び側面 1 0 c を覆うように導電材料層 1 4 1 を形成し、第 2 のチップ 2 0 の裏面 2 0 b の上に導電材料層 4 2 を形成する。導電材料層 1 4 1、4 2 は、銀ペーストまたは金ペーストをディスペンサ等を用いて、第 1 のチップ 1 0 の裏面 1 0 b の上及び側面 1 0 c、第 2 のチップ 2 0 の裏面 2 0 b の上に供給することにより形成する。

30

【 0 0 4 5 】

次に、図 1 1 ( c ) に示すように、支持部材 3 0 に張り付けられている裏面 1 0 b に導電材料層 1 4 1 が形成されている第 1 のチップ 1 0 及び裏面 2 0 b に導電材料層 4 2 が形成されている第 2 のチップ 2 0 をモールド樹脂 5 0 により固める。これにより、第 1 のチップ 1 0 の裏面 1 0 b に形成された導電材料層 1 4 1、及び、第 2 のチップ 2 0 の裏面 2 0 b に形成された導電材料層 4 2 はモールド樹脂 5 0 により覆われる。

【 0 0 4 6 】

次に、図 1 2 ( a ) に示すように、モールド樹脂 5 0 により固められた第 1 のチップ 1 0 及び第 2 のチップ 2 0 より支持部材 3 0 を剥がす。これにより、第 1 のチップ 1 0 の表面 1 0 a 及び第 2 のチップ 2 0 の表面 2 0 a が露出する。

【 0 0 4 7 】

次に、図 1 2 ( b ) に示すように、第 1 のチップ 1 0 の表面 1 0 a に形成された不図示の電極と第 2 のチップ 2 0 の表面 2 0 a に形成された不図示の電極等とを再配線 6 0 により接続する。その後、第 1 のチップ 1 0 の裏面 1 0 b の導電材料層 1 4 1 及び第 2 のチップ 2 0 の裏面 2 0 b の導電材料層 4 2 を覆っているモールド樹脂 5 0 を研磨により除去する。尚、本実施の形態においては、導電材料層 1 4 1 と再配線 6 0 とが接触しないように、導電材料層 1 4 1 の上に、不図示の絶縁膜等が形成されており、形成された絶縁膜の上に、再配線 6 0 が再配線プロセスにより形成される。これにより、第 1 のチップ 1 0 の裏面 1 0 b に形成されている導電材料層 1 4 1 及び第 2 のチップ 2 0 の裏面 2 0 b に形成されている導電材料層 4 2 を露出させる。

40

【 0 0 4 8 】

50

次に、図 1 2 ( c ) に示すように、第 1 のチップ 1 0 の裏面 1 0 b に形成されている導電材料層 1 4 1 及び第 2 のチップ 2 0 の裏面 2 0 b に形成されている導電材料層 4 2 を金属板 7 0 に半田等により接続する。このように接続された金属板 7 0 は、銅 ( C u ) 等の金属材料により形成されており、グランドに接続されている。従って、金属板 7 0 は、グランドとして機能するとともに、第 1 のチップ 1 0 において発熱した熱を放熱する機能を有している。

【 0 0 4 9 】

尚、上記以外の内容については、第 1 の実施の形態と同様である。

【 0 0 5 0 】

以上、実施の形態について詳述したが、特定の実施形態に限定されるものではなく、特許請求の範囲に記載された範囲内において、種々の変形及び変更が可能である。

10

【 0 0 5 1 】

上記の説明に関し、更に以下の付記を開示する。

( 付記 1 )

支持部材に、第 1 の電子素子の一方の面及び第 2 の電子素子の一方の面を張り付ける工程と、

前記第 1 の電子素子の他方の面に導電材料層を形成し、前記第 2 の電子素子の他方の面に導電材料層を形成する工程と、

前記第 1 の電子素子の他方の面に形成された導電材料層及び前記第 2 の電子素子の他方の面に形成された導電材料層を樹脂により覆う工程と、

20

前記樹脂を前記第 1 の電子素子の他方の面に形成された導電材料層及び前記第 2 の電子素子の他方の面に形成された導電材料層が露出するまで除去する工程と、

露出している前記第 1 の電子素子の他方の面の導電材料層及び前記第 2 の電子素子の他方の面の導電材料層に金属板を接続し、前記導電材料層と前記金属板とを電氣的に接続する工程と、

を有することを特徴とする電子装置の製造方法。

( 付記 2 )

前記樹脂を除去する工程の後、

露出している前記第 1 の電子素子の他方の面の導電材料層に凹部を形成する工程を有し

30

、前記金属板には、前記凹部に対応した形状の凸部が形成されており、

前記導電材料層に前記金属板を接合する際、前記凹部に前記凸部が入られることを特徴とする付記 1 に記載の電子装置の製造方法。

( 付記 3 )

前記第 1 の電子素子または前記第 2 の電子素子のいずれか一方または双方の側面は、前記導電材料層により覆われていることを特徴とする付記 1 または 2 に記載の電子装置の製造方法。

( 付記 4 )

支持部材に、第 1 の電子素子の一方の面及び第 2 の電子素子の一方の面を張り付ける工程と、

40

前記第 1 の電子素子の他方の面に導電材料層を形成し、前記第 2 の電子素子の他方の面に導電材料層を形成する工程と、

前記第 1 の電子素子の他方の面に形成された導電材料層及び前記第 2 の電子素子の他方の面に形成された導電材料層を樹脂により覆う工程と、

前記樹脂を前記第 1 の電子素子の他方の面が露出するとともに、前記第 2 の電子素子の他方の面に形成された導電材料層が露出するまで除去する工程と、

露出している前記第 1 の電子素子の他方の面及び前記第 2 の電子素子の他方の面の導電材料層に金属板を接続し、前記導電材料層と前記金属板とを電氣的に接続する工程と、

を有することを特徴とする電子装置の製造方法。

( 付記 5 )

50

支持部材に、第 1 の電子素子の一方の面及び第 2 の電子素子の一方の面を張り付ける工程と、

前記第 1 の電子素子の他方の面に導電材料層を形成し、前記第 2 の電子素子の他方の面に導電材料層を形成する工程と、

前記第 1 の電子素子と前記第 1 の電子素子の他方の面に形成されている導電材料層とを合わせた厚さと、前記第 2 の電子素子と前記第 2 の電子素子の他方の面に形成されている導電材料層とを合わせた厚さとを略均一にする工程と、

を有することを特徴とする電子装置の製造方法。

(付記 6)

前記支持部材を除去する工程と、

前記第 1 の電子素子の一方の面と前記第 2 の電子素子の一方の面とを接続する再配線を形成する工程を有することを特徴とする付記 1 から 5 のいずれかに記載の電子装置の製造方法。

(付記 7)

前記導電材料層は、銀または金を含む材料により形成されていることを特徴とする付記 1 から 6 のいずれかに記載の電子装置の製造方法。

(付記 8)

前記導電材料層は、銀ペーストまたは金ペーストを前記第 1 の電子素子の他方の面及び前記第 2 の電子素子の他方の面に供給し、焼結することにより形成されたものであることを特徴とする付記 1 から 6 のいずれかに記載の電子装置の製造方法。

(付記 9)

前記導電材料層の厚さは  $15 \mu\text{m} \sim 0.5 \text{mm}$  であることを特徴とする付記 1 から 8 のいずれかに記載の電子装置の製造方法。

【符号の説明】

【0052】

10	第 1 のチップ
10a	表面
10b	裏面
10c	側面
20	第 2 のチップ
20a	表面
20b	裏面
21	貫通電極
30	支持部材
41	導電材料層
42	導電材料層
50	モールド樹脂
60	再配線
70	金属板

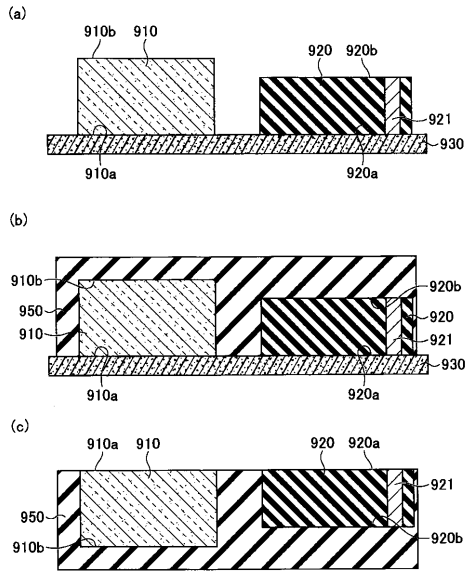
10

20

30

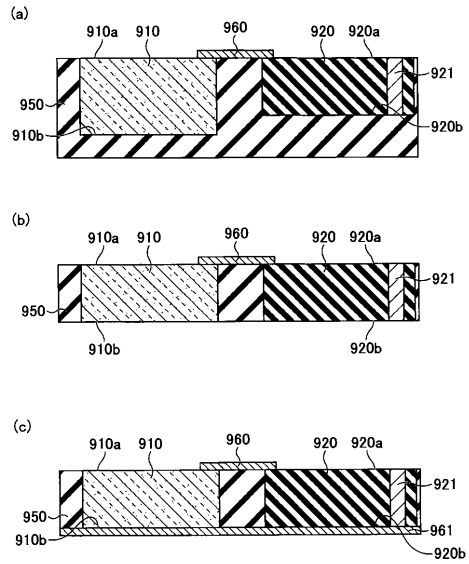
【 図 1 】

電子装置の製造方法の工程図(1)



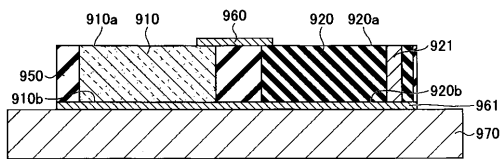
【 図 2 】

電子装置の製造方法の工程図(2)



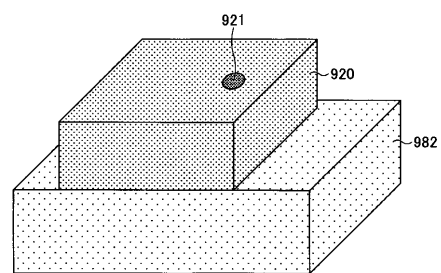
【 図 3 】

電子装置の製造方法の工程図(3)



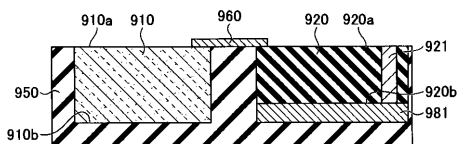
【 図 5 】

電子装置の製造方法における説明図(2)



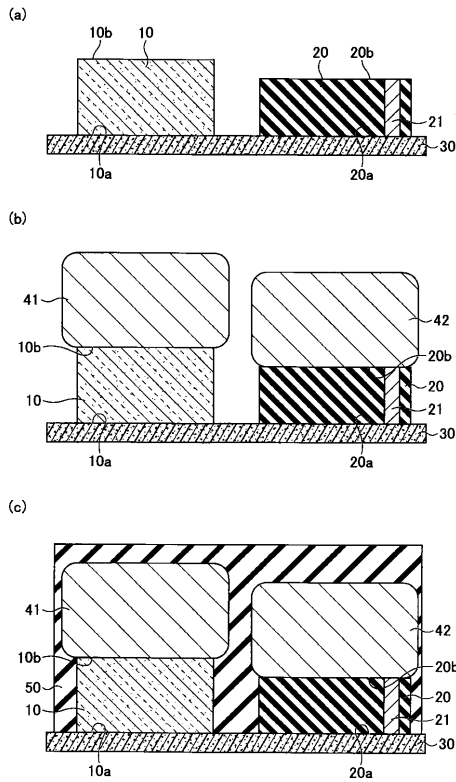
【 図 4 】

電子装置の製造方法における説明図(1)



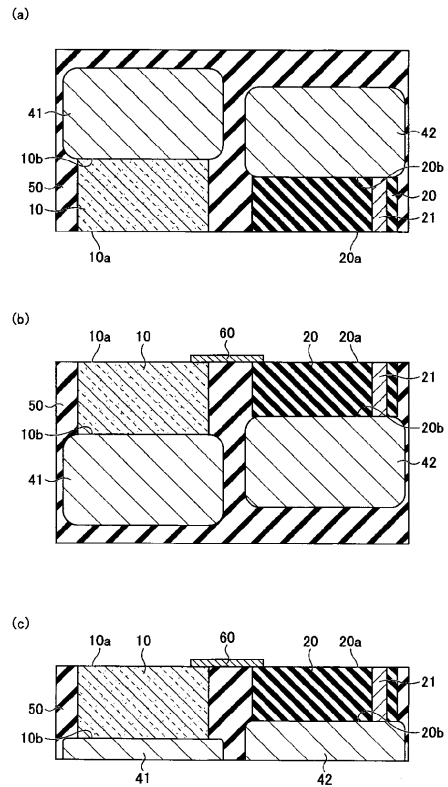
【 図 6 】

第1の実施の形態における電子装置の製造方法の工程図(1)



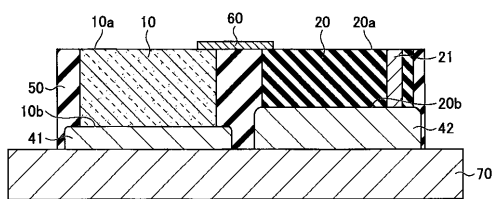
【 図 7 】

第1の実施の形態における電子装置の製造方法の工程図(2)



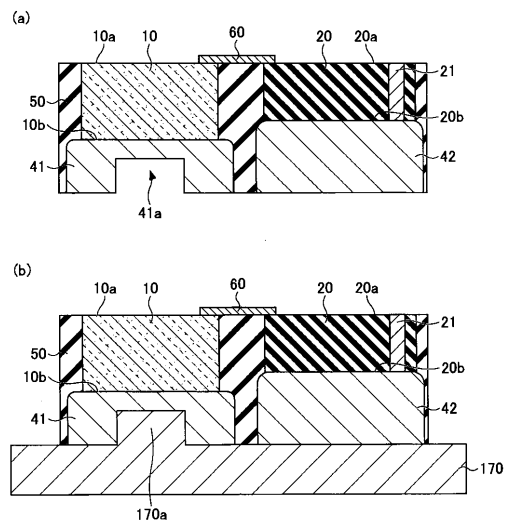
【 図 8 】

第1の実施の形態における電子装置の製造方法の工程図(3)



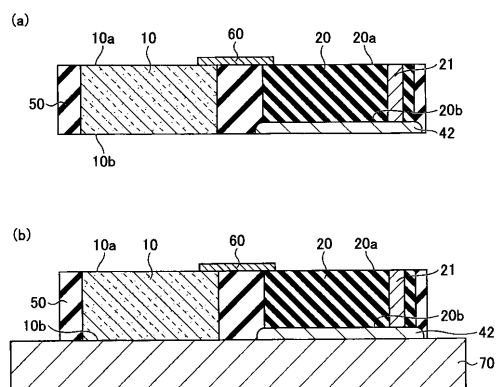
【 図 10 】

第3の実施の形態における電子装置の製造方法の説明図



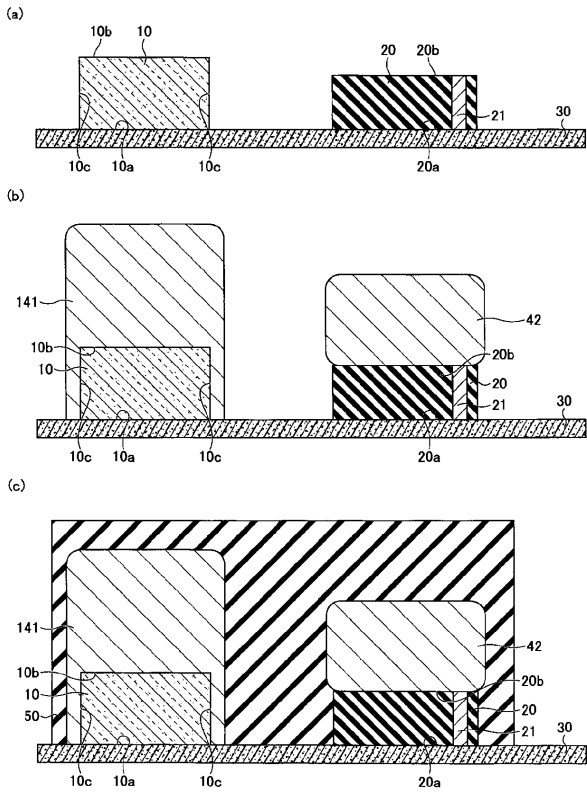
【 図 9 】

第2の実施の形態における電子装置の製造方法の説明図



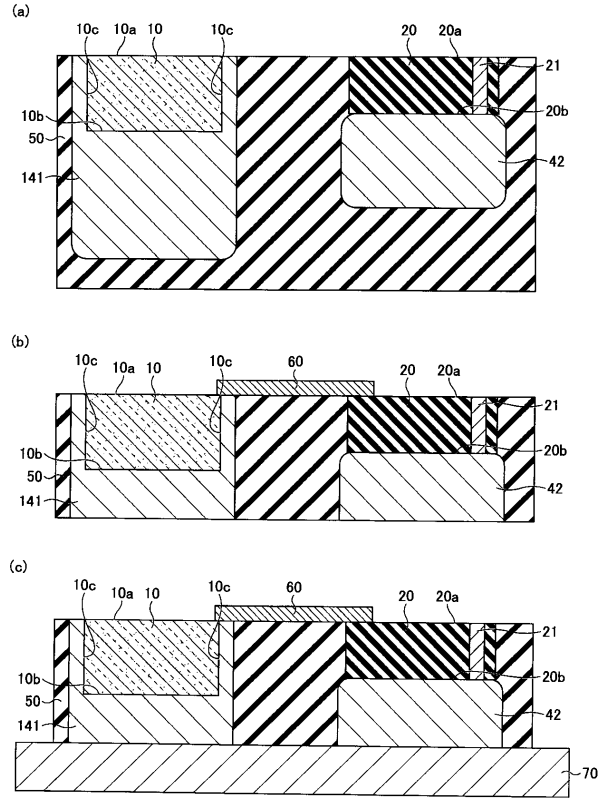
【 図 1 1 】

第4の実施の形態における電子装置の製造方法の工程図(1)



【 図 1 2 】

第4の実施の形態における電子装置の製造方法の工程図(2)



---

フロントページの続き

- (72)発明者 石月 義克  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 佐々木 伸也  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内