

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月14日(14.03.2024)



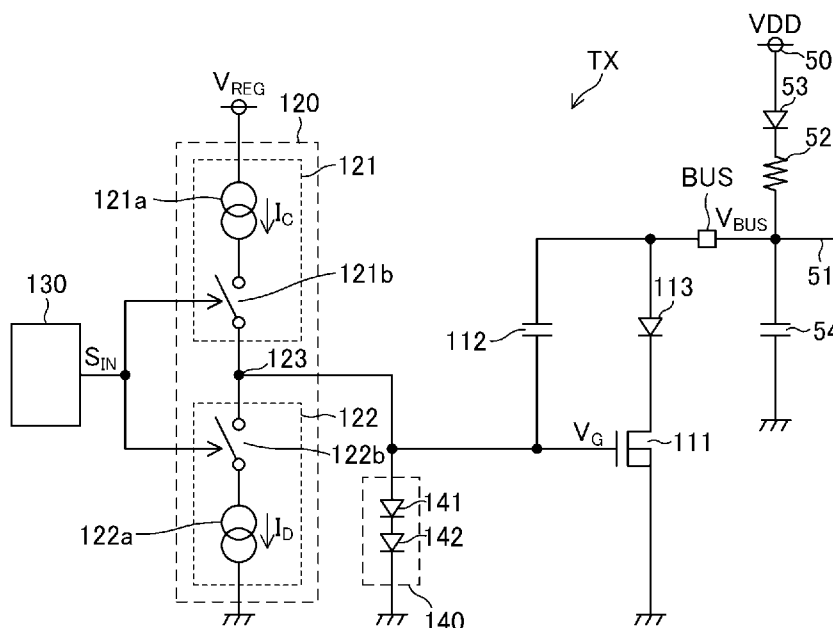
(10) 国際公開番号

WO 2024/053217 A1

- (51) 国際特許分類:
H04L 25/02 (2006.01) *H03K 19/0185* (2006.01)
- (21) 国際出願番号: PCT/JP2023/023589
- (22) 国際出願日: 2023年6月26日(26.06.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-143092 2022年9月8日(08.09.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 増田 信也(MASUDA Shinya); 〒6158585
京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 板坂 将希(ITASAKA Masaki); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人 佐野特許事務所(SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町2-6天満橋八千代ビル別館5F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: SIGNAL TRANSMISSION DEVICE

(54) 発明の名称: 信号送信装置



(57) Abstract: In the present invention, an output terminal is connected, through a pull-up resistor and a backward flow prevention diode, to an end to which power supply voltage is applied. An output transistor is provided between the output terminal and a ground. A capacitor is connected between a gate of the output transistor and the output terminal. A charging and discharging circuit causes the output transistor to be turned on and off by charging and discharging the gate of the output transistor in a first level period and a second level period for a control input signal, to thus generate, in the output terminal, an output signal corresponding to the input signal. A signal generation circuit causes a level change to occur for the control input signal upon a level change in the original input signal. When doing so, the width in which the control

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

input signal has a second level is adjusted in accordance with the power supply voltage.

(57) 要約: 出力端子はプルアップ抵抗及び逆流防止ダイオードを介して電源電圧の印加端に接続される。出力トランジスタは出力端子及びグランド間に設けられる。出力トランジスタのゲート及び出力端子間にコンデンサが接続される。充放電回路は、制御入力信号の第1レベル期間、第2レベル期間に、出力トランジスタのゲートを充電、放電することで出力トランジスタをオン、オフし、これによって入力信号に応じた出力信号を出力端子に生じさせる。信号生成回路は原入力信号のレベル変化を契機に制御入力信号にレベル変化を生じさせる。この際、制御入力信号が第2レベルを有する幅を電源電圧に応じて調整する。

明 細 書

発明の名称： 信号送信装置

技術分野

[0001] 本開示は、信号送信装置に関する。

背景技術

[0002] 入力信号に基づく出力信号を出力端子から送信する信号送信装置がある。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-200103号公報

発明の概要

発明が解決しようとする課題

[0004] この種の信号送信装置において、電源電圧に依存して出力信号の波形に好ましくない変動が生じることがある。

[0005] 本開示は、出力信号の電源電圧依存性の低減に寄与する信号送信装置を提供することを目的とする。

課題を解決するための手段

[0006] 本開示に係る信号送信装置は、プルアップ抵抗及び逆流防止ダイオードを介して電源電圧の印加端に接続されるよう構成された出力端子と、前記出力端子とグランドとの間に設けられた出力トランジスタと、前記出力トランジスタのゲート及び前記出力端子間に接続されたコンデンサと、原入力信号に基づき制御入力信号を生成するよう構成された信号生成回路と、前記制御入力信号に応じて前記出力トランジスタのゲートを充電又は放電するよう構成された充放電回路と、を備えて、前記出力トランジスタのゲートの充電又は放電を通じ前記出力トランジスタをオン又はオフすることにより前記原入力信号及び前記制御入力信号に応じた出力信号を前記出力端子に生じさせ、前記逆流防止ダイオードは前記電源電圧の印加端から前記出力端子に向かう順方向を有し、前記充放電回路は、前記制御入力信号が第1レベルを有すると

きに前記出力トランジスタのゲートの充電によって前記出力トランジスタをオンとし、前記制御入力信号が第2レベルを有するときに前記出力トランジスタのゲートの放電によって前記出力トランジスタをオフとし、前記出力トランジスタのゲートに対する充電電流及び放電電流の値を前記電源電圧に応じて設定し、前記信号生成回路は、前記制御入力信号が第2レベルを有する幅を前記電源電圧に応じて調整する。

発明の効果

[0007] 本開示によれば、出力信号の電源電圧依存性の低減に寄与する信号送信装置を提供することが可能となる。

図面の簡単な説明

- [0008] [図1]図1は、本開示の実施形態に係る通信システムの全体構成図である。
- [図2]図2は、本開示の実施形態に係るトランシーバの外観斜視図である。
- [図3]図3は、本開示の実施形態に係り、トランシーバにおける送信回路の構成図である。
- [図4]図4は、本開示の実施形態に係り、原入力信号から制御入力信号を生成するための構成を示す図である。
- [図5]図5は、本開示の実施形態に係り、原入力信号を生成するための構成を示す図である。
- [図6]図6は、本開示の実施形態に係り、原入力信号と制御入力信号との原則的な関係を示す図である。
- [図7]図7は、本開示の実施形態に係り、信号出力条件を説明するための図である。
- [図8]図8は、本開示の実施形態に係り、電源電圧と充電電流又は放電電流との関係図である。
- [図9]図9は、本開示の実施形態に係り、制御入力信号及び出力電圧の各波形を概略的に示す図である。
- [図10]図10は、電源電圧が相対的に高いときにおける、制御入力信号及び出力電圧の各波形を概略的に示す図である。

[図11]図 1 1 は、電源電圧が相対的に低いときにおける、制御入力信号及び出力電圧の各波形を概略的に示す図である。

[図12]図 1 2 は、参考方法に係り、出力電圧のローレベル幅が電源電圧に依存する様子を示す図である。

[図13]図 1 3 は、本開示の実施形態に属する改良方法に係り、原入力信号及び制御入力信号の関係が電源電圧に依存する様子を示す図である。

[図14]図 1 4 は、本開示の実施形態に属する改良方法に係り、電源電圧と遅延時間との関係例を示す図である。

[図15]図 1 5 は、本開示の実施形態に属する改良方法に係り、幾つかの信号及び電圧の波形図である。

[図16]図 1 6 は、本開示の実施形態に属する改良方法に係り、電源電圧と遅延時間との他の関係例を示す図である。

発明を実施するための形態

[0009] 以下、本開示の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上、情報、信号、物理量、機能部、回路、素子又は部品等を参照する記号又は符号を記すことによって、該記号又は符号に対応する情報、信号、物理量、機能部、回路、素子又は部品等の名称を省略又は略記することがある。例えば、後述の“BUS”によって参照されるバス接続端子BUSは（図1参照）、バス接続端子BUSと表記されることもあるし、端子BUSと略記されることもあり得るが、それらは全て同じものを指す。

[0010] まず、本開示の実施形態の記述にて用いられる幾つかの用語について説明を設ける。ラインとは電気信号が伝播又は印加される配線を指す。グランドとは、基準となる0V（ゼロボルト）の電位を有する基準導電部を指す又は0Vの電位そのものを指す。基準導電部は金属等の導体を用いて形成されて良い。0Vの電位をグランド電位と称することもある。本開示の実施形態において、特に基準を設けずに示される電圧はグランドから見た電位を表す。

- [0011] レベルとは電位のレベルを指し、任意の注目した信号又は電圧についてハイレベルはローレベルよりも高い電位を有する。任意の注目した信号又は電圧について、信号又は電圧がハイレベルにあるとは厳密には信号又は電圧のレベルがハイレベルにあることを意味し、信号又は電圧がローレベルにあるとは厳密には信号又は電圧のレベルがローレベルにあることを意味する。信号についてのレベルは信号レベルと表現されることがあり、電圧についてのレベルは電圧レベルと表現されることがある。
- [0012] 任意の注目した信号又は電圧において、ローレベルからハイレベルへの切り替わりをアップエッジと称する。アップエッジが生じるタイミングをアップエッジタイミングと称する。アップエッジをライジングエッジに読み替えて良い。任意の注目した信号又は電圧において、ハイレベルからローレベルへの切り替わりをダウンエッジと称する。ダウンエッジが生じるタイミングをダウンエッジタイミングと称する。ダウンエッジをフォーリングエッジに読み替えて良い。
- [0013] MOSFETを含むFET（電界効果トランジスタ）として構成された任意のトランジスタについて、オン状態とは、当該トランジスタのドレイン及びソース間が導通している状態を指し、オフ状態とは、当該トランジスタのドレイン及びソース間が非導通となっている状態（遮断状態）を指す。FETに分類されないトランジスタについても同様である。MOSFETは、特に記述無き限り、エンハンスメント型のMOSFETであると解される。MOSFETは“metal-oxide-semiconductor field-effect transistor”の略称である。また、特に記述なき限り、任意のMOSFETにおいて、バックゲートはソースに短絡されていると考えて良い。
- [0014] ハイレベル又はローレベルの信号レベルをとる任意の信号について、当該信号のレベルがハイレベルとなる期間をハイレベル期間と称し、当該信号のレベルがローレベルとなる期間をローレベル期間と称する。ハイレベル又はローレベルの電圧レベルをとる任意の電圧についても同様である。
- [0015] 任意の回路素子、配線（ライン）、ノードなど、回路を形成する複数の部

位間についての接続とは、特に記述なき限り、電氣的な接続を指すと解して良い。

[0016] 図1に本開示の実施形態に係る通信システム1の全体構成図を示す。通信システム1は、トランシーバ10、マイクロコンピュータ20及び相手側装置30を備える。バスライン51、プルアップ抵抗52、逆流防止ダイオード53、コンデンサ54、データライン61、データライン62及びプルアップ抵抗63も、通信システム1の構成要素に含まれる。

[0017] 図2はトランシーバ10の外観斜視図である。トランシーバ10は、半導体基板上に形成された半導体集積回路を有する半導体チップと、半導体チップを収容する筐体（パッケージ）と、筐体からトランシーバ10の外部に対して露出する複数の外部端子と、を備えた電子部品である。半導体チップを樹脂にて構成された筐体（パッケージ）内に封入することでトランシーバ10が形成される。尚、図2に示されるトランシーバ10の外部端子の数及びトランシーバ10の筐体の種類は例示に過ぎず、それらを任意に設計可能である。図1には、上記複数の外部端子に含まれる電源端子VIN、バス接続端子BUS、グランド端子GND、受信データ出力端子RXD及び送信データ入力端子TXDが示されている。これら以外の外部端子（スリープ制御入力端子など）もトランシーバ10に設けられ得る。

[0018] 図示されない電圧源から電源端子VINに対して電源電圧VDDが供給される。電源電圧VDDは所定の正の直流電圧値を有する。トランシーバ10は電源電圧VDDに基づいて駆動する。グランド端子GNDはグランドに接続される。バス接続端子BUSはバスライン51の一端に接続され、バスライン51の他端は相手側装置30に接続される。即ちバス接続端子BUSはバスライン51を介して相手側装置30に接続される。尚、相手側装置30も電源電圧VDDを受ける端子とグランドに接続される端子を有し、電源電圧VDDに基づいて駆動する。

[0019] バスライン51はプルアップ抵抗52及び逆流防止ダイオード53を介して電源電圧VDDの印加端50に接続される。印加端50は電源電圧VDD

が加わる端子である。逆流防止ダイオード53は、印加端50からバスライン51及びバス接続端子BUSに向かう向きに順方向を有する。逆流防止ダイオード53は、バスライン51から印加端50への電流の流れを阻止する。より具体的には、印加端50に対して逆流防止ダイオード53のアノードが接続され、逆流防止ダイオード53のカソードがプルアップ抵抗52の一端に接続され、プルアップ抵抗52の他端がバスライン51に接続される。

[0020] 但し、プルアップ抵抗52及び逆流防止ダイオード53の配置位置を、図1に示すものから逆にすることも可能である。即ち、印加端50をプルアップ抵抗52を介して逆流防止ダイオード53のアノードに接続し且つ逆流防止ダイオード53のカソードをバスライン51に接続するようにしても良い。

[0021] コンデンサ54はバスライン51及びグランド間に接続される。即ち、コンデンサ54の一端はバスライン51に接続され、コンデンサ54の他端はグランドに接続される。尚、コンデンサ54は互いに分離した複数のコンデンサにて構成されていても良い。コンデンサ54が省略されることがあっても良い。

[0022] 受信データ出力端子RXDはデータライン61の一端に接続され、データライン61の他端はマイクロコンピュータ20に接続される。送信データ入力端子TXDはデータライン62の一端に接続され、データライン62の他端はマイクロコンピュータ20に接続される。即ち、端子RXD及びTXDはデータライン61及び62を介してマイクロコンピュータ20に接続される。データライン61はプルアップ抵抗63を介して電源電圧VCCの印加端に接続される。電源電圧VCCは所定の正の直流電圧値を有する。電源電圧VCC及びVDDの値の一致、不一致は問わない。マイクロコンピュータ20は電源電圧VCCを受ける端子及びグランドに接続される端子を有し、電源電圧VCCに基づいて駆動する。

[0023] トランシーバ10は受信回路RXと送信回路TXを備える。受信回路RXは受信データ出力端子RXD及びバス接続端子BUSに接続される。送信回

路TXは送信データ入力端子TXD及びバス接続端子BUSに接続される。

[0024] トランシーバ10と相手側装置30とは、バスライン51を介し半二重方式にて双方向通信を行う。本実施形態で想定される双方向通信は、シングルワイヤ方式によるシリアル通信（即ち1本のワイヤであるバスライン51を用いたシリアル通信）である。半二重方式の双方向通信において、トランシーバ10がマスタとして且つ相手側装置30がスレーブとして機能しても良いし、相手側装置30がマスタとして且つトランシーバ10がスレーブとして機能しても良い。トランシーバ10及び相手側装置30間の双方向通信は、例えば、LIN (Local Interconnect Network) 規格又はCXP1 (Clock Extension Peripheral Interface) 規格に準拠する双方向通信であって良い。

[0025] 半二重方式による双方向通信では、トランシーバ10及び相手側装置30の内、何れか一方が送信側装置として動作し、他方が受信側装置として機能する。

[0026] トランシーバ10が受信側装置として機能するとき、相手側装置30がバスライン51を介して信号（以下、信号 S_R と称する）を送信し、受信回路RXはバス接続端子BUSにて相手側装置30から送信された信号 S_R を受信する。受信回路RXは受信した信号 S_R を端子RXDからデータライン61を介してマイクロコンピュータ20に伝達する。トランシーバ10が受信側装置として機能するとき、バス接続端子BUSは、相手側装置30から送信される信号を受ける入力端子（信号受信端子）として機能する。

[0027] トランシーバ10が送信側装置として機能するとき、マイクロコンピュータ20は、データライン62を介して信号（以下、信号 S_T と称する）をトランシーバ10に送信する。マイクロコンピュータ20からの信号 S_T は端子TXDにて受信される。トランシーバ10が送信側装置として機能するとき、送信回路TXはマイクロコンピュータ20から受信した信号 S_T をバスライン51を介して相手側装置30に送信する。相手側装置30はトランシーバ10及びマイクロコンピュータ20と同等のトランシーバ及びマイクロコンピ

ュータの組にて構成されていて良く、この場合、トランシーバ10から受信された信号 S_T が、相手側装置30におけるトランシーバから相手側装置30におけるマイクロコンピュータに対して伝達される。トランシーバ10が送信側装置として機能するとき、バス接続端子BUSは、トランシーバ10から送信されるべき信号が現れる出力端子（信号送信端子）として機能する。

[0028] バスライン51を介した信号の送信は、バスライン51のレベルをハイレベル又はローレベルに制御することで実現される。バスライン51のレベルとバス接続端子BUSのレベルは同じである。バスライン51のレベルは0V以上且つ電源電圧VDD以下のレベルとなる。バスライン51が電圧($V_{DD} \times k_H$)以上のレベルを有するとき、バスライン51のレベルはハイレベルに該当し、バスライン51が電圧($V_{DD} \times k_L$)以下のレベルを有するとき、バスライン51のレベルはローレベルに該当する。ここで“ $1 > k_H > 0$ 、 $0.5 > k_L > 0$ ”が成立し、例えば、 $(k_H, k_L) = (0.7, 0.3)$ である。バスライン51及びバス接続端子BUSにおける電圧を記号“ V_{BUS} ”にて表す。

[0029] 以下、特に記述無き限り、トランシーバ10が送信側装置として機能するときの動作及び構成を説明する。送信回路TXにとって電圧 V_{BUS} は出力電圧（送信回路TXの出力電圧）に相当する。このため、送信回路TXの構成又は動作に注目するときの電圧 V_{BUS} は、以下、出力電圧と称され得る。出力電圧 V_{BUS} にて示される信号を出力信号と称することができる。トランシーバ10における送信回路TXは、バスライン51を介した信号の送信において、バスライン51のレベルをハイレベル及びローレベル間で遷移させる際、放射ノイズを低減すべく、出力電圧 V_{BUS} のスルーレートを制御する機能を持つ。

[0030] [送信回路TXの基本構成]

図3に送信回路TXの基本構成を示す。基本構成に係る送信回路TXは、出力トランジスタ111と、コンデンサ（帰還コンデンサ）112と、逆流防止ダイオード113と、充放電回路120と、制御入力信号供給回路130と、ゲート電圧制限回路140と、を備える。

- [0031] 出力トランジスタ111はNチャンネル型のMOSFETである。出力トランジスタ111は出力端子として機能するバス接続端子BUSとグランドとの間に設けられ、送信回路TXはオープンドレイン構成の出力トランジスタ111を用いて信号の送信を行う。但し、グランドから出力トランジスタ111及びバス接続端子BUSを介しバスライン51に向かう電流の流れを阻止するための逆流防止ダイオード113が、出力トランジスタ111及びバス接続端子BUS間に設けられる。具体的には、出力トランジスタ111のドレインは逆流防止ダイオード113のカソードに接続され、逆流防止ダイオード113のアノードがバス接続端子BUSに接続される。出力トランジスタ111のソースはグランドに接続される。出力トランジスタ111のゲート電圧（即ち出力トランジスタ111にゲートに加わる電圧）を記号“ V_G ”にて表す。出力トランジスタ111のゲート閾電圧を記号“ V_{G_TH} ”にて表す。ゲート閾電圧 V_{G_TH} は出力トランジスタ111の特性に依存した正の電圧値を持つ。出力トランジスタ111のゲート電圧 V_G がゲート閾電圧 V_{G_TH} 未満であるとき、出力トランジスタ111はオフ状態にあり、出力トランジスタ111のゲート電圧 V_G がゲート閾電圧 V_{G_TH} 以上であるとき、出力トランジスタ111はオン状態にある。
- [0032] 尚、送信回路TXにおいて逆流防止ダイオード113を非設置とする変形も可能であり、当該変形の採用時においては出力トランジスタ111のドレインが直接にバス接続端子BUSに接続される。
- [0033] コンデンサ112は出力トランジスタ111のゲート及びバス接続端子BUS間に接続される。即ち、コンデンサ112の一端は出力トランジスタ111のゲートに接続され、コンデンサ112の他端はバス接続端子BUSに接続される。
- [0034] 充放電回路120は、制御入力信号 S_{IN} に応じて出力トランジスタ111のゲートを充電又は放電する。充放電回路120は出力トランジスタ111のゲートの充電により出力トランジスタ111をオン状態に制御でき、出力トランジスタ111のゲートの放電により出力トランジスタ111をオフ状態

に制御できる。制御入力信号 S_{IN} はハイレベル又はローレベルの信号レベルを持つ二値信号である。ハイレベルの制御入力信号 S_{IN} は実質的に内部電源電圧 V_{REG} の電位を有し、ローレベルの制御入力信号 S_{IN} は実質的にグランド電位を有する。トランシーバ 10 内のレギュレータ（不図示）により電源電圧 V_{DD} から正の直流電圧である内部電源電圧 V_{REG} が生成される。充放電回路 120 は充電用回路 121 と放電用回路 122 を備える。

[0035] 充電用回路 121 は、制御入力信号 S_{IN} のハイレベル期間において、出力トランジスタ 111 のゲートに対して充電電流を供給することにより出力トランジスタ 111 のゲート電圧 V_G を上昇させる。但し、ゲート電圧 V_G には上限があり、ゲート電圧 V_G が上限電圧を超えて上昇することは無い。ゲート電圧 V_G の上限電圧は内部電源電圧 V_{REG} である又は内部電源電圧 V_{REG} より低い所定電圧である。ゲート電圧 V_G の上限電圧は出力トランジスタ 111 のゲート閾電圧 V_{G_TH} より高い。ゲート電圧 V_G が十分に低い電圧（例えば 0 V）から上昇する過程において、ゲート電圧 V_G がゲート閾電圧 V_{G_TH} に達すると出力トランジスタ 111 がオフ状態からオン状態に切り替わる。詳細には、ゲート電圧 V_G が十分に低い電圧（例えば 0 V）から上昇する過程において、ゲート電圧 V_G がゲート閾電圧 V_{G_TH} 以上となると出力トランジスタ 111 のチャンネルの抵抗値が急峻に低下し、出力トランジスタ 111 のチャンネルの抵抗値がプルアップ抵抗 52 の抵抗値よりも十分小さくなることで、電圧 V_{BUS} が実質的に 0 V にまで低下する。出力トランジスタ 111 のチャンネルの抵抗値とは、出力トランジスタ 111 のドレイン及びソース間の抵抗値を指す。

[0036] 放電用回路 122 は、制御入力信号 S_{IN} のローレベル期間において、出力トランジスタ 111 のゲートから放電電流を引き込むことにより出力トランジスタ 111 のゲート電圧 V_G を低下させる。但し、ゲート電圧 V_G には下限があり、ゲート電圧 V_G が下限電圧を下回って低下することは無い。ゲート電圧 V_G の下限電圧は 0 V である。ゲート電圧 V_G がゲート閾電圧 V_{G_TH} よりも高い電圧から低下する過程において、ゲート電圧 V_G がゲート閾電圧 V_{G_TH} を下回ると出力トランジスタ 111 がオン状態からオフ状態に切り替わる。詳細には、ゲ

ート電圧 V_G がゲート閾電圧 V_{G_TH} よりも高い電圧から低下する過程において、ゲート電圧 V_G がゲート閾電圧 V_{G_TH} 未満になると出力トランジスタ111のチャンネルの抵抗値が急峻に増加し、出力トランジスタ111のチャンネルの抵抗値がプルアップ抵抗52の抵抗値よりも十分に大きくなることで、出力電圧 V_{BUS} が電源電圧 V_{DD} 付近にまで高まる。

[0037] 図3の構成例において、充電用回路121は充電用電流源121a及びスイッチ121bの直列回路により構成され、放電用回路122は放電用電流源122a及びスイッチ122bの直列回路により構成される。充電用電流源121aは内部電源電圧 V_{REG} の印加端とスイッチ121bとの間に設けられ、内部電源電圧 V_{REG} に基づき電流 I_C を生成する。スイッチ121bは充電用電流源121aとノード123との間に設けられる。放電用電流源122aはグラウンドとスイッチ122bとの間に設けられ、内部電源電圧 V_{REG} に基づき電流 I_D を生成する。スイッチ122bは放電用電流源122aとノード123との間に設けられる。ノード123は出力トランジスタ111のゲートに接続される。スイッチ121b及び122bは制御入力信号 S_{IN} に基づきオン又はオフに制御される。

[0038] 制御入力信号 S_{IN} のハイレベル期間において、スイッチ121bはオンとなる一方でスイッチ122bはオフとなる。従って、制御入力信号 S_{IN} のハイレベル期間において、ゲート電圧 V_G を上昇させるための電流 I_C （以下、充電電流 I_C と称する）が充電用電流源121aからスイッチ121b及びノード123を介し出力トランジスタ111のゲートに供給される。制御入力信号 S_{IN} のローレベル期間において、出力トランジスタ111のゲート及び充電用回路121間の電荷のやり取りは無い。

[0039] 制御入力信号 S_{IN} のローレベル期間において、スイッチ121bはオフとなる一方でスイッチ122bはオンとなる。従って、制御入力信号 S_{IN} のローレベル期間において、ゲート電圧 V_G を低下させるための電流 I_D （以下、放電電流 I_D と称する）が出力トランジスタ111のゲートからノード123及びスイッチ122bを介し放電用電流源122aへと引き込まれる。制御入力信

号 S_{IN} のハイレベル期間において、出力トランジスタ111のゲート及び放電回路122間の電荷のやり取りは無い。

[0040] 制御入力信号供給回路130は、マイクロコンピュータ20から受信した信号 S_T に基づき制御入力信号 S_{IN} を生成し、制御入力信号 S_{IN} を充放電回路120に供給する。制御入力信号供給回路130は信号 S_T の波形整形等を介して制御入力信号 S_{IN} を生成する。

[0041] 尚、制御入力信号 S_{IN} のハイレベル期間において充電電流 I_C を出力トランジスタ111のゲートに供給できる限り、充電回路121の構成は任意である。制御入力信号 S_{IN} のローレベル期間において充電回路121は充電電流 I_C の生成を停止して良い。何れにせよ、制御入力信号 S_{IN} のローレベル期間において充電回路121から出力トランジスタ111のゲートに向かう充電電流 I_C はゼロである。同様に、制御入力信号 S_{IN} のローレベル期間において放電電流 I_D を出力トランジスタ111のゲートから引き込むことができる限り、放電回路122の構成は任意である。制御入力信号 S_{IN} のハイレベル期間において放電回路122は放電電流 I_D の生成を停止して良い。何れにせよ、制御入力信号 S_{IN} のハイレベル期間において出力トランジスタ111のゲートから放電回路122に向かう放電電流 I_D はゼロである。

[0042] ゲート電圧制限回路140は出力トランジスタ111のゲート及びグラウンドに接続される。ゲート電圧制限回路140は2つのダイオード141及び142を有する。ダイオード141のアノードが出力トランジスタ111のゲートに接続され、且つ、ダイオード141のカソードがダイオード142のアノードに接続され、ダイオード142のカソードがグラウンドに接続される。ゲート電圧制限回路140はゲート電圧 V_G が所定の制限電圧 V_{LIM} 以上になることを抑止する機能を持ち、当該機能を持つ回路であれば任意である。ここにおける制限電圧 V_{LIM} はゲート閾電圧 V_{G_TH} よりも高く、図3の構成例では、ダイオード141及び142の順方向電圧の和に相当する。3以上のダイオードの直列回路にて回路140を形成しても良い。

[0043] 充電電流 I_C に基づくゲート電圧 V_G の上昇により出力トランジスタ111が

オフ状態からオン状態に切り替わる過程において、出力電圧 V_{BUS} が低下し、出力電圧 V_{BUS} の低下はコンデンサ 112 を介して出力トランジスタ 111 のゲートにフィードバックされる。逆に、放電電流 I_D に基づくゲート電圧 V_G の低下により出力トランジスタ 111 がオン状態からオフ状態に切り替わる過程において、出力電圧 V_{BUS} が上昇し、出力電圧 V_{BUS} の上昇はコンデンサ 112 を介して出力トランジスタ 111 のゲートにフィードバックされる。このため、充放電回路 120 にとって、コンデンサ 112 の静電容量値は、ミラー効果により、コンデンサ 112 の実際の静電容量値よりも等価的に大きく見える。つまり、コンデンサ 112 はミラー容量として機能する。

[0044] [制御入力信号供給回路]

図 4 に示す如く、制御入力信号供給回路 130 は調整回路 131 (信号生成回路) を備える。調整回路 131 に対して原入力信号 S_{ORG} が入力される。原入力信号 S_{ORG} は、制御入力信号 S_{IN} と同様、ハイレベル又はローレベルの信号レベルを持つ二値信号である。原入力信号 S_{ORG} はマイクロコンピュータ 20 から受信した信号 S_T に基づく信号である。図 5 を参照し、例えば端子 TXD に接続されたシュミットトリガバッファ 132 を制御入力信号供給回路 130 に設けておき、シュミットトリガバッファ 132 により信号 S_T の電位を二値化することで原入力信号 S_{ORG} を生成する。信号 S_T そのものが原入力信号 S_{ORG} であり得ても良い。

[0045] 調整回路 131 は原入力信号 S_{ORG} に基づき制御入力信号 S_{IN} を生成及び出力する。この際、調整回路 131 は電源電圧 V_{DD} に応じて制御入力信号 S_{IN} のローレベル幅を調整する。任意の注目した信号又は電圧において、注目した信号又は電圧のローレベル期間の長さ、ハイレベル期間の長さを、夫々、ローレベル幅、ハイレベル幅と称する。従って例えば、制御入力信号 S_{IN} のローレベル幅とは制御入力信号 S_{IN} のローレベル期間の長さを指し、出力電圧 V_{BUS} のハイレベル幅とは出力電圧 V_{BUS} のハイレベル期間の長さを指す。

[0046] 図 6 に示す如く、調整回路 131 は、原則として、原入力信号 S_{ORG} のハイレベル期間において制御入力信号 S_{IN} にもハイレベルを持たせ、且つ、原入力信

号 S_{ORG} のローレベル期間において制御入力信号 S_{IN} にもローレベルを持たせる。但し、調整回路 131 は、電源電圧 V_{DD} によっては、制御入力信号 S_{IN} のローレベル幅を元に制御入力信号 S_{IN} のローレベル幅を調整することで制御入力信号 S_{IN} のローレベル幅を原入力信号 S_{ORG} のローレベル幅と相違させる。これについては後に詳説される。

[0047] [出力信号条件]

出力電圧 V_{BUS} のスルーレートには、出力電圧 V_{BUS} が上昇するときのスルーレートである上昇スルーレートと、出力電圧 V_{BUS} が低下するときのスルーレートである下降スルーレートと、がある。上昇スルーレートは、出力電圧 V_{BUS} が上昇するときの出力電圧 V_{BUS} の変化率の最大値又は平均値を指す。下降スルーレートは、出力電圧 V_{BUS} が低下するときの出力電圧 V_{BUS} の変化率の最大値又は平均値を指す。以下、上昇スルーレート及び下降スルーレートをまとめて出力スルーレートと称する。以下の説明において、出力スルーレートは、上昇スルーレート及び下降スルーレートの何れか一方を指す、又は、上昇スルーレート及び下降スルーレートの双方を指すと解される。

[0048] 出力スルーレートの低下は放射ノイズ低減に寄与するが、一方で送信側装置として動作するときのトランシーバ 10 は、以下の出力信号条件を満足する必要がある。ここにおける出力信号条件は、例えば、LIN 規格又は CXP1 規格にて定められた条件であって良い。

[0049] 図 7 を参照してトランシーバ 10 が満たすべき出力信号条件を説明する。

図 7 には原入力信号 S_{ORG} 及び出力電圧 V_{BUS} の各波形が示される。原入力信号 S_{ORG} のローレベル期間の長さを時間 T_A で表す。原入力信号 S_{ORG} のローレベル期間及びハイレベル期間は交互に且つ繰り返し訪れるが、原入力信号 S_{ORG} のローレベル期間の内、或る注目した 1 つのローレベル期間の長さが時間 T_A で表される。詳細には、時刻 t_1 にて原入力信号 S_{ORG} にダウンエッジが生じ、その後、時刻 t_3 にて原入力信号 S_{ORG} にアップエッジが生じたとする。この場合、時刻 t_1 から時刻 t_3 までの時間が時間 T_A である。尚、図 7 に示される時刻 t_2 は時刻 t_1 より後であって且つ時刻 t_3 より前の時刻である。時刻 t_4 は時刻 t_3 よ

り後の時刻である。

- [0050] 時刻 t_1 における原入力信号 S_{ORG} のダウンエッジを契機に制御入力信号 S_{IN} にもダウンエッジが生じると、出力トランジスタ 111のゲートからの放電電流 I_D の引き込みが開始される。放電電流 I_D によってゲート電圧 V_G がゲート閾電圧 V_{G_TH} にまで低下すると、出力トランジスタ 111のチャネルの抵抗値の上昇に基づき出力電圧 V_{BUS} が0V又は0Vに近い電圧より上昇を開始する。その後、時刻 t_2 にて出力電圧 V_{BUS} が電圧 ($V_{DD} \times k_{REF}$)に達する。電圧 ($V_{DD} \times k_{REF}$)は電源電圧 V_{DD} の k_{REF} 倍である。 k_{REF} は、通信システム1に適用される規格(例えばLIN規格又はCXP1規格)にて定められた1未満の正の所定値を有し、上述の係数 k_H と同じであっても良い。ここでは、“ $k_{REF} = k_H = 0.7$ ”であるとする。出力電圧 V_{BUS} は時刻 t_2 以後も上昇する。
- [0051] そして時刻 t_3 にて原入力信号 S_{ORG} にアップエッジが生じる。時刻 t_3 における原入力信号 S_{ORG} のアップエッジを契機に制御入力信号 S_{IN} にもアップエッジが生じると、出力トランジスタ 111のゲートの放電が停止されて、代わりに出力トランジスタ 111のゲートの充電が開始される。充電電流 I_C によってゲート電圧 V_G がゲート閾電圧 V_{G_TH} にまで上昇すると、出力トランジスタ 111のチャネルの抵抗値の低下に基づき出力電圧 V_{BUS} が電圧 ($V_{DD} \times k_{REF}$)を超える電圧より低下を開始する。その後、時刻 t_4 にて出力電圧 V_{BUS} が電圧 ($V_{DD} \times k_{REF}$)にまで低下する。出力電圧 V_{BUS} は時刻 t_4 以後も低下する。
- [0052] 時刻 t_2 及び t_4 間の長さを時間 T_B で表す。時間 T_B は出力電圧 V_{BUS} のハイレベル幅に相当する。出力信号条件は、時間 T_A に対する時間 T_B の比、即ち比 (T_B / T_A)が所定の閾値 R_{TH} 以上であるという条件である。“ $T_B / T_A \geq R_{TH}$ ”であるとき出力信号条件が充足し、“ $T_B / T_A < R_{TH}$ ”であるとき出力信号条件が充足しない。閾値 R_{TH} は、通信システム1に適用される規格(例えばLIN規格又はCXP1規格)にて定められた1未満の正の所定値を有し、例えば“ $R_{TH} = 0.8$ ”である。
- [0053] 逆流防止ダイオード53の順方向電圧を記号“ V_f ”にて表す。原入力信号 S_{ORG} のローレベル期間において、出力電圧 V_{BUS} は電圧 ($V_{DD} - V_f$)を超

えて上昇することは無い。

[0054] 一方、通信システム1において、電源電圧 V_{DD} は最小電圧 $V_{DD_{MIN}}$ から最大電圧 $V_{DD_{MAX}}$ までの電源電圧範囲内の電圧を持つ。最小電圧 $V_{DD_{MIN}}$ 及び最大電圧 $V_{DD_{MAX}}$ は、“ $0 < V_{DD_{MIN}} < V_{DD_{MAX}}$ ”を満たす正の所定電圧値を有する。電源電圧 V_{DD} が電源電圧範囲内に収まる限り、常に出力信号条件を満たすことが要求される。出力スルーレートを常時十分に大きく設定すれば出力信号条件が容易に満たされるが、出力スルーレートの増大は放射ノイズを増大させる。

[0055] そこで、放射ノイズを極力抑制しつつ電源電圧範囲の全てにおいて出力信号条件を満たすために、トランシーバ10では出力スルーレートを電源電圧 V_{DD} に応じて設定する。上昇スルーレートは充電電流 I_c に依存し且つ下降スルーレートは放電電流 I_d に依存する。このため、充放電回路120が電源電圧 V_{DD} に応じて充電電流 I_c 及び放電電流 I_d の各値を可変設定し、これによって出力スルーレートを電源電圧 V_{DD} に応じて可変設定する。具体的には、充電用回路121は電源電圧 V_{DD} の増大に伴って充電電流 I_c を増大させ、放電用回路122は電源電圧 V_{DD} の増大に伴って放電電流 I_d を増大させる。典型的には例えば、図8に示す如く、充電用回路121は充電電流 I_c を電源電圧 V_{DD} に比例させて良く、放電用回路122は放電電流 I_d を電源電圧 V_{DD} に比例させて良い。

[0056] 図9を参照して出力電圧 V_{BUS} と電源電圧 V_{DD} との関係を説明する。図9には原入力信号 S_{ORG} 及び出力電圧 V_{BUS} の各波形例が示される。図9において、矩形波形610は原入力信号 S_{ORG} の波形例である。図9において、実線による折れ線波形611は“ $V_{DD} = V_{DD_{MAX}}$ ”における出力電圧 V_{BUS} の波形例であり、破線による折れ線波形612は“ $V_{DD} = V_{DD_{MIN}}$ ”における出力電圧 V_{BUS} の波形例である。尚、波形611及び612は部分的に重なり合っている。図9の例では、充電電流 I_c 及び放電電流 I_d を電源電圧 V_{DD} に比例させることで出力スルーレートを電源電圧 V_{DD} に比例させている。

[0057] [参考方法]

ここで、逆流防止ダイオード53が出力信号波形（即ち出力電圧 V_{BUS} の波形）に与える影響について説明を加える。

[0058] 図10に“ $VDD = VDD_{MAX}$ ”であるときの原入力信号 S_{ORG} 及び出力電圧 V_{BUS} の各波形を概略的に示す。“ $VDD = VDD_{MAX}$ ”であるときの時間 T_B を特に時間 T_{B_MAX} と称する。図11に“ $VDD = VDD_{MIN}$ ”であるときの原入力信号 S_{ORG} 及び出力電圧 V_{BUS} の各波形を概略的に示す。“ $VDD = VDD_{MIN}$ ”であるときの時間 T_B を特に時間 T_{B_MIN} と称する。

[0059] 図12に、参考方法に係る原入力信号 S_{ORG} 、制御入力信号 S_{IN} 及び出力電圧 V_{BUS} の各波形を示す。参考方法では電源電圧 VDD に依らず常に“ $S_{ORG} = S_{IN}$ ”とされる。図12は、電源電圧 VDD に依らず常に“ $S_{ORG} = S_{IN}$ ”と仮定したときの図10及び図11の各波形を重ね合わせたものに相当する。波形631は、参考方法において“ $VDD = VDD_{MAX}$ ”であるときの出力電圧 V_{BUS} の波形である。波形632は、参考方法において“ $VDD = VDD_{MIN}$ ”であるときの出力電圧 V_{BUS} の波形である。電源電圧 VDD が低くなるほど、電源電圧 VDD を占める順方向電圧 V_f （逆流防止ダイオード53の順方向電圧 V_f ）の割合が大きくなる。このため、参考方法では時間 T_{B_MIN} が時間 T_{B_MAX} よりも短くなる。即ち、参考方法では、“ $VDD = VDD_{MIN}$ ”であるときにおける出力電圧 V_{BUS} のハイレベル幅（ T_{B_MIN} ）が、“ $VDD = VDD_{MAX}$ ”であるときにおける出力電圧 V_{BUS} のハイレベル幅（ T_{B_MAX} ）よりも短くなる。

[0060] 具体的な数値例を挙げて説明を加える。上述したように、ここでは“ $k_{REF} = 0.7$ ”であるとする。更に（ VDD_{MAX} , VDD_{MIN} , V_f ）=（27V, 5V, 0.7V）であることを想定する。

[0061] “ $VDD = VDD_{MAX}$ ”であるケースについて、“（ $VDD_{MAX} - V_f$ ）= 26.3V”、“ $VDD \times k_{REF} = VDD_{MAX} \times 0.7 = 18.9V$ ”且つ“ $18.9 / 26.3 \div 0.719$ ”である。故に、“ $VDD = VDD_{MAX}$ ”であるケースにおいて、参考方法では原入力信号 S_{ORG} 及び制御入力信号 S_{IN} のダウンエッジの後、出力電圧 V_{BUS} が電圧（ $VDD \times k_{REF}$ ）に達するには、電圧（ $VDD - V_f$ ）の約0.719倍だけ出力電圧 V_{BUS} が0Vより上昇する必要がある。“V

$V_{DD} = V_{DD_{MIN}}$ ”であるケースについて、“ $(V_{DD_{MIN}} - V_f) = 4.3V$ ”、“ $V_{DD} \times k_{REF} = V_{DD_{MIN}} \times 0.7 = 3.5V$ ”且つ“ $3.5 / 4.3 \div 0.814$ ”である。故に、“ $V_{DD} = V_{DD_{MIN}}$ ”であるケースにおいて、参考方法では原入力信号 S_{ORG} 及び制御入力信号 S_{IN} のダウンエッジの後、出力電圧 V_{BUS} が電圧 $(V_{DD} \times k_{REF})$ に達するには、電圧 $(V_{DD} - V_f)$ の約0.814倍だけ出力電圧 V_{BUS} が0Vより上昇する必要がある。

[0062] 参考方法において、出力電圧 V_{BUS} が電圧 $(V_{DD} - V_f)$ の約0.814倍だけ上昇するのに要する時間は、出力電圧 V_{BUS} が電圧 $(V_{DD} - V_f)$ の約0.719倍だけ上昇するのに要する時間よりも長い。結果、参考方法では“ $T_{B_MAX} > T_{B_MIN}$ ”となる。これは例えば、原入力信号 S_{ORG} が周期性を有する矩形波信号であると仮定したならば、出力電圧 V_{BUS} のHデューティが電源電圧 V_{DD} に依存して変化することを意味する。原入力信号 S_{ORG} が周期性を有する矩形波信号であるとき、出力電圧 V_{BUS} も周期性を有し、出力電圧 V_{BUS} のHデューティとは、出力電圧 V_{BUS} の1周期を占める出力電圧 V_{BUS} のハイレベル幅の割合を表す。

[0063] [改良方法]

出力電圧 V_{BUS} のハイレベル幅が電源電圧 V_{DD} に依存して変化することは望ましくない。電源電圧 V_{DD} の変化に対する出力電圧 V_{BUS} のハイレベル幅の変化量を一定以下に抑制することが要求されることも多い。この要求に応える改良方法がトランシーバ10には適用される。

[0064] 図13及び図14を参照して改良方法を説明する。図4に示す調整回路131は、原入力信号 S_{ORG} のダウンエッジを契機に制御入力信号 S_{IN} にもダウンエッジを発生させ、且つ、原入力信号 S_{ORG} のアップエッジを契機に制御入力信号 S_{IN} にもアップエッジを発生させる。この点については電源電圧 V_{DD} に依らない。但し、調整回路131は、原入力信号 S_{ORG} のローレベル幅を元に、制御入力信号 S_{IN} のローレベル幅を電源電圧 V_{DD} に応じて調整する。

[0065] 当該調整により、電源電圧 V_{DD} によっては、制御入力信号 S_{IN} のローレベル幅が原入力信号 S_{ORG} のローレベル幅と相違することになる。これは、原入力信号 S_{ORG} が周期性を有する信号である場合には、制御入力信号 S_{IN} のデューテ

ィを電源電圧VDDに依りて原入力信号S_{ORG}のデューティと異ならせることに相当する。

[0066] 具体的には、調整回路131は、原入力信号S_{ORG}のハイレベル期間には常に（従って電源電圧VDDに依らず）、制御入力信号S_{IN}のレベルをハイレベルに設定する。調整回路131は、原入力信号S_{ORG}のダウンエッジを契機に制御入力信号S_{IN}にダウンエッジを生じさせる際、原入力信号S_{ORG}のダウンエッジタイミングから制御入力信号S_{IN}のダウンエッジタイミングまでの間に、電源電圧VDDに依り、遅延時間T_{DLY}を挿入する。但し、“VDD=VDD_{MIN}”において遅延時間T_{DLY}は挿入されない。

[0067] 即ち、“VDD=VDD_{MIN}”である場合、調整回路131は、原入力信号S_{ORG}のハイレベル期間と制御入力信号S_{IN}のハイレベル期間とを一致させ、且つ、原入力信号S_{ORG}のローレベル期間と制御入力信号S_{IN}のローレベル期間とを一致させる。故に、“VDD=VDD_{MIN}”である場合、原入力信号S_{ORG}のレベルがハイレベルからローレベルに遷移したとき、調整回路131は、遅延時間T_{DLY}が設けることなく即時に制御入力信号S_{IN}のレベルをハイレベルからローレベルに遷移させる。

[0068] 一方、“VDD>VDD_{MIN}”である場合、調整回路131は、原入力信号S_{ORG}のレベルがハイレベルからローレベルに遷移したとき、遅延時間T_{DLY}を経てから制御入力信号S_{IN}のレベルをハイレベルからローレベルに遷移させる。

[0069] 調整回路131は、原入力信号S_{ORG}のレベルがローレベルからハイレベルに遷移したときにおいては、電源電圧VDDに依存せず即座に制御入力信号S_{IN}のレベルをローレベルからハイレベルに遷移させる。

[0070] 図14には、改良方法に係る電源電圧VDDと遅延時間T_{DLY}との関係が示される。“VDD=VDD_{MIN}”であるときの遅延時間T_{DLY}はゼロである。“VDD>VDD_{MIN}”であるとき、調整回路31は電源電圧VDDの増大に伴って遅延時間T_{DLY}を増大させる。“VDD=VDD_{MAX}”であるときの遅延時間T_{DLY}は遅延時間T_{DLY_MAX}である（T_{DLY_MAX}>0）。

[0071] “VDD>VDD_{MIN}”であるとき、例えば “T_{DLY}=α×(VDD-VDD_{MIN})”

MIN) ” に従う遅延時間 T_{DLY} を設定して良い (α は所定の正の値を持つ)。“
 $V_{DD} > V_{DD_{MIN}}$ ” であるとき、電源電圧 V_{DD} の増大に伴って遅延時間 T_{DLY} を非線形に増大させても良い。

[0072] 図 15 に改良方法に係る原入力信号 S_{ORG} 、制御入力信号 S_{IN} 及び出力電圧 V_{BUS} の各波形を示す。図 15 における波形 660~662、631' 及び 632' は全て改良方法に係る波形であり、この内、波形 660 は原入力信号 S_{ORG} の波形である。波形 661 は “ $V_{DD} = V_{DD_{MAX}}$ ” であるときの制御入力信号 S_{IN} の波形であり、波形 662 は “ $V_{DD} = V_{DD_{MIN}}$ ” であるときの制御入力信号 S_{IN} の波形である。実線の波形 631' は “ $V_{DD} = V_{DD_{MAX}}$ ” であるときの出力電圧 V_{BUS} の波形である。破線の波形 632' は “ $V_{DD} = V_{DD_{MIN}}$ ” であるときの出力電圧 V_{BUS} の波形である。尚、図 15 において波形 631' 及び 632' は部分的に重なり合う。

[0073] 改良方法に係る調整回路 131 は、原入力信号 S_{ORG} のローレベル幅が所定幅である状況において、“ $V_{DD} = V_{DD_{MIN}}$ ” であるとき、“ $V_{DD} = V_{DD_{MAX}}$ ” であるときよりも、制御入力信号 S_{IN} のローレベル幅を遅延時間 $T_{DLY_{MAX}}$ 分だけ大きく設定する。このため、改良方法では、“ $V_{DD} = V_{DD_{MIN}}$ ” であるときにおける出力電圧 V_{BUS} のハイレベル幅 ($T_{B_{MIN}}$) と “ $V_{DD} = V_{DD_{MAX}}$ ” であるときにおける出力電圧 V_{BUS} のハイレベル幅 ($T_{B_{MAX}}$) との差が参考方法よりも小さくなり、理想的にはゼロとなる。これは、出力電圧 V_{BUS} の H デューティが電源電圧 V_{DD} の影響を受けなくなる又は受けにくくなることを意味する。

[0074] 図 12 に対応する参考方法においても “ $V_{DD} = V_{DD_{MIN}}$ ” であるときの出力スルーレートを十分に高めたならば、上記の差 (時間 $T_{B_{MIN}}$ 及び $T_{B_{MAX}}$ 間の差) をゼロにすることができる。但し、出力スルーレートの増大は放射ノイズの増大を招く。改良方法によれば、そのような放射ノイズの増大を招くことなく、上記の差を小さくすることができる (理想的にはゼロにすることができる)。

[0075] 図 14 の例では、電源電圧 V_{DD} に応じて遅延時間 T_{DLY} を連続的に変化させ

ているが、電源電圧 V_{DD} に応じて遅延時間 T_{DLY} を段階的に変化させても良い。例えば、図 16 に示す如く、“ $V_{DD_{MIN}} \leq V_{DD} < V_{DD_{MID}}$ ” の成立時には遅延時間 T_{DLY} の挿入を行わず（即ち“ $T_{DLY} = 0$ ”とし）、“ $V_{DD_{MID}} \leq V_{DD} \leq V_{DD_{MAX}}$ ” の成立時には遅延時間 T_{DLY} の挿入を行うようにしても良い（即ち例えば“ $T_{DLY} = T_{DLY_{MAX}} > 0$ ”としても良い）。電圧 $V_{DD_{MID}}$ は、最小電圧 $V_{DD_{MIN}}$ より高く且つ最大電圧 $V_{DD_{MAX}}$ よりも低い電圧であり、例えば、“ $V_{DD_{MID}} = (V_{DD_{MIN}} + V_{DD_{MAX}}) / 2$ ”である。特に図示しないが、電源電圧 V_{DD} に応じて遅延時間 T_{DLY} を 2 段階以上に可変設定しても良い。

[0076] [補足]

上述の実施形態に対する補足事項、応用技術又は変形技術などを説明する。

[0077] 通信システム 1 を自動車等の車両に搭載することができる。自動車等の車両において、LIN 規格又は CXP1 規格に準拠した双方向通信を行うシステムとして通信システム 1 を用いることができる。より具体的には例えば、自動車に設けられたパワーウィンドウ、ミラー、電動シート又はドアロックなどのボディ制御を実現するための信号の通信に、トランシーバ 10 及び相手側装置 30 間の通信を用いることができる。

[0078] 但し、通信システム 1 は車載用途に限定されない。比較的低速の通信が行われる任意の用途に通信システム 1 を適用できる。

[0079] トランシーバ 10 は、原入力信号 S_{ORG} に応じた出力信号を出力端子として機能するバス接続端子 BUS に生じさせる（換言すればバス接続端子 BUS から送信する）信号送信装置を内包する。信号送信装置の構成要素には送信回路 TX が含まれ、更にバス接続端子 BUS も含まれ得る。トランシーバ 10 及びマイクロコンピュータ 20 の各機能を内包する半導体装置を形成しても良く、この場合、当該半導体装置内に信号送信装置を設けられることになる。制御入力信号供給回路 130（特に調整回路 131）は、原入力信号 S_{ORG} から制御入力信号 S_{IN} を生成する信号生成回路として機能する。

[0080] 任意の信号又は電圧に関して、上述の主旨を損なわない形で、それらのハ

イレベルとローレベルの関係は上述したものの逆とされ得る。従って例えば、原入力信号 S_{ORG} のハイレベルを制御入力信号 S_{IN} のローレベルに対応付け、且つ、原入力信号 S_{ORG} のローレベルを制御入力信号 S_{IN} のハイレベルに対応付ける変形が行われても良い。当該変形に係る調整回路 131 は、原入力信号 S_{ORG} のアップエッジを契機に制御入力信号 S_{IN} にダウンエッジを発生させ、且つ、原入力信号 S_{ORG} のダウンエッジを契機に制御入力信号 S_{IN} にアップエッジを発生させることになる。

[0081] 各実施形態に示された F E T（電界効果トランジスタ）のチャンネルの種類は例示である。上述の主旨を損なわない形で、任意の F E T のチャンネルの種類は P チャンネル型及び N チャンネル型間で変更され得る。

[0082] 不都合が生じない限り、上述の任意のトランジスタは、任意の種類 of トランジスタであって良い。例えば、M O S F E T として上述された任意のトランジスタを、不都合が生じない限り、接合型 F E T、I G B T（Insulated Gate Bipolar Transistor）又はバイポーラトランジスタに置き換えることも可能である。任意のトランジスタは第 1 電極、第 2 電極及び制御電極を有する。F E T においては、第 1 及び第 2 電極の内的一方がドレインで他方がソースであり且つ制御電極がゲートである。I G B T においては、第 1 及び第 2 電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がゲートである。I G B T に属さないバイポーラトランジスタにおいては、第 1 及び第 2 電極の内的一方がコレクタで他方がエミッタであり且つ制御電極がベースである。

[0083] 本開示の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本開示の実施形態の例であって、本開示ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

[0084] <<付記>>

上述の実施形態にて具体的構成例が示された本開示について付記を設ける

。

[0085] 本開示の一側面に係る信号送信装置(10)は、プルアップ抵抗(52)及び逆流防止ダイオード(53)を介して電源電圧(VDD)の印加端(50)に接続されるよう構成された出力端子(BUS)と、前記出力端子とグランドとの間に設けられた出力トランジスタ(111)と、前記出力トランジスタのゲート及び前記出力端子間に接続されたコンデンサ(112)と、原入力信号(S_{ORG})に基づき制御入力信号(S_{IN})を生成するよう構成された信号生成回路(130)と、前記制御入力信号に応じて前記出力トランジスタのゲートを充電又は放電するよう構成された充放電回路(120)と、を備えて、前記出力トランジスタのゲートの充電又は放電を通じ前記出力トランジスタをオン又はオフすることにより前記原入力信号及び前記制御入力信号に応じた出力信号(V_{BUS})を前記出力端子に生じさせ、前記逆流防止ダイオードは前記電源電圧の印加端から前記出力端子に向かう順方向を有し、前記充放電回路は、前記制御入力信号が第1レベル(例えばハイレベル)を有するときに前記出力トランジスタのゲートの充電によって前記出力トランジスタをオンとし、前記制御入力信号が第2レベル(例えばローレベル)を有するときに前記出力トランジスタのゲートの放電によって前記出力トランジスタをオフとし、前記出力トランジスタのゲートに対する充電電流(I_C)及び放電電流(I_D)の値を前記電源電圧に応じて設定し、前記信号生成回路は、前記制御入力信号が第2レベルを有する幅を前記電源電圧に応じて調整する構成(第1の構成)である。

[0086] 逆流防止ダイオードの存在により、原入力信号が一定であっても電源電圧に依存して出力信号のハイレベル幅が変動することが懸念される。上記構成の如く、制御入力信号が第2レベルを有する幅を電源電圧に応じて調整することで上記変動を抑制することができる。即ち、出力信号の電源電圧依存性を低減することができる。

[0087] 上記第1の構成に係る信号送信装置において、前記信号生成回路は、前記

原入力信号のレベルの第3レベル（例えばハイレベル）から第4レベル（例えばローレベル）への遷移を契機に前記制御入力信号のレベルを第1レベルから第2レベルに遷移させ、且つ、前記原入力信号のレベルの第4レベルから第3レベルへの遷移を契機に前記制御入力信号のレベルを第2レベルから第1レベルに遷移させ、前記信号生成回路は、前記原入力信号が第4レベルを有する幅が所定幅である状況において、前記電源電圧が所定の第1電圧値（例えば V_{DD_MIN} ）を有するとき、前記電源電圧が前記第1電圧値よりも大きな所定の第2電圧値（例えば V_{DD_MAX} ）を有するときよりも、前記制御入力信号が第2レベルを有する幅を大きく設定する構成（第2の構成）であっても良い。

[0088] これにより、電源電圧に依存した出力信号のハイレベル幅の変動を抑制することができる。

[0089] 上記第1の構成に係る信号送信装置において、前記信号生成回路は、前記原入力信号のレベルの第3レベル（例えばハイレベル）から第4レベル（例えばローレベル）への遷移を契機に前記制御入力信号のレベルを第1レベルから第2レベルに遷移させ、且つ、前記原入力信号のレベルの第4レベルから第3レベルへの遷移を契機に前記制御入力信号のレベルを第2レベルから第1レベルに遷移させ、前記信号生成回路は、前記原入力信号が第3レベル（例えばハイレベル）を有するとき前記制御入力信号のレベルを第1レベル（例えばハイレベル）に設定し、前記原入力信号のレベルの第3レベルから第4レベルへの遷移を契機に前記制御入力信号のレベルを第1レベルから第2レベルに遷移にさせる際、前者の遷移から後者の遷移までの間に前記電源電圧に応じた遅延時間（ T_{DLY} ）を挿入可能に構成される構成（第3の構成）であっても良い。

[0090] これにより、電源電圧に依存した出力信号のハイレベル幅の変動を抑制することができる。

[0091] 上記第3の構成に係る信号送信装置において、前記信号生成回路は、前記電源電圧が所定の第1電圧値（例えば V_{DD_MIN} ）を有する場合において、前記

原入力信号のレベルが第3レベル（例えばハイレベル）から第4レベルへ遷移したとき、前記遅延時間を設けることなく前記制御入力信号のレベルを第1レベル（例えばハイレベル）から第2レベルに遷移にさせ、前記電源電圧が前記第1電圧値よりも大きな所定の第2電圧値（例えば $V_{DD_{MAX}}$ ）を有する場合において、前記原入力信号のレベルが第3レベルから第4レベルへ遷移したとき、前記遅延時間を経ってから前記制御入力信号のレベルを第1レベルから第2レベルに遷移にさせる構成（第4の構成）であっても良い。

[0092] 上記第1～第4の構成の何れかに係る信号送信装置において、前記充放電回路は、前記出力トランジスタのゲートに対する前記充電電流及び前記放電電流を前記電源電圧の増大に伴って増大させる構成（第5の構成）であっても良い。

[0093] これにより、出力信号のスルーレートを電源電圧の増大に合わせて増大させることができ、結果、出力信号のハイレベル幅又はローレベル幅の電源電圧依存性を抑制することができる。

[0094] 上記第1～第5の構成の何れかに係る信号送信装置において、前記充放電回路は、前記制御入力信号が第1レベルを有する期間において前記出力トランジスタのゲートに前記充電電流を供給するよう構成された充電用回路（121）と、前記制御入力信号が第2レベルを有する期間において前記出力トランジスタのゲートから前記放電電流を引き込むよう構成された放電用回路（122）と、を有する構成（第6の構成）であっても良い。

[0095] 上記第1～第6の構成の何れかに係る信号送信装置において、前記出力トランジスタのドレインは、前記出力端子からグランドに向かう順方向を有する他の逆流防止ダイオード（113）を介して前記出力端子に接続される、又は、前記出力トランジスタのドレインは前記出力端子に直接接続される構成（第7の構成）であっても良い。

符号の説明

- [0096] 1 通信システム
 10 トランシーバ

- 20 マイクロコンピュータ
- 30 相手側装置
- 50 印加端
- 51 バスライン
- 52 プルアップ抵抗
- 53 逆流防止ダイオード
- 54 コンデンサ
- 61、62 データライン
- 63 プルアップ抵抗
- V I N 電源端子
- B U S バス接続端子
- G N D グランド端子
- R X D 受信データ出力端子
- T X D 送信データ入力端子
- R X 受信回路
- T X 送信回路
- 111 出力トランジスタ
- 112 コンデンサ
- 113 逆流防止ダイオード
- 120 充放電回路
- 121 充電用回路
- 121 a 充電用電流源
- 122 放電用回路
- 122 a 放電用電流源
- 121 b、122 b スイッチ
- 130 制御入力信号供給回路
- 131 調整回路
- 132 シュミットトリガバッファ

140 ゲート電圧制限回路

141、142 ダイオード

V_G ゲート電圧

V_{BUS} 電圧

S_{IN} 制御入力信号

S_{ORG} 原入力信号

請求の範囲

- [請求項1] プルアップ抵抗及び逆流防止ダイオードを介して電源電圧の印加端に接続されるよう構成された出力端子と、
前記出力端子とグラウンドとの間に設けられた出力トランジスタと、
前記出力トランジスタのゲート及び前記出力端子間に接続されたコンデンサと、
原入力信号に基づき制御入力信号を生成するよう構成された信号生成回路と、
前記制御入力信号に応じて前記出力トランジスタのゲートを充電又は放電するよう構成された充放電回路と、を備えて、前記出力トランジスタのゲートの充電又は放電を通じ前記出力トランジスタをオン又はオフすることにより前記原入力信号及び前記制御入力信号に応じた出力信号を前記出力端子に生じさせ、
前記逆流防止ダイオードは前記電源電圧の印加端から前記出力端子に向かう順方向を有し、
前記充放電回路は、前記制御入力信号が第1レベルを有するときに前記出力トランジスタのゲートの充電によって前記出力トランジスタをオンとし、前記制御入力信号が第2レベルを有するときに前記出力トランジスタのゲートの放電によって前記出力トランジスタをオフとし、前記出力トランジスタのゲートに対する充電電流及び放電電流の値を前記電源電圧に応じて設定し、
前記信号生成回路は、前記制御入力信号が第2レベルを有する幅を前記電源電圧に応じて調整する
、信号送信装置。
- [請求項2] 前記信号生成回路は、前記原入力信号のレベルの第3レベルから第4レベルへの遷移を契機に前記制御入力信号のレベルを第1レベルから第2レベルに遷移させ、且つ、前記原入力信号のレベルの第4レベルから第3レベルへの遷移を契機に前記制御入力信号のレベルを第2

レベルから第1レベルに遷移させ、

前記信号生成回路は、前記原入力信号が第4レベルを有する幅が所定幅である状況において、前記電源電圧が所定の第1電圧値を有するとき、前記電源電圧が前記第1電圧値よりも大きな所定の第2電圧値を有するときよりも、前記制御入力信号が第2レベルを有する幅を大きく設定する

、請求項1に記載の信号送信装置。

[請求項3]

前記信号生成回路は、前記原入力信号のレベルの第3レベルから第4レベルへの遷移を契機に前記制御入力信号のレベルを第1レベルから第2レベルに遷移させ、且つ、前記原入力信号のレベルの第4レベルから第3レベルへの遷移を契機に前記制御入力信号のレベルを第2レベルから第1レベルに遷移させ、

前記信号生成回路は、前記原入力信号が第3レベルを有するとき前記制御入力信号のレベルを第1レベルに設定し、前記原入力信号のレベルの第3レベルから第4レベルへの遷移を契機に前記制御入力信号のレベルを第1レベルから第2レベルに遷移にさせる際、前者の遷移から後者の遷移までの間に前記電源電圧に応じた遅延時間を挿入可能に構成される

、請求項1に記載の信号送信装置。

[請求項4]

前記信号生成回路は、

前記電源電圧が所定の第1電圧値を有する場合において、前記原入力信号のレベルが第3レベルから第4レベルへ遷移したとき、前記遅延時間を設けることなく前記制御入力信号のレベルを第1レベルから第2レベルに遷移にさせ、

前記電源電圧が前記第1電圧値よりも大きな所定の第2電圧値を有する場合において、前記原入力信号のレベルが第3レベルから第4レベルへ遷移したとき、前記遅延時間を経ってから前記制御入力信号のレベルを第1レベルから第2レベルに遷移にさせる

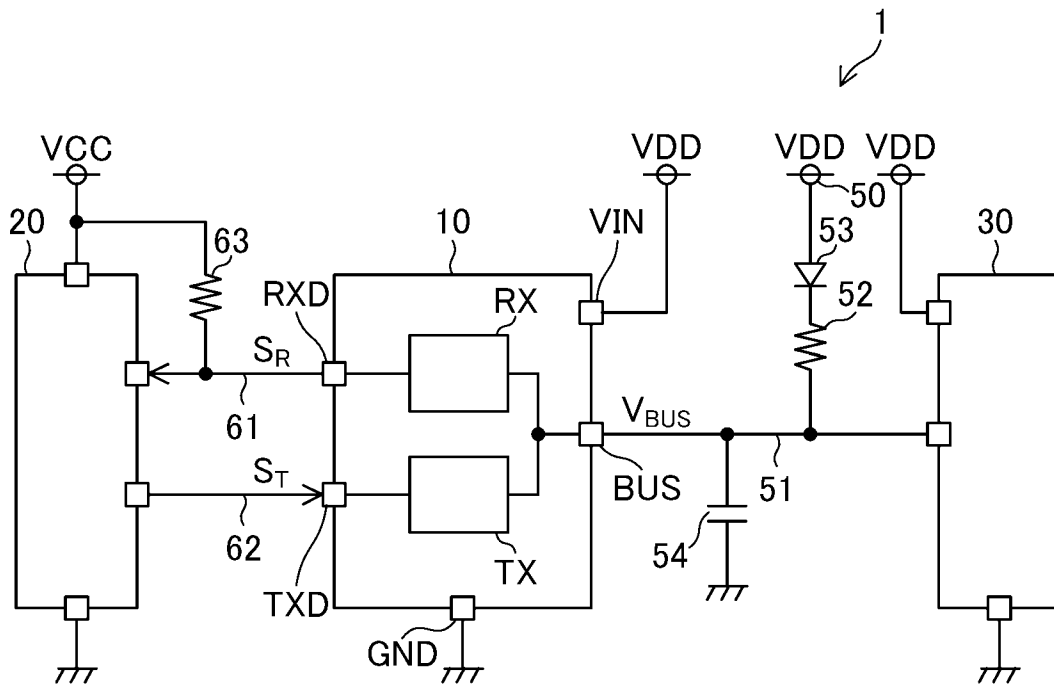
、請求項3に記載の信号送信装置。

[請求項5] 前記充放電回路は、前記出力トランジスタのゲートに対する前記充電電流及び前記放電電流を前記電源電圧の増大に伴って増大させる
、請求項1～4の何れかに記載の信号送信装置。

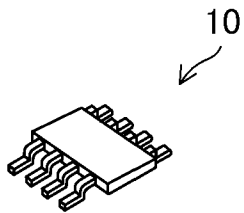
[請求項6] 前記充放電回路は、前記制御入力信号が第1レベルを有する期間において前記出力トランジスタのゲートに前記充電電流を供給するよう構成された充電用回路と、前記制御入力信号が第2レベルを有する期間において前記出力トランジスタのゲートから前記放電電流を引き込むよう構成された放電用回路と、を有する
、請求項1～5の何れかに記載の信号送信装置。

[請求項7] 前記出力トランジスタのドレインは、前記出力端子からグランドに向かう順方向を有する他の逆流防止ダイオードを介して前記出力端子に接続される、又は、前記出力トランジスタのドレインは前記出力端子に直接接続される
、請求項1～6の何れかに記載の信号送信装置。

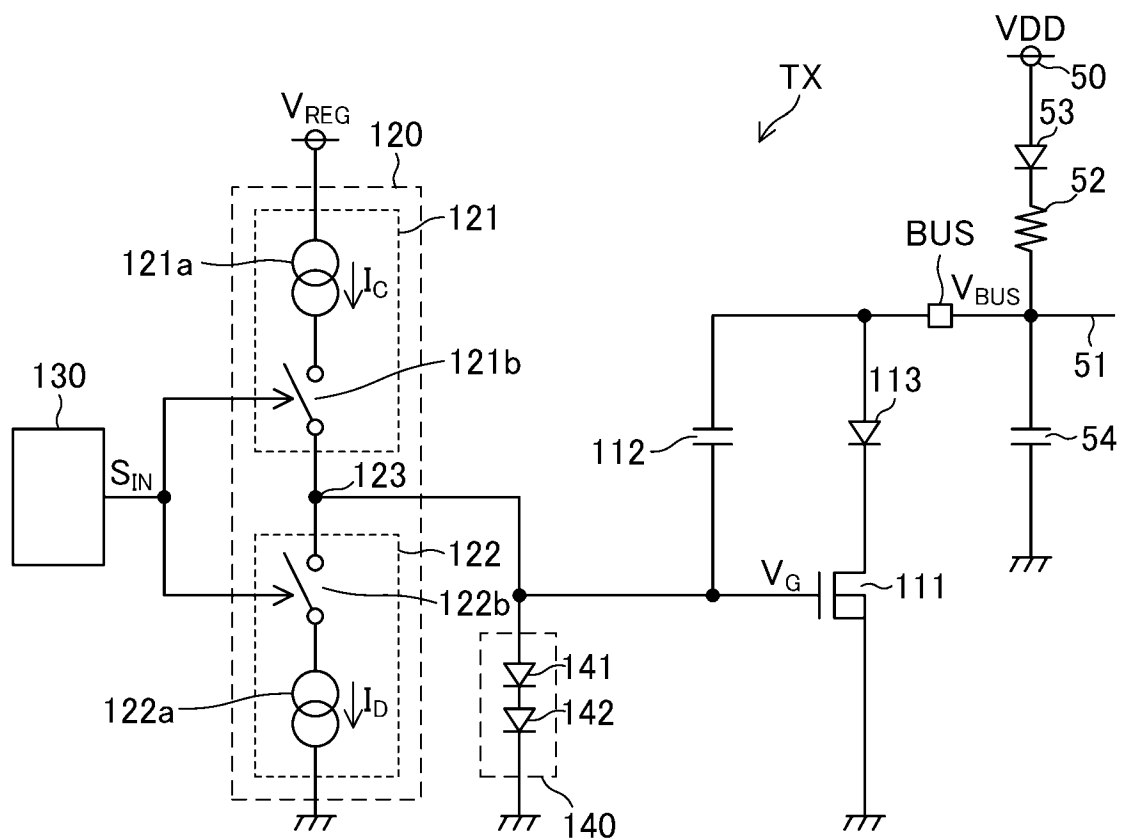
[図1]



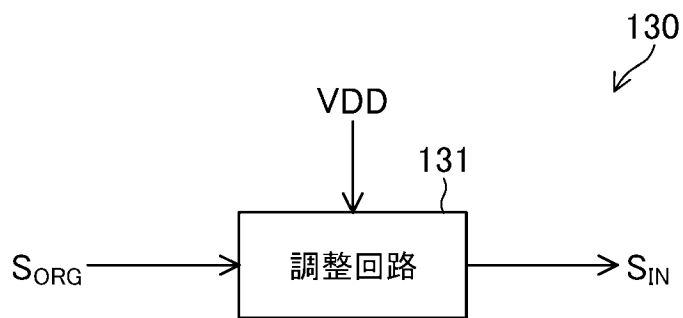
[図2]



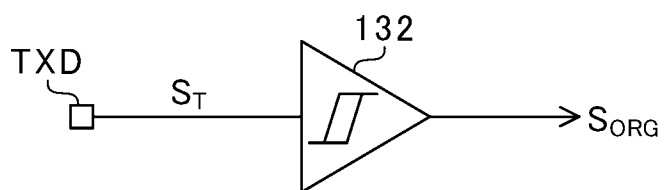
[図3]



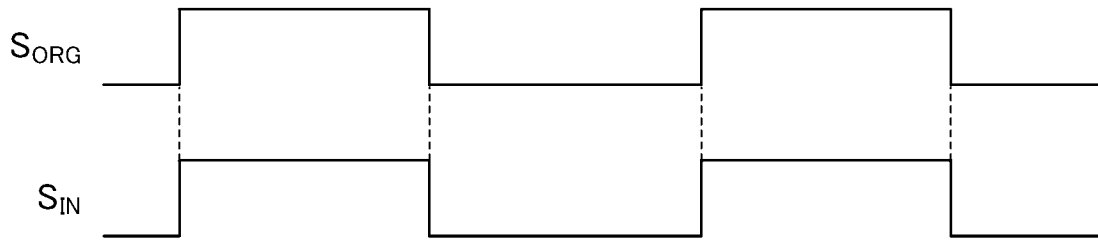
[図4]



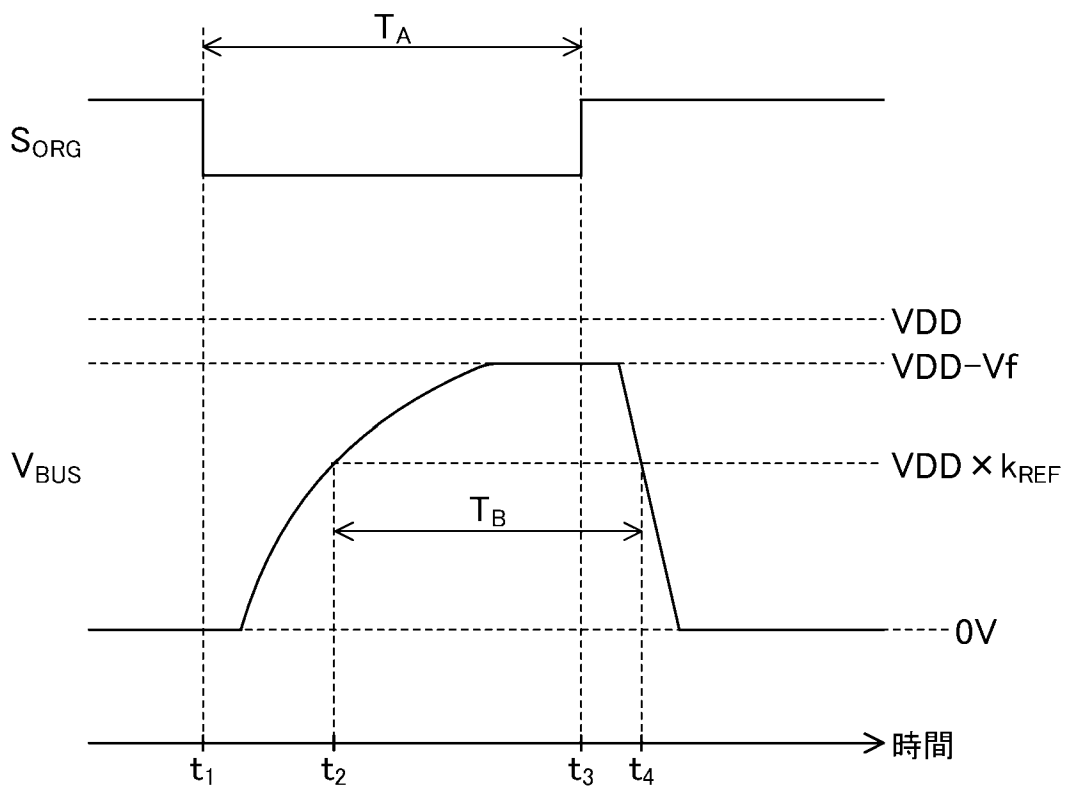
[図5]



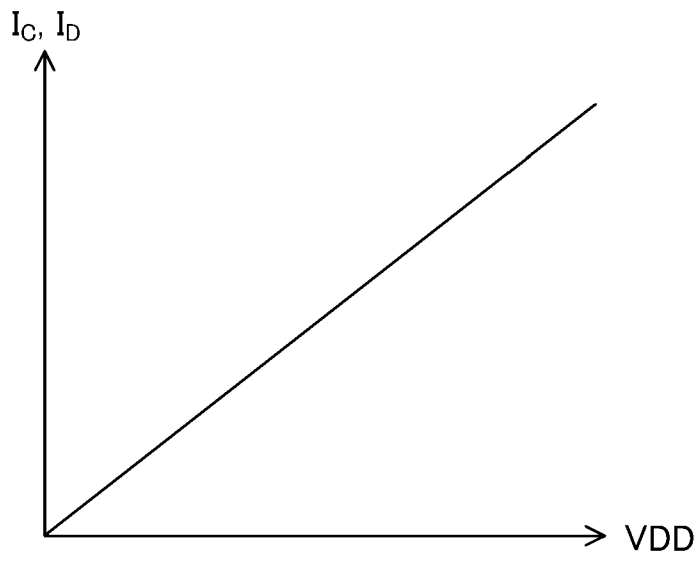
[図6]



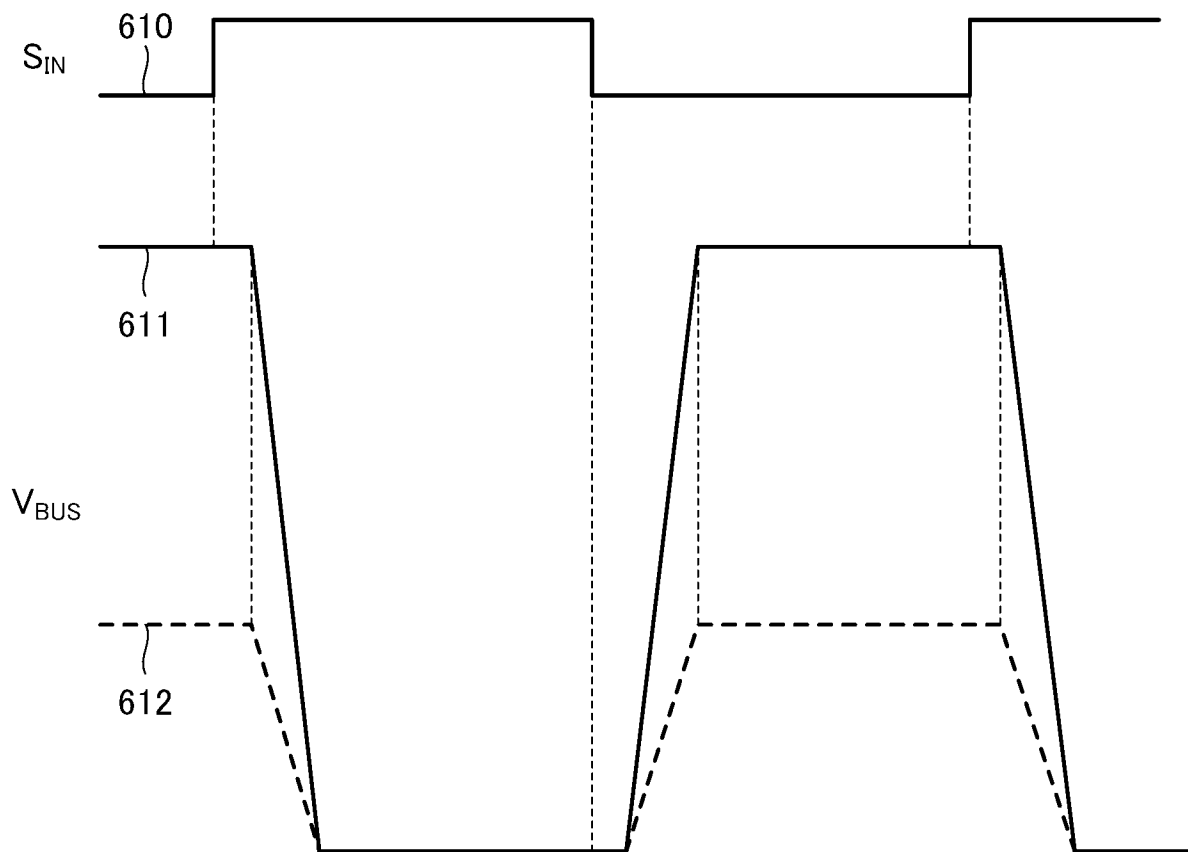
[図7]



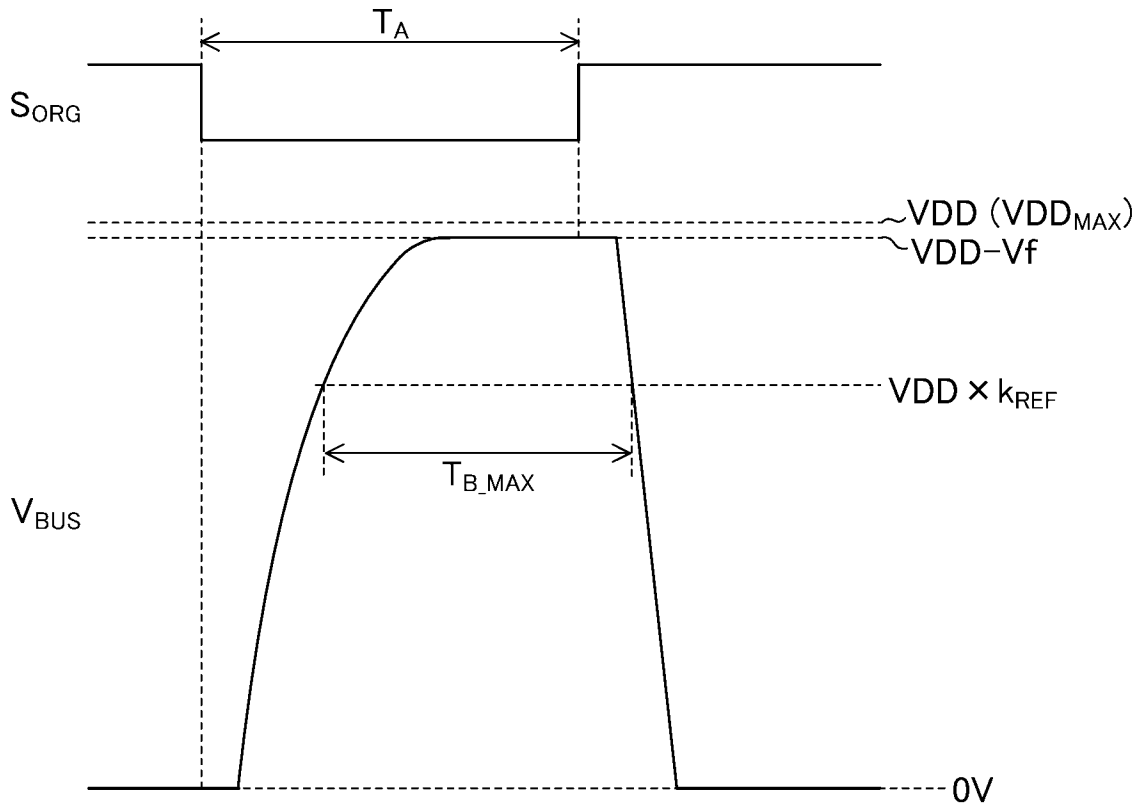
[図8]



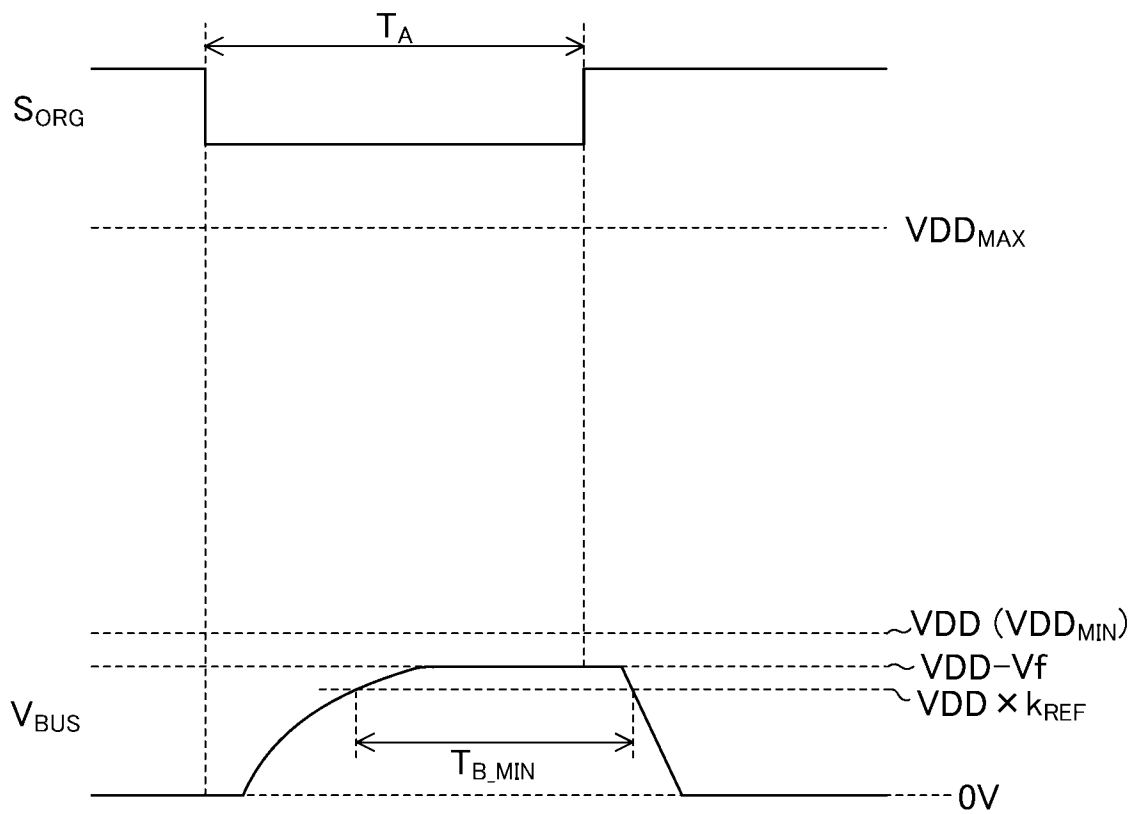
[図9]



[図10]

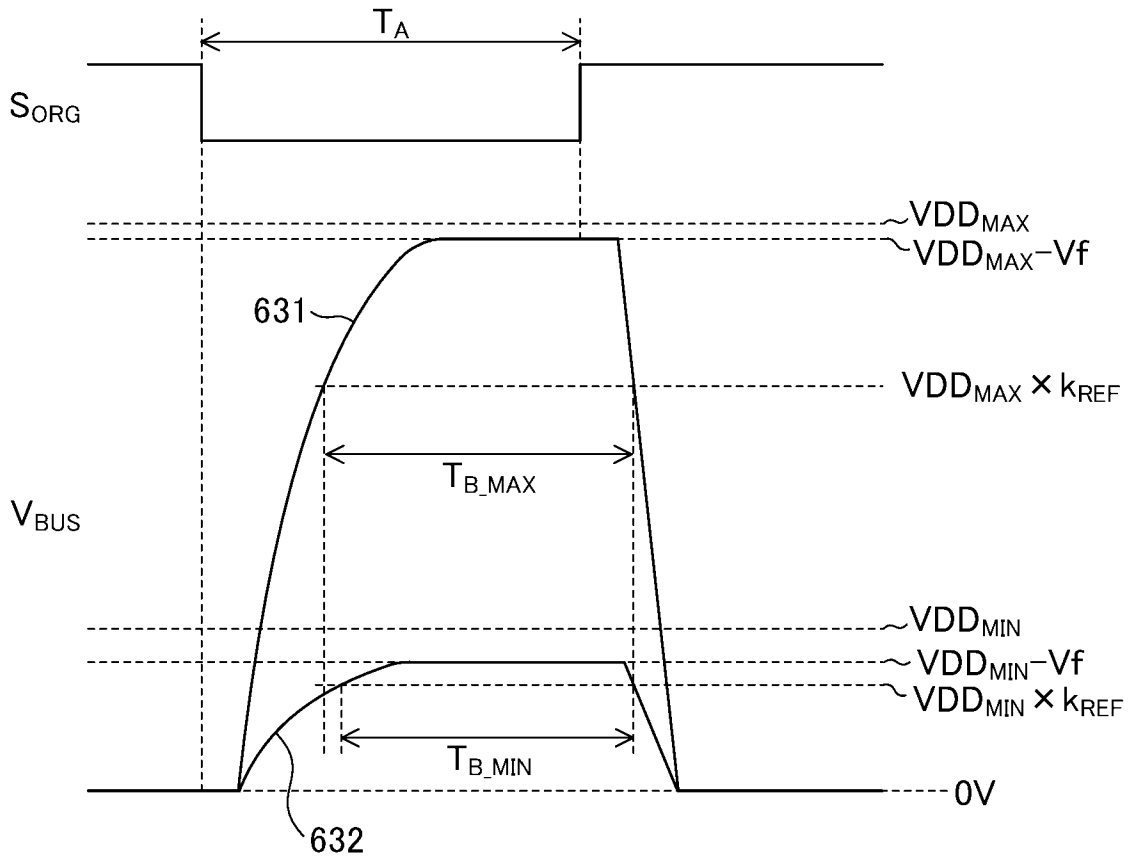
[VDD = VDD_{MAX} のとき]

[図11]

[VDD = VDD_{MIN} のとき]

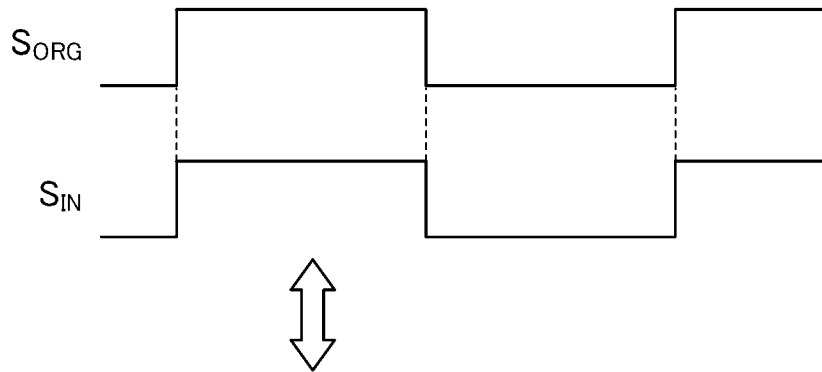
[図12]

参考方法
(常に $S_{ORG} = S_{IN}$)

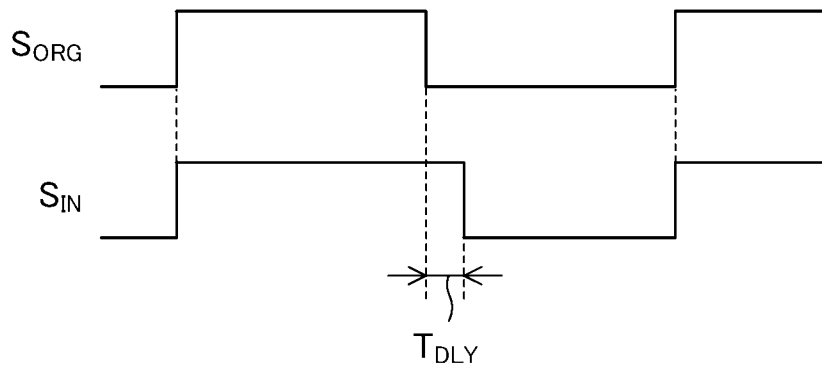


[図13]

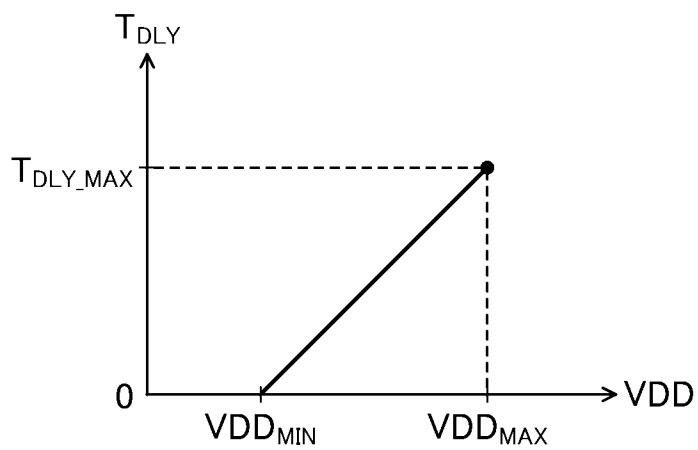
VDD=VDD_{MIN}のとき



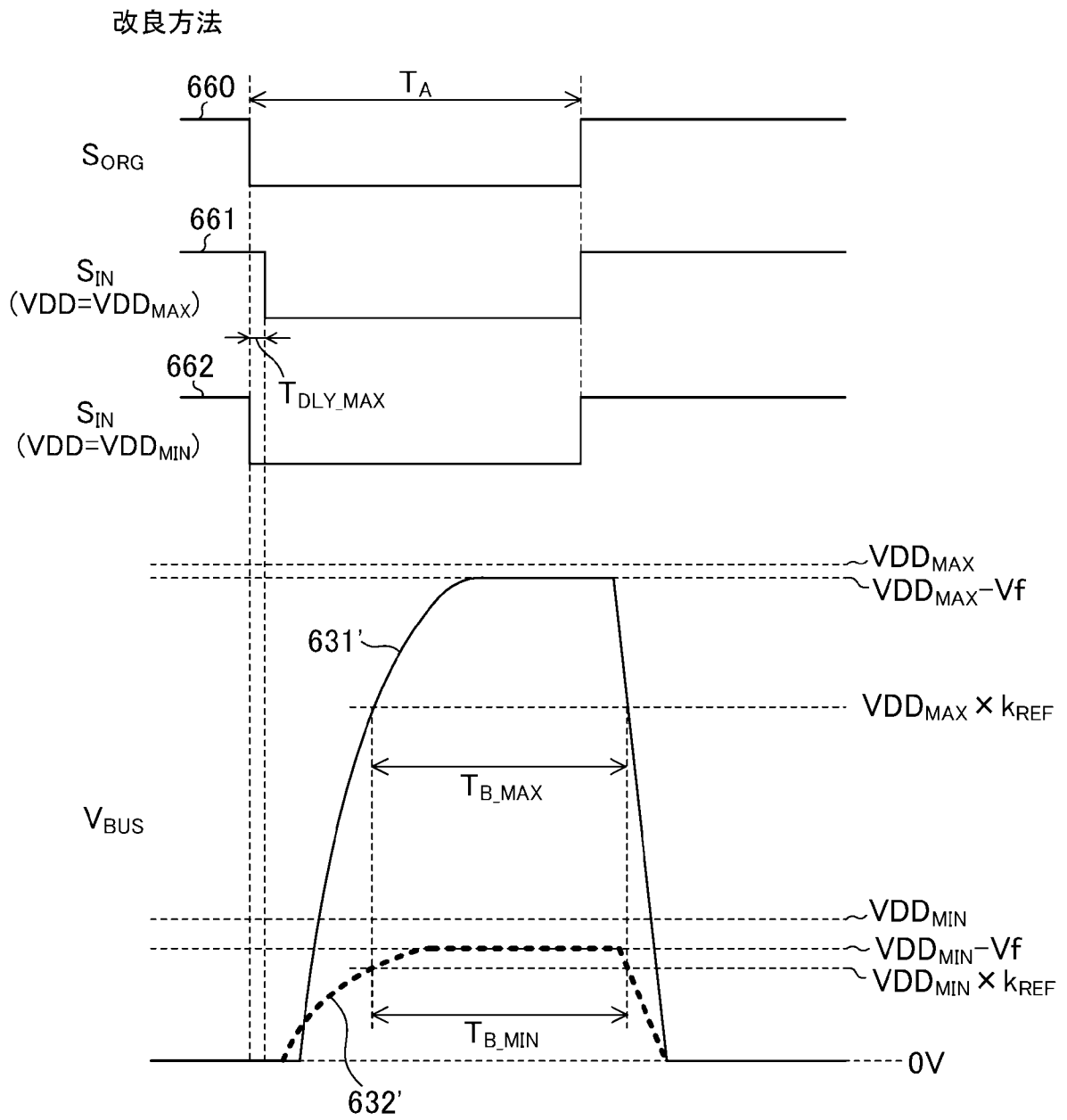
VDD > VDD_{MIN}のとき



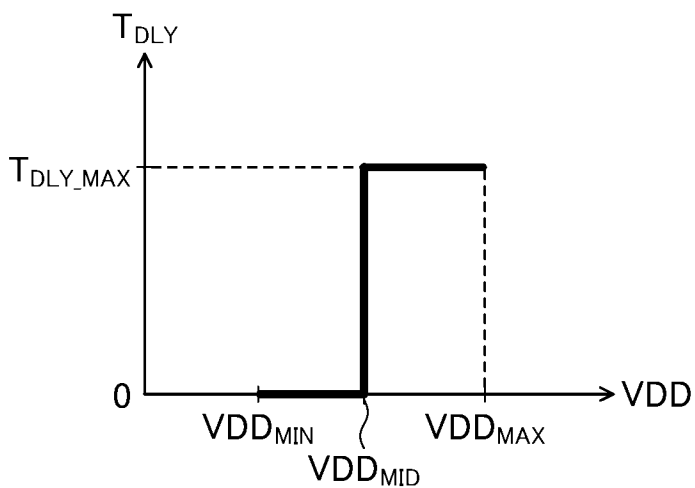
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/023589

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H04L 25/02</i> (2006.01)i; <i>H03K 19/0185</i> (2006.01)i FI: H04L25/02 S; H03K19/0185 220		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H04L25/02; H03K19/0185		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-200103 A (ROHM CO., LTD.) 02 November 2017 (2017-11-02) paragraphs [0020]-[0048], fig. 1-4	1-7
A	JP 2011-250345 A (ROHM CO., LTD.) 08 December 2011 (2011-12-08) paragraphs [0026]-[0057], fig. 1-4	1-7
A	JP 10-98363 A (YAMAHA CORP.) 14 April 1998 (1998-04-14) paragraphs [0002]-[0017], fig. 1-11	1-7
A	JP 2000-165456 A (NEC ENG LTD.) 16 June 2000 (2000-06-16) paragraphs [0002], [0009], [0010], [0019]-[0029], [0035]-[0038], fig. 1-4	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 08 August 2023		Date of mailing of the international search report 22 August 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/023589

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2017-200103	A 02 November 2017	(Family: none)	
JP 2011-250345	A 08 December 2011	US 2011/0291733 A1 paragraphs [0028]-[0059], fig. 1-4 CN 102290982 A	
JP 10-98363	A 14 April 1998	(Family: none)	
JP 2000-165456	A 16 June 2000	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04L 25/02(2006.01)i; H03K 19/0185(2006.01)i FI: H04L25/02 S; H03K19/0185 220		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04L25/02; H03K19/0185 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-200103 A（ローム株式会社）02.11.2017（2017-11-02） 段落20-48、図1-4	1-7
A	JP 2011-250345 A（ローム株式会社）08.12.2011（2011-12-08） 段落26-57、図1-4	1-7
A	JP 10-98363 A（ヤマハ株式会社）14.04.1998（1998-04-14） 段落2-17、図1-11	1-7
A	JP 2000-165456 A（日本電気エンジニアリング株式会社）16.06.2000（2000-06-16） 段落2, 9-10, 19-29, 35-38、図1-4	1-7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	08.08.2023	国際調査報告の発送日 22.08.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 川口 貴裕 5K 2677 電話番号 03-3581-1101 内線 3556	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/023589

引用文献	公表日	パテントファミリー文献	公表日
JP 2017-200103 A	02.11.2017	(ファミリーなし)	
JP 2011-250345 A	08.12.2011	US 2011/0291733 A1 段落28-59、図1-4 CN 102290982 A	
JP 10-98363 A	14.04.1998	(ファミリーなし)	
JP 2000-165456 A	16.06.2000	(ファミリーなし)	