

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 5 月 10 日(10.05.2012)

PCT

(10) 国際公開番号
WO 2012/060223 A1

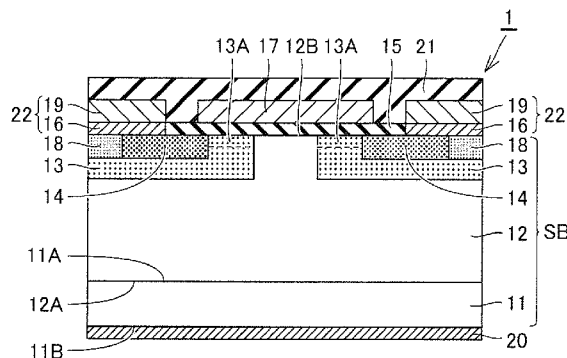
- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
H01L 21/28 (2006.01) H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2011/073996
- (22) 国際出願日: 2011 年 10 月 19 日(19.10.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-245150 2010 年 11 月 1 日(01.11.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 玉祖 秀人 (TAMASO, Hideto) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 半導体装置およびその製造方法

[図1]



(57) Abstract: A silicon carbide substrate (SB) has a substrate face (12B). A gate insulation film (15) is provided so as to cover a portion of the substrate face (12B). A gate electrode (17) covers a portion of the gate insulation film (15). A contact electrode (16) is provided on the substrate face (12B) so as to adjoin and make contact with the gate insulation film (15), and contains an alloy having Al atoms. Al atoms from the contact electrode (16) do not diffuse into the portion of the gate insulation film (15) that is sandwiched between the substrate face (12B) and the gate electrode (17). Thus, the reliability of the gate insulation film (15) of the semiconductor device can be improved when a contact electrode having Al atoms is used.

(57) 要約: 炭化珪素基板 (SB) は基板面 (12B) を有する。ゲート絶縁膜 (15) は基板面 (12B) の一部を覆うように設けられている。ゲート電極 (17) はゲート絶縁膜 (15) の一部を覆っている。コンタクト電極 (16) は、ゲート絶縁膜 (15) に接触して隣り合うように基板面 (12B) 上に設けられており、Al 原子を有する合金を含む。ゲート絶縁膜 (15) のうち基板面 (12B) とゲート電極 (17) とによって挟まれる部分へは、コンタクト電極 (16) から Al 原子が拡散していない。これにより、Al 原子を有するコンタクト電極が用いられる場合に、半導体装置のゲート絶縁膜 (15) の信頼性を向上させることができる。

WO 2012/060223 A1



SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, — 補正された請求の範囲 (条約第 19 条(1))
GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は半導体装置およびその製造方法に関し、より特定的には、炭化珪素基板を有する半導体装置およびその製造方法に関する。

背景技術

[0002] 国際公開第2009/128419号（特許文献1）によれば、SiCウェハ（炭化珪素基板）に接触して配置されるオーミックコンタクト電極の材料として、チタン（Ti）およびアルミニウム（Al）を含有するものが開示されている。この公報によれば、上記材料の適用により、SiCウェハに対して接触抵抗を低減することができるとされている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2009/128419号

発明の概要

発明が解決しようとする課題

[0004] Al原子を有するコンタクト電極がゲート絶縁膜に接触するように配置される場合、アニール処理の際にコンタクト電極のAl原子がゲート絶縁膜中へ拡散しやすい。このため、ゲート電極と炭化珪素基板との間の電氣的絶縁の信頼性が低くなり得る。

[0005] そこで本発明の目的は、Al原子を有するコンタクト電極が用いられる場合に、半導体装置のゲート絶縁膜の信頼性を向上させることができる半導体装置およびその製造方法を提供することである。

課題を解決するための手段

[0006] 本発明の半導体装置は、炭化珪素基板と、ゲート絶縁膜と、ゲート電極と、コンタクト電極とを有する。炭化珪素基板は基板面を有する。ゲート絶縁膜は基板面の一部を覆うように設けられている。ゲート電極はゲート絶縁膜

の一部を覆っている。コンタクト電極は、ゲート絶縁膜に接触して隣り合うように基板面上に設けられており、A I 原子を有する合金を含む。ゲート絶縁膜のうち基板面とゲート電極とによって挟まれる部分へは、コンタクト電極からA I 原子が拡散していない。

[0007] この半導体装置によれば、ゲート絶縁膜のうち基板面とゲート電極とによって挟まれる部分に、コンタクト電極からA I 原子が拡散していない。よってゲート電極と炭化珪素基板との間の電氣的絶縁の信頼性が高くなる。

[0008] 好ましくは、ゲート絶縁膜は珪素酸化物を含有する。より好ましくは、珪素酸化物は二酸化珪素を含む。

[0009] 好ましくはコンタクト電極はT i 原子を有する。これによりコンタクト電極の炭化珪素基板に対する接触抵抗を低減することができる。

[0010] 本発明の半導体装置の製造方法は、以下の工程を有する。

基板面を有する炭化珪素基板が準備される。基板面の一部を覆うようにゲート絶縁膜が形成される。ゲート絶縁膜に接触して隣り合うように基板面上に、A I 原子を有するコンタクト電極が形成される。コンタクト電極をレーザ光でアニールすることによって、A I 原子を有する合金が形成される。ゲート絶縁膜の一部を覆うゲート電極が形成される。

[0011] この製造方法によれば、コンタクト電極のアニールがレーザ光によって行われるので、他のアニール方法が用いられる場合に比して、短時間での局所加熱によりアニールが行なわれる。このためコンタクト電極のA I 原子のゲート絶縁膜中への拡散距離が抑制されるので、ゲート絶縁膜のうち基板面とゲート電極とによって挟まれる部分までA I 原子が達することを避けることができる。これによりゲート電極と炭化珪素基板との間の電氣的絶縁の信頼性が高くなる。

[0012] 好ましくは、ゲート絶縁膜は珪素酸化物を含有する。より好ましくは、珪素酸化物は二酸化珪素を含む。

[0013] 好ましくはコンタクト電極はT i 原子を有する。これによりコンタクト電極の炭化珪素基板に対する接触抵抗を低減することができる。

[0014] 好ましくはレーザ光の波長は386nm以下である。これによりレーザ光は、ポリタイプ4Hの炭化珪素のバンドギャップに対応するエネルギー以上の光子エネルギーを有する。よって炭化珪素基板の表面においてレーザ光の吸収がより確実に生じるので、より効率的にアニールを行うことができる。

発明の効果

[0015] 以上の説明から明らかなように、本発明によれば、ゲート電極と炭化珪素基板との間の電氣的絶縁の信頼性が高くなる。

図面の簡単な説明

[0016] [図1]本発明の一実施の形態における半導体装置の構成を概略的に示す断面図である。

[図2]図1の半導体装置の製造方法の概略を示すフローチャートである。

[図3]図2におけるオーミック電極形成工程の詳細を示すフローチャートである。

[図4]図1の半導体装置の製造方法の第1工程を概略的に示す断面図である。

[図5]図1の半導体装置の製造方法の第2工程を概略的に示す断面図である。

[図6]図1の半導体装置の製造方法の第3工程を概略的に示す断面図である。

[図7]図1の半導体装置の製造方法の第4工程を概略的に示す断面図である。

[図8]図1の半導体装置の製造方法の第5工程を概略的に示す断面図である。

[図9]図1の半導体装置の製造方法の第6工程を概略的に示す断面図である。

[図10]二酸化珪素膜に埋め込まれたTi/AIパターンをアニールした際におけるAI原子の熱拡散の様子を示す光学顕微鏡写真である。

[図11]二酸化珪素膜に埋め込まれたAIパターンをアニールした際におけるAI原子の熱拡散の様子を示す光学顕微鏡写真である。

発明を実施するための形態

[0017] 以下、図面に基づいて本発明の実施の形態を説明する。

はじめに本実施の形態の半導体装置としてのMOSFET (Metal Oxide Semiconductor Field Effect Transistor: 酸化膜電界効果トランジスタ) の構成を概略的に説明

する。

[0018] 図1を参照して、MOSFET1は、炭化珪素基板SBと、ゲート絶縁膜15と、ゲート電極17と、ソース電極22と、パシベーション膜21と、ドレイン電極20とを有する。ソース電極22はコンタクト電極16およびソース配線19を有する。炭化珪素基板SBは基板面12Bを有する。基板面12Bの一部を覆うようにゲート絶縁膜15が設けられている。ゲート絶縁膜15の一部をゲート電極17が覆っている。コンタクト電極16は、ゲート絶縁膜15に接触して隣り合うように基板面12B上に設けられている。またコンタクト電極16はAl原子を有する合金を含む。ゲート絶縁膜15のうち基板面12Bとゲート電極17とによって挟まれる部分へは、コンタクト電極16からAl原子が拡散していない。

[0019] なお上述したAl原子を有する合金としては、たとえば、Alと、Ti、Ni、およびSiの少なくともいずれかとの合金を用いることができる。またゲート絶縁膜15としては、たとえば、SiO₂膜、SiON膜、またはONO膜を用いることができる。ここでONO膜とは、酸化膜—窒化膜—酸化膜の3層構造を有する膜である。この酸化膜としてはSiO₂を用いることができ、この窒化膜としてはSi₃N₄を用いることができる。

[0020] 次にMOSFET1の構成の詳細について説明する。

MOSFET1は、炭化珪素(SiC)からなり、導電型がn型(第1導電型)のウェハであるn⁺SiCウェハ11と、SiCからなり、導電型がn型(第1導電型)の半導体層としてのn⁻SiC層12と、導電型がp型(第2導電型)の第2導電型領域としての一对のpボディ13と、導電型がn型(第1導電型)の高濃度第1導電型領域としてのn⁺ソース領域14と、導電型がp型(第2導電型)の高濃度第2導電型領域としてのp⁺領域18とを備えている。pボディ13、n⁺ソース領域14およびp⁺領域18が形成されたn⁻SiC層12と、n⁺SiCウェハ11とは、炭化珪素からなる炭化珪素基板SBを構成する。n⁺SiCウェハ11は、高濃度のn型不純物(導電型がn型である不純物)、たとえばN(窒素)を含んでいる。

- [0021] n -SiC層12は、 n^+ -SiCウェハ11の一方の主面11A上に、たとえば $10\mu\text{m}$ 程度の厚みで形成され、 n 型不純物を含むことにより導電型が n 型となっている。 n -SiC層12に含まれる n 型不純物は、たとえばN（窒素）であり、 n^+ -SiCウェハ11に含まれる n 型不純物よりも低い濃度、たとえば $5 \times 10^{15} \text{ cm}^{-3}$ の濃度で含まれている。
- [0022] 一对のpボディ13は、 n -SiC層12において基板面12Bを含むように互いに分離して形成され、 p 型不純物（導電型が p 型である不純物）を含むことにより、導電型が p 型（第2導電型）となっている。 p ボディ13に含まれる p 型不純物は、たとえばAl、B（硼素）などであり、 n^+ -SiCウェハ11に含まれる n 型不純物よりも低い濃度、たとえば $1 \times 10^{17} \text{ cm}^{-3}$ の濃度で含まれている。
- [0023] n^+ ソース領域14は、基板面12Bを含み、かつpボディ13に取り囲まれるように、一对のpボディ13のそれぞれの内部に形成されている。 n^+ ソース領域14は、 n 型不純物、たとえばP（リン）などを n -SiC層12に含まれる n 型不純物よりも高い濃度、たとえば $1 \times 10^{20} \text{ cm}^{-3}$ の濃度で含んでいる。
- [0024] p^+ 領域18は、一对のpボディ13のうち一方のpボディ13の内部に形成された n^+ ソース領域14から見て、他方のpボディ13の内部に形成された n^+ ソース領域14とは反対側に、基板面12Bを含むように形成されている。 p^+ 領域18は、 p 型不純物、たとえばAl、Bなどをpボディ13に含まれる p 型不純物よりも高い濃度、たとえば $1 \times 10^{20} \text{ cm}^{-3}$ の濃度で含んでいる。
- [0025] さらにMOSFET1は、ゲート絶縁膜15と、ゲート電極17と、一对のコンタクト電極16と、ソース配線19と、ドレイン電極20と、パシベーション膜21とを備えている。
- [0026] ゲート絶縁膜15は、基板面12Bに接触し、一方の n^+ ソース領域14の上部表面から他方の n^+ ソース領域14の上部表面にまで延在するように n -SiC層12の基板面12B上に形成されている。ゲート絶縁膜15は、珪

素酸化物を含有し、珪素酸化物は二酸化珪素 (SiO_2) を含む。つまりゲート絶縁膜 15 は、たとえば二酸化珪素膜である。

[0027] ゲート電極 17 は、一方の n^+ ソース領域 14 上から他方の n^+ ソース領域 14 上にまで延在するように、ゲート絶縁膜 15 に接触して配置されている。また、ゲート電極 17 は、ポリシリコン、Al などの導電体からなっている。

[0028] コンタクト電極 16 は、一对の n^+ ソース領域 14 上のそれぞれから、ゲート絶縁膜 15 から離れる向きに p^+ 領域 18 上にまで延在するとともに、基板面 12B に接触して配置されている。そして、コンタクト電極 16 は、チタン (Ti) 原子、アルミニウム (Al) 原子、珪素 (Si) 原子、炭素 (C) 原子、および残部不可避免的不純物からなっている。ここで、不可避免的不純物には、製造工程において不可避に混入する酸素 (O) 原子が含まれる。そして、コンタクト電極 16 は、ソース領域 14 および p^+ 領域 18 が形成された n -SiC 層 12 との界面を含む領域に、アルミニウム原子とチタン原子とを有する。

[0029] ソース配線 19 は、コンタクト電極 16 に接触して形成されており、Al などの導電体からなっている。そして、ソース配線 19 は、コンタクト電極 16 を介して n^+ ソース領域 14 と電氣的に接続されている。このソース配線 19 とコンタクト電極 16 とは、ソース電極 22 を構成する。

[0030] ドレイン電極 20 は、 n^+ -SiC ウェハ 11 において n -SiC 層 12 が形成される側の主面である一方の主面 11A とは反対側の主面である他方の主面 11B に接触して形成されている。このドレイン電極 20 は、たとえば上記コンタクト電極 16 と同様の構成を有していてもよいし、Ni など、 n^+ -SiC ウェハ 11 とオーミックコンタクト可能な他の材料からなっているもよい。これにより、ドレイン電極 20 は n^+ -SiC ウェハ 11 と電氣的に接続されている。

[0031] パシベーション膜 21 は、一方のソース配線 19 上からゲート電極 17 上を通り、他方のソース配線 19 上にまで延在するように形成されている。こ

のパシベーション膜 21 は、たとえば SiO_2 からなっており、ソース配線 19 およびゲート電極 17 を外部と電氣的に絶縁するとともに、MOSFET 1 を保護する機能を有している。

[0032] 次に、MOSFET 1 の動作について説明する。図 1 を参照して、ゲート電極 17 に閾値以下の電圧を与えた状態、すなわちオフ状態では、ゲート絶縁膜 15 の直下に位置する p ボディ 13 と n-SiC 層 12 との間が逆バイアスとなり、非導通状態となる。一方、ゲート電極 17 に正の電圧を印加していくと、p ボディ 13 のゲート絶縁膜 15 と接触する付近であるチャネル領域 13A において、反転層が形成される。その結果、n⁺ソース領域 14 と n-SiC 層 12 とが電氣的に接続され、ソース電極 22 とドレイン電極 20 との間に電流が流れる。

[0033] 次に MOSFET 1 の製造方法について説明する。

図 2 を参照して、まず工程 (S10) として基板準備工程が実施される。この工程 (S10) では、第 1 導電型の SiC ウェハが準備される。具体的には、図 4 を参照して、たとえば六方晶 SiC からなり、n 型不純物を含むことにより導電型が n 型である n⁺SiC ウェハ 11 が準備される。

[0034] 次に、図 2 を参照して、工程 (S20) として n 型層形成工程が実施される。この工程 (S20) では、n⁺SiC ウェハ 11 上に第 1 導電型の半導体層が形成される。具体的には、図 4 を参照して、エピタキシャル成長により n⁺SiC ウェハ 11 の一方の主面 11A 上に n-SiC 層 12 が形成される。エピタキシャル成長は、たとえば原料ガスとして SiH_4 (シラン) と C_3H_8 (プロパン) との混合ガスを採用して実施することができる。このとき、n 型不純物として、たとえば N を導入する。これにより、n⁺SiC ウェハ 11 に含まれる n 型不純物よりも低い濃度の n 型不純物を含む n-SiC 層 12 を形成することができる。

[0035] 次に、図 2 を参照して、工程 (S30) として p ボディ形成工程が実施される。この工程 (S30) では、図 5 を参照して、n-SiC 層 12 において基板面 12B を含むように第 2 導電型の第 2 導電型領域が形成される。具体

的には、まず、基板面12B上に、たとえばCVD (Chemical Vapor Deposition: 化学蒸着法) により SiO_2 からなる酸化膜が形成される。そして、酸化膜の上にレジストが塗布された後、露光および現像が行なわれ、所望の第2導電型領域としてのpボディ13の形状に応じた領域に開口を有するレジスト膜が形成される。そして、当該レジスト膜をマスクとして用いて、たとえばRIE (Reactive Ion Etching: 反応性イオンエッチング) により酸化膜が部分的に除去されることによって、n-SiC層12上に開口パターンを有する酸化膜からなるマスク層が形成される。その後、上記レジスト膜を除去した上で、このマスク層をマスクとして用いて、Alなどのp型不純物をn-SiC層12にイオン注入することにより、n-SiC層12にpボディ13が形成される。

[0036] 次に、図2を参照して、工程(S40)としてn⁺領域形成工程が実施される。この工程(S40)では、pボディ13内の基板面12Bを含む領域に、n-SiC層12よりも高濃度の第1導電型の不純物を含む高濃度第1導電型領域が形成される。具体的には、図5を参照して、まず、工程(S30)においてマスクとして使用された上記酸化膜が除去された上で、工程(S30)と同様の手順で、所望のn⁺ソース領域14の形状に応じた領域に開口を有するマスク層が形成される。そして、このマスク層をマスクとして用いて、Pなどのn型不純物がn-SiC層12にイオン注入により導入されることによりn⁺ソース領域14が形成される。

[0037] 次に、図2を参照して、工程(S50)としてp⁺領域形成工程が実施される。この工程(S50)では、図5を参照して、一対のpボディ13のうち一方のpボディ13の内部に形成されたn⁺ソース領域14から見て、他方のpボディ13の内部に形成されたn⁺ソース領域14とは反対側に、基板面12Bを含むように、高濃度第2導電型領域(p⁺領域18)が形成される。具体的には、図5を参照して、工程(S30)および(S40)と同様の手順で所望のp⁺領域18の形状に応じた領域に開口を有するマスク層が形成され、これをマスクとして用いて、Al、Bなどのp型不純物がn-SiC層12

にイオン注入により導入されることにより p⁺領域 18 が形成される。

[0038] 次に、図2を参照して、工程（S60）として活性化アニール工程が実施される。この工程（S60）では、イオン注入が実施された n-SiC 層 12 を、たとえば Ar（アルゴン）雰囲気中において 1700℃程度に加熱し、30分間程度保持することにより、上記イオン注入によって導入された不純物を活性化させる熱処理である活性化アニールが実施される。

[0039] 次に、図2を参照して、工程（S70）としてゲート絶縁膜形成工程が実施される。この工程（S70）では、図6を参照して、工程（S10）～（S60）までが実施されて所望のイオン注入領域を含む n-SiC 層 12 が形成された n⁺-SiC ウェハ 11 が熱酸化される。熱酸化は、たとえば酸素雰囲気中で 1300℃程度に加熱し、40分間程度保持することにより実施することができる。これにより、二酸化珪素（SiO₂）からなるゲート絶縁膜 15（図1参照）となるべき熱酸化膜 15A（たとえば厚み 50nm 程度）が、基板面 12B 上に形成される。

[0040] 次に、図2を参照して、工程（S80）としてドレイン電極形成工程が実施される。工程（S80）においては、図6を参照して、n⁺-SiC ウェハ 11 の主面 11B 上に、Ti からなる Ti 膜 51、Al からなる Al 膜 52 および Si からなる Si 膜 53 がこの順に形成される。次にこの積層膜の合金化工程が実施される。具体的には、Ar などの不活性ガス雰囲気中において、550℃以上 1200℃以下の温度、好ましくは 900℃以上 1100℃以下の温度、たとえば 1000℃に加熱され、10分間以下の時間、たとえば 2分間保持される熱処理が実施される。これにより、Ti 膜 51、Al 膜 52 および Si 膜 53 に含まれる Ti、Al、Si、および n⁺-SiC ウェハ 11 に含まれる Si、C が合金化される。その結果、図7に示すように、ドレイン電極 20 が形成される。

[0041] 次に、図2を参照して、工程（S90）としてオーミック電極形成工程が実施される。工程（S90）においては、図3を参照して、まず、工程（S91）～（S93）として Ti 膜形成工程、Al 膜形成工程および Si 膜形

成工程がこの順序で実施される。

[0042] 具体的には、図7を参照して、まず、熱酸化膜15A上にレジストが塗布された後、露光および現像が行なわれ、コンタクト電極16（図1参照）を形成すべき領域に応じた開口91Aを有するレジスト膜91が形成される。そして、当該レジスト膜91をマスクとして用いて、たとえばRIEにより熱酸化膜15Aが部分的に除去されることにより、基板面12Bの一部を覆うゲート絶縁膜15が形成される。その後、TiからなるTi膜51、AlからなるAl膜52およびSiからなるSi膜53が基板面12B上に、たとえばスパッタリングによりこの順で形成される。さらに、レジスト膜91が除去されることにより、レジスト膜91上のTi膜51、Al膜52およびSi膜53が除去（リフトオフ）されて、図8に示すように、ゲート絶縁膜15から露出する基板面12B上に、Ti膜51、Al膜52およびSi膜53が残存する。これにより、後にコンタクト電極16（図1）となるコンタクト電極16mが、ゲート絶縁膜15に接触して隣り合うように基板面12B上に形成される。

[0043] ここで、工程（S91）においては、厚み100Å以上400Å以下のTi膜51が形成されることが好ましい。これにより、安定的に低抵抗のオーミックコンタクト電極を形成できる。また、工程（S92）においては、工程（S91）において形成されたTi膜51の厚みの1.5倍以上6倍以下の厚みを有するAl膜52が形成されることが好ましい。これにより、n⁺ソース領域14およびpボディ13との接触抵抗を一層確実に低減したコンタクト電極16を作製することが可能となる。さらに、工程（S93）においては、厚み100Å以上500Å以下のSi膜53が形成されることが好ましい。これにより、安定的に低抵抗のオーミックコンタクト電極を形成できる。

[0044] 次に、図3を参照して、工程（S94）として合金化工程が実施される。具体的には、図8および図9を参照して、Arなどの不活性ガス雰囲気中においてコンタクト電極16mがレーザ光でアニールされる。これにより、T

i 膜 5 1、A l 膜 5 2 および S i 膜 5 3 に含まれる T i、A l、S i、および n-S i C 層 1 2 に含まれる S i、C が合金化される。その結果、図 9 に示すように、一对の n⁺ソース領域 1 4 上のそれぞれから、ゲート絶縁膜 1 5 から離れる向きに p⁺領域 1 8 上にまで延在するとともに、基板面 1 2 B に接触して配置されるコンタクト電極 1 6 が形成される。

[0045] ここで、レーザ光によるアニールはごく短時間での局所加熱により行なわれるために、アニール中の原子の拡散距離は小さくなる。このため、ゲート絶縁膜 1 5 のうち、後に基板面 1 2 B とゲート電極 1 7 (図 1) とによって挟まれることになる部分までは、コンタクト電極 1 6 m から A l 原子が拡散しない。

[0046] なお工程 (S 9 4) においては、不活性ガス、特に A r または / および N₂ と、水素との混合ガス中において n⁺S i C ウェハ 1 1 が加熱されることが好ましい。これにより、製造コストを抑制しつつ、n⁺ソース領域 1 4 および p ボディ 1 3 (p⁺領域 1 8) との接触抵抗を一層確実に低減したコンタクト電極 1 6 を作製することができる。以上の手順により、工程 (S 9 0) が完了する。

[0047] 次に、図 2 を参照して、工程 (S 1 0 0) としてゲート電極形成工程が実施される。この工程 (S 1 0 0) においては、再び図 1 を参照して、ゲート絶縁膜 1 5 の一部を覆うゲート電極 1 7 が形成される。ゲート電極 1 7 の端部は、ゲート絶縁膜 1 5 の端部から離れて配置される。具体的には、たとえば導電体であるポリシリコン、A l などからなるゲート電極 1 7 が、一方の n⁺ソース領域 1 4 上から他方の n⁺ソース領域 1 4 上にまで延在するように、ゲート絶縁膜 1 5 上に直接形成される。ゲート電極の素材としてポリシリコンを採用する場合、当該ポリシリコンは、P が $1 \times 10^{20} \text{ cm}^{-3}$ を超える高い濃度で含まれるものとすることができる。

[0048] 次に、図 2 を参照して、工程 (S 1 1 0) としてソース配線形成工程が実施される。この工程 (S 1 1 0) では、たとえば蒸着法により、導電体である A l からなるソース配線 1 9 (図 1 参照) が、コンタクト電極 1 6 の上部

表面上に形成される。上述の工程（S 9 0）およびこの工程（S 1 1 0）により、ソース電極 2 2（図 1 参照）が完成する。

[0049] 次に、図 2 を参照して、工程（S 1 2 0）としてパシベーション膜形成工程が実施される。この工程（S 1 2 0）では、図 1 を参照して、一方のソース配線 1 9 上からゲート電極 1 7 上を通り、他方のソース配線 1 9 上にまで延在するように、たとえば SiO_2 からなるこのパシベーション膜 2 1 が形成される。このパシベーション膜 2 1 は、たとえば CVD 法により形成することができる。以上の工程（S 1 0）～（S 1 2 0）により、MOSFET 1（図 1 参照）が完成する。

[0050] 本実施の形態の MOSFET 1 によれば、ゲート絶縁膜 1 5 のうち基板面 1 2 B とゲート電極 1 7 とによって挟まれる部分に、コンタクト電極 1 6 から A l 原子が拡散していない。よってゲート電極 1 7 と炭化珪素基板 S B との間の電氣的絶縁の信頼性が高くなる。

[0051] また本実施の形態の MOSFET 1 の製造方法によれば、コンタクト電極 1 6 m のアニールがレーザ光によって行われるので、他のアニール方法が用いられる場合に比して短時間で局所加熱によりアニールが行なわれる。このためコンタクト電極 1 6 m の A l 原子のゲート絶縁膜 1 5 中への拡散距離が抑制されるので、ゲート絶縁膜 1 5 のうち基板面とゲート電極 1 7 とによって挟まれる部分まで A l 原子が達することを避けることができる。これによりゲート電極 1 7 と炭化珪素基板 S B との間の電氣的絶縁の信頼性が高くなる。

[0052] 好ましくは、レーザ光の波長は 3 8 6 n m 以下である。たとえば Y A G レーザの第 3 高調波によるレーザ光が用いられる。これによりレーザ光は、ポリタイプ 4 H の炭化珪素のバンドギャップに対応するエネルギー以上の光子エネルギーを有する。よって炭化珪素基板 S B の表面においてレーザ光の吸収がより確実に生じるので、より効率的にアニールを行うことができる。

[0053] またレーザ光のパルス幅は、1 0 μ s 以下とされ、より好ましくは 1 0 0 n s 以下とされる。これにより、より短時間でアニールが行なわれる。よっ

てAⅠ原子の拡散をより確実に抑制することができる。

[0054] また1パルス当たりのレーザ光のエネルギー密度は、好ましくは $0.3 \text{ J} / \text{cm}^2$ 以上 $1.5 \text{ J} / \text{cm}^2$ 以下、より好ましくは $0.5 \text{ J} / \text{cm}^2$ 以上 $1.3 \text{ J} / \text{cm}^2$ 以下とされる。これにより、アニールによる合金化を十分に進行させるとともに、AⅠ原子の拡散を抑制することができる。

[0055] なお上記の説明において、ゲート絶縁膜15のうちAⅠ原子が拡散していない領域とは、AⅠ原子が実質的に拡散していない領域のことであり、言い換えれば、ゲート絶縁膜15がコンタクト電極16からのAⅠ原子の拡散を実質的に受けていない領域のことである。AⅠ原子が実質的に拡散していない領域と実質的に拡散した領域との境界の画定は、たとえば光学顕微鏡による観察によって行うことができる。テストパターンを用いたこの観察例について、以下に説明する。

[0056] 第1の例(図10)においては、二酸化珪素膜に埋め込まれたTi/AⅠパターン101をアニールした際におけるAⅠ原子の熱拡散の様子が光学顕微鏡によって観察された。二酸化珪素膜およびTi/AⅠパターン101のそれぞれは、上述したゲート絶縁膜15およびコンタクト電極16に対応している。この観察によれば二酸化珪素膜を明度の顕著な差異によって第1領域DFおよび第2領域NDに区分することができた。第1領域DFおよび第2領域の各々のAⅠ濃度を組成分析法によって測定したところ、第1領域DFは高いAⅠ濃度値を有し、第2領域NDは第1領域DFに比して顕著に小さいAⅠ濃度値を有し、第2領域NDへは実質的にAⅠ原子が拡散していないことがわかった。なお組成分析法としては、エネルギー分散性X線回折、オージェ電子分光法、および2次イオン質量分析法を用いた。

[0057] 第2の例(図11)においては、二酸化珪素膜に埋め込まれたAⅠパターン102をアニールした際におけるAⅠ原子の熱拡散の様子が光学顕微鏡によって観察された。二酸化珪素膜およびAⅠパターン102のそれぞれは、上述したゲート絶縁膜15およびコンタクト電極16に対応している。この観察においても、二酸化珪素膜を明度の顕著な差異によって第1領域DFお

よび第2領域NDに区分することができた。

[0058] また第1および第2の例を互いに比較すると、第1の例の方が第1の領域DFの広がり小さかった。このことから二酸化珪素膜中へのAl原子の拡散距離はAlパターン102からに比してTi/Alパターン101からの方が短くなることが分かった。よってコンタクト電極16の材料としてTi/Alを使用すれば、Alを使用する場合に比して、コンタクト電極16からゲート絶縁膜15中へのAl原子の拡散距離を抑制することができるであろうことが分かった。

[0059] 今回開示された実施の形態および実施例はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0060] 11 n⁺SiCウェハ、12 n⁻SiC層、12B 基板面、13 pボディ、13A チャンネル領域、14 n⁺ソース領域、15 ゲート絶縁膜、15A 熱酸化膜、16, 16m コンタクト電極、17 ゲート電極、18 p⁺領域、19 ソース配線、20 ドレイン電極、21 パシベーション膜、22 ソース電極、51 Ti膜、52 Al膜、53 Si膜。

請求の範囲

- [請求項1] 基板面（12B）を有する炭化珪素基板（SB）と、
前記基板面の一部を覆うように設けられたゲート絶縁膜（15）と、
、
前記ゲート絶縁膜の一部を覆うゲート電極（17）と、
前記ゲート絶縁膜に接触して隣り合うように前記基板面上に設けられ、Al原子を有する合金を含むコンタクト電極（16）とを備え、
前記ゲート絶縁膜のうち前記基板面と前記ゲート電極とによって挟まれる部分へは、前記コンタクト電極からAl原子が拡散していない、半導体装置。
- [請求項2] 前記ゲート絶縁膜は珪素酸化物を含有する、請求項1に記載の半導体装置。
- [請求項3] 前記珪素酸化物は二酸化珪素を含む、請求項2に記載の半導体装置。
- [請求項4] 前記コンタクト電極はTi原子を有する、請求項1に記載の半導体装置。
- [請求項5] 基板面（12B）を有する炭化珪素基板（SB）を準備する工程と、
、
前記基板面の一部を覆うようにゲート絶縁膜（15）を形成する工程と、
前記ゲート絶縁膜に接触して隣り合うように前記基板面上に、Al原子を有するコンタクト電極（16）を形成する工程と、
前記コンタクト電極をレーザ光でアニールすることによって、Al原子を有する合金を形成する工程と、
前記ゲート絶縁膜の一部を覆うゲート電極（17）を形成する工程とを備える、半導体装置の製造方法。
- [請求項6] 前記ゲート絶縁膜は珪素酸化物を含有する、請求項5に記載の半導体装置の製造方法。

- [請求項7] 前記珪素酸化物は二酸化珪素を含む、請求項6に記載の半導体装置の製造方法。
- [請求項8] 前記コンタクト電極はTi原子を有する、請求項5に記載の半導体装置の製造方法。
- [請求項9] 前記レーザ光の波長は386nm以下である、請求項5に記載の半導体装置の製造方法。

補正された請求の範囲
[2012年3月13日(13.03.2012)国際事務局受理]

[請求項1] (削除)

[請求項2] (削除)

[請求項3] (削除)

[請求項4] (削除)

[請求項5] (補正後) 半導体装置の製造方法であって、
基板面 (1 2 B) を有する炭化珪素基板 (S B) を準備する工程と、
、
前記基板面の一部を覆うようにゲート絶縁膜 (1 5) を形成する工程とを備え、
前記ゲート絶縁膜を形成する工程は、
前記ゲート絶縁膜となる部分を有する絶縁膜 (1 5 A) を形成する工程と、
前記絶縁膜上に、開口 (9 1 A) を有するレジスト膜 (9 1) を形成する工程と、
前記レジスト膜をマスクとして用いて、前記ゲート絶縁膜が形成されるように前記絶縁膜を部分的に除去する工程とを含み、前記半導体装置の製造方法はさらに
前記ゲート絶縁膜に接触して隣り合うように前記基板面上に、A l 原子を有するコンタクト電極 (1 6) を形成する工程を備え、
前記コンタクト電極を形成する工程は、
前記ゲート絶縁膜が設けられた前記炭化珪素基板上に T i 膜を形成する工程と、
前記 T i 膜上に A l 膜を形成する工程と、
前記 A l 膜上に S i 膜を形成する工程とを含み、前記半導体装置の製造方法はさらに
前記コンタクト電極をレーザ光でアニールすることによって、A l 原子を有する合金を形成する工程と、

前記ゲート絶縁膜の一部を覆うゲート電極（１７）を形成する工程とを備える、半導体装置の製造方法。

[請求項6] 前記ゲート絶縁膜は珪素酸化物を含有する、請求項５に記載の半導体装置の製造方法。

[請求項7] 前記珪素酸化物は二酸化珪素を含む、請求項６に記載の半導体装置の製造方法。

[請求項8] （削除）

[請求項9] 前記レーザ光の波長は３８６ｎｍ以下である、請求項５に記載の半導体装置の製造方法。

[請求項10] （追加）基板面（１２Ｂ）を有する炭化珪素基板（ＳＢ）と、
前記基板面の一部を覆うように設けられたゲート絶縁膜（１５）と、

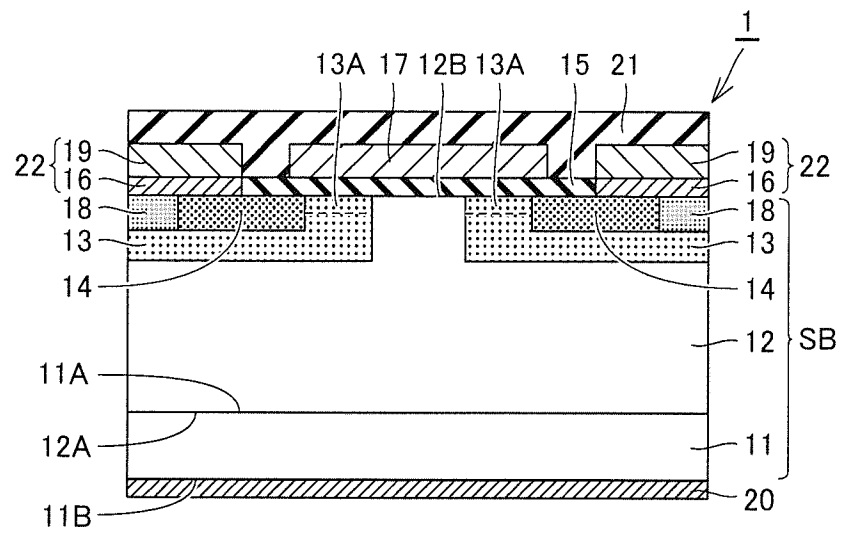
前記ゲート絶縁膜の一部を覆うゲート電極（１７）と、
前記ゲート絶縁膜に接触して隣り合うように前記基板面上に設けられ、Ａｌ原子とＴｉ原子とＳｉ原子とを有する合金を含むコンタクト電極（１６）とを備え、

前記ゲート絶縁膜のうち前記基板面と前記ゲート電極とによって挟まれる部分へは、前記コンタクト電極からＡｌ原子が拡散していない、半導体装置。

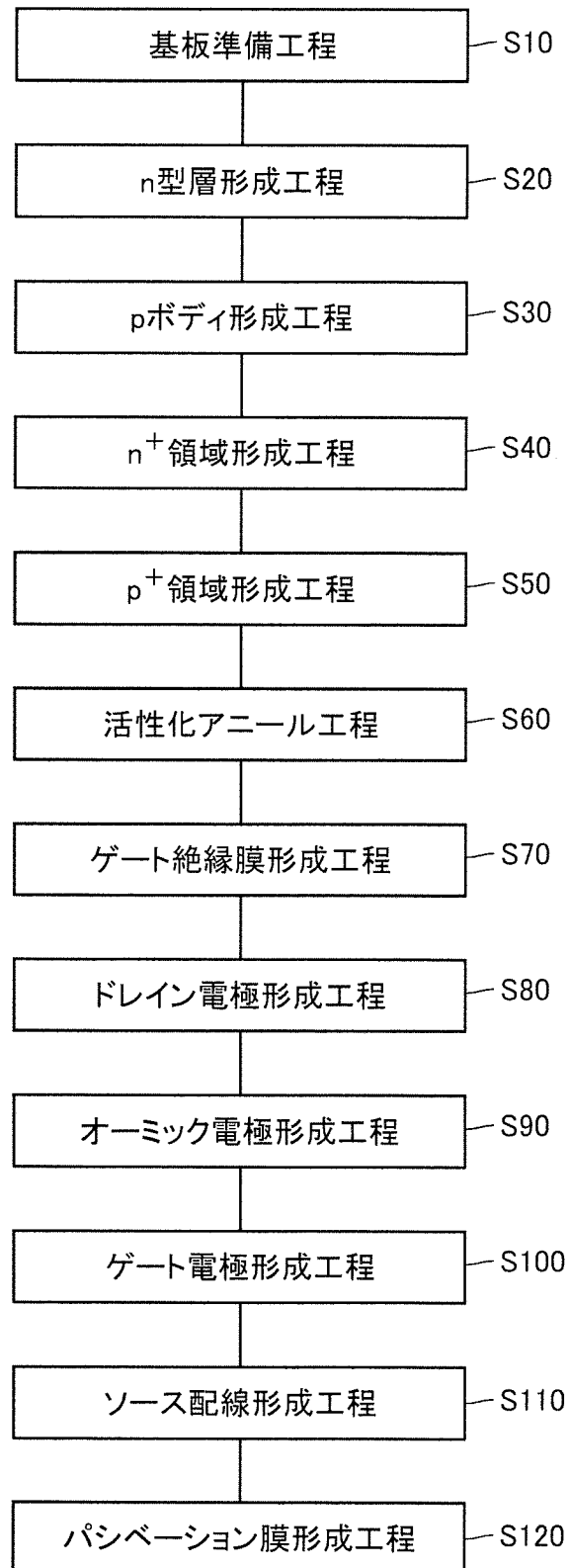
[請求項11] （追加）前記ゲート絶縁膜は珪素酸化物を含有する、請求項１０に記載の半導体装置。

[請求項12] （追加）前記珪素酸化物は二酸化珪素を含む、請求項１１に記載の半導体装置。

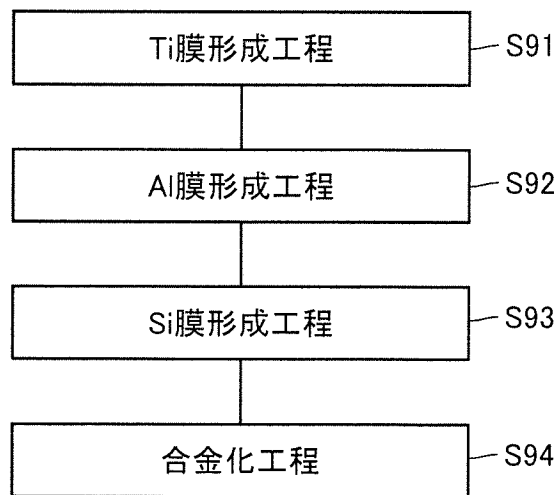
[図1]



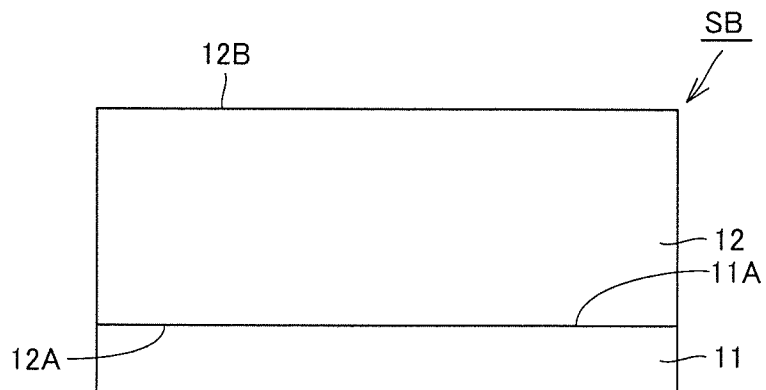
[図2]



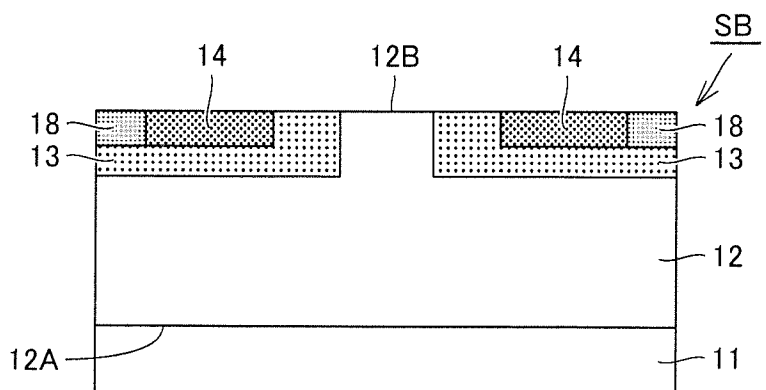
[図3]



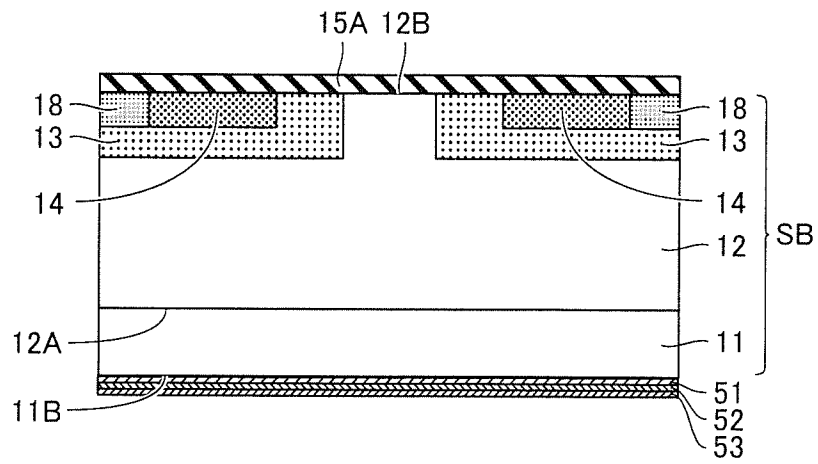
[図4]



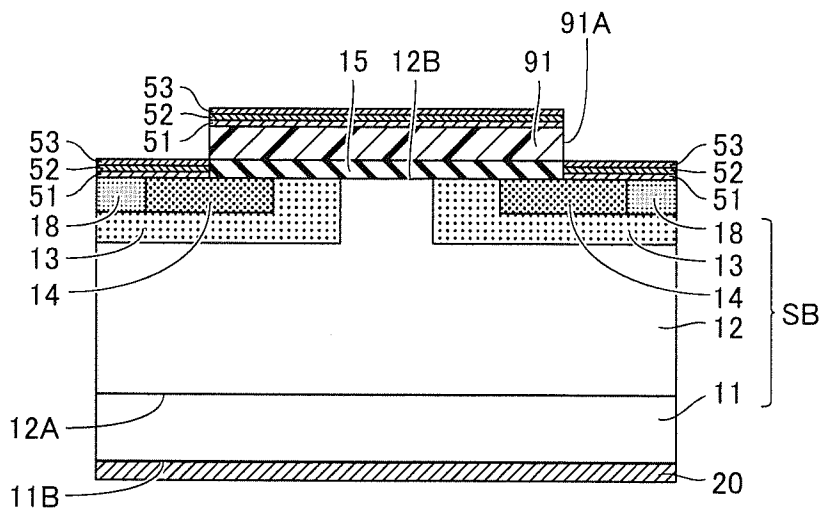
[図5]



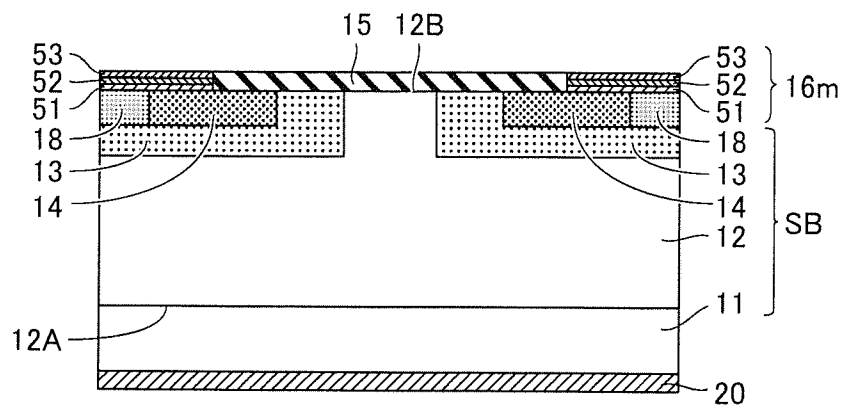
[図6]



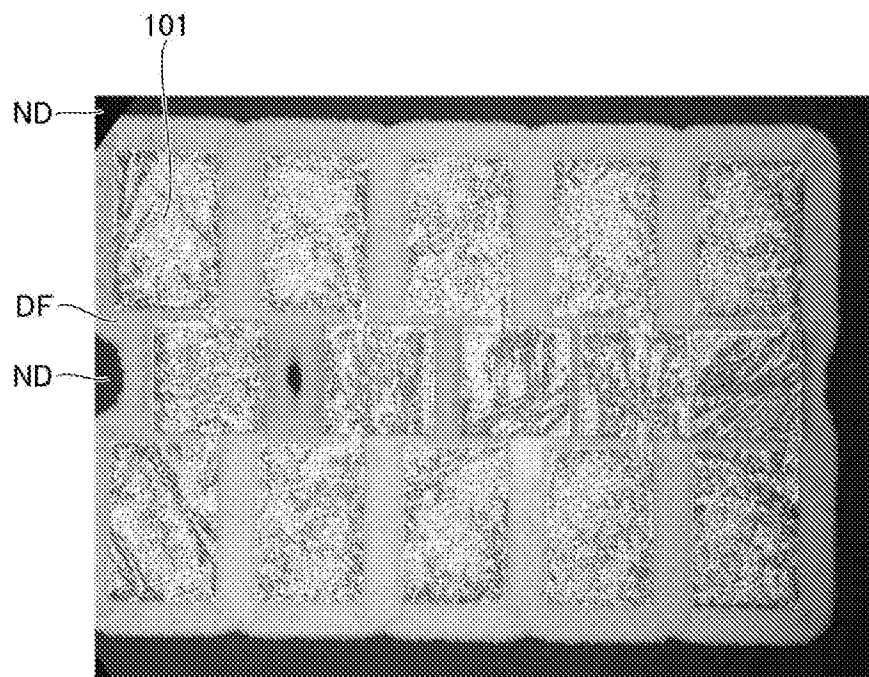
[図7]



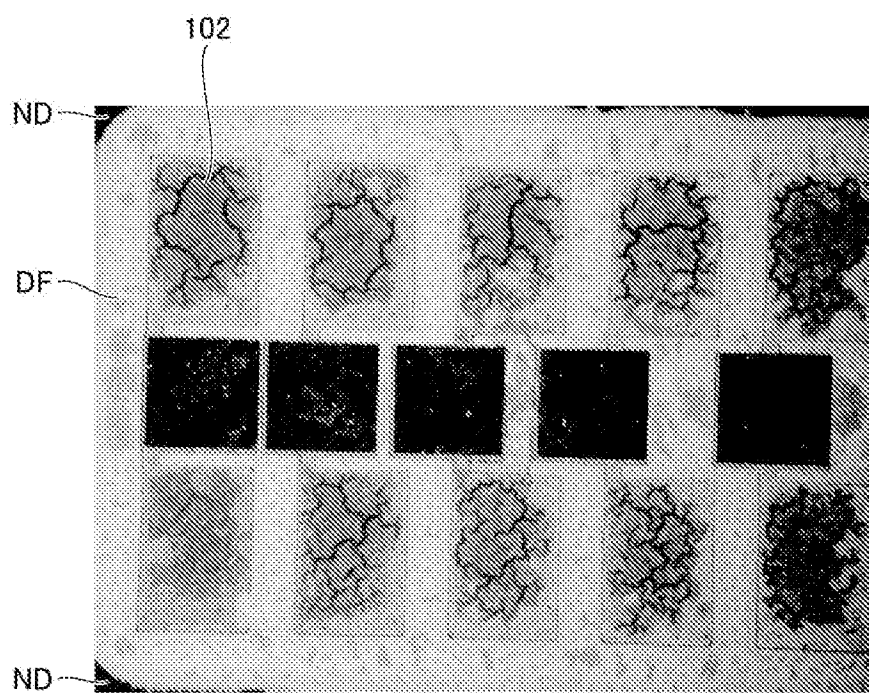
[図8]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/073996

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/28, H01L21/336, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-087397 A (Sumitomo Electric Industries, Ltd.), 15 April 2010 (15.04.2010), entire text; fig. 1 to 10 & EP 2348530 A1 & WO 2010/038547 A1 & CA 2739410 A	1-9
Y	JP 10-284436 A (Matsushita Electric Industrial Co., Ltd.), 23 October 1998 (23.10.1998), entire text; fig. 1 to 6 & US 6110813 A & US 6274889 B1 & CN 1195883 A	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

13 January, 2012 (13.01.12)

Date of mailing of the international search report

24 January, 2012 (24.01.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/073996

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-158702 A (C-Tech Corp.), 03 June 2004 (03.06.2004), entire text; fig. 1 to 5 (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/78, H01L21/28, H01L21/336, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-087397 A (住友電気工業株式会社) 2010.04.15, 全文, 図 1 - 1 0 & EP 2348530 A1 & WO 2010/038547 A1 & CA 2739410 A	1-9
Y	JP 10-284436 A (松下電器産業株式会社) 1998.10.23, 全文, 図 1 - 6 & US 6110813 A & US 6274889 B1 & CN 1195883 A	1-9
Y	JP 2004-158702 A (株式会社シーテック) 2004.06.03, 全文, 図 1 - 5 (ファミリーなし)	1-9

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 1 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 1 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

安田 雅彦

4 M

9 4 4 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2