



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I463653 B

(45)公告日：中華民國 103 (2014) 年 12 月 01 日

(21)申請案號：099121078

(22)申請日：中華民國 99 (2010) 年 06 月 28 日

(51)Int. Cl. : H01L29/739 (2006.01)

H01L29/06 (2006.01)

H01L21/329 (2006.01)

(30)優先權：2009/08/31 美國

12/550,857

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES
CORPORATION (US)

美國

(72)發明人：比約克米迦勒 T BJOERK, MIKAEL T. (SE)；卡格西格弗里德 F KARG, SIEGFRIED
F. (DE)；諾赫約阿希姆 KNOCH, JOACHIM (DE)；里爾海克 E RIEL, HEIKE E.
(DE)；里斯沃爾特 H RIESS, WALTER H. (DE)；所羅門保羅 M SOLOMON, PAUL
M. (US)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

TW 200603228A

US 2008/0224224A1

審查人員：于若天

申請專利範圍項數：24 項 圖式數：8 共 26 頁

(54)名稱

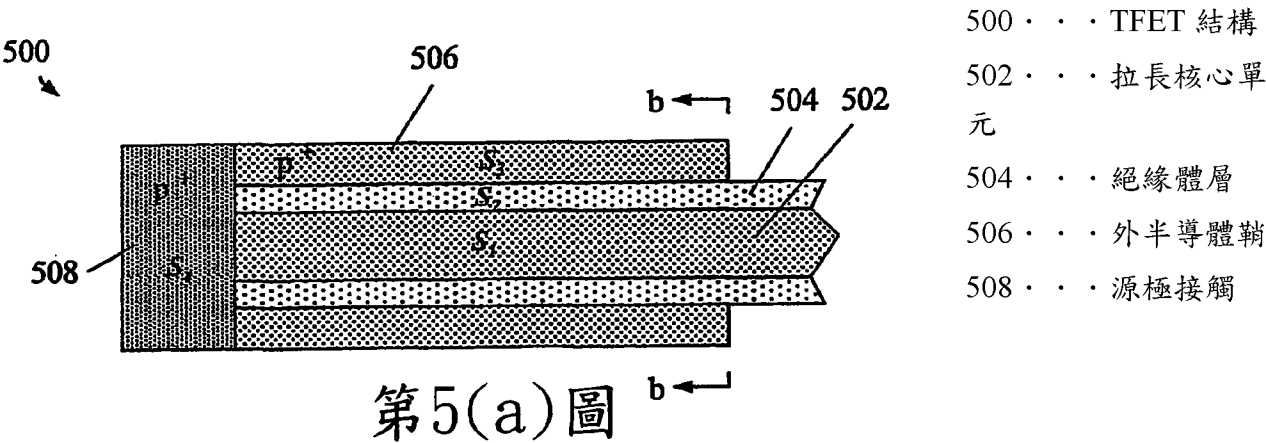
穿隧場效應元件

TUNNEL FIELD EFFECT DEVICES

(57)摘要

一種用於穿隧場效應電晶體(tunneling field effect transistor, TFET)結構之一間接誘發穿隧射極包括一外鞘(sheath)，其至少部分圍繞一伸長(elongated)核心單元(element)，該伸長核心單元由一第一半導體材料形成；一絕緣層，配置於該外鞘及該核心單元之間；該外鞘配置在對應於該 TFET 結構之源極區域之一位置；以及一源極接觸，其將該外鞘短路至該核心單元；其中該外鞘經組態以導入一載子濃度至該核心單元之該源極，其足夠(sufficient)在一開的狀態(on state)時穿隧(tunneling)至該 TFET 結構之一通道區域。

An indirectly induced tunnel emitter for a tunneling field effect transistor (TFET) structure includes an outer sheath that at least partially surrounds an elongated core element, the elongated core element formed from a first semiconductor material; an insulator layer disposed between the outer sheath and the core element; the outer sheath disposed at a location corresponding to a source region of the TFET structure; and a source contact that shorts the outer sheath to the core element; wherein the outer sheath is configured to introduce a carrier concentration in the source region of the core element sufficient for tunneling into a channel region of the TFET structure during an on state.



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：99121078

※ 申請日期：2010 年 6 月 28 日

※IPC 分類：

H01L 29/39 (2006.01)
H01L 29/06 (2006.01)
H01L 21/329 (2006.01)

一、發明名稱：(中文/英文)

穿隧場效應元件

TUNNEL FIELD EFFECT DEVICES

二、中文發明摘要：

一種用於穿隧場效應電晶體 (tunneling field effect transistor, TFET) 結構之一間接誘發穿隧射極包括一外鞘 (sheath)，其至少部分圍繞一伸長 (elongated) 核心單元 (element)，該伸長核心單元由一第一半導體材料形成；一絕緣層，配置於該外鞘及該核心單元之間；該外鞘配置在對應於該 TFET 結構之源極區域之一位置；以及一源極接觸，其將該外鞘短路至該核心單元；其中該外鞘經組態以導入一載子濃度至該核心單元之該源極，其足夠 (sufficient) 在一開的狀態 (on state) 時穿隧 (tunneling) 至該 TFET 結構之一通道區域。

三、英文發明摘要：

An indirectly induced tunnel emitter for a tunneling field effect transistor (TFET) structure includes an outer sheath that at least partially surrounds an elongated core element, the elongated core element formed from a first semiconductor material; an insulator layer disposed between the outer sheath and the core element; the outer sheath

disposed at a location corresponding to a source region of the TFET structure; and a source contact that shorts the outer sheath to the core element; wherein the outer sheath is configured to introduce a carrier concentration in the source region of the core element sufficient for tunneling into a channel region of the TFET structure during an on state.

四、指定代表圖：

(一)本案指定代表圖為：第 5(a) 圖。

(二)本代表圖之元件符號簡單說明：

500：TFET 結構

502：拉長核心單元

504：絕緣體層

506：外半導體鞘

508：源極接觸

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體元件結構，更特別是關於一種用於穿隧場效應電晶體 (TEFT) 之間接誘發穿隧射極。

【先前技術】

微電子元件通常是在半導體基材上製作成積體電路，其包括互補金屬氧化半導體 (CMOS) 場效應電晶體，而互補金屬氧化半導體場效應電晶體為其中之核心組件。在這幾年中，CMOS 電晶體的尺寸和操作電壓不斷的減少或縮小以得到更高的性能及封裝密度之積體電路。

然而，縮小 CMOS 電晶體的問題之一就是會使總功率消耗不斷增加。這部分是因為漏電流增加 (例如因短通道效應)，亦因為要繼續使供應電壓減少變得困難。後者之問題主要是因為反轉次臨界斜率 (inverse subthreshold slope) 被限制在 (最少) 約 60 毫伏 (mV) /decade，以使得將電晶體由關切換至開之狀態需要一定的電壓改變，而因此造成一最小供應電壓。

承上述，穿隧場效應電晶體被視為互補金屬氧化半導體場效應電晶體 (MOSFET) 的「後繼者」，因其沒有短通道效應的問題，且因其之次臨界斜率可少於 60mV/decade (傳統 MOSFET 物理性上的限制)，而使其可能可使用更低的電壓。但在另一方面，TFET 通常會有低的開電流

(on-current)的問題，此缺點與穿隧能障(tunnel barrier)之高阻抗有關。

【發明內容】

在一範例實施例中，用於穿隧場效應電晶體結構之一間接誘發穿隧射極包括一外鞘，其至少部分圍繞一伸長核心單元，該伸長核心單元由一第一半導體材料形成；一絕緣層，配置於該外鞘及該核心單元之間；以及一源極接觸，其將該外鞘短路至該核心單元；其中該外鞘經組態以導入一載子濃度至該核心單元之該源極，其足夠(sufficient)在一開的狀態時穿隧至該 TFET 結構之一通道區域。

在另一實施例中，一種形成一間接誘發穿隧射極以用於一 TFET 結構之方法包含以下步驟：由一第一半導體材料形成形成一拉長核心單元；形成一絕緣層，其至少部分圍繞該拉長核心單元；形成一外鞘，其在對應於該 TFET 結構之源極區域之一位置至少部分地圍繞該絕緣層；以及形成一源極接觸，其將該外鞘短路至該核心單元；其中該外鞘經組態以導入一載子濃度至該核心單元之該源極，其足夠在一開的狀態時穿隧至該 TFET 結構之一通道區域。

【實施方式】

如上所述，最近幾年 TEFT 做為低功率電子元件之候選者而引起關注。典型地，以 n 通道 TFET 為例，電子係由元件之源極區域共價帶之頂部注入至元件之通道的傳導帶底部。第 1 圖為一能帶圖，其繪示此過程在一簡單 P/N 接面發生，其中「P」側代表源極區域而「N」側代表 TFET 之通道。在「開」的狀態（由標記能帶之加深曲線表示）時，電子可由源極之共價帶穿隧至通道中的傳導帶。施加一增加的負閘電壓至一「部分開」狀態會導致穿隧距離增加（由長虛線表示），而最終該些能帶會變成無交叉（uncrossed）（由短虛線表示）而將電流關閉。

有一種 TFET 元件之接面排置被稱為錯位能帶異質接面排列，其繪示於第 2 圖及第 3 圖之能帶圖中。在此排置中，源極及通道區域之能帶互相偏移而使得可用較小的縱向電場而從第 2 圖之開狀態切換至第 3 圖之關狀態。

使用 TFET 之主要目的為使用較傳統之 FET 小的電壓範圍達到由「開」切換到「關」。這是可以理解的，因為用在 NFET 中之傳統的 n 型源極被 p 型穿隧源極（在此亦稱為「射極」）所取代，其中供價帶之頂部切斷該費米（Fermi）函數（其出現在該 n 型源極中）之熱尾（thermal tail），而使反轉次臨界斜率 S 在室溫時小於 60mV/decade ，其中 $S=[d(\log_{10}I_D)/dV_G]^{-1}$ ，而 I_D 為汲極電流、 V_G 為閘電壓。

另一方面，第 2 及 3 圖亦繪示數個可使 S 增加且降低

TFET 性能之因素。例如，在第 2 圖中繪示之「開」的狀態時，在源極之簡併 (degeneracy) (第 2 圖之(a)區域) 使可穿隧的態減少，因而使「開」電流降低。此外，能帶彎曲 (第 2 圖中之區域(b)) 增加了需要打開 TFET 之閘電壓。在第 3 圖中繪示之「關」的狀態時，能帶彎曲 (圖 3 中之區域(c)(d)) 使關閉 TFET 所需之電壓擺幅增加並在共價帶及傳導帶留下位能井。此處，熱尾可在由井中穿隧、藉由多聲子 (multiphonon) 處理之能帶至能帶傳送 (band-to-band transfer) (第 3 圖之區域(e))、或藉由能隙態 (gap state) 通過穿隧之能帶至能帶傳送 (第 3 圖之區域(f)) 時，導致 60mV/decade 斜率之反轉。

儘管在源極之高摻雜濃度的存在可減少能帶彎曲，但其由摻雜所造成之失序(disorder)會誘發能隙態，以及高載子濃度會依序導致多餘的簡併。而對此問題之一種可能的解決方案就是使用「靜電摻雜」，如第 4 圖中所示。更詳細來說，第 4 圖為 TFET 元件 400 之源極區域的切開剖視圖，而在此例中，奈米線 402 中之電洞由圍繞之金屬鞘 404 誘發，該金屬鞘 404 與該奈米線 402 由一薄絕緣層 406 分開，其與 FET 之閘導體及閘介電層相似。該圍繞金屬鞘 404 之周邊會屏蔽奈米線 402 裡面之電場，以使奈米線本身之中不需很大的電洞濃度。此處，奈米線 402 之重度摻雜區域 408 (其遠離該穿隧注入器 (圖未示)) 提供與 TFET 之電性接觸。此解決方案可解決上述之一些問題，但其亦會產生一些問題。例如，第

4 圖之 TFET 400 需要另一個給金屬鞘 404 使用之電性接觸，其使設計變得複雜。此外，在絕緣體-奈米線交界處之介面態可能提供額外的穿隧路徑，且金屬誘發之能隙態可能由金屬鞘 404 之鄰近周邊誘發至通道。

承上述，第 5(a)及 5(b)圖分別為本發明一範例實施例中具有此處稱為間接誘發穿隧射極 (Indirectly Induced Tunnel Emitter, IITE) 之 TFET 結構 500 之側面及終端截面圖。如圖所示，該 IITE 包括由一第一半導體材料 (S1) 形成之一拉長核心單元 502 (如奈米線)；由一第二半導體材料 (S2) 形成之一絕緣體層 504，其圍繞該奈米線，且該第二半導體材料 (S2) 具有較該第一半導體材料 (S1) 寬之能帶；由一第三半導體材料 (S3) 形成之一經摻雜之外半導體鞘 506，其圍繞該絕緣體 504；以及由一第四半導體材料 (S4) 形成之源極接觸 508，其將該外半導體鞘 506 短路至該核心單元 502。

在範例實施例中，半導體 S1-S4 所用之材料可以全部是在其間之介面形成異質接面之磊晶成長之半導體。如此可減少或消除介面態，其在 TFET 結構中會造成問題，如第 4 圖中所示。因為外鞘 506 亦為摻雜之半導體 (S3)，金屬誘發能隙態 (metal induced gap state, MIGS) 亦會被消除。另外，第 5(a)及 5(b)圖中所示之 TFET 結構可使用與 S1、S3 及 S4 相同之半導體材料以使其簡化。

儘管範例實施例繪示核心單元、絕緣體以及外鞘之一同心圓組態，但其亦可使用其他適當之幾何形狀。例如，

各別單元之截面形狀可為圓形以外之其他形狀，例如橢圓形、蛋形、正方形或長方形。另外，雖例示之實施例繪示之各層完全圍繞其他層（例如絕緣層 504 圍繞核心單元 502），但其亦可使該結構之外層部分圍繞結構之一內層，例如一 Ω 形。

以核心單元 502 來說，除了奈米線結構單元外，核心單元 502 亦可由其他結構形成，例如為半導體鰭片或碳奈米管。

請參照第 6 圖，其中顯示一部分能帶圖 600，其繪示第 5(a)及 5(b)圖中之範例 n 通道 TFET 之共價帶，其切過該圓截面。如圖所示， E_{01} 及 E_{03} 分別為區域 1 及 3 中之基態次能帶能量，而 V_s 為費米能量（源極電壓）。假設 S1-S3 之能隙夠寬而可使射極中之傳導帶在其操作時沒有作用。能帶排列及各層之厚度可經調整以達成一組態，該組態使基態能量 E_{01} 及 E_{03} 確保當 S3 具有遠大於其之電洞濃度時，S1 中之電洞僅恰好簡併。如此可得到與第 4 圖中之金屬鞘 TFET 結構 400 相同的屏蔽效應之優點。

為如上述般使用 S1 及 S3 之相同的半導體材料，S3 之厚度與 S1 之直徑經小心的調整以使基態能量形成如第 6 圖中之排列。若 S1 及 S4 及 S3 及 S4 之間的介面高度摻雜，則對 S4 之要求可放鬆，在此情況下另一實施例可使用金屬以取代 S4。亦可更進一步以一金屬鞘（如第 4 圖所示）取代 S3，只要功函數及能帶偏移可調整以確保 S1

之電洞在適當的濃度。在另一實施例中，S3可鍍有額外的金屬層（圖未示）以增進屏蔽。應了解在此揭露之範例 IITE 實施例可將所有之 p 型半導體以 n 型半導體取代，並確保適當的傳導帶如第 6 圖中所示之排列（但為反轉），如此可將其同等的應用在互補穿隧-電洞注入器中。

綜上所述，之前所討論之缺點已由 IITE 實施例所解決。其已例示性的繪示於第 7(a)及(b)圖中，其中第 7(a)圖為第 5(a)圖之 TFET 結構之另一側截面圖，而第 7(b)圖為對應第 7(a)圖之結構之能帶圖。第一，外摻雜鞘(S3)提供縱向屏蔽並減少能帶彎曲。第二，S3 中之摻雜誘發態及簡併狀況藉由 S2 從注入器核心(S1)獨立出來。第三，S3 之半導體能隙將金屬誘發能隙態降至最低。除此之外，磊晶相容材料 S1-S3 因具有單一晶格結構而消除介面態。源極接觸層 S4 使其不需至該外鞘之外部接觸。

最後，第 8 圖為異質接面穿隧射極之整體能帶圖 800，其中之能帶對應於傳導帶之慣例（convention）並依第 6 圖反轉。也就是說，能帶圖 800 依徑向方向繪示，並使電荷載子向上，如電子在傳導帶中之慣例（而電洞之慣例為向下，如圖 6 中所示）。

以下所給之不等式可用於電子或電洞，只要理解「能量」在相關之情況在可指電子能量或電洞能量。此處 E_{b1} 、 E_{b2} 以及 E_{b3} 為能帶邊緣（傳導帶或共價帶）能量， E_{01} 及 E_{03} 為量子化次能帶之基態能量，而 E_{F1} 及 E_{F3} 為

電子或電洞之費米能量。圖 800 所繪示為一平帶 (flat-band) 狀況，假設適當的電壓施加在 S1 及 S3 之間且忽略由電荷本身所產生之能帶彎曲 (如第 6 圖所示)。在操作中，S1 透過 S4 及費米能階短路至 S3，而使 E_{F1} 及 E_{F3} 相等。此簡化及近似係為了使 S1、S2 及 S3 之情況更清楚以使範例之描述更容易。以真空能階 E_{VAC} 為參考，將以下之條件使用於此處之實施例。

1. S2(E_{b2})之能帶邊緣能量大於 S1 及 S3 之能帶邊緣能量 (E_{b1} 及 E_{b3})，也就是說 S2 與 S3 之間以及 S1 與 S3 之間之能帶不連續為正。
2. S3 中之費米能量 (E_{F3}) 高於 S1 中之費米能量 (E_{F1})。其使電荷可由 S3 流至 S1，其中此條件可用以下等式表示：

$$(E_{F3}-E_{03})+(E_{03}-E_{b3})-\Delta E_{b23} > (E_{F1}-E_{01})+(E_{01}-E_{b1})-\Delta E_{b21} \quad (\text{等式 1})$$

3. 在 E_{b1} 及 E_{b3} 之一給定的能帶排列及給定之基態能量 E_{01} 及 E_{03} 下 S3 之摻雜必需夠大以將 E_{F3} 抬升至 E_{F1} 之上以滿足條件 2。
4. 在 E_{b1} 及 E_{b3} 之一給定的能帶排列，及 S3 中給定之摻雜，半徑 r_1 必需夠大以減少 E_{01} ，且半徑差少 r_3-r_2 必需夠小以減少 E_{03} ，以滿足條件 2。
5. 以 r_1 及 r_2 ，及 S3 中給定之摻雜來說，能帶邊緣

能量 E_{b3} 必需要大於 E_{b1} 至一足夠的量，或當 E_{b1} 大於 E_{b3} 時，差別必需要夠小，以滿足條件 2。S4 (第 7(a)圖) 之條件並非關鍵。S4 必需具有夠重程度之摻雜或具有夠小之能隙以確保其與 S1 及 S3 兩者有良好之歐姆接觸 (ohmic contact)。S1 及 S3 亦可在鄰接 S4 處摻雜以確保歐姆接觸。在此情況下，S4 可為金屬。

在一範例實施例中，可適當的選擇以下之半導體材料：S1 用 $\text{InAs}_{0.8}\text{P}_{0.2}$ 、S2 用 InP ，而 S3 及 S4 用 InAs 。S1、S2 及 S3 之半徑分別為 30、40 及 50nm。S1 及 S4 以矽摻雜至 10^{19} 原子/立方公分之濃度，以確保 S3 經由 S4 至 S1 之歐姆接觸，且滿足上述等式 1。而等式變成：

$$(E_{F3} + 0.033) + (-0.033 + 0.173) - 0.6533 > (E_{F1} + 0.044) + (-0.44 + 0.0744) - 0.5544 \quad (\text{等式 2})$$

接下來，其可簡化為：

$$E_{F3} > E_{F1} + 0.0003 \text{ eV} \quad (\text{等式 3})$$

因此，將選擇之系統參數以等式中之項代換以得到 $E_{F3} > E_{F1} + 0.0003 \text{ eV}$ 之條件，其可以 S3 中選定之摻雜程度滿足。再次參照第 7(a)圖，S1、S2、S3 及 S4 之長度都非關鍵，但應長於約 10nm 以使允許第 7(b)圖中所示之

能帶彎曲，但亦需短於約 100nm 以使串聯電阻最小化。

雖然本發明已參照一或多個較佳實施例描述如上，但熟悉此項技藝者應了解可進行各種改變或將單元以其等效物置換而不離本發明之範圍。除此之外，可依本發明之教示進行多項修改以使其適用於一特定情況或材料而不離本發明之實質範圍。因此，本發明並不欲限於做為實行本發明之最佳實施例而揭露之特定實施例，而本發明應包括落入下列之申請專利範圍之範疇中之所有實施例。

【圖式簡單說明】

第 1 圖為一能帶圖，其繪示電子穿隧過 TEFT 之一 P/N 界面。

第 2 圖為在「開」狀態時具有錯位 (staggered) 能帶異質界面之 TEFT 元件能帶圖。

第 3 圖為在「關」狀態時具有錯位能帶異質界面之 TEFT 元件能帶圖。

第 4 圖為 TFET 元件之源極區域的切開剖視圖，其中在奈米線中之電洞由圍繞之金屬鞘誘發，該金屬鞘與該奈米線由一薄絕緣層分開。

第 5(a)圖為依本發明一範例實施例之具有間接誘發穿隧射極之 TFET 元件側視截面圖。

第 5(b)圖為該 IITE 沿第 5(a)圖之 b-b 線之終端截面圖。

103年3月6日修正替換頁

第 6 圖為部分能帶圖，其繪示第 5(a)圖及第 5(b)圖中所示之範例 n-通道 TFET 之共價帶。

第 7(a)圖為第 5(a)圖之 TFET 結構之另一側截面圖。

第 7(b)圖為對應第 7(a)圖之結構之能帶圖。

第 8 圖為異質接面穿隧射極之整體能帶圖，其中之能帶對應於傳導帶之習慣並依第 6 圖反轉。

【主要元件符號說明】

400：TFET 元件

402：奈米線

404：金屬鞘

406：絕緣層

408：重度摻雜區域

500：TFET 結構

502：拉長核心單元

504：絕緣體層

506：外半導體鞘

508：源極接觸

600：部分能帶圖

800：整體能帶圖

E_{01} 、 E_{03} ：基態能量

E_{b1} 、 E_{b3} ：能帶邊緣能量()

V_S 、 E_{F3} 、 E_{F1} ：費米能量

S1：第一半導體材料

S2：第二半導體材料

S3：第三半導體材料

S4：第四半導體材料

E_{VAC} ：真空能階

七、申請專利範圍：

1. 一種間接誘發穿隧射極，用於一穿隧場效應電晶體（TFET）結構，其包含：

一外鞘，其至少部分圍繞一伸長核心單元，該伸長核心單元由一第一半導體材料形成；

一絕緣層，配置於該外鞘及該核心單元之間；

該外鞘配置在對應於該 TFET 結構之源極區域之一位置；以及

一源極接觸，其將該外鞘短路至該核心單元；

其中該外鞘經組態以導入一載子濃度至該核心單元之該源極，其足夠在一開的狀態時穿隧至該 TFET 結構之一通道區域。

2. 如申請專利範圍第 1 項之 TFET 結構，其中該伸長核心單元包含下列之一或多者：一奈米線、一微細結構以及一碳奈米管。

3. 如申請專利範圍第 2 項之 TFET 結構，其中該絕緣層由具有較該第一半導體材料寬之能帶的一第二半導體材料形成。

4. 如申請專利範圍第 3 項之 TFET 結構，其中該外鞘包含一外半導體鞘，其由一第三半導體材料形成，該外

半導體鞘經以較該核心單元高之濃度摻雜。

5. 如申請專利範圍第 4 項之 TFET 結構，其中該源極接觸由一第四半導體材料形成，其經以較該核心單元高之濃度摻雜。

6. 如申請專利範圍第 5 項之 TFET 結構，其中該第一、第二、第三及第四半導體材料包含在該等半導體材料其間之介面形成異質接面之磊晶成長之半導體。

7. 如申請專利範圍第 3 項之 TFET 結構，其中該外鞘包含一金屬材料。

8. 如申請專利範圍第 4 項之 TFET 結構，其中該外鞘包有一金屬材料。

9. 如申請專利範圍第 5 項之 TFET 結構，其中該第一半導體材料之一能帶邊緣能量大於該第二半導體材料之一能帶邊緣能量，且大於該第三半導體材料之一能帶邊緣能量。

10. 如申請專利範圍第 9 項之 TFET 結構，其中該第三半導體材料之一費米能量大於該第一半導體材料之一費米能量。

11.如申請專利範圍第 5 項之 TFET 結構，其中該第一半導體材料包含 $\text{InAs}_{0.8}\text{P}_{0.2}$ ，該第二半導體材料包含 InP ，而該第三半導體材料含 InAs 。

12.如申請專利範圍第 5 項之 TFET 結構，其中該第一、第二、第三及第四半導體材料之長度為約 10 奈米至約 100 奈米。

13.一種形成一間接誘發穿隧射極以用於一 TFET 結構之方法，該方法包含以下步驟：

由一第一半導體材料形成形成一拉長核心單元；

形成一絕緣層，其至少部分圍繞該拉長核心單元；

形成一外鞘，其在對應於該 TFET 結構之一源極區域之一位置至少部分地圍繞該絕緣層；以及

形成一源極接觸，其將該外鞘短路至該核心單元；

其中該外鞘經組態以導入一載子濃度至該核心單元之該源極，其足夠在一開的狀態時穿隧至該 TFET 結構之一通道區域。

14.如申請專利範圍第 13 項之方法，其中該伸長核心單元包含下列之一或多者：一奈米線、一微細結構以及一碳奈米管。

15.如申請專利範圍第 14 項之方法，其中該絕緣層由具有較該第一半導體材料寬之能帶的一第二半導體材料形成。

16.如申請專利範圍第 15 項之方法，其中該外鞘包含一外半導體鞘，其由形成一第三半導體材料形成，該外半導體鞘經以較該核心單元高之濃度摻雜。

17.如申請專利範圍第 16 項之方法，其中該源極接觸由一第四半導體材料形成，其經以較該核心單元高之濃度摻雜。

18.如申請專利範圍第 17 項之方法，其中該第一、第二、第三及第四半導體材料包含在該等半導體材料其間之介面形成異質接面的磊晶成長之半導體。

19.如申請專利範圍第 18 項之方法，其中該第一、第二、第三及第四半導體材料為相同之材料。

20.如申請專利範圍第 19 項之方法，其中該第一、第二、第三及第四半導體材料具有一單晶結構。

21.如申請專利範圍第 17 項之方法，其中該第一半導體材料之一能帶邊緣能量大於該第二半導體材料之一能帶邊

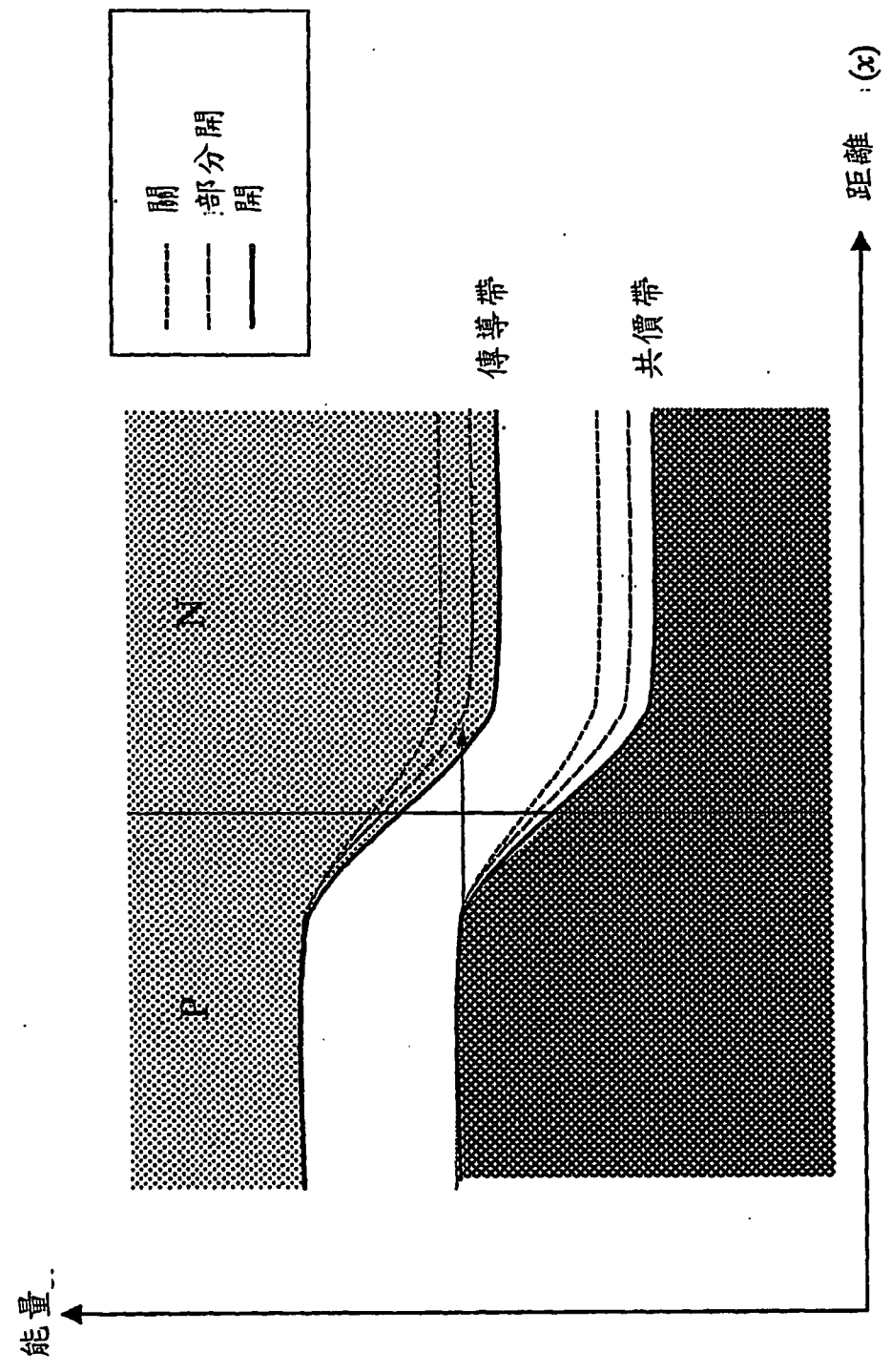
緣能量，且大於該第三半導體材料之一能帶邊緣能量。

22.如申請專利範圍第 21 項之方法，其中該第三半導體材料之一費米能量大於該第一半導體材料之一費米能量。

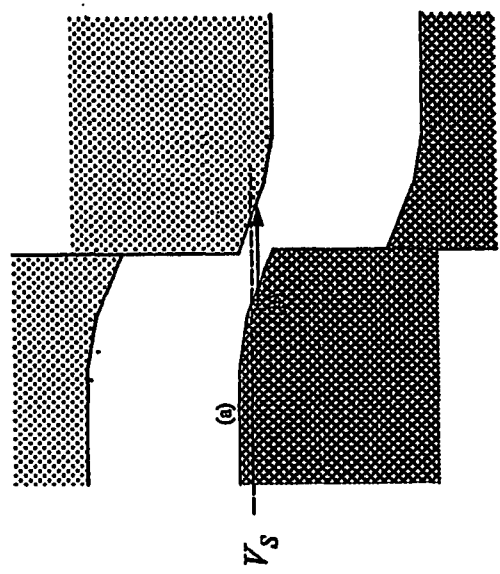
23.如申請專利範圍第 17 項之方法，其中該第一半導體材料包含 $\text{InAs}_{0.8}\text{P}_{0.2}$ ，該第二半導體材料包含 InP ，而該第三半導體材料含 InAs 。

24.如申請專利範圍第 17 項之方法，其中該第一、第二、第三及第四半導體材料之長度為約 10 奈米至約 100 奈米。

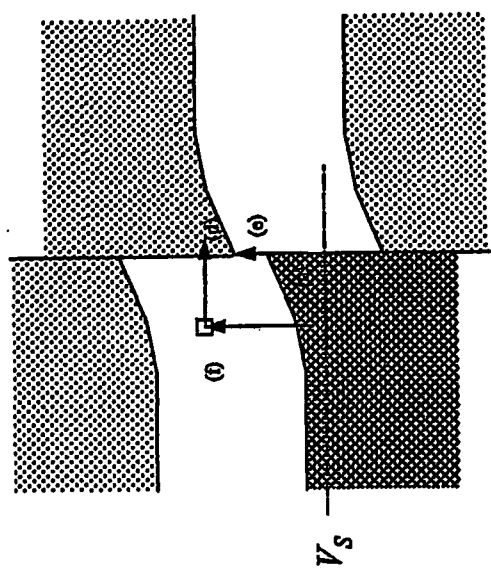
100 ↗



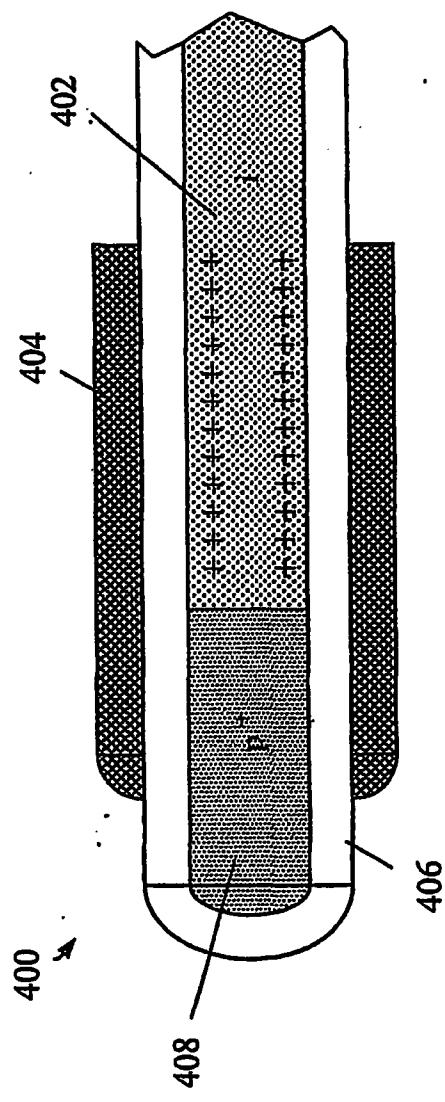
第1圖



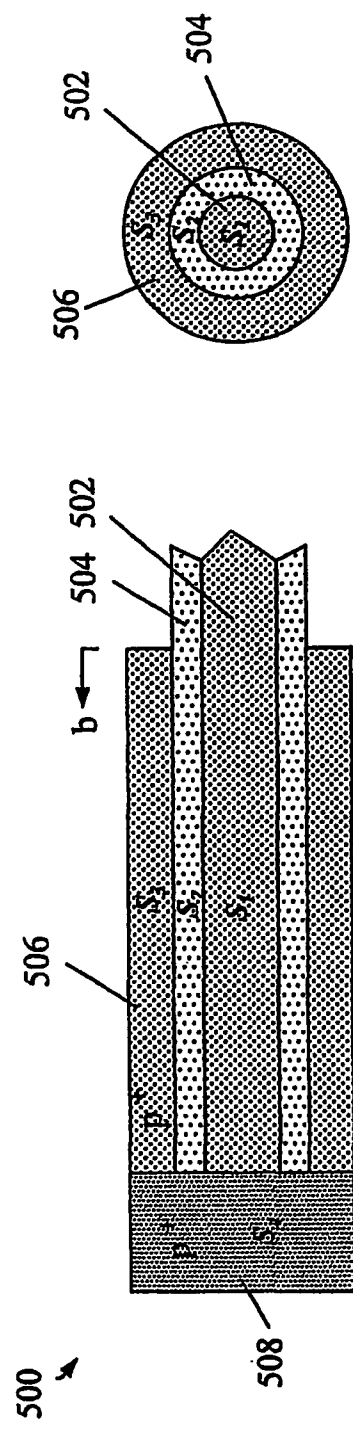
第2圖



第3圖



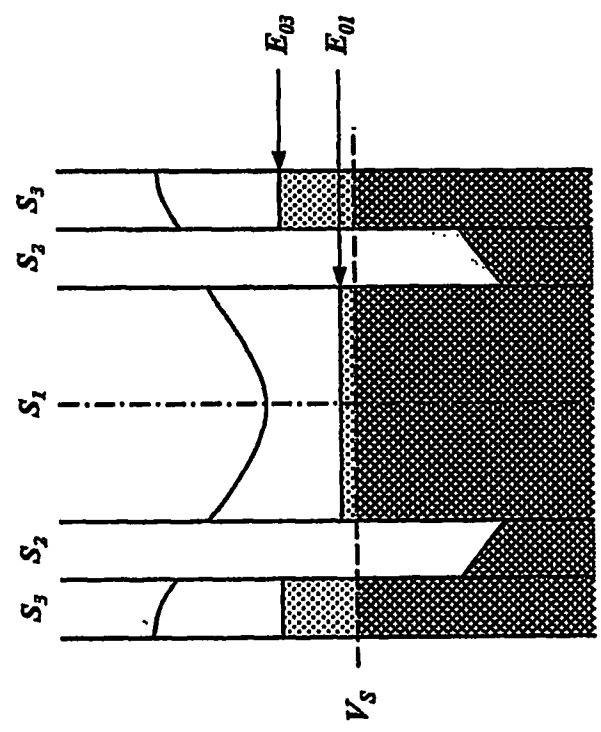
第4圖



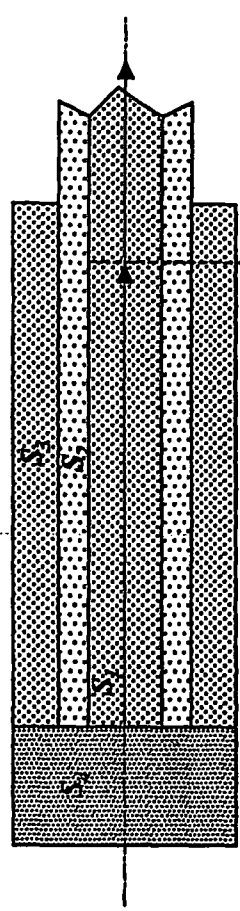
第5(b)圖

第5(a)圖

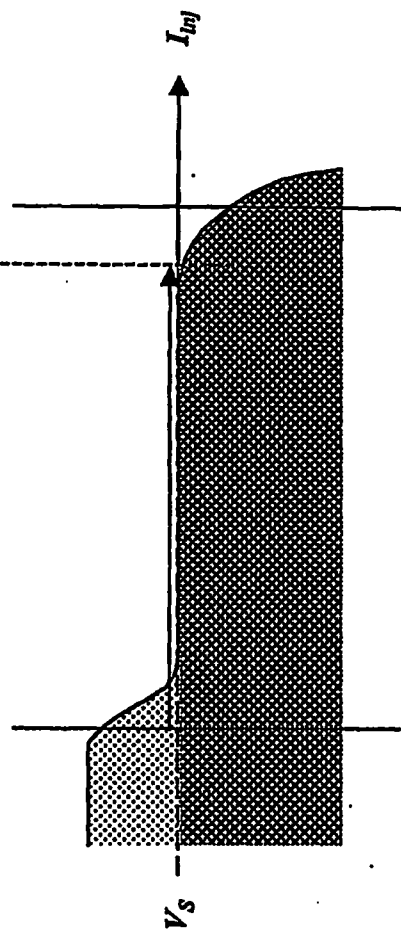
600 ↗



第6圖

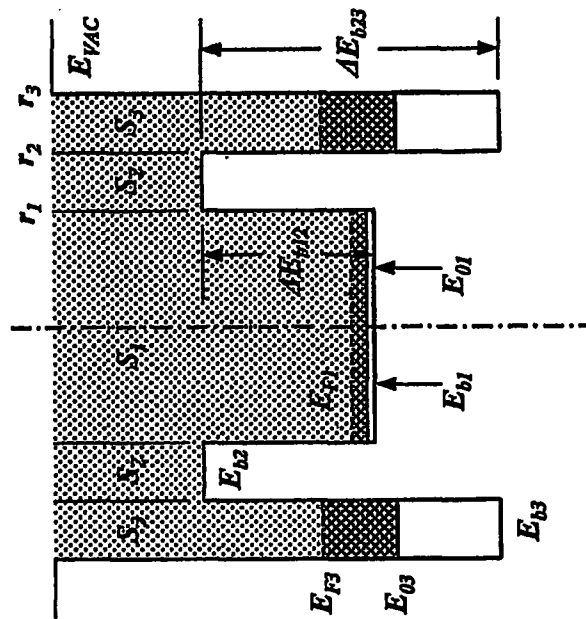


第7(a)圖



第7(b)圖

800 ↗



第8圖