

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>

(45) 공고일자 1994년07월22일

H01L 21/66

(11) 공고번호 특1994-0006577

H01L 27/04

(21) 출원번호	특 1990-0009729	(65) 공개번호	특 1991-0001975
(22) 출원일자	1990년 06월 29일	(43) 공개일자	1991년 01월 31일
(30) 우선권주장	1-169659 1989년 06월 30일	일본 (JP)	
(71) 출원인	가부시키키가이샤 도시바	아오이 조이치	
일본국 가나가와현 가오사키시 사이와이구 호라가오정 72번지			

(72) 발명자 후루야마 도루  
일본국 가나가와현 가와사키시 사와와이구 고무가이도시바정 1번지 가부시키키가이샤 도시바 종합연구소내

(74) 대리인 김윤배

심사관 : 박충범 (책자공보 제3690호)

(54) 반도체장치 및 그 번인방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체장치 및 그 번인방법

[도면의 간단한 설명]

제1도는 본 발명에 따른 반도체장치의 1실시예를 개략적으로 나타낸 구성설명도.

제2도는 제1도중의 일부를 추출해서 공통배선과 각 칩영역과의 접속예를 나타낸 회로도.

제3도는 본 발명에 따른 반도체장치의 다른 실시예를 개략적으로 나타낸 구성설명도.

제4도는 제1도 또는 제3도중의 1개의 다이내믹 RAM의 칩영역에 있어서 일부의 회로를 추출해서 공통 배선과의 접속예를 나타낸 회로도.

제5도는 본 발명의 반도체장치의 번인(burn-in)시 다수의 칩에 전압스트레스를 인가할 때의 등가회로를 나타낸 도면.

제6도는 마찬가지로 본 발명의 반도체장치의 번인시 다수의 칩에 전압스트레스를 인가할 때의 등가 회로를 나타낸 도면이다.

\* 도면의 주요부분에 대한 부호의 설명

10 : 반도체장치	11 : 칩영역
12 : 전원용 배선	12", 13" : 접촉영역

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 복수개의 집적회로 칩영역을 갖춘 웨이퍼상태의 반도체장치 및 그 번인방법에 관한 것이다.

[종래의 기술 및 그 문제점]

반도체 집적회로의 번인에는 2가지의 목적이 있다. 그 하나는 웨이퍼공정상의 잠재불량(결함이 존재하는 산화막등)을 과도한 조건하에서 시험(스트레스의 가속)함으로써 노정시켜 스크리닝(screening)하는 것이고, 또 하나는 조립공정에서의 불량(밀봉수지의 크랙등)을 스크리닝하는 것이다.

이와 같은 번인에 필요한 번인장치를 위한 설비투자 및 설치장소의 확보는 집적회로의 제조상 매우

큰 부분을 점하고 있다.

종래, 반도체 집적회로에 대한 번인은 개개의 집적회로로서 조립된 패키지상태에서 행해졌다. 이 때 번인장치의 설비투자 및 그 설치장소의 확보를 위한 비용이 많이 들게 되어 반도체 집적회로의 제조원가를 압박하는 큰 요인이 되었고, 더욱이 리던던시회로(redundancy circuit)를 구비한 반도체 집적회로(메모리등)에 있어서도 번인시의 불량에 대해 구제할 수 없었기 때문에 칩의 재료 사용 효율을 높이기 어렵다고 하는 문제점이 있었다.

또, 반도체 집적회로에 대해서 번인을 행하는 목적의 하나인 조립공정에서의 불량을 스크리닝하는 것은 조립공정후에 행해져야 하지만, 이 경우에는 전압이나 신호를 공급해서 전기적인 스트레스를 인가할 필요성이 없다. 즉, 조립공정에서 불량의 스크리닝은 온도, 습도등의 스트레스를 인가하는 것으로 충분하다.

한편, 반도체 집적회로에 대해서 번인을 행하는 또 하나의 목적인 웨이퍼공정상의 잠재불량을 스크리닝하는 것은 웨이퍼공정상의 문제이기 때문에 조립후까지 스크리닝을 미룰 필연성은 전혀 없으며, 오히려 웨이퍼공정의 최후단계에서 그보다 나은 방법이 없지만 그러한 수법은 종래에는 존재하지 않았다.

상기한 바와 같이 종래의 반도체 집적회로 및 그 번인방법은 개개의 집적회로로서 조립된 패키지상태에서 번인을 행함에 따라 번인장치의 설비투자 및 그 설치장소를 확보하기 위한 비용이 많이 들게 되어 반도체 집적회로의 제조원가를 압박하는 큰 요인이 된다고 하는 문제점이러던지 리던던시회로를 구비한 반도체 집적회로에 있어서 번인시의 불량에 대해서는 구제할 수가 없어 칩의 재료 사용 효율을 향상시키기 어렵다고 하는 문제점이 있었다.

#### [발명의 목적]

본 발명은 상기 문제점을 해결하기 위해 발명된 것으로, 웨이퍼상태에서 번인을 행해서 웨이퍼 공정상의 잠재불량을 스크리닝할 수 있고, 집적회로의 조립후에 전기적인 스트레스를 인가하는 번인을 필요없게 하거나 혹은 그 시간을 크게 단축할 수 있는 반도체 장치 및 그 번인방법을 제공함에 그 목적이 있다.

#### [발명의 구성]

상기 목적을 달성하기 위한 본 발명의 반도체 장치는, 복수의 워드선을 구비한 메모리회로가 형성된 집적회로 칩영역을 복수개 갖춘 웨이퍼상태의 반도체장치에 있어서, 상기 복수의 집적회로 칩영역에 공통으로 준비된 배선과, 일단이 하나의 상기 집적회로 칩영역중의 복수의 워드선의 각각에 개개로 접속되면서 타단이 상기 배선에 공통으로 접속된 복수의 스위치수단을 더 갖추고, 상기 복수의 집적회로 칩영역을 번인하는 경우에 개개의 상기 집적회로 칩영역중의 복수의 워드선이 상기 복수의 스위치수단에 의해 동시에 상기 배선으로 도통되는 것을 특징으로 한다.

또, 본 발명의 반도체장치의 번인방법은, 복수의 워드선을 구비한 메모리회로를 갖춘 집적회로 칩영역을 반도체 웨이퍼상에 복수개 형성하는 공정과, 상기 복수의 집적회로 칩영역에 공통의 배선을 상기 반도체 웨이퍼 상에 형성하는 공정, 일단이 하나의 상기 집적회로 칩영역중의 복수의 워드선의 각각에 개개로 접속되면서 타단이 상기 배선에 공통으로 접속된 복수의 스위치수단을 상기 반도체 웨이퍼상에 형성하는 공정, 상기 배선에 소정의 전압을 인가함과 더불어 개개의 상기 집적회로 칩영역중의 복수의 워드선을 상기 복수의 스위치수단을 도통상태로 함으로써 동시에 상기 배선으로 도통시켜 복수의 상기 집적회로 칩영역의 상기 복수의 워드선에 동시에 직류 스트레스를 인가하는 공정 및, 상기 반도체 웨이퍼를 상기 복수의 집적회로 칩영역에 대응하여 복수개의 집적회로칩으로 분할하는 공정을 구비하여 이루어진 것을 특징으로 한다.

#### [작용]

상기와 같이 이루어진 본 발명의 반도체장치 및 그 번인방법에 의하면, 복수개의 반도체 칩영역에 공통으로 접속된 전원용 및 신호용의 배선이 형성되어 있으므로 상기와 같은 웨이퍼상태에서의 번인을 행해서 웨이퍼공정상의 잠재불량을 스크리닝할 수 있게 되고, 조립후에는 고온에 방치하는 것으로 패키지 신뢰성이라든가 알루미늄배선의 스트레스마이그레이션(stress migration)만을 체크하면 되므로 전기적인 스트레스를 인가할 필요가 없거나 혹은 번인을 행하더라도 그 시간을 크게 단축할 수 있게 된다.

따라서, 번인장치를 대폭적으로 축소할 수 있게 되고, 번인장치의 설비투자 및 그 설치장소 및 테스트시간이 절약되어 반도체 집적회로의 제조원가를 절감할 수 있게 된다. 물론, 웨이퍼상태에서 전기적, 열적인 스트레스를 인가할 수 있는 새로운 번인장치가 필요하지만 이 장치는 종래의 번인장치보다 훨씬 간편하고 소형이며 설치장소를 줄일 수 있다. 나아가 다이소트(die sort)전에 번인을 행해서 스크리닝을 행하므로 리던던시회로를 구비한 반도체 집적회로(메모리등)에서는 웨이퍼상태에서 스크리닝된 불량을 구제할 수 있게 되어 칩의 재료사용효율의 향상도 기대할 수 있게 된다.

#### [실시예]

이하, 예시도면을 참조해서 본 발명에 따른 실시예를 상세히 설명한다.

제1도는 복수개의 집적회로의 칩영역(11;예컨대 다이내믹 RAM칩)을 갖춘 웨이퍼상태의 반도체장치(10)의 제1실시예를 나타낸 것으로, 이 반도체장치(10)상에는 복수개의 칩영역(11)의 회로를 구동시키기 위해 공통으로 접속된 예컨대 2개의 전원용 배선(12,13)이 형성되어 있다. 이 전원용 배선(12,13)은 각각 단층의 배선으로 형성되어 있고, 각 칩영역(11) 내부에서 사용되는 배선과 동일한 배선층(예컨대 알루미늄 배선층)으로 형성되며, 이 전원용 배선(12,13)을 위한 영역으로는 제2도에 나타낸 바와 같이 각 칩영역(11)간의 다이싱 라인상이 사용된다.

이 경우, 웨이퍼의 예컨대 종방향의 다이싱 라인상에 2개의 전원용 배선(12,13)이 교대로 위치하도

록 늘어선 형태로 형성되며, 이 늘어선 형태의 전원용 배선(12,13)과 인접해서 칩영역(11)의 전원단자가 접속되어 있다. 또, 전원용 배선(12,13)과 직교방향(또는 평행한 방향)으로 여유가 많지 않은 범위내에 신호용(예컨대 클럭용)의 배선(14)이 형성되어 있으며, 이 신호용 배선(14)과 인접해서 칩영역(11)의 신호단자가 접속되어 있다.

또, 칩영역(11)상 또는 다이싱 라인상에는 번인종의 칩동작을 제어하기 위한 신호를 발생시키는 회로(도시하지 않음)가 형성되는데, 이 회로에는 상기 전원용 배선(12,13)으로부터 전원이 공급되도록 되어 있다.

또, 2개의 전원용 배선(12,13)에는 웨이퍼의 외부에서 각각에 대응되게 전원전압( $V_1, V_2$ )을 인가하기 위한 접촉영역(12",13")이 형성되어 있는데, 이 접촉영역(12",13")은 통상적으로 각각 웨이퍼의 단부에 형성된다.

또, 상기 각 배선을 다층의 배선(예컨대, 제1층을 폴리실리콘, 2층을 실리사이드, 제3층을 알루미늄 등으로 한다)으로 형성할 수도 있는데, 이렇게 하면 배선수를 늘릴 수 있고, 각 층의 배선을 서로 평행하게 혹은 교차하도록 배치할 수 있게 된다.

또, 제1도에 나타난 웨이퍼상에 형성된 각 칩영역(11)은 번인후 최종적으로는 개개의 칩으로 분할되어 집적회로로서 조립되어 제품화되는 것이지만, 이 웨이퍼상에는 상기 각 배선이 공통으로 접속되지 않은 별도의 칩영역(개발단계에 있어서의 테스트소자의 칩영역등)이 형성되는 경우도 있다. 또, 개개의 칩으로 분할되어 집적회로로서 제품화되는 복수 종류의 칩영역이 제1도의 웨이퍼상에 형성된 경우에는 동일 종류의 칩영역에 대해서 공통으로 동일 배선이 접속되게 된다.

제1도에 나타난 바와 같이 웨이퍼상태의 반도체기판에 대한 번인은 웨이퍼를 치구(도시되지 않음)에 고정시키고, 접촉영역(12",13")에 소정의 전원전압( $V_1, V_2$ )을 인가해서 행한다. 이 경우 상기 전원전압( $V_1$ )으로서 통상의 전원전압( $V_{cc}$ )을, 전원전압( $V_2$ )으로서 접지전위( $V_{ss}$ )를 공급하면 스테틱 번인을 행할 수 있게 된다.

이와 같이 프루브카드(probe card)를 사용하지 않고서도 번인이 가능하지만, 필요에 따라 웨이퍼의 반도체기판에 직접 전원전압을 인가해도 된다.

상기 실시예의 반도체장치 및 그 번인방법에 의하면, 복수개의 칩영역에 공통으로 접속된 전원용 및 신호용의 배선이 형성되어 있기 때문에 웨이퍼상태로 번인을 행해서 웨이퍼공정상의 잠재불량을 스크리닝할 수 있게 된다. 그에 따라 제품화후에는 고온에 방치하는 것만으로 패키지 신뢰성이라든지 알루미늄배선의 스트레스 마이그레이션을 체크할 수 있고, 전기적인 스트레스를 인가하는 번인을 행할 필요가 없거나 혹은 번인을 행하더라도 그 시간을 크게 단축할 수 있게 된다.

따라서, 번인장치를 대폭적으로 축소할 수 있고, 번인장치의 설비투자 및 그 설치장소 및 테스트시간이 절약되어 반도체 집적회로의 제조원가가 절감된다.

물론, 웨이퍼상태로 전기적, 열적인 스트레스를 인가할 수 있는 새로운 번인장치가 필요하기는 하지만, 이 장치는 종래의 번인장치보다는 훨씬 간편하고 소형이어서 설치공간을 줄일 수 있게 된다. 더욱이, 다이소트전에 번인을 행하여 스크리닝을 행하므로 리던던시회로를 구비한 반도체 집적회로(메모리등)에서는 웨이퍼상태로 스크리닝된 불량을 구제할 수 있게 되어 칩의 재료 사용 효율의 향상도 기대할 수 있게 된다.

또, 상기 웨이퍼상태의 반도체기판에 대한 번인 후, 다이소트를 행하여 최종적으로 개개의 칩으로 분할함으로써 다이싱 라인상의 배선을 절단하지만, 이 절단부분에서 배선과 반도체기판과의 단락이나, 다층배선의 경우에는 배선층간의 단락이 생길 위험성이 있으므로 번인후의 다이싱전에 상기 배선과 각 칩영역내부에서 사용되고 있는 배선을 분리해 놓는 것이 바람직하다. 이러한 분리의 구체적인 방법으로는 배선과 각 칩영역내부에서 사용되고 있는 배선과의 접속을 절단(예컨대, 알루미늄배선을 절단하기 위해서는 레이저광빔이나 접속이온빔등에 의해 가능하다)해 놓거나, 또는 배선과 각 칩영역내부에서 사용되고 있는 배선간을 분리하는 소자를 설치해 놓으면 된다.

제3도는 제2실시예를 나타낸 것으로, 상기 제1실시예에 비해 웨이퍼의 예컨대 종방향의 각 다이싱 라인상에 2개의 배선이 인접해서 위치하도록 늘어선 형태로 형성되어 있는 점이 다르고, 그 외에는 제1실시예와 동일하므로 제1실시예와 동일한 참조부호를 붙인다.

이 제2실시예에 있어서도 상기 제1실시예와 마찬가지로 웨이퍼상태의 반도체기판에 대한 번인을 행할 수 있으며, 제1 실시예와 동일한 효과가 얻어진다.

여기서, 번인의 1구체예를 제4도를 참조해서 설명한다.

제4도는 상기 각 실시예에 있어서 1개의 다이나믹 RAM 칩영역의 일부회로(다이나믹형 메모리셀, 워드선, 비트선의 1세트)를 추출해서 공통배선[여기서는 2개의 전원용 배선(12,13)]과의 접속의 일례를 나타내고 있다. 여기서, 참조부호 41,42,43은 각각 다이나믹 RAM 칩영역상의 단자(패드), C는 셀 캐패시터, TR은 전송게이트용 MOS트랜지스터, WL은 워드선, BL은 비트선, SW는 각 워드선(WL)과 전원용 배선(12)간에 직렬로 삽입된 스위치용 MOS트랜지스터로서, 각각의 게이트에는 전원용 배선(13)이 접속되어 있다. 또, PR은 비트선(BL)과 비트선 프리차지 전원선(44)간에 직렬로 삽입된 프리차지용 MOS트랜지스터로서, 그 게이트에는 프리차지신호( $\psi_{pre}$ )선이 접속되어 있다.

그런데, 다이나믹 RAM의 통상의 동작시 선택된 워드선(WL)에는 통상의 전원전압( $V_{cc}$ )보다 높은 워드선 구동전위(WLD)가 공급되므로 이 워드선(WL)에 게이트가 접속되어 있는 전송게이트용 MOS트랜지스터(TR)가 신뢰성의 테스트면에서 가장 엄밀하다. 그러나, 통상의 번인에 있어서 선택되는 워드선은 다수의 워드선중 소수인 바, 바꾸어 말하면 워드선은 예컨대 1000사이클에 1회의 비율밖에 선택되지 않으므로 스트레스인가의 효율이 매우 나쁘고, 따라서 매우 긴 번인시간이 필요하게 된다.

여기서, 제4도의 회로에 따라 이하에 설명하는 바와 같은 직류스트레스를 인가하면, 스트레스 인가 효율이 현저해 개선되어 번인시간을 크게 단축할 수 있게 된다. 즉, (a) 비트선 프리차지전원선(44)을 접지전위(Vss)로 하고, 프리차지신호( $\Psi_{PRE}$ )선을 활성상태로 해서 프리차지용 MOS트랜지스터(PR)를 온상태로 하며, 전원용 배선(12)에는 상기 워드선 구동전위(WLD)와 같은 전원전압(Vs)을 공급하고, 전원용 배선(13)에 이 전원전압(Vs)보다 높은 전송게이트용 MOS트랜지스터(TR)의 임계치 전압분 이상의 워드선 승압전위와 동등한 전원전압( $V_0$ )을 공급하면, 전원용 배선(12)과 반도체기판간에 직류스트레스를 인가할 수 있게 된다. 또, (b) 비트선 프리차지 전원선(44) 및 프리차지신호( $\Psi_{PRE}$ )선에 전압을 인가하지 않는 상태에서도 전원용 배선(12)에 상기 전원전압(Vs)을 공급하고, 전원용 배선(13)에 상기 전원전압( $V_0$ )을 공급하면, 전원용 배선(12)과 반도체기판간에 직류스트레스를 인가할 수 있게 된다.

또, 공통배선으로서 2개의 전원용 배선과 2개의 신호용 배선이 존재하는 경우에는 각각 통상의 전원전압(Vcc), 접지전위 (Vss), RAS(Row Address Strobe)신호, CAS(Column Address Strobe) 신호를 공급하면 CAS비포어(before) RAS리프레쉬모드에서 번인을 행할 수 있게 된다.

상기 각 실시예에 있어서 배선으로는 각 칩영역내부에서 사용되고 있는 배선과 동일한 배선층, 예컨대 알루미늄배선층을 사용하므로 공정적으로 간단하지만, 이 알루미늄배선층에 한정되지는 않으며, 폴리실리코어나 실리사이드등도 사용할 수 있다.

또, 상기 각 실시예에 있어서 배선을 각 칩영역내부에서 사용되고 있는 배선과의 별도로 새롭게 부가한 전용의 배선층으로 형성하고, 이 배선과 각 칩영역내부에서 사용되고 있는 배선을 접속구멍 혹은 본딩패드등의 구멍을 통해서 접속을 행하는 경우에는 각 칩영역내부의 패턴에 좌우되지 않는 배선을 실현할 수 있다. 이 경우, 전용의 배선층은 단층으로 해도 좋지만, 전용의 배선층만으로 다층화될 수 있고, 혹은 각 칩영역내부에서 사용되고 있는 배선층과 조합시켜 다층화할 수도 있다. 또 패키징상태에서는 실현 불가능한 동작모드에서의 번인을 행하거나 집적회로의 일부에만 집중적으로 스트레스를 인가하는 스크리닝을 행하는 등에 적합한 전용의 배선을 형성할 수도 있다.

상기와 같은 전용의 배선층을 형성한 경우에도 웨이퍼상태의 반도체기판에 대한 번인후에 최종적으로 개개의 칩으로 분할한 부분에서 배선과 반도체기판의 단락이든지, 다층배선의 경우에 배선층간의 단락이 생길 위험성이 있으므로 다이싱전에 상기 배선과 각 칩영역내부에서 사용되고 있는 배선을 분리해 놓으면 바람직하다. 그 구체적인 방법으로 가장 간단한 것은 각 칩영역을 개개로 분할해서 집적회로로서 제품화할 때 상기 배선을 반드시 사용하지 않아도 좋다면, 번인후의 다이싱전에 상기 배선을 모두 제거하는 방법이다.

또, 번인시 다수의 칩에 전압을 인가할 때, 임의의 칩에서 전원전압(Vcc)과 접지전위(Vss)간의 단락이 존재하는 경우, 그 단락이 그 밖의 칩에 미치는 영향을 무시할 수 있도록 웨이퍼상의 공통배선과 각 칩영역내부에서 사용되고 있는 배선간에 삽입되도록 적당한 값의 저항소자를 미리 형성해 놓는 것이 바람직하다. 이 저항치는 상기 배선의 시트저항치보다 높게 설정하면 충분하다.

여기에 대해 제5도 및 제6도를 참조해서 설명한다.

제5도는 번인시에 공통배선(12)을 전원전압(Vcc), 공통배선(13)을 접지전위(Vss)에 접속해서 다수의 칩( $11_1, 11_2, \dots, 11_n$ )에 전압스트레스를 인가할 때의 등가회로를 도시해 놓은 것으로, 참조부호 R은 공통배선(12, 13)의 저항분이다.

지금, 칩( $11_3$ )에 전원전압(Vcc)과 접지전위(Vss)간에 단락이 생겼다고 가정하면, 칩( $11_3$ )에는 대전류가 흐르고, 공통배선의 저항분(R)에 의해 전압강하가 생기므로 칩( $11_3$ )보다도 전원(Vcc, Vss)으로부터 먼쪽의 공통배선에 접속되어 있는 칩( $11_1, 11_2$ )이나 칩( $11_3$ )보다는 전원에 가깝지만 가까이에 있는 칩( $11_4$ )등에는 소정 레벨의 전압이 걸리지 않게 되어 소정의 스트레스가속을 행할 수 없게 된다.

이를 방지하기 위해 제6도에 나타낸 바와 같이 공통배선(12, 13)과 각 칩영역내부에서 사용되고 있는 배선간에 적당한 값의 저항소자(r)를 삽입해 놓으면, 예컨대 임의로 칩( $11_3$ )에서 전원(Vcc, Vss)간에 단락이 존재해도 칩( $11_3$ )에 흐르는 전류는 저항소자(r)에 의해서 제한된다. 이 경우, 저항소자(r)의 값이 공통배선의 저항분(R)의 값보다 충분히 크다면, 칩( $11_3$ )에 흐르는 전류에 의한 공통배선의 전압강하를 무시할 수 있고, 칩( $11_3$ )보다 전원(Vcc:Vss)에서 먼쪽의 칩( $11_1, 11_2$ )이나 칩( $11_3$ )의 근처에 존재하는 칩( $11_4$ )등에도 소정 레벨의 전압이 걸리게 되어 소정의 스트레스가속을 행할 수 있게 된다.

또, 상기 각 실시예에서는 복수개의 반도체 칩영역에 공통으로 접속되는 배선으로서 전원용의 배선 및 신호용의 배선을 형성하였으므로 웨이퍼상태에서 동시에 행하는 것에 잇점이 있는 테스트를 행하기에 용이하지만 이들 배선중의 어느 한쪽만 형성된 경우에도 웨이퍼상태에서 번인을 행하는 것이 가능하다면, 그렇게 하여도 된다.

한편, 본원청구범위의 각 구성요소에 병기된 도면참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예로 한정할 의도에서 병기한 것은 아니다.

[발명의 효과]

상기한 바와 같이 본 발명에 의하면, 웨이퍼상태에서 번인을 행해서 웨이퍼공정상의 잠재불량을 스크리닝할 수 있게 되고, 집적회로의 조립후 전기적인 스트레스를 인가하는 번인이 필요없게 되거나 혹은 그 시간을 크게 단축할 수 있도록 웨이퍼공정상의 잠재불량을 스크리닝하는 것이 가능한 반도체장치 및 그 번인방법을 제공할 수 있게 된다.

**(57) 청구의 범위****청구항 1**

복수의 워드선(WL)을 구비한 메모리회로가 형성된 집적회로 칩영역(11)을 복수개 갖춘 웨이퍼상태의 반도체장치에 있어서, 상기 복수의 집적회로 칩영역(11)에 공통으로 준비된 배선(12)과, 일단이 하나의 집적회로 칩영역(11)중의 복수의 워드선의 각각에 개개로 접속되면서 타단이 상기 배선(12)에 공통으로 접속된 복수의 스위치수단(SW)을 더 갖추고, 상기 복수의 집적회로 칩영역(11)을 번인하는 경우에 개개의 상기 집적회로 칩영역중의 복수의 워드선(WL)이 상기 복수의 스위치수단(SW)에 의해 동시에 상기 배선(12)으로 도통되는 것을 특징으로 하는 반도체장치.

**청구항 2**

제1항에 있어서, 상기 배선(12)이 집적회로 칩영역(11)의 회로를 구동시키기 위한 전원선 및 집적회로의 칩영역(11)의 동작을 제어하기 위한 신호선인 것을 특징으로 하는 반도체장치.

**청구항 3**

제1항에 있어서, 상기 배선(12)에 웨이퍼의 외부에서 전원전압 및 신호를 인가하기 위한 접촉영역(12")이 형성되어 있는 것을 특징으로 하는 반도체장치.

**청구항 4**

제1항에 있어서, 상기 복수개의 집적회로 칩영역(11)이 개개로 분할되어 집적회로로서 조립되는 것을 특징으로 하는 반도체장치.

**청구항 5**

제1항에 있어서, 상기 배선(12)이 단층 또는 다층의 배선으로 이루어진 것을 특징으로 하는 반도체장치.

**청구항 6**

제1항 내지 제5항중 어느 한 항에 있어서, 상기 배선(12)의 전부 또는 일부가 각 칩영역(11)의 내부에서 사용되고 있는 배선과 동일한 배선층에 의해 웨이퍼의 다이싱 라인상에 형성되어 있는 것을 특징으로 하는 반도체장치.

**청구항 7**

제6항에 있어서, 상기 배선(12)과 각 칩영역(11)의 내부에서 사용되고 있는 배선과의 접속이 다이싱 전에 절단되는 것을 특징으로 하는 반도체장치.

**청구항 8**

제1항 내지 제5항중 어느 한 항에 있어서, 상기 배선(12)의 전부 또는 일부가 각 칩영역(11) 내부에서 이용되고 있는 배선과는 별도로 새롭게 부가된 배선층에 의해 형성되어 있는 것을 특징으로 하는 반도체장치.

**청구항 9**

제8항에 있어서, 상기 배선(12)이 다이싱 전에 제거되는 것을 특징으로 하는 반도체장치.

**청구항 10**

제1항 내지 제5항중 어느 한 항에 있어서, 상기 배선(12)과 각 칩영역(11) 내부에서 사용되고 있는 배선간에 저항소자(r)가 삽입되어 있는 것을 특징으로 하는 반도체장치.

**청구항 11**

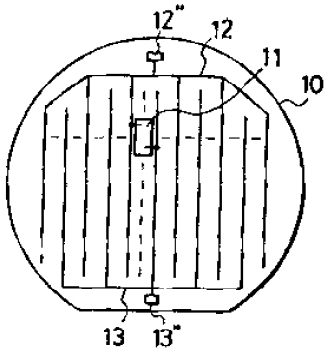
제10항에 있어서, 상기 저항소자(r)의 저항치가 상기 배선(12)의 시트저항보다 높게 되도록 설정되어 있는 것을 특징으로 하는 반도체장치.

**청구항 12**

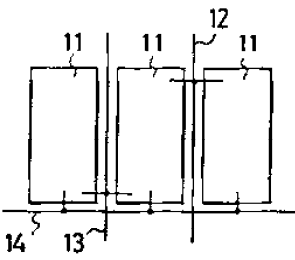
복수의 워드선(WL)을 구비한 메모리회로를 갖춘 집적회로 칩영역(11)을 반도체 웨이퍼(10)상에 복수개 형성하는 공정과, 상기 복수의 집적회로 칩영역(11)에 공통의 배선(12)을 상기 반도체 웨이퍼(10)상에 형성하는 공정, 일단이 하나의 상기 집적회로 칩영역중의 복수의 워드선의 각각에 개개로 접속되면서 타단이 상기 배선(12)에 공통으로 접속된 복수의 스위치수단(SW)을 상기 반도체 웨이퍼상에 형성하는 공정, 상기 배선(12)에 소정의 전압을 인가함과 더불어 개개의 상기 집적회로 칩영역(11)중의 복수의 워드선(WL)을 상기 복수의 스위치수단(SW)을 도통상태로 함으로써 동시에 상기 배선으로 도통시켜 복수의 상기 집적회로 칩영역(11)의 상기 복수의 워드선(WL)에 동시에 직류 스트레스를 인가하는 공정 및, 상기 반도체 웨이퍼(10)를 상기 복수의 집적회로 칩영역(11)에 대응하여 복수개의 집적회로 칩으로 분할하는 공정을 구비하여 이루어진 것을 특징으로 하는 반도체 장치의 번인장치.

**도면**

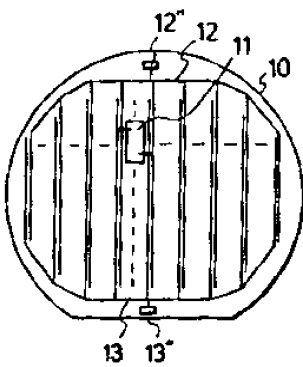
도면1



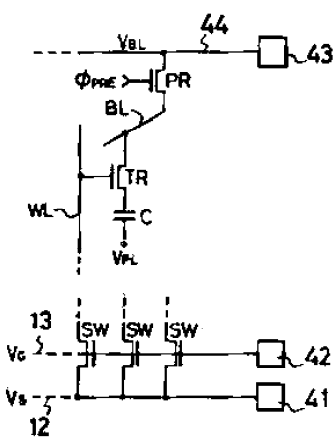
도면2



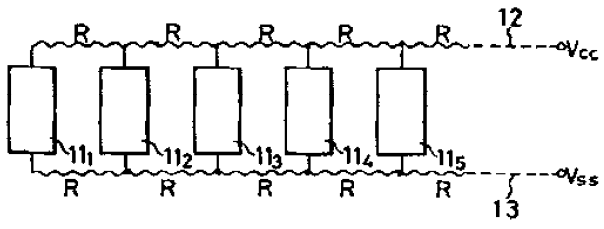
도면3



도면4



도면5



도면6

