

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2025-102667
(P2025-102667A)

(43)公開日 令和7年7月8日(2025.7.8)

(51)国際特許分類		F I		テーマコード (参考)	
G 0 6 F	12/00 (2006.01)	G 0 6 F	12/00	5 6 0 F	5 B 1 6 0
H 1 0 D	84/83 (2025.01)	H 0 1 L	27/088	H	5 F 0 4 8
H 1 0 D	84/85 (2025.01)	H 0 1 L	27/092	K	5 F 0 8 3
H 1 0 B	99/00 (2023.01)	H 1 0 B	99/00		5 J 0 4 2
H 1 0 D	48/30 (2025.01)	H 1 0 B	99/00	4 5 1	
		審査請求 有	請求項の数 14	O L	(全36頁) 最終頁に続く
(21)出願番号 特願2024-200069(P2024-200069)			(71)出願人 314000442		
(22)出願日 令和6年11月15日(2024.11.15)			高麗大学校産学協力団		
(31)優先権主張番号 10-2023-0191706			KOREA UNIVERSITY RE		
(32)優先日 令和5年12月26日(2023.12.26)			SEARCH AND BUSINESS		
(33)優先権主張国・地域又は機関			FOUNDATION		
韓国(KR)			大韓民国 0 2 8 4 1 ソウル ソンブク		
			アナムロ 1 4 5		
			1 4 5, Anam-ro Seongb		
			uk-gu Seoul 02841,		
			Republic of Korea		
			(74)代理人 110000383		
			弁理士法人エビス国際特許事務所		
			(72)発明者 金 相植		
			大韓民国、0 6 6 3 0、ソウル、ソチョ		
			ーグ、ヒョリョンーロ、3 9 1、1 0 3		
			最終頁に続く		

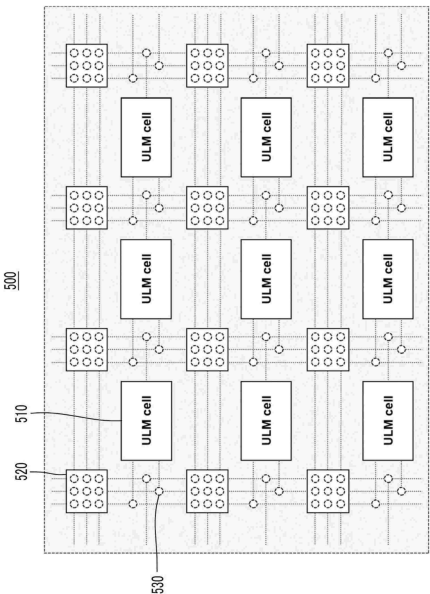
(54)【発明の名称】 複数の汎用ロジックメモリセルを用いた汎用ロジックメモリブロック

(57)【要約】 (修正有)

【課題】 複数の汎用ロジックメモリセルを用いた汎用ロジックメモリブロックを提供する。

【解決手段】 正のフィードバックループ (positive feedback loop) で駆動する三重ゲートシリコン素子を用いた複数の汎用ロジックメモリセル510での論理演算結果を組み合わせ、単一の構造で様々な組み合わせ論理演算を具現する汎用ロジックメモリブロック500であって、スイッチボックス520は、汎用ロジックメモリセルに印加される入力電圧及び汎用ロジックメモリセル510から出力される出力電圧の方向を決定し、ラインスイッチ530は、スイッチボックス520と汎用ロジックメモリセル510との間の相互接続を制御する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

複数の三重ゲートシリコン素子を用いた第 1 ネットワーク素子及び第 2 ネットワーク素子を含む汎用ロジックメモリセルと、

前記汎用ロジックメモリセルに印加される入力電圧、及び前記汎用ロジックメモリセルから出力される出力電圧の方向を決定するスイッチボックスと、

前記スイッチボックスと前記汎用ロジックメモリセルとの間の相互接続を制御するラインスイッチとを含み、

前記汎用ロジックメモリセルが複数で既設定に従って配置された構造において、印加された前記入力電圧及び前記出力電圧の方向による前記汎用ロジックメモリセルの論理演算機能に対する相互接続の制御によって、組み合わせ論理演算機能及びメモリ機能を行うことを特徴とする、汎用ロジックメモリブロック。

10

【請求項 2】

前記既設定に従って前記汎用ロジックメモリセルが複数の行及び複数の列に配列配置され、前記汎用ロジックメモリセルの間に前記スイッチボックス及び前記ラインスイッチが配置され、前記スイッチボックスを介して伝達される前記入力電圧の数に対応するように前記ラインスイッチの数が決定され、前記出力電圧に基づいて少なくとも 1 つの出力で前記組み合わせ論理演算機能を具現することを特徴とする、請求項 1 に記載の汎用ロジックメモリブロック。

【請求項 3】

20

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、前記論理演算機能のうち XOR ゲートとして動作する汎用ロジックメモリセルと、AND ゲートとして動作する汎用ロジックメモリセルに、第 1 入力電圧 (V_{IN1}) 及び第 2 入力電圧 (V_{IN2}) を印加し、前記 XOR ゲートとして動作する汎用ロジックメモリセルからの出力を和 (S) として出力し、前記 AND ゲートとして動作する汎用ロジックメモリセルからの出力を桁上げ数 ($COUT$) として出力するように制御することを特徴とする、請求項 2 に記載の汎用ロジックメモリブロック。

【請求項 4】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、前記論理演算機能のうち第 1 XOR ゲート及び第 2 XOR ゲートとして動作する汎用ロジックメモリセルと、第 1 AND ゲート及び第 2 AND ゲートとして動作する汎用ロジックメモリセルに、第 1 入力電圧 (V_{IN1})、第 2 入力電圧 (V_{IN2}) 及び第 3 入力電圧 (V_{CIN}) を印加し、前記第 2 XOR ゲートとして動作する汎用ロジックメモリセルからの出力を和 (S) として出力し、前記第 1 AND ゲート及び第 2 AND ゲートとして動作する汎用ロジックメモリセルからの出力を、OR ゲートとして動作する汎用ロジックメモリセルの入力に伝達した後、出力される電圧を桁上げ数 ($COUT$) として出力するように制御することを特徴とする、請求項 2 に記載の汎用ロジックメモリブロック。

30

【請求項 5】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第 1 AND ゲート及び第 2 AND ゲートとして動作する汎用ロジックメモリセルに入力電圧 (V_{IN}) を印加し、前記論理演算機能のうち NOT ゲートとして動作する汎用ロジックメモリセルに選択電圧 (V_S) を印加し、前記第 1 AND ゲートとして動作する汎用ロジックメモリセルからの出力を第 1 出力 ($OUT1$) として出力し、前記第 2 AND ゲートとして動作する汎用ロジックメモリセルからの出力を第 2 出力 ($OUT2$) として出力するように制御することを特徴とする、請求項 2 に記載の汎用ロジックメモリブロック。

40

【請求項 6】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第 1 AND ゲート及び第 2 AND ゲートとして動作する汎用ロジックメ

50

モリセルに第1入力電圧 (V_{IN1}) 及び第2入力電圧 (V_{IN2}) を印加し、前記論理演算機能のうちNOTゲートとして動作する汎用ロジックメモリセルに選択電圧 (V_S) を印加し、前記第1ANDゲートとして動作する汎用ロジックメモリセルからの出力及び前記第2ANDゲートとして動作する汎用ロジックメモリセルからの出力を、ORゲートとして動作する汎用ロジックメモリセルの入力に伝達した後、出力される電圧を出力 (OUT) として出力するように制御することを特徴とする、請求項2に記載の汎用ロジックメモリブロック。

【請求項7】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第1ANDゲート、第2ANDゲート及び第3ANDゲート及び第4ANDゲートとして動作する汎用ロジックメモリセルと、前記論理演算機能のうち第1NOTゲート及び第2NOTゲートとして動作する汎用ロジックメモリセルに、第1入力電圧 (V_{IN1}) 及び第2入力電圧 (V_{IN2}) を選択的に印加し、前記第1ANDゲートとして動作する汎用ロジックメモリセルの出力を第1出力 (OUT1) として制御し、前記第2ANDゲートとして動作する汎用ロジックメモリセルの出力を第2出力 (OUT2) として制御し、前記第3ANDゲートとして動作する汎用ロジックメモリセルの出力を第4出力 (OUT4) として制御し、前記第4ANDゲートとして動作する汎用ロジックメモリセルの出力を第3出力 (OUT3) として制御することを特徴とする、請求項2に記載の汎用ロジックメモリブロック。

【請求項8】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第1ORゲート及び第2ORゲートとして動作する汎用ロジックメモリセルに第2入力電圧 (V_{IN2})、第3入力電圧 (V_{IN3}) 及び第4入力電圧 (V_{IN4}) を印加し、前記第1ORゲートとして動作する汎用ロジックメモリセルの出力を第1出力 (OUT1) として制御し、前記第2ORゲートとして動作する汎用ロジックメモリセルの出力を第2出力 (OUT2) として制御することを特徴とする、請求項2に記載の汎用ロジックメモリブロック。

【請求項9】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、XNORゲート及びXORゲートとして動作する汎用ロジックメモリセル、第1NOTゲート及び第2NOTゲートとして動作する汎用ロジックメモリセル、及び第1ANDゲート及び第2ANDゲートとして動作する汎用ロジックメモリセルに、第1入力電圧 (V_{IN1}) 及び第2入力電圧 (V_{IN2}) を選択的に印加し、前記XNORゲートとして動作する汎用ロジックメモリセルの出力を第1出力 (OUT1) として制御し、前記XORゲートとして動作する汎用ロジックメモリセルの出力を第2出力 (OUT2) として制御し、前記第2ANDゲートとして動作する汎用ロジックメモリセルの出力を第3出力 (OUT3) として制御し、前記第1ANDゲートとして動作する汎用ロジックメモリセルの出力を第4出力 (OUT4) として制御することを特徴とする、請求項2に記載の汎用ロジックメモリブロック。

【請求項10】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第1XORゲート及び第2XORゲートとして動作する汎用ロジックメモリセルに第1入力電圧 (V_{IN1})、第2入力電圧 (V_{IN2}) 及び第3入力電圧 (V_{IN3}) を選択的に印加し、前記第1入力電圧 (V_{IN1}) を第1出力 (OUT1) として制御し、前記第1XORゲートとして動作する汎用ロジックメモリセルの出力を第2出力 (OUT2) として制御し、前記第2XORゲートとして動作する汎用ロジックメモリセルの出力を第3出力 (OUT3) として制御することを特徴とする、請求項2に記載の汎用ロジックメモリブロック。

【請求項11】

前記汎用ロジックメモリセルは、複数の三重ゲートシリコン素子を用いて第1ネットワ

10

20

30

40

50

ーク素子及び第2ネットワーク素子を含み、前記複数の三重ゲートシリコン素子のそれぞれは、ドレイン領域、チャンネル領域、ソース領域を含み、前記ドレイン領域及び前記ソース領域に供給電圧が印加され、前記チャンネル領域上で第1及び第2プログラミングゲート電極及びコントロールゲート電極が形成されたゲート領域を含み、前記第1及び第2プログラミングゲート電極を介して印加されるプログラム電圧 (V_{PG}) のレベルに応じて、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下チャンネル領域が、第1チャンネルモード及び第2チャンネルモードのいずれか1つのチャンネルモードを行い、前記コントロールゲート電極を介して印加されるコントロール電圧 (V_{CG}) のレベルに基づいて、オン状態 (on state) 及びオフ状態 (off state) のいずれか1つの状態に決定され、前記第1ネットワーク素子及び前記第2ネットワーク素子は、前記行われたいずれか1つのチャンネルモードで前記いずれか1つの状態によって変化する出力電圧 (V_{OUT}) のレベルに応じて前記論理演算機能及びメモリ機能を行うことを特徴とする、請求項2に記載の汎用ロジックメモリブロック。

10

【請求項12】

前記第1ネットワーク素子及び前記第2ネットワーク素子は、前記複数の三重ゲートシリコン素子のうち4つの三重ゲートシリコン素子のうち2つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第1直列接続部と、残りの2つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第2直列接続部との間の共通のドレイン領域が接続される第1並列接続部、及び共通のソース領域が接続される第2並列接続部で構成され、前記第1ネットワーク素子の第1並列接続部を介して共通電圧のうちドレイン電圧 (V_{DD}) が印加され、前記第2ネットワーク素子の第2並列接続部を介して前記共通電圧のうちソース電圧 (V_{SS}) が印加され、前記第1ネットワーク素子の第2並列接続部と前記第2ネットワーク素子の第1並列接続部とが接続される部分でいずれか1つとして前記出力電圧 (V_{OUT}) が測定されることを特徴とする、請求項11に記載の汎用ロジックメモリブロック。

20

【請求項13】

前記三重ゲートシリコン素子は、前記ドレイン領域がpドープ状態であり、前記ソース領域がnドープ状態であり、前記チャンネル領域が真性 (intrinsic) 状態であり、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下チャンネル領域は、前記プログラム電圧 (V_{PG}) のレベルが正レベルである場合に、前記第1チャンネルモードに該当するnチャンネルとして動作し、前記プログラム電圧 (V_{PG}) のレベルが負レベルである場合に、前記第2チャンネルモードに該当するpチャンネルとして動作することを特徴とする、請求項12に記載の汎用ロジックメモリブロック。

30

【請求項14】

前記汎用ロジックメモリセルは、前記ドレイン領域に印加されるドレイン電圧 (V_{DD})、前記ソース領域に印加されるソース電圧 (V_{SS})、前記プログラム電圧 (V_{PG}) 及び前記コントロール電圧 (V_{CG}) がゼロレベルで印加される場合に、前記出力電圧 (V_{OUT}) のレベルを維持して前記メモリ機能を行うことを特徴とする、請求項11に記載の汎用ロジックメモリブロック。

【発明の詳細な説明】

40

【技術分野】

【0001】

(関連出願との相互参照)

本出願は、2023年12月26日付の韓国特許出願第10-2023-0191706号に基づく優先権の利益を主張し、当該韓国特許出願の文献に開示された全ての内容は本明細書の一部として組み込まれる。

【0002】

本発明は、複数の汎用ロジックメモリセルを用いた汎用ロジックメモリブロックに関し、より詳細には、正のフィードバックループ (positive feedback loop) で駆動する三重ゲートシリコン素子を用いた複数の汎用ロジックメモリセルでの

50

論理演算結果を組み合わせ、単一の構造で様々な組み合わせ論理演算を具現する汎用ロジックメモリブロックを具現する技術に関する。

【背景技術】

【0003】

従来のフォンノイマン（von Neumann）ベースのコンピュータシステムは、プロセッサとメモリが分離され、バス（bus）を介してデータの伝送が行われる。

【0004】

しかし、コンピューティング性能の増加に伴い、プロセッサとメモリとのデータ処理速度の差によりボトルネック現象が発生するようになり、大容量データの処理に限界を見せ始めている。

【0005】

言い換えると、半導体産業の革命的な発展であるフォンノイマンベースのシステムは、現代のコンピュータの統合密度と性能を向上させたが、プロセッサとメモリ階層構造との間の物理的な分離によって、多くのエネルギーが消耗され、データの伝送及び待機時間が長いという欠点がある。

【0006】

4次産業革命後、5G通信標準、モノのインターネット（IoT）、人工知能（AI）のようなデータ集約的なアプリケーションの増加を考慮すると、新しいコンピューティングパラダイムは、大規模のデータ処理要求事項に必須である。

【0007】

上述した問題を解決するために、演算と記憶機能を融合したロジックメモリ（logic in memory、LIM）技術に対する研究が集中及び加速化されている。

【0008】

ロジックメモリ技術は、プロセッサの演算機能とメモリの記憶機能を同じ空間で行うので、データの伝送時に発生する遅延時間及び電力消費を減少させ、システムの集積度を大幅に向上させることができる。

【0009】

従来のロジックメモリ技術は、揮発性メモリ素子に該当するSRAM（static random access memory）、DRAM（dynamic RAM）と、不揮発性メモリ素子に該当するReRAM（resistive RAM）、MRAM（magnetoresistive RAM）、PCRAM（phase-change RAM）などに基づいて活発に研究されてきた。

【0010】

揮発性メモリ素子ベースのロジックメモリ技術の場合、安定した動作のために多数のトランジスタが必要であるため、全体面積と電力消費が高いという限界が存在する。

【0011】

また、不揮発性メモリ素子ベースのロジックメモリ技術の場合、非シリコン物質を使用するため複雑な工程過程が要求され、低い素子均一性及び安定性により実用化され難い。

【0012】

また、既に研究されたロジックメモリ技術は、一つのセルで全ての基本CMOS論理演算を具現することができず、論理演算によって個別的な回路及び配線が要求されることによって、低い集積度を有する。

【0013】

そのため、シリコンベースのCMOS工程を活用して作製が可能であり、一つのセル内で全ての基本ロジック演算を行い、その値を格納する汎用ロジックメモリセル技術の開発が必要な状況である。

【0014】

従来のロジックメモリ技術は、揮発性メモリ素子であるDRAM（dynamic random access memory）、SRAM（static RAM）と、不揮発性メモリ素子であるPRAM（phase-change RAM）、ReRAM（

10

20

30

40

50

resistive RAM)、MRAM (magnetoresistive RAM)などの様々なメモリで研究されてきた。

【0015】

しかし、これらは、nチャネルとpチャネルを定義することができないため、既存のCMOS論理演算に適用するのに困難が存在する。

【0016】

特に、不揮発性メモリ素子ベースのロジックメモリ技術は、ほとんど、シリコンベースのCMOS工程ではない新しい工程過程が必要であり、低い素子均一性及び信頼性により実用化が難しい。

【0017】

組み合わせ論理演算は、基本論理演算が順次配置された構造で行われ、各論理演算に応じて特定の構造の論理演算回路が要求されるため、集積度の向上に困難が存在する。

【発明の概要】

【発明が解決しようとする課題】

【0018】

本発明は、正のフィードバックループ (positive feedback loop) で駆動する三重ゲートシリコン素子を用いた複数の汎用ロジックメモリセルでの論理演算結果を組み合わせ、単一の構造で様々な組み合わせ論理演算を具現する汎用ロジックメモリブロックを具現することを目的とする。

【0019】

本発明は、CMOS工程を活用して、論理演算結果を組み合わせる組み合わせ論理演算を行い、組み合わせ論理演算の結果を記憶する汎用ロジックメモリブロックを具現することを目的とする。

【0020】

本発明は、既存のCMOS工程を適用したシリコンベースのフィードバックメモリ素子である三重ゲートシリコン素子を活用して汎用ロジックメモリセルを具現し、汎用ロジックメモリセルを用いた汎用ロジックメモリブロックで2進法の組み合わせ論理演算を行い、演算の結果を記憶できる汎用ロジックメモリブロックを具現することを目的とする。

【0021】

本発明は、論理演算と格納機能の融合を通じて、データボトルネック現象による処理速度及び集積化の限界を改善することを目的とする。

【0022】

本発明は、三重ゲートシリコン素子のチャネルモード再構成特性を通じて、単一の構造で様々な2進法の組み合わせ論理演算を行うことで、既存のCMOS論理回路に比べて演算効率を大幅に向上させる汎用ロジックメモリブロックを具現することを目的とする。

【0023】

本発明は、チャネルモード再構成特性を用いて、構造の変更及び外部バイアスなしに論理演算値を維持する優れたメモリ特性で待機電力効率を向上させることを目的とする。

【課題を解決するための手段】

【0024】

本発明の一実施例に係る汎用ロジックメモリブロックは、複数の三重ゲートシリコン素子を用いて第1ネットワーク素子及び第2ネットワーク素子を含む汎用ロジックメモリセルと、前記汎用ロジックメモリセルに印加される入力電圧、及び前記汎用ロジックメモリセルから出力される出力電圧の方向を決定するスイッチボックスと、前記スイッチボックスと前記汎用ロジックメモリセルとの間の相互接続を制御するラインスイッチとを含み、前記汎用ロジックメモリセルが複数で既設定に従って配置された構造において、前記決定された入力電圧及び出力電圧の方向による前記汎用ロジックメモリセルの論理演算機能に対する相互接続の制御によって、組み合わせ論理演算機能及びメモリ機能を行うことができる。

【0025】

10

20

30

40

50

前記既設定に従って前記汎用ロジックメモリセルが複数の行及び複数の列に配列配置され、前記汎用ロジックメモリセルの間に前記スイッチボックス及び前記ラインスイッチが配置され、前記スイッチボックスを介して伝達される前記入力電圧の数に対応するように前記ラインスイッチの数が決定され、前記出力電圧に基づいて少なくとも1つの出力で前記組み合わせ論理演算機能を具現することができる。

【0026】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、前記論理演算機能のうちXORゲートとして動作する汎用ロジックメモリセルと、ANDゲートとして動作する汎用ロジックメモリセルに、第1入力電圧 V_{IN1} 及び第2入力電圧 V_{IN2} を印加し、前記XORゲートとして動作する汎用ロジックメモリセルからの出力を和 S として出力し、前記ANDゲートとして動作する汎用ロジックメモリセルからの出力を桁上げ数 $COUT$ として出力するように制御することができる。

【0027】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、前記論理演算機能のうち第1XORゲート及び第2XORゲートとして動作する汎用ロジックメモリセルと、第1ANDゲート及び第2ANDゲートとして動作する汎用ロジックメモリセルに、第1入力電圧 V_{IN1} 、第2入力電圧 V_{IN2} 及び第3入力電圧 V_{CIN} を印加し、前記第2XORゲートとして動作する汎用ロジックメモリセルからの出力を和 S として出力し、前記第1ANDゲート及び第2ANDゲートとして動作する汎用ロジックメモリセルからの出力を、ORゲートとして動作する汎用ロジックメモリセルの入力に伝達した後、出力される電圧を桁上げ数 $COUT$ として出力するように制御することができる。

【0028】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第1ANDゲート及び第2ANDゲートとして動作する汎用ロジックメモリセルに入力電圧 V_{IN} を印加し、前記論理演算機能のうちNOTゲートとして動作する汎用ロジックメモリセルに選択電圧 V_S を印加し、前記第1ANDゲートとして動作する汎用ロジックメモリセルからの出力を第1出力 $OUT1$ として出力し、前記第2ANDゲートとして動作する汎用ロジックメモリセルからの出力を第2出力 $OUT2$ として出力するように制御することができる。

【0029】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第1ANDゲート及び第2ANDゲートとして動作する汎用ロジックメモリセルに第1入力電圧 V_{IN1} 及び第2入力電圧 V_{IN2} を印加し、前記論理演算機能のうちNOTゲートとして動作する汎用ロジックメモリセルに選択電圧 V_S を印加し、前記第1ANDゲートとして動作する汎用ロジックメモリセルからの出力及び前記第2ANDゲートとして動作する汎用ロジックメモリセルからの出力を、ORゲートとして動作する汎用ロジックメモリセルの入力に伝達した後、出力される電圧を出力 OUT として出力するように制御することができる。

【0030】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第1ANDゲート、第2ANDゲート及び第3ANDゲート及び第4ANDゲートとして動作する汎用ロジックメモリセルと、前記論理演算機能のうち第1NOTゲート及び第2NOTゲートとして動作する汎用ロジックメモリセルに、第1入力電圧 V_{IN1} 及び第2入力電圧 V_{IN2} を選択的に印加し、前記第1ANDゲートとして動作する汎用ロジックメモリセルの出力を第1出力 $OUT1$ として制御し、前記第2ANDゲートとして動作する汎用ロジックメモリセルの出力を第2出力 $OUT2$ として制御し、前記第3ANDゲートとして動作する汎用ロジックメモリセルの出力を第4出力 $OUT4$ として制御し、前記第4ANDゲートとして動作する汎用ロジックメモリセルの出力を第3出力 $OUT3$ として制御することができる。

【0031】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第1 ORゲート及び第2 ORゲートとして動作する汎用ロジックメモリセルに第2入力電圧 V_{IN2} 、第3入力電圧 V_{IN3} 及び第4入力電圧 V_{IN4} を印加し、前記第1 ORゲートとして動作する汎用ロジックメモリセルの出力を第1出力OUT1として制御し、前記第2 ORゲートとして動作する汎用ロジックメモリセルの出力を第2出力OUT2として制御することができる。

【0032】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、XNORゲート及びXORゲートとして動作する汎用ロジックメモリセル、第1 NOTゲート及び第2 NOTゲートとして動作する汎用ロジックメモリセル、及び第1 ANDゲート及び第2 ANDゲートとして動作する汎用ロジックメモリセルに、第1入力電圧 V_{IN1} 及び第2入力電圧 V_{IN2} を選択的に印加し、前記XNORゲートとして動作する汎用ロジックメモリセルの出力を第1出力OUT1として制御し、前記XORゲートとして動作する汎用ロジックメモリセルの出力を第2出力OUT2として制御し、前記第2 ANDゲートとして動作する汎用ロジックメモリセルの出力を第3出力OUT3として制御し、前記第1 ANDゲートとして動作する汎用ロジックメモリセルの出力を第4出力OUT4として制御することができる。

【0033】

前記スイッチボックスは、前記複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第1 XORゲート及び第2 XORゲートとして動作する汎用ロジックメモリセルに第1入力電圧 V_{IN1} 、第2入力電圧 V_{IN2} 及び第3入力電圧 V_{IN3} を選択的に印加し、前記第1入力電圧 V_{IN1} を第1出力OUT1として制御し、前記第1 XORゲートとして動作する汎用ロジックメモリセルの出力を第2出力OUT2として制御し、前記第2 XORゲートとして動作する汎用ロジックメモリセルの出力を第3出力OUT3として制御することができる。

【0034】

前記汎用ロジックメモリセルは、複数の三重ゲートシリコン素子を用いて第1ネットワーク素子及び第2ネットワーク素子を含み、前記複数の三重ゲートシリコン素子のそれぞれは、ドレイン領域、チャネル領域、ソース領域を含み、前記ドレイン領域及び前記ソース領域に供給電圧が印加され、前記チャネル領域上で第1及び第2プログラミングゲート電極及びコントロールゲート電極が形成されたゲート領域を含み、前記第1及び第2プログラミングゲート電極を介して印加されるプログラム電圧 V_{PG} のレベルに応じて、前記チャネル領域において前記第1及び第2プログラミングゲート電極の下のチャネル領域が、第1チャネルモード及び第2チャネルモードのいずれか1つのチャネルモードを行い、前記コントロールゲート電極を介して印加されるコントロール電圧 V_{CG} のレベルに基づいて、オン状態(on state)及びオフ状態(off state)のいずれか1つの状態に決定され、前記第1ネットワーク素子及び前記第2ネットワーク素子は、前記行われたいずれか1つのチャネルモードで前記いずれか1つの状態によって変化する出力電圧 V_{OUT} のレベルに応じて前記論理演算機能及びメモリ機能を行うことができる。

【0035】

前記第1ネットワーク素子及び前記第2ネットワーク素子は、前記複数の三重ゲートシリコン素子のうち4つの三重ゲートシリコン素子のうち2つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第1直列接続部と、残りの2つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第2直列接続部との間の共通のドレイン領域が接続される第1並列接続部、及び共通のソース領域が接続される第2並列接続部で構成され、前記第1ネットワーク素子の第1並列接続部を介して前記共通電圧のうちドレイン電圧 V_{DD} が印加され、前記第2ネットワーク素子の第2並列接続部を介して前記共通電圧のうちソース電圧 V_{SS} が印加され、前記第1ネットワーク素子の第2並列接続部と前記第2ネットワーク素子の第1並列接続部とが接続される部分で前記

いずれか 1 つとして出力電圧 V_{OUT} が測定され得る。

【0036】

前記三重ゲートシリコン素子は、前記ドレイン領域が p ドープ状態であり、前記ソース領域が n ドープ状態であり、前記チャンネル領域が真性 (intrinsic) 状態であり、前記チャンネル領域において前記第 1 及び第 2 プログラミングゲート電極の下のチャンネル領域は、前記プログラム電圧 V_{PG} のレベルが正レベルである場合に、前記第 1 チャンネルモードに該当する n チャンネルとして動作し、前記プログラム電圧 V_{PG} のレベルが負レベルである場合に、前記第 2 チャンネルモードに該当する p チャンネルとして動作することができる。

【0037】

前記汎用ロジックメモリセルは、前記ドレイン領域に印加されるドレイン電圧 V_{DD} 、前記ソース領域に印加されるソース電圧 V_{SS} 、前記プログラム電圧 V_{PG} 及び前記コントロール電圧 V_{CG} がゼロレベルで印加される場合に、前記出力電圧 V_{OUT} のレベルを維持して前記メモリ機能を行うことができる。

【発明の効果】

【0038】

本発明は、正のフィードバックループ (positive feedback loop) で駆動する三重ゲートシリコン素子を用いた複数の汎用ロジックメモリセルでの論理演算結果を組み合わせ、単一の構造で様々な組み合わせ論理演算を具現する汎用ロジックメモリブロックを具現することができる。

【0039】

本発明は、CMOS 工程を活用して、論理演算結果を組み合わせる組み合わせ論理演算を行い、組み合わせ論理演算の結果を記憶する汎用ロジックメモリブロックを具現することができる。

【0040】

本発明は、既存の CMOS 工程を適用したシリコンベースのフィードバックメモリ素子である三重ゲートシリコン素子を活用して汎用ロジックメモリセルを具現し、汎用ロジックメモリセルを用いた汎用ロジックメモリブロックで 2 進法の組み合わせ論理演算を行い、演算の結果を記憶できる汎用ロジックメモリブロックを具現することができる。

【0041】

本発明は、論理演算と格納機能の融合を通じて、データボトルネック現象による処理速度及び集積化の限界を改善することができる。

【0042】

本発明は、三重ゲートシリコン素子のチャンネルモード再構成特性を通じて、単一の構造で様々な 2 進法の組み合わせ論理演算を行うことで、既存の CMOS 論理回路に比べて演算効率を大幅に向上させる汎用ロジックメモリブロックを具現することができる。

【0043】

本発明は、チャンネルモード再構成特性を用いて、構造の変更及び外部バイアスなしに論理演算値を維持する優れたメモリ特性で待機電力効率を向上させることができる。

【図面の簡単な説明】

【0044】

【図 1 A】本発明の一実施例に係る汎用ロジックメモリセルを構成する三重ゲートシリコン素子を説明する図である。

【図 1 B】本発明の一実施例に係る汎用ロジックメモリセルを構成する三重ゲートシリコン素子を説明する図である。

【図 2 A】本発明の一実施例に係る三重ゲートシリコン素子の動作原理を説明する図である。

【図 2 B】本発明の一実施例に係る三重ゲートシリコン素子の動作原理を説明する図である。

【図 2 C】本発明の一実施例に係る三重ゲートシリコン素子の動作原理を説明する図であ

10

20

30

40

50

る。

【図 3】本発明の一実施例に係る汎用ロジックメモリセルを説明する図である。

【図 4 A】本発明の一実施例に係る汎用ロジックメモリセルの 2 進法の論理演算を説明する図である。

【図 4 B】本発明の一実施例に係る汎用ロジックメモリセルの 2 進法の論理演算を説明する図である。

【図 4 C】本発明の一実施例に係る汎用ロジックメモリセルの 2 進法の論理演算を説明する図である。

【図 4 D】本発明の一実施例に係る汎用ロジックメモリセルの 2 進法の論理演算を説明する図である。

【図 4 E】本発明の一実施例に係る汎用ロジックメモリセルの 2 進法の論理演算を説明する図である。

【図 5】本発明の一実施例に係る複数の汎用ロジックメモリセルを用いた汎用ロジックメモリブロックを説明する図である。

【図 6】本発明の一実施例に係る汎用ロジックメモリブロックの半加算器 (half adder) の動作を説明する図である。

【図 7】本発明の一実施例に係る汎用ロジックメモリブロックの半加算器 (half adder) の動作を説明する図である。

【図 8】本発明の一実施例に係る汎用ロジックメモリブロックの全加算器 (full adder) の動作を説明する図である。

【図 9】本発明の一実施例に係る汎用ロジックメモリブロックの全加算器 (full adder) の動作を説明する図である。

【図 10】本発明の一実施例に係る汎用ロジックメモリブロックのデマルチプレクサ (demultiplexer) の動作を説明する図である。

【図 11】本発明の一実施例に係る汎用ロジックメモリブロックのデマルチプレクサ (demultiplexer) の動作を説明する図である。

【図 12】本発明の一実施例に係る汎用ロジックメモリブロックのマルチプレクサ (multiplexer) の動作を説明する図である。

【図 13】本発明の一実施例に係る汎用ロジックメモリブロックのマルチプレクサ (multiplexer) の動作を説明する図である。

【図 14】本発明の一実施例に係る汎用ロジックメモリブロックのデコーダ (decoder) の動作を説明する図である。

【図 15】本発明の一実施例に係る汎用ロジックメモリブロックのデコーダ (decoder) の動作を説明する図である。

【図 16】本発明の一実施例に係る汎用ロジックメモリブロックのエンコーダ (encoder) の動作を説明する図である。

【図 17】本発明の一実施例に係る汎用ロジックメモリブロックのエンコーダ (encoder) の動作を説明する図である。

【図 18】本発明の一実施例に係る汎用ロジックメモリブロックのビット比較器 (bit comparator) の動作を説明する図である。

【図 19】本発明の一実施例に係る汎用ロジックメモリブロックのビット比較器 (bit comparator) の動作を説明する図である。

【図 20】本発明の一実施例に係る汎用ロジックメモリブロックのビットバイナリーグレイコード変換器 (bit binary to gray code converter) の動作を説明する図である。

【図 21】本発明の一実施例に係る汎用ロジックメモリブロックのビットバイナリーグレイコード変換器 (bit binary to gray code converter) の動作を説明する図である。

【発明を実施するための形態】

【0045】

10

20

30

40

50

以下、本文書の様々な実施例が添付の図面を参照して記載される。

【0046】

実施例及びこれに使用された用語は、本明細書に記載された技術を特定の実施形態に対して限定しようとするものではなく、当該実施形態の様々な変更、均等物、及び／又は代替物を含むものと理解しなければならない。

【0047】

以下で様々な実施例を説明するにおいて、関連する公知の機能又は構成についての具体的な説明が発明の要旨を不明瞭にする可能性があるとは判断される場合には、その詳細な説明を省略する。

【0048】

そして、後述する用語は、様々な実施例における機能を考慮して定義された用語であって、これは、使用者、運用者の意図又は慣例などによって変わり得る。したがって、その定義は、本明細書全般にわたる内容に基づいて行われるべきである。

【0049】

図面の説明に関連して、類似の構成要素に対しては類似の参照符号が使用され得る。

【0050】

単数の表現は、文脈上明らかに別の意味を示すものでない限り、複数の表現を含むことができる。

【0051】

本文書において、「A又はB」又は「A及び／又はBのうちの少なくとも1つ」などの表現は、共に並べられた項目の全ての可能な組み合わせを含むことができる。

【0052】

「第1」、「第2」、「第一」、又は「第二」などの表現は、当該構成要素を、順序又は重要度に関係なく修飾することができ、一つの構成要素を他の構成要素と区分するために用いられるだけで、当該構成要素を限定しない。

【0053】

ある（例：第1）構成要素が他の（例：第2）構成要素に「（機能的に又は通信的に）連結されて」いるとか、「接続されて」いると言及された際には、前記ある構成要素が前記他の構成要素に直接的に連結されるか又は別の構成要素（例：第3構成要素）を介して連結され得る。

【0054】

本明細書において、「～するように構成された（又は設定された）（configured to）」は、状況によって、例えば、ハードウェア的又はソフトウェア的に「～に適した」、「～する能力を有する」、「～するように変更された」、「～するように作られた」、「～ができる」又は「～するように設計された」と相互互換的に（interchangeably）使用され得る。

【0055】

ある状況では、「～するように構成された装置」という表現は、その装置が他の装置又は部品と共に「～することができる」ことを意味し得る。

【0056】

例えば、文句「A、B、及びCを行うように構成された（又は設定された）プロセッサ」は、当該動作を行うための専用プロセッサ（例：エンベデッドプロセッサ）、又はメモリ装置に格納された1つ以上のソフトウェアプログラムを実行することによって、当該動作を行うことができる汎用プロセッサ（例：CPU又はアプリケーションプロセッサ）を意味することができる。

【0057】

また、「又は」という用語は、排他的論理和「exclusive or」よりは、包含的論理和「inclusive or」を意味する。

【0058】

すなわち、別に言及しない限り、又は文脈から明らかでない限り、「xがa又はbを用

10

20

30

40

50

いる」という表現は、包含的な自然順列 (natural inclusive permutations) のいずれか1つを意味する。

【0059】

以下で使用される「...部」、[...器]などの用語は、少なくとも1つの機能や動作を処理する単位を意味し、これは、ハードウェアやソフトウェア、または、ハードウェアとソフトウェアの結合で具現され得る。

【0060】

図1A及び図1Bは、本発明の一実施例に係る汎用ロジックメモリセルを構成する三重ゲートシリコン素子を説明する図である。

【0061】

図1Aは、本発明の一実施例に係る汎用ロジックメモリセルを構成する三重ゲートシリコン素子の構造を例示する。

【0062】

図1Aを参照すると、本発明の一実施例に係る三重ゲートシリコン素子100は、ドレイン領域101、チャンネル領域102、ソース領域103及びゲート領域を含み、ゲート領域は、ゲート絶縁膜104上に形成される第1及び第2プログラミングゲート電極106及びコントロールゲート電極105を含む。

【0063】

一例として、ドレイン領域101には、ドレイン電圧を印加するためにドレイン電極が接続され、ソース領域103には、ソース電圧を印加するためのソース電極が接続形成され得る。

【0064】

本発明の一実施例によれば、三重ゲートシリコン素子100は、p-i-nナノ構造体であるドレイン領域101、チャンネル領域102及びソース領域103を含む。

【0065】

一例として、ドレイン領域101はpドープ状態であり、ソース領域103はnドープ状態であり、チャンネル領域102は真性 (intrinsic) 状態であってもよい。

【0066】

チャンネル領域102において第1及び第2プログラミングゲート電極106の下チャンネル領域は、プログラム電圧 V_{PG} のレベルが正レベルである場合に、第1チャンネルモードに該当するnチャンネルとして動作し、プログラム電圧 V_{PG} のレベルが負レベルである場合に、第2チャンネルモードに該当するpチャンネルとして動作することができる。

【0067】

三重ゲートシリコン素子100は、複数で構成されて汎用ロジックメモリセルをなすことができる。

【0068】

すなわち、三重ゲートシリコン素子100は、複数で構成されて汎用ロジックメモリセルを構成するが、複数のうちの一部分が第1ネットワーク素子で構成され、一部分が第2ネットワーク素子で構成され得る。

【0069】

三重ゲートシリコン素子100は、第1及び第2プログラミングゲート電極106を介して印加されるプログラム電圧 V_{PG} のレベルに応じて、チャンネル領域において第1及び第2プログラミングゲート電極106の下チャンネル領域が、第1チャンネルモード及び第2チャンネルモードのいずれか1つのチャンネルモードを行うことができる。

【0070】

また、三重ゲートシリコン素子100は、コントロールゲート電極を介して印加されるコントロール電圧 V_{CG} のレベルに基づいて、オン状態 (on state) 及びオフ状態 (off state) のいずれか1つの状態に決定され得る。

【0071】

したがって、汎用ロジックメモリセルは、既に行われたいずれか1つのチャンネルモード

10

20

30

40

50

でいずれか 1 つの状態によって変化する出力電圧 V_{OUT} のレベルに基づいて論理演算機能及びメモリ機能を行うことができる。

【0072】

例えば、第 1 及び第 2 プログラミングゲート電極 106 は、電氣的に接続されているので、一度に同じプログラム電圧 V_{PG} が印加され得る。

【0073】

図 1 B は、本発明の一実施例に係る汎用ロジックメモリセルの動作状態と関連する回路記号を例示する。

【0074】

図 1 B を参照すると、本発明の一実施例に係る回路記号 111 は、三重ゲートシリコン素子のチャネル領域が第 1 チャネルモードを行って n チャネルとして動作する場合の回路記号を例示する。

【0075】

一例として、回路記号 110 は、三重ゲートシリコン素子のチャネル領域が第 2 チャネルモードを行って p チャネルとして動作する場合の回路記号を例示する。

【0076】

回路記号 110 及び回路記号 111 では、ドレイン領域、チャネル領域、ソース領域及びゲート領域を含むナノ構造体において、ゲート領域に第 1 及び第 2 プログラミングゲート電極及びコントロールゲート電極が形成されて、プログラミングゲート端子 PG 及びコントロールゲート端子 CG が接続され、ドレイン領域にドレイン電極が形成されて、ドレイン端子 D が接続され、ソース領域にソース電極が形成されて、ソース端子 S が接続される構造を示す。

【0077】

回路記号 111 は、チャネルモード状態領域を通じて、三重ゲートシリコン素子が第 1 チャネルモード状態であることを示す。

【0078】

言い換えると、回路記号 111 は、チャネルモード状態領域をソリッド形態で示すことで、三重ゲートシリコン素子が n チャネルとして動作中であることを示すことができる。

【0079】

回路記号 110 は、チャネルモード状態領域を通じて、三重ゲートシリコン素子が第 2 チャネルモード状態であることを示す。

【0080】

回路記号 110 は、チャネルモード状態領域を空 (empty) の形態で示すことで、三重ゲートシリコン素子が p チャネルとして動作中であることを示すことができる。

【0081】

例えば、三重ゲートシリコン素子は、トリプルゲートフィードバック電界効果素子と称することができる。

【0082】

図 2 A 乃至図 2 C は、本発明の一実施例に係る三重ゲートシリコン素子の動作原理を説明する図である。

【0083】

図 2 A は、本発明の一実施例に係る三重ゲートシリコン素子が p チャネルとして動作する場合の動作原理を例示する。

【0084】

図 2 A を参照すると、本発明の一実施例に係る三重ゲートシリコン素子 200 は、ドレイン端子を介して正の電圧が印加され、プログラミングゲート端子からプログラム電圧のレベルが負レベルに該当する負の電圧が印加された場合に、チャネル領域においてプログラミングゲート電極 PG の下のチャネル領域は、p チャネルにプログラミングされて p チャネルとして動作する。

【0085】

10

20

30

40

50

本発明の一実施例に係る三重ゲートシリコン素子 200 が p チャンネルとして動作する場合に動作状態は、コントロールゲート端子を介して印加されるコントロール電圧のレベルが、電流が急激に増加するときの電圧であるラッチアップ電圧よりも低いレベルである場合にオン状態と決定され、印加されるコントロール電圧のレベルがラッチアップ電圧よりも高いレベルである場合にオフ状態と決定される。

【0086】

一例として、三重ゲートシリコン素子は、コントロールゲート端子を介して印加されるコントロール電圧のレベルに基づいて、オン状態またはオフ状態に決定される。

【0087】

三重ゲートシリコン素子のオン及びオフ動作状態は、オフ状態に該当するエネルギーバンド 201 及びオン状態に該当するエネルギーバンド 202 を通じて、追加で説明することができる。

【0088】

本発明の一実施例に係る三重ゲートシリコン素子が p チャンネルとして動作する場合に、コントロール電圧のレベルに基づいてオン状態であるときのエネルギーバンド 202、オフ状態であるときのエネルギーバンド 201 を確認することができる。

【0089】

エネルギーバンド 201 及びエネルギーバンド 202 によれば、チャンネル領域において第 1 及び第 2 プログラミングゲート電極の下チャンネル領域が、p チャンネルモードに該当する第 2 チャンネルモードを行う場合、コントロール電圧 V_{CG} のレベルがラッチアップ電圧よりも低いレベルに減少すると、チャンネル領域においてコントロールゲート電極の下チャンネル領域と、ドレイン領域に隣接する第 1 プログラミングゲート電極の下チャンネル領域との間のポテンシャル障壁の高さが低くなり、低くなったポテンシャル障壁によりドレイン領域から正孔が注入される第 2 正のフィードバックループ (positive feedback loop) が発生し、電流が流れるオン状態となる。

【0090】

すなわち、三重ゲートシリコン素子は、第 2 正のフィードバックループが発生して、エネルギーバンド 201 からエネルギーバンド 202 に切り替わることができる。

【0091】

電荷の注入と蓄積が繰り返されて正のフィードバックループが発生し、電流が流れるオン状態に切り替わることを確認することができる。

【0092】

例えば、第 2 正のフィードバックループは、チャンネル領域において正孔が多数キャリア (majority carrier) となる正のフィードバックループであり得る。

【0093】

図 2 B は、本発明の一実施例に係る三重ゲートシリコン素子が n チャンネルとして動作する場合の動作原理を例示する。

【0094】

図 2 B を参照すると、本発明の一実施例に係る三重ゲートシリコン素子 210 は、ソース端子を介して負の電圧が印加され、プログラミングゲート端子からプログラム電圧のレベルが正レベルに該当する正の電圧が印加された場合に、チャンネル領域においてプログラミングゲート電極 P G の下チャンネル領域は、n チャンネルにプログラミングされて n チャンネルとして動作する。

【0095】

一例として、三重ゲートシリコン素子は、コントロールゲート端子を介して印加されるコントロール電圧のレベルに基づいて、オン状態またはオフ状態に決定される。

【0096】

本発明の一実施例に係る三重ゲートシリコン素子 210 が n チャンネルとして動作する場合に動作状態は、コントロールゲート端子を介して印加されるコントロール電圧のレベルが、電流が急激に増加するときの電圧であるラッチアップ電圧よりも高いレベルである場

10

20

30

40

50

合にオン状態と決定され、ラッチアップ電圧よりも低いレベルである場合にオフ状態と決定される。

【0097】

本発明の一実施例に係る三重ゲートシリコン素子がnチャネルとして動作する場合に、コントロール電圧のレベルに基づいてオフ状態であるときのエネルギーバンド211を例示し、オン状態であるときのエネルギーバンド212を例示する。

【0098】

エネルギーバンド211及びエネルギーバンド212を参照すると、チャネル領域において第1及び第2プログラミングゲート電極の下のチャネル領域が、nチャネルモードに該当する第1チャネルモードを行う場合、コントロール電圧 V_{CG} のレベルがラッチアップ電圧よりも高いレベルに増加すると、チャネル領域においてコントロールゲート電極の下

10

のチャネル領域と、ソース領域に隣接する第2プログラミングゲート電極の下

のチャネル領域との間のポテンシャル障壁の高さが低くなり、低くなったポテンシャル障壁により

ソース領域から電子が注入される第1正のフィードバックループ (positive feedback loop) が発生し、電流が流れるオン状態となる。

【0099】

すなわち、三重ゲートシリコン素子は、第1正のフィードバックループが発生して、エネルギーバンド201からエネルギーバンド202に切り替わる。

【0100】

電荷の注入と蓄積が繰り返されて正のフィードバックループが発生し、電流が流れるオン状態に切り替わることを確認することができる。

20

【0101】

例えば、第1正のフィードバックループは、チャネル領域において電子が多数キャリア (majority carrier) となる正のフィードバックループであり得る。

【0102】

図2Cは、本発明の一実施例に係る三重ゲートシリコン素子がnチャネル及びpチャネルとして動作する場合の第1及び第2正のフィードバックループと関連する動作を例示する。

【0103】

図2Cを参照すると、グラフ220は、三重ゲートシリコン素子のnチャネルモードの動作特性を示し、グラフ221は、三重ゲートシリコン素子のpチャネルモードの動作特性を示す。

30

【0104】

グラフ220は、nチャネルモードで動作する三重ゲートシリコン素子は、コントロールゲート電極に印加された電圧に応じてオン状態及びオフ状態を有する場合、電流が急激に増加するときの電圧であるラッチアップ電圧よりもコントロールゲート電圧が小さいと、ポテンシャル障壁によって電子と正孔の流れが遮断されてオフ状態を有する特徴、及び、コントロールゲート電圧が増加してラッチアップ電圧よりも大きくなると、ソース領域の電子がポテンシャル障壁を越えてチャネルに注入されて、ドレイン領域と隣接するポテンシャル井戸に蓄積され、ポテンシャル障壁の高さが低くなることを示す。

40

【0105】

これによって、ドレイン領域の正孔がチャネルに注入されて、ソース領域と隣接するポテンシャル井戸に蓄積され、ポテンシャル障壁の高さが低くなる。

【0106】

電荷の注入と蓄積が繰り返されて正のフィードバックループが発生し、電流が流れるオン状態となる。

【0107】

グラフ221は、pチャネルモードで動作する三重ゲートシリコン素子の場合、ラッチアップ電圧よりもコントロールゲート電圧が大きいと、ポテンシャル障壁によって電子と正孔の流れが遮断されてオフ状態となり、コントロールゲート電圧が減少してラッチアップ

50

ブ電圧よりも小さくなると、ドレイン領域の正孔がポテンシャル障壁を越えてチャンネルに注入されて、ソース領域と隣接するポテンシャル井戸に蓄積され、ポテンシャル障壁の高さが低くなる特徴を示す。

【0108】

本発明の一実施例によれば、三重ゲートシリコン素子は、ゲート領域に印加されるコントロール電圧のレベルに応じて、第1正のフィードバックループまたは第2正のフィードバックループが形成され、これと共に、第1チャンネルモード及び第2チャンネルモードでオンまたはオフ状態が可変的に制御される素子であり得る。ここで、第1チャンネルモードはnチャンネルモードであり、第2チャンネルモードはpチャンネルモードである。

【0109】

また、三重ゲートシリコン素子は、チャンネル領域のポテンシャル井戸に電荷キャリアが蓄積されて正のフィードバックループを形成しながらターンオンされるところ、これは、チャンネル領域でデータを保存するメモリ機能として活用され得る。

【0110】

したがって、本発明は、既存のCMOS工程を適用したシリコンベースのフィードバックメモリ素子である三重ゲートシリコン素子を活用して汎用ロジックメモリセルを具現することができる。

【0111】

図3は、本発明の一実施例に係る汎用ロジックメモリセルを説明する図である。

【0112】

図3は、本発明の一実施例に係る複数の三重ゲートシリコン素子を用いて第1ネットワーク素子及び第2ネットワーク素子を含む汎用ロジックメモリセルの回路図を例示する。

【0113】

図3を参照すると、本発明の一実施例に係る汎用ロジックメモリセル300は、第1ネットワーク素子310及び第2ネットワーク素子311で構成され、第1ネットワーク素子310及び第2ネットワーク素子311は、複数の三重ゲートシリコン素子301からなる。

【0114】

より具体的には、第1ネットワーク素子310及び第2ネットワーク素子311は、4つの三重ゲートシリコン素子のうち2つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第1直列接続部と、残りの2つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第2直列接続部との間の共通のドレイン領域が接続される第1並列接続部、及び共通のソース領域が接続される第2並列接続部で構成される。

【0115】

第1ネットワーク素子310は、プルアップ（pull-up）ネットワーク素子と称することができ、第2ネットワーク素子311は、プルダウン（pull-down）ネットワーク素子と称することができる。

【0116】

本発明の一実施例によれば、汎用ロジックメモリセル300は、供給電圧、プログラムゲート電極を介して印加される電圧に該当する電圧、及び制御ゲート電極を介して印加される入力電圧を“0”に制御して、既に設定された電圧の状態を維持するメモリ機能を行う。

【0117】

本発明の一実施例によれば、第1ネットワーク素子310及び第2ネットワーク素子311のそれぞれは、4つの三重ゲートシリコン素子で構成され、上側、下側、左側及び右側として2つの三重ゲートシリコン素子に区分して称するか、または左上側、右上側、左下側及び右下側として1つの三重ゲートシリコン素子に区分して称することができる。

【0118】

各位置に配列された三重ゲートシリコン素子は、第1チャンネルモード及び第2チャンネル

10

20

30

40

50

モードのいずれか1つで選択的に駆動され得る。

【0119】

上述した構成は、ネットワーク素子の配列によって変更可能であり、変更される接続構成によって異なって称されてもよい。

【0120】

第1ネットワーク素子310は、第1ネットワーク素子310の第1並列接続部を介して、共通電圧のうちドレイン電圧 V_{DD} が印加される。

【0121】

第2ネットワーク素子311は、第2ネットワーク素子311の第2並列接続部を介して、共通電圧のうちソース電圧 V_{SS} が印加される。

【0122】

本発明の一実施例に係る汎用ロジックメモリセル300は、第1ネットワーク素子310の第2並列接続部と第2ネットワーク素子311の第1並列接続部とが接続される部分で出力電圧 V_{OUT} が測定され得る。

【0123】

汎用ロジックメモリセル300は、第1ネットワーク素子310及び第2ネットワーク素子311で構成され、三重ゲートシリコン素子301の動作状態によってドレイン電圧 V_{DD} とソース電圧 V_{SS} が出力電圧 V_{OUT} で測定される内容に基づいて論理演算を具現する。

【0124】

本発明の一実施例に係る汎用ロジックメモリセル300は、複数の三重ゲートシリコン素子を用いる。

【0125】

複数の三重ゲートシリコン素子のそれぞれは、ドレイン領域、チャネル領域、ソース領域を含み、ドレイン領域及びソース領域に供給電圧が印加され、チャネル領域上で第1及び第2プログラミングゲート電極及びコントロールゲート電極が形成されたゲート領域を含む。

【0126】

また、複数の三重ゲートシリコン素子のそれぞれは、第1及び第2プログラミングゲート電極を介して印加されるプログラム電圧 V_{PG} のレベルに応じて、チャネル領域において第1及び第2プログラミングゲート電極の下のチャネル領域が、第1チャネルモード及び第2チャネルモードのいずれか1つのチャネルモードで動作し、コントロールゲート電極を介して印加されるコントロール電圧 V_{CG} のレベルに基づいて、オン状態（on state）及びオフ状態（off state）のいずれか1つの状態に決定することができる。

【0127】

第1ネットワーク素子310及び第2ネットワーク素子311は、既に行われたいずれか1つのチャネルモードで既に決定されたいずれか1つの状態によって論理演算機能及びメモリ機能を行うことができる。

【0128】

論理演算機能は、NOT、YES、NAND、NOR、AND、OR、XNOR及びXORゲートと関連する論理演算機能である。

【0129】

したがって、本発明は、正のフィードバックループ（positive feedback loop）で駆動する三重ゲートシリコン素子を用いて論理演算機能及びメモリ機能を提供する汎用ロジックメモリセルを具現することができる。

【0130】

また、本発明は、三重ゲートシリコン素子を用いて単一の構造で全ての基本論理演算を行い、演算結果を記憶する汎用ロジックメモリセルを具現することができる。

【0131】

10

20

30

40

50

図 4 A は、本発明の一実施例に係る汎用ロジックメモリセルの NOT ゲートの動作を説明する図である。

【0132】

図 4 A は、本発明の一実施例に係る汎用ロジックメモリセルの NOT ゲートの動作での回路図及びタイミング図を例示する。

【0133】

図 4 A を参照すると、本発明の一実施例に係る汎用ロジックメモリセル 400 は、プログラミングゲート端子 PG を介して印加されるプログラミング電圧に基づいて、第 1 ネットワーク素子を構成する三重ゲートシリコン素子が第 2 チャンネルモードを行い、第 2 ネットワーク素子を構成する三重ゲートシリコン素子が第 1 チャンネルモードを行う。

【0134】

このとき、汎用ロジックメモリセル 400 は、コントロールゲート端子 CG を介して印加される入力電圧 IN であるコントロール電圧 V_{CG} のレベルが負レベルである場合に、出力端子を介して測定される出力電圧 V_{OUT} のレベルが正レベルであり、コントロール電圧 V_{CG} のレベルが正レベルである場合に、出力電圧 V_{OUT} のレベルが負レベルである NOT ゲートの動作に該当する論理演算機能を行うことができる。

【0135】

タイミング図 401 は、“0”に該当する負レベルの入力電圧 V_N が印加されたとき、“1”に該当する正レベルの出力電圧 V_{UT} が論理演算されて出力されることを例示する。

【0136】

また、タイミング図 401 は、“1”に該当する正レベルの入力電圧 V_N が印加されたとき、“0”に該当する負レベルの出力電圧 V_{UT} が論理演算されて出力されることを例示する。

【0137】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN} が除去されたときにも、演算した論理値を維持 (Hold) するメモリ機能を行うことを示す。

【0138】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、n チャンネルに該当するプログラム電圧 V_{PG}^N 、及び p チャンネルに該当するプログラム電圧 V_{PG}^P で構成される。

【0139】

また、汎用ロジックメモリセルは、プログラミングゲート端子 PG を介して印加されるプログラミング電圧に基づいて、第 1 ネットワーク素子を構成する三重ゲートシリコン素子が第 1 チャンネルモードを行い、第 2 ネットワーク素子を構成する三重ゲートシリコン素子が第 2 チャンネルモードを行い、コントロールゲート端子 CG を介して印加される入力電圧 IN であるコントロール電圧 V_{CG} のレベルが正レベルである場合に、出力端子を介して測定される出力電圧 V_{OUT} のレベルが正レベルであり、コントロール電圧 V_{CG} のレベルが負レベルである場合に、出力電圧 V_{OUT} のレベルが負レベルである YES ゲートの動作に該当する論理演算機能を行うことができる。

【0140】

図 4 B は、本発明の一実施例に係る汎用ロジックメモリセルの AND ゲートの動作を説明する図である。

【0141】

図 4 B は、本発明の一実施例に係る汎用ロジックメモリセルの AND ゲートの動作での回路図及びタイミング図を例示する。

【0142】

図 4 B を参照すると、本発明の一実施例に係る汎用ロジックメモリセル 410 は、プログラミングゲート端子 PG を介して印加されるプログラミング電圧に基づいて、第 1 ネットワーク素子を構成する三重ゲートシリコン素子が第 1 チャンネルモードを行い、第 2 ネット

10

20

30

40

50

トワーク素子を構成する三重ゲートシリコン素子が第2チャンネルモードを行う。

【0143】

また、汎用ロジックメモリセル410は、コントロール電圧 V_{CG} のうち第1コントロール電圧 I_{N1} は、第1ネットワーク素子の上側及び第2ネットワーク素子の左側に印加され、コントロール電圧 V_{CG} のうち第2コントロール電圧 I_{N2} は、第1ネットワーク素子の下側及び第2ネットワーク素子の右側に印加される。

【0144】

これによって、汎用ロジックメモリセル410は、第1コントロール電圧 $V_{I_{N1}}$ 及び第2コントロール電圧 $V_{I_{N2}}$ のレベルのいずれか1つのレベルが負レベルである場合に、出力電圧 V_{OUT} のレベルを負レベルと決定する論理演算を行う。

10

【0145】

また、汎用ロジックメモリセル410は、第1コントロール電圧 $V_{I_{N1}}$ 及び第2コントロール電圧 $V_{I_{N2}}$ のレベルの両方が正レベルである場合に、出力電圧 V_{OUT} のレベルを正レベルと決定する、ANDゲートの動作を行う。

【0146】

タイミング図411は、2つの入力電圧 $V_{I_{N1}}$ 、 $V_{I_{N2}}$ に対して、“00”、“01”、“10”及び“11”に該当する入力印加されたとき、出力電圧 V_T で“0”、“0”、“0”及び“1”に該当する値が演算されることによって、2進法論理演算機能を行うことを示す。

【0147】

20

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 $V_{I_{N1}}$ 、 $V_{I_{N2}}$ が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

【0148】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、nチャンネルに該当するプログラム電圧 V_{PG}^N 、及びpチャンネルに該当するプログラム電圧 V_{PG}^P で構成される。

【0149】

図4Cは、本発明の一実施例に係る汎用ロジックメモリセルのORゲートの動作を説明する図である。

【0150】

30

図4Cは、本発明の一実施例に係る汎用ロジックメモリセルのORゲートの動作での回路図及びタイミング図を例示する。

【0151】

図4Cを参照すると、本発明の一実施例に係る汎用ロジックメモリセル420は、プログラミングゲート端子PGを介して印加されるプログラミング電圧に基づいて、第1ネットワーク素子を構成する三重ゲートシリコン素子が第1チャンネルモードを行い、第2ネットワーク素子を構成する三重ゲートシリコン素子が第2チャンネルモードを行う。

【0152】

また、汎用ロジックメモリセル420は、コントロール電圧 V_{CG} のうち第1コントロール電圧 I_{N1} は、第1ネットワーク素子の左側及び第2ネットワーク素子の上側に印加され、コントロール電圧 V_{CG} のうち第2コントロール電圧 I_{N2} は、第1ネットワーク素子の右側及び第2ネットワーク素子の下側に印加される。

40

【0153】

これによって、汎用ロジックメモリセル420は、第1コントロール電圧 $V_{I_{N1}}$ 及び第2コントロール電圧 $V_{I_{N2}}$ のレベルのいずれか1つのレベルが正レベルである場合に、出力電圧 V_{OUT} のレベルを正レベルと決定する。

【0154】

また、汎用ロジックメモリセル420は、第1コントロール電圧 $V_{I_{N1}}$ 及び第2コントロール電圧 $V_{I_{N2}}$ のレベルの両方が負レベルである場合に、出力電圧 V_{OUT} のレベルを負レベルと決定する。

50

【0155】

タイミング図421は、2つの入力電圧 V_{IN1} 、 V_{IN2} に対して、“00”、“01”、“10”及び“11”に該当する入力印加されたとき、出力電圧 V_T で“0”、“1”、“1”及び“1”に該当する値が演算されることによって、2進法論理演算機能を行うことを示す。

【0156】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN1} 、 V_{IN2} が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

【0157】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、nチャンネルに該当するプログラム電圧 V_{PG}^N 、及びpチャンネルに該当するプログラム電圧 V_{PG}^P で構成される。

10

【0158】

図4Dは、本発明の一実施例に係る汎用ロジックメモリセルのXNORゲートの動作を説明する図である。

【0159】

図4Dは、本発明の一実施例に係る汎用ロジックメモリセルのXNORゲートの動作での回路図及びタイミング図を例示する。

【0160】

図4Dを参照すると、本発明の一実施例に係る汎用ロジックメモリセル430は、第1ネットワーク素子を構成する三重ゲートシリコン素子のうち左側は第1チャンネルモードを行い、右側は第2チャンネルモードを行い、第2ネットワーク素子を構成する三重ゲートシリコン素子のうち左上側は第2チャンネルモードを行い、右上側は第1チャンネルモードを行い、左下側は第1チャンネルモードを行い、右下側は第2チャンネルモードを行う。

20

【0161】

本発明の一実施例に係る汎用ロジックメモリセル430は、コントロール電圧 V_{CG} のうち第1コントロール電圧 V_{IN1} が、前記第1ネットワーク素子及び前記第2ネットワーク素子の上側に印加され、コントロール電圧 V_{CG} のうち第2コントロール電圧 V_{IN2} が、第1ネットワーク素子及び第2ネットワーク素子の下側に印加される。

【0162】

本発明の一実施例によれば、汎用ロジックメモリセル430は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルが互いに同じレベルである場合に、出力電圧 V_{OUT} のレベルを正レベルとして出力し、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルが互いに異なるレベルである場合に、出力電圧 V_{OUT} のレベルを負レベルと決定する、XNOR論理演算機能を行うことができる。

30

【0163】

タイミング図431は、2つの入力電圧 V_{IN1} 、 V_{IN2} に対して、“00”、“01”、“10”及び“11”に該当する入力印加されたとき、出力電圧 V_T で“1”、“0”、“0”及び“1”に該当する値が演算されることによって、2進法論理演算機能を行うことを示す。

40

【0164】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN1} 、 V_{IN2} が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

【0165】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、nチャンネルに該当するプログラム電圧 V_{PG}^N 、及びpチャンネルに該当するプログラム電圧 V_{PG}^P で構成される。

【0166】

図4Eは、本発明の一実施例に係る汎用ロジックメモリセルのXORゲートの動作を説明する図である。

50

【0167】

図4Eは、本発明の一実施例に係る汎用ロジックメモリセルのXORゲートの動作での回路図及びタイミング図を例示する。

【0168】

図4Eを参照すると、本発明の一実施例に係る汎用ロジックメモリセル440は、第1ネットワーク素子を構成する三重ゲートシリコン素子のうち左上側は第2チャンネルモードを行い、右上側は第1チャンネルモードを行い、左下側は第1チャンネルモードを行い、前記右下側は第2チャンネルモードを行い、第2ネットワーク素子を構成する三重ゲートシリコン素子のうち左側は第1チャンネルモードを行い、右側は第2チャンネルモードを行う。

【0169】

本発明の一実施例に係る汎用ロジックメモリセル440は、コントロール電圧 V_{CG} のうち第1コントロール電圧 V_{IN1} が、前記第1ネットワーク素子及び前記第2ネットワーク素子の上側に印加され、コントロール電圧 V_{CG} のうち第2コントロール電圧 V_{IN2} が、第1ネットワーク素子及び第2ネットワーク素子の下側に印加される。

【0170】

一例として、汎用ロジックメモリセル440は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルの両方が正レベル、または両方が負レベルである場合に、出力電圧 V_{OUT} のレベルを負レベルと決定する。

【0171】

また、汎用ロジックメモリセル440は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルが互いに異なるレベルである場合に、出力電圧 V_{OUT} のレベルを正レベルとして出力する。

【0172】

タイミング図441は、2つの入力電圧 V_{IN1} 、 V_{IN2} に対して、“00”、“01”、“10”及び“11”に該当する入力印加されたとき、出力電圧 V_T で“0”、“1”、“1”及び“0”に該当する値が演算されることによって、2進法論理演算機能を行うことを示す。

【0173】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN1} 、 V_{IN2} が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

【0174】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、 n チャンネルに該当するプログラム電圧 V_{PG}^N 、及び p チャンネルに該当するプログラム電圧 V_{PG}^P で構成される。

【0175】

したがって、本発明は、論理演算と格納機能の融合を通じて、データボトルネック現象による処理速度及び集積化の限界を改善することができる。

【0176】

また、本発明は、チャンネルタイプ可変特性を用いて、構造の変更及び外部バイアスなしに論理演算値を維持する優れたメモリ特性で待機電力効率を向上させることができる。

【0177】

図5は、本発明の一実施例に係る複数の汎用ロジックメモリセルを用いた汎用ロジックメモリブロックを説明する図である。

【0178】

図5は、本発明の一実施例に係る複数の汎用ロジックメモリセルを用いた汎用ロジックメモリブロックの構成要素を例示する。

【0179】

図5を参照すると、本発明の一実施例によれば、汎用ロジックメモリブロック500は、複数の三重ゲートシリコン素子を用いて第1ネットワーク素子及び第2ネットワーク素子を含む汎用ロジックメモリセル510を含み、これを複数で用いて具現される。

【0180】

一例として、スイッチボックス520は、汎用ロジックメモリセルに印加される入力電圧及び汎用ロジックメモリセル510から出力される出力電圧の方向を決定することができる。

【0181】

本発明の一実施例に係るラインスイッチ530は、スイッチボックス520と汎用ロジックメモリセル510との間の相互接続を制御する。

【0182】

本発明の一実施例によれば、汎用ロジックメモリブロック500は、汎用ロジックメモリセル510が複数で既設定に従って配置された構造において、決定された入力電圧及び出力電圧の方向による汎用ロジックメモリセル510の論理演算機能に対する相互接続の制御によって、組み合わせ論理演算機能及びメモリ機能を行うことができる。

10

【0183】

一例として、汎用ロジックメモリブロック500は、既設定に従って前記汎用ロジックメモリセル510が複数の行及び複数の列に配列配置され、汎用ロジックメモリセル510の間にスイッチボックス520及びラインスイッチ530が配置される。

【0184】

汎用ロジックメモリブロック500は、スイッチボックス520を介して伝達される入力電圧の数に対応するようにラインスイッチ530の数が決定され、出力電圧に基づいて少なくとも1つの出力で組み合わせ論理演算機能を具現する。

20

【0185】

汎用ロジックメモリブロック500は、汎用ロジックメモリセル510が2進法論理演算機能を選択的に具現することによって、単一の構造で様々な組み合わせ論理演算機能を具現することができる。

【0186】

組み合わせ論理演算機能は、2進法論理演算機能に基づいたNOT、YES、NAND、NOR、AND、OR、XNOR及びXORゲートと関連する論理演算機能の組み合わせを通じて具現される。

【0187】

組み合わせ論理演算機能は、半加算器(half adder)の動作、全加算器(full adder)の動作、デマルチプレクサ(demultiplexer)の動作、マルチプレクサ(multiplexer)の動作、エンコーダ(encoder)の動作、ビット比較器(bit comparator)の動作、ビットバイナリーグレイコード変換器(bit binary to gray code converter)の動作などを含むことができる。

30

【0188】

汎用ロジックメモリブロック500は、上述した組み合わせ論理演算機能だけでなく、様々な論理演算の組み合わせを単一の構造で具現することができる。

【0189】

組み合わせ論理演算は、基本論理演算が順次配置された構造で行われることによって、各セルの入出力ポート間の相互接続が可能な構造に設計されることによって、入力電圧が印加されると、各セルの論理ゲートのタイプ及び接続方式に応じて様々な組み合わせ論理演算を行い、行われた演算結果を記憶することができる。

40

【0190】

したがって、本発明は、既存のCMOS工程を適用したシリコンベースのフィードバックメモリ素子である三重ゲートシリコン素子を活用して汎用ロジックメモリセルを具現し、汎用ロジックメモリセルを用いた汎用ロジックメモリブロックで2進法の組み合わせ論理演算を行い、演算の結果を記憶できる汎用ロジックメモリブロックを具現することができる。

【0191】

50

図 6 及び図 7 は、本発明の一実施例に係る汎用ロジックメモリブロックの半加算器 (half adder) の動作を説明する図である。

【0192】

図 6 は、本発明の一実施例に係る汎用ロジックメモリブロックの半加算器の動作に関連する構造を例示する。

【0193】

図 6 を参照すると、本発明の一実施例に係る汎用ロジックメモリブロック 600 は、XOR ゲートとして動作する汎用ロジックメモリセル 610、及び AND ゲートとして動作する汎用ロジックメモリセル 611 に対して、スイッチボックス 620 とラインスイッチ 630 の制御に基づいて半加算器の動作を具現する。

【0194】

スイッチボックス 620 は、複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、論理演算機能のうち XOR ゲートとして動作する汎用ロジックメモリセル 610 と、AND ゲートとして動作する汎用ロジックメモリセル 611 に、第 1 入力電圧 V_{IN1} 及び第 2 入力電圧 V_{IN2} を印加する。

【0195】

また、スイッチボックス 620 は、XOR ゲートとして動作する汎用ロジックメモリセル 610 からの出力を和 S として出力し、AND ゲートとして動作する汎用ロジックメモリセル 611 からの出力を桁上げ数 $COUT$ として出力するように制御する。

【0196】

図 7 は、本発明の一実施例に係る汎用ロジックメモリブロックの半加算器 (half adder) の動作に関連するタイミング図を例示する。

【0197】

図 7 を参照すると、本発明の一実施例に係るタイミング図 700 は、第 1 入力電圧 V_{IN1} 及び第 2 入力電圧 V_{IN2} に対して和 S 及び桁上げ数 $COUT$ として演算結果を導出する汎用ロジックメモリブロックの半加算器の動作を示す。

【0198】

汎用ロジックメモリブロック 600 は、入出力電圧の分配によって半加算器に該当する論理演算値を出力し、全ての電圧が除去されても演算結果を維持するメモリ機能を行う。

【0199】

図 8 及び図 9 は、本発明の一実施例に係る汎用ロジックメモリブロックの全加算器 (full adder) の動作を説明する図である。

【0200】

図 8 は、本発明の一実施例に係る汎用ロジックメモリブロックの全加算器の動作に関連する構造を例示する。

【0201】

図 8 を参照すると、本発明の一実施例に係る汎用ロジックメモリブロック 800 は、第 1 XOR ゲート 810 及び第 2 XOR ゲート 811 として動作する汎用ロジックメモリセル、第 1 AND ゲート 812 及び第 2 AND ゲート 813 として動作する汎用ロジックメモリセル、及び OR ゲート 814 として動作する汎用ロジックメモリセルに対するスイッチボックス 820 とラインスイッチ 830 の制御に基づいて全加算器の動作を具現する。

【0202】

一例として、スイッチボックス 820 は、複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、前記論理演算機能のうち第 1 XOR ゲート 810 及び第 2 XOR ゲート 811 として動作する汎用ロジックメモリセルと、第 1 AND ゲート 812 及び第 2 AND ゲート 813 として動作する汎用ロジックメモリセルに、第 1 入力電圧 V_{IN1} 、第 2 入力電圧 V_{IN2} 及び第 3 入力電圧 V_{CIN} を印加する。

【0203】

また、スイッチボックス 820 は、第 2 XOR ゲート 811 として動作する汎用ロジックメモリセルからの出力を和 S として出力し、第 1 AND ゲート 812 及び第 2 AND ゲ

10

20

30

40

50

ート 813 として動作する汎用ロジックメモリセルからの出力を、OR ゲート 814 として動作する汎用ロジックメモリセルの入力に伝達した後、出力される電圧を桁上げ数 COUT として出力するように制御する。

【0204】

図 9 は、本発明の一実施例に係る汎用ロジックメモリブロックの全加算器の動作に関連するタイミング図を例示する。

【0205】

図 9 を参照すると、本発明の一実施例に係るタイミング図 900 は、第 1 入力電圧 V_{IN1} 、第 2 入力電圧 V_{IN2} 及び第 3 入力電圧 V_{CIN} に対して和 S 及び桁上げ数 COUT として演算結果を導出する汎用ロジックメモリブロックの全加算器の動作を示す。

10

【0206】

汎用ロジックメモリブロック 800 は、入出力電圧の分配によって全加算器に該当する論理演算値を出力し、全ての電圧が除去されても演算結果を維持するメモリ機能を行う。

【0207】

図 10 及び図 11 は、本発明の一実施例に係る汎用ロジックメモリブロックのデマルチプレクサ (demultiplexer) の動作を説明する図である。

【0208】

図 10 は、本発明の一実施例に係る汎用ロジックメモリブロックのデマルチプレクサの動作に関連する構造を例示する。

【0209】

20

図 10 を参照すると、本発明の一実施例に係る汎用ロジックメモリブロック 1000 は、第 1 AND ゲート 1011 及び第 2 AND ゲート 1012 として動作する汎用ロジックメモリセルと、NOT ゲート 1010 として動作する汎用ロジックメモリセルに対するスイッチボックス 1020 とラインスイッチ 1030 の制御に基づいてデマルチプレクサの動作を具現する。

【0210】

一例として、スイッチボックス 1020 は、複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第 1 AND ゲート 1011 及び第 2 AND ゲート 1012 として動作する汎用ロジックメモリセルに入力電圧 V_{IN} を印加する。

【0211】

30

また、スイッチボックス 1020 は、論理演算機能のうち NOT ゲート 1010 として動作する汎用ロジックメモリセルに選択電圧 V_S を印加する。

【0212】

これによって、スイッチボックス 1020 は、第 1 AND ゲート 1011 として動作する汎用ロジックメモリセルからの出力を第 1 出力 OUT1 として出力し、第 2 AND ゲート 1012 として動作する汎用ロジックメモリセルからの出力を第 2 出力 OUT2 として出力するように制御する。

【0213】

図 11 は、本発明の一実施例に係る汎用ロジックメモリブロックのデマルチプレクサの動作に関連するタイミング図を例示する。

40

【0214】

図 11 を参照すると、本発明の一実施例に係るタイミング図 1100 は、入力電圧 V_{IN} と選択電圧 V_S に対して第 1 出力 OUT1 及び第 2 出力 OUT2 として出力する順序によるデマルチプレクサの動作を示す。

【0215】

汎用ロジックメモリブロック 1000 は、入出力電圧の分配によってデマルチプレクサに該当する論理演算値を出力し、全ての電圧が除去されても演算結果を維持するメモリ機能を行う。

【0216】

図 12 及び図 13 は、本発明の一実施例に係る汎用ロジックメモリブロックのマルチブ

50

レクサ (m u l t i p l e x e r) の動作を説明する図である。

【0217】

図12は、本発明の一実施例に係る汎用ロジックメモリブロックの2*1マルチプレクサの動作に関連する構造を例示する。

【0218】

図12を参照すると、本発明の一実施例に係る汎用ロジックメモリブロック1200は、第1ANDゲート1211及び第2ANDゲート1212として動作する汎用ロジックメモリセル、NOTゲート1210として動作する汎用ロジックメモリセル、及びORゲート1213として動作する汎用ロジックメモリセルに対するスイッチボックス1220とラインスイッチ1230の制御に基づいて2*1マルチプレクサの動作を具現する。

10

【0219】

一例として、スイッチボックス1220は、複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第1ANDゲート1211及び第2ANDゲート1212として動作する汎用ロジックメモリセルに第1入力電圧V_{IN1}及び第2入力電圧V_{IN2}を印加する。

【0220】

本発明の一実施例に係るスイッチボックス1220は、論理演算機能のうちNOTゲート1210として動作する汎用ロジックメモリセルに選択電圧V_Sを印加する。

【0221】

一例として、スイッチボックス1220は、第1ANDゲート1211として動作する汎用ロジックメモリセルからの出力と、第2ANDゲート1212として動作する汎用ロジックメモリセルからの出力とを、ORゲート1213として動作する汎用ロジックメモリセルの入力に伝達した後、出力される電圧を出力OUTとして出力するように制御することができる。

20

【0222】

図13は、本発明の一実施例に係る汎用ロジックメモリブロックの2*1マルチプレクサの動作に関連するタイミング図を例示する。

【0223】

図13を参照すると、本発明の一実施例に係るタイミング図1300は、第1入力電圧V_{IN1}、第2入力電圧V_{IN2}及び選択電圧V_Sに対して出力OUTとして出力する順序によるマルチプレクサの動作を示す。

30

【0224】

汎用ロジックメモリブロック1200は、入出力電圧の分配によって2*1マルチプレクサに該当する論理演算値を出力し、全ての電圧が除去されても演算結果を維持するメモリ機能を行う。

【0225】

図14及び図15は、本発明の一実施例に係る汎用ロジックメモリブロックのデコーダ (d e c o d e r) の動作を説明する図である。

【0226】

図14は、本発明の一実施例に係る汎用ロジックメモリブロックのデコーダの動作に関連する構造を例示する。

40

【0227】

図14を参照すると、本発明の一実施例に係る汎用ロジックメモリブロック1400は、第1NOTゲート1410及び第2NOTゲート1411として動作する汎用ロジックメモリセルと、第1ANDゲート1412、第2ANDゲート1413、第3ANDゲート1414及び第4ANDゲート1415として動作する汎用ロジックメモリセルに対するスイッチボックス1420とラインスイッチ1430の制御に基づいて2*4デコーダの動作を具現する。

【0228】

一例として、スイッチボックス1420は、複数の行及び複数の列に配列配置された汎

50

用ロジックメモリセルのうち、第1 ANDゲート1412、第2 ANDゲート1413、第3 ANDゲート1414及び第4 ANDゲート1415として動作する汎用ロジックメモリセルと、論理演算機能のうち第1 NOTゲート1410及び第2 NOTゲート1411として動作する汎用ロジックメモリセルに、第1入力電圧 V_{IN1} 及び第2入力電圧 V_{IN2} を選択的に印加する。

【0229】

スイッチボックス1420は、第1 ANDゲート1412として動作する汎用ロジックメモリセルの出力を第1出力OUT1として制御し、第2 ANDゲート1413として動作する汎用ロジックメモリセルの出力を第2出力OUT2として制御し、第3 ANDゲート1414として動作する汎用ロジックメモリセルの出力を第4出力OUT4として制御し、第4 ANDゲート1415として動作する汎用ロジックメモリセルの出力を第3出力OUT3として制御する。

【0230】

図15は、本発明の一実施例に係る汎用ロジックメモリブロックのデコーダの動作に関連するタイミング図を例示する。

【0231】

図15を参照すると、本発明の一実施例に係るタイミング図1500は、第1入力電圧 V_{IN1} と第2入力電圧 V_{IN2} に対して第1出力OUT1、第2出力OUT2、第3出力OUT3及び第4出力OUT4として出力する順序によるデコーダの動作を示す。

【0232】

汎用ロジックメモリブロックは、入出力電圧の分配によって2*4デコーダに該当する論理演算値を出力し、全ての電圧が除去されても演算結果を維持するメモリ機能を行う。

【0233】

図16及び図17は、本発明の一実施例に係る汎用ロジックメモリブロックのエンコーダ(encoder)の動作を説明する図である。

【0234】

図16は、本発明の一実施例に係る汎用ロジックメモリブロックのエンコーダの動作に関連する構造を例示する。

【0235】

図16を参照すると、本発明の一実施例に係る汎用ロジックメモリブロック1600は、第1 ORゲート1610及び第2 ORゲート1611として動作する汎用ロジックメモリセルに対するスイッチボックス1620とラインスイッチ1630の制御に基づいてエンコーダの動作を具現する。

【0236】

一例として、スイッチボックス1620は、複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第1 ORゲート1610及び第2 ORゲート1611として動作する汎用ロジックメモリセルに、第2入力電圧 V_{IN2} 、第3入力電圧 V_{IN3} 及び第4入力電圧 V_{IN4} を印加するように制御する。ここで、第1入力電圧 V_{IN1} は、汎用ロジックメモリセルに印加されない。

【0237】

スイッチボックス1620は、第1 ORゲート1610として動作する汎用ロジックメモリセルの出力を第1出力OUT1として制御し、第2 ORゲート1611として動作する汎用ロジックメモリセルの出力を第2出力OUT2として制御する。

【0238】

図17は、本発明の一実施例に係る汎用ロジックメモリブロックのエンコーダの動作に関連するタイミング図を例示する。

【0239】

図17を参照すると、本発明の一実施例に係るタイミング図1700は、第1入力電圧 V_{IN1} 、第2入力電圧 V_{IN2} 、第3入力電圧 V_{IN3} 及び第4入力電圧 V_{IN4} に対して第1出力OUT1及び第2出力OUT2として出力する順序によるエンコーダの動作を

10

20

30

40

50

示す。

【0240】

汎用ロジックメモリブロックは、入出力電圧の分配によって4*2エンコーダに該当する論理演算値を出力し、全ての電圧が除去されても演算結果を維持するメモリ機能を行う。

【0241】

図18及び図19は、本発明の一実施例に係る汎用ロジックメモリブロックのビット比較器 (bit comparator) の動作を説明する図である。

【0242】

図18は、本発明の一実施例に係る汎用ロジックメモリブロックのビット比較器の動作に関連する構造を例示する。

10

【0243】

図18を参照すると、本発明の一実施例に係る汎用ロジックメモリブロック1800は、XNORゲート1810及びXORゲート1811として動作する汎用ロジックメモリセル、第1NOTゲート1812及び第2NOTゲート1813として動作する汎用ロジックメモリセル、そして、第1ANDゲート1814及び第2ANDゲート1815として動作する汎用ロジックメモリセルに対するスイッチボックス1820とラインスイッチ1830の制御に基づいてビット比較器の動作を具現する。

【0244】

一例として、スイッチボックス1820は、複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、XNORゲート1810及びXORゲート1811として動作する汎用ロジックメモリセル、第1NOTゲート1812及び第2NOTゲート1813として動作する汎用ロジックメモリセル、そして、第1ANDゲート1814及び第2ANDゲート1815として動作する汎用ロジックメモリセルに、第1入力電圧VIN1及び第2入力電圧VIN2を選択的に印加する。

20

【0245】

また、スイッチボックス1820は、XNORゲート1810として動作する汎用ロジックメモリセルの出力を第1出力OUT1として制御し、XORゲート1811として動作する汎用ロジックメモリセルの出力を第2出力OUT2として制御し、第2ANDゲート1815として動作する汎用ロジックメモリセルの出力を第3出力OUT3として制御し、第1ANDゲート1814として動作する汎用ロジックメモリセルの出力を第4出力OUT4として制御する。

30

【0246】

図19は、本発明の一実施例に係る汎用ロジックメモリブロックのビット比較器の動作に関連するタイミング図を例示する。

【0247】

図19を参照すると、本発明の一実施例に係るタイミング図1900は、第1入力電圧VIN1及び第2入力電圧VIN2に対して第1出力OUT1～第4出力OUT4として出力する順序によるビット比較器の動作を示す。

【0248】

汎用ロジックメモリブロックは、入出力電圧の分配によってビット比較器に該当する論理演算値を出力し、全ての電圧が除去されても演算結果を維持するメモリ機能を行う。

40

【0249】

図20及び図21は、本発明の一実施例に係る汎用ロジックメモリブロックのビットバイナリーグレイコード変換器 (bit binary to gray code converter) の動作を説明する図である。

【0250】

図20は、本発明の一実施例に係る汎用ロジックメモリブロックのビットバイナリーグレイコード変換器の動作に関連する構造を例示する。

【0251】

50

図20を参照すると、本発明の一実施例に係る汎用ロジックメモリブロック2000は、第1XORゲート2010及び第2XORゲート2011に対するスイッチボックス2020とラインスイッチ2030の制御に基づいてビットバイナリグレイコード変換器の動作を具現する。

【0252】

一例として、スイッチボックス2020は、複数の行及び複数の列に配列配置された汎用ロジックメモリセルのうち、第1XORゲート2010及び第2XORゲート2011として動作する汎用ロジックメモリセルに、第1入力電圧 V_{IN1} 、第2入力電圧 V_{IN2} 及び第3入力電圧 V_{IN3} を選択的に印加する。

【0253】

これによって、スイッチボックス2020は、第1入力電圧 V_{IN1} を第1出力OUT1として制御し、第1XORゲート2010として動作する汎用ロジックメモリセルの出力を第2出力OUT2として制御し、第2XORゲート2011として動作する汎用ロジックメモリセルの出力を第3出力OUT3として制御する。

【0254】

図21は、本発明の一実施例に係る汎用ロジックメモリブロックのビットバイナリグレイコード変換器の動作に関連するタイミング図を例示する。

【0255】

図21を参照すると、本発明の一実施例に係るタイミング図2100は、第1入力電圧 V_{IN1} ～第3入力電圧 V_{IN3} に対して第1出力OUT1～第3出力OUT3として出力する順序によるビットバイナリグレイコード変換器の動作を示す。

【0256】

汎用ロジックメモリブロックは、入出力電圧の分配によってビットバイナリグレイコード変換器に該当する論理演算値を出力し、全ての電圧が除去されても演算結果を維持するメモリ機能を行う。

【0257】

したがって、本発明は、正のフィードバックループ（positive feedback loop）で駆動する三重ゲートシリコン素子を用いた複数の汎用ロジックメモリセルでの論理演算結果を組み合わせ、単一の構造で様々な組み合わせ論理演算を具現する汎用ロジックメモリブロックを具現することができる。

【0258】

上述した具体的な実施例において、発明に含まれる構成要素は、提示された具体的な実施例によって単数又は複数で表現された。

【0259】

しかし、単数又は複数の表現は、説明の便宜のために提示した状況に適するように選択されたものであって、上述した実施例が単数又は複数の構成要素に制限されるものではなく、複数で表現された構成要素であっても単数で構成されてもよく、単数で表現された構成要素であっても複数で構成されてもよい。

【0260】

一方、発明の説明では具体的な実施例について説明したが、様々な実施例が内包する技術的思想の範囲から逸脱しない限り、様々な変形が可能であることは勿論である。

【0261】

したがって、本発明の範囲は、説明された実施例に限定されて定められてはならず、後述する特許請求の範囲だけでなく、この特許請求の範囲と均等なものによって定められない。

10

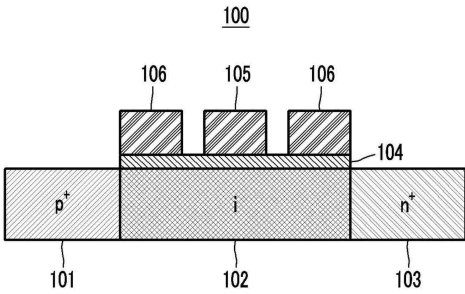
20

30

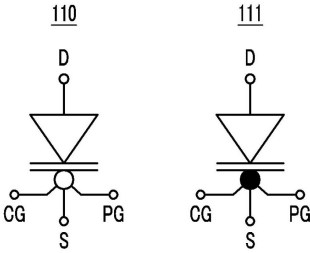
40

50

【図面】
【図 1 A】

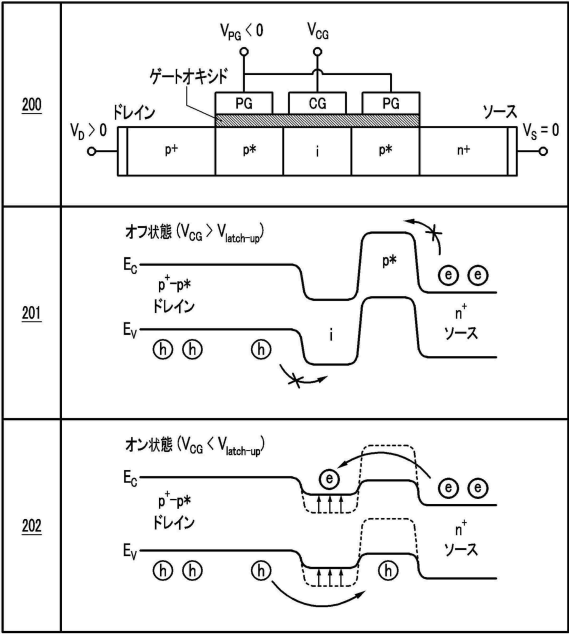


【図 1 B】

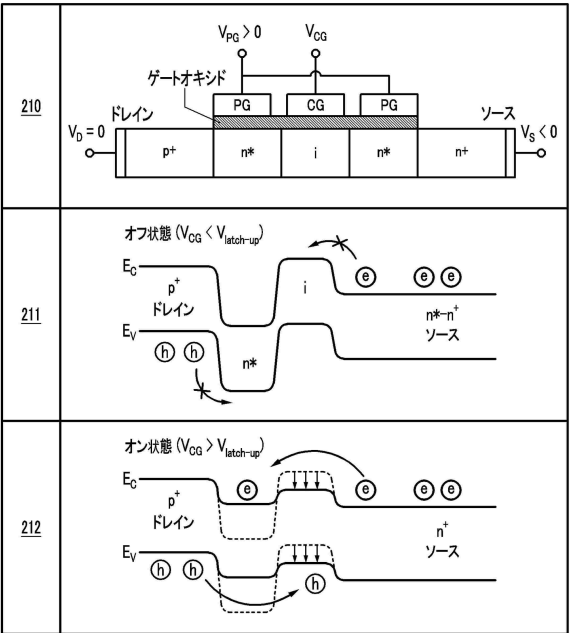


10

【図 2 A】



【図 2 B】



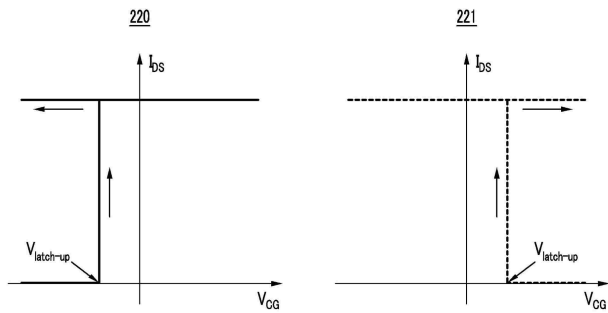
20

30

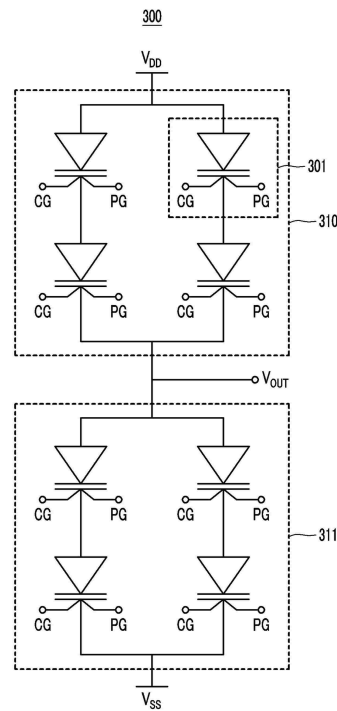
40

50

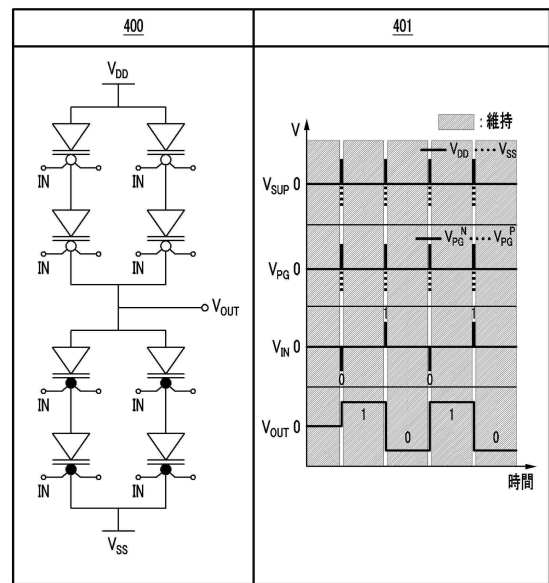
【図 2 C】



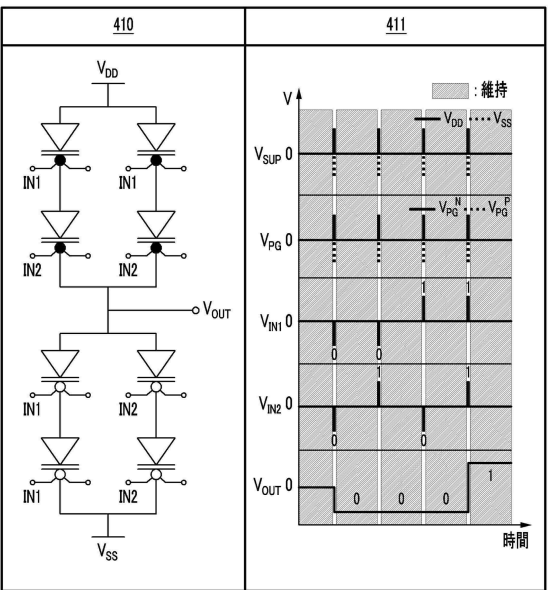
【図 3】



【図 4 A】



【図 4 B】



10

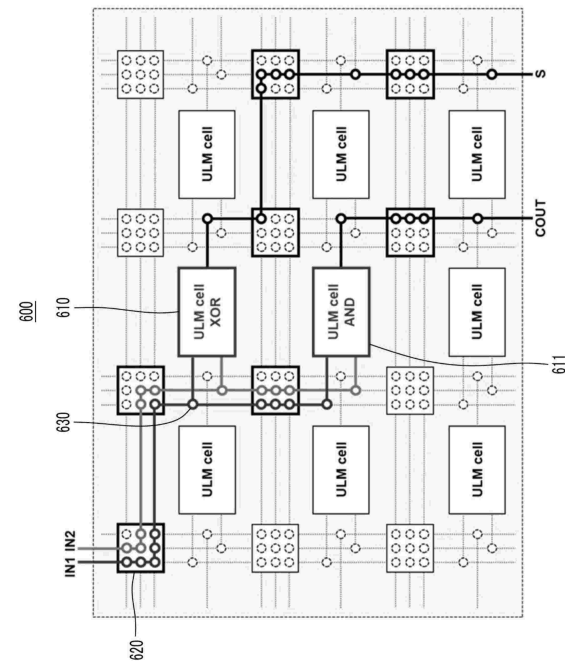
20

30

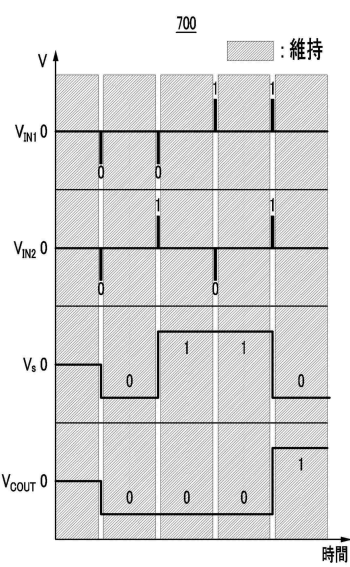
40

50

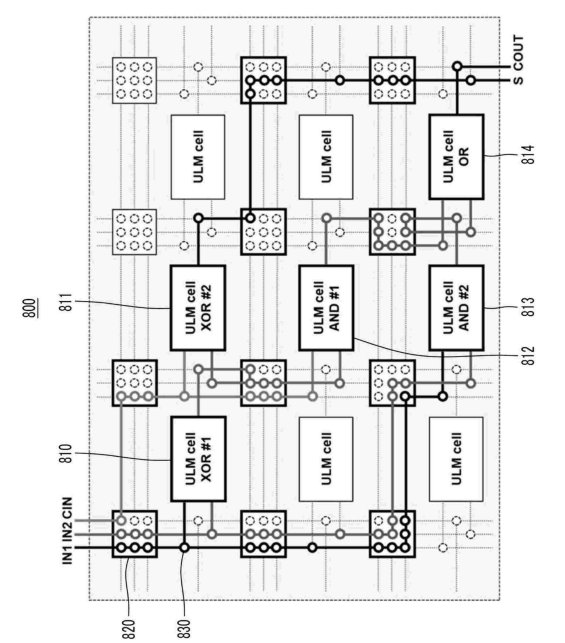
【図 6】



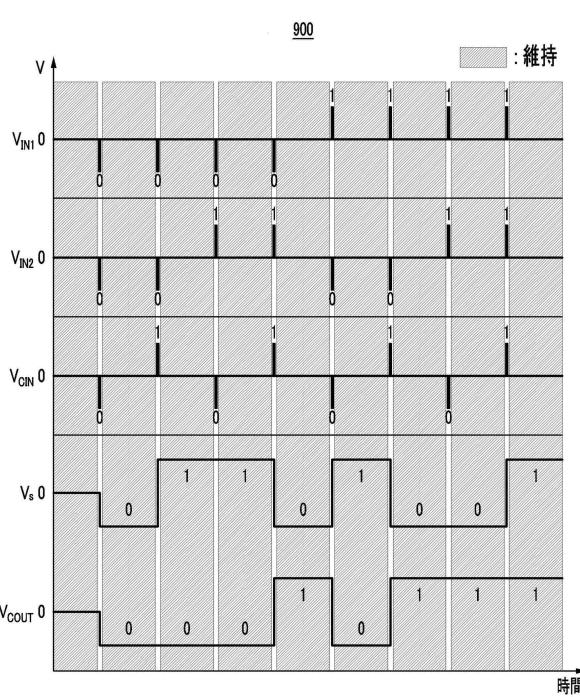
【図 7】



【図 8】



【図 9】



10

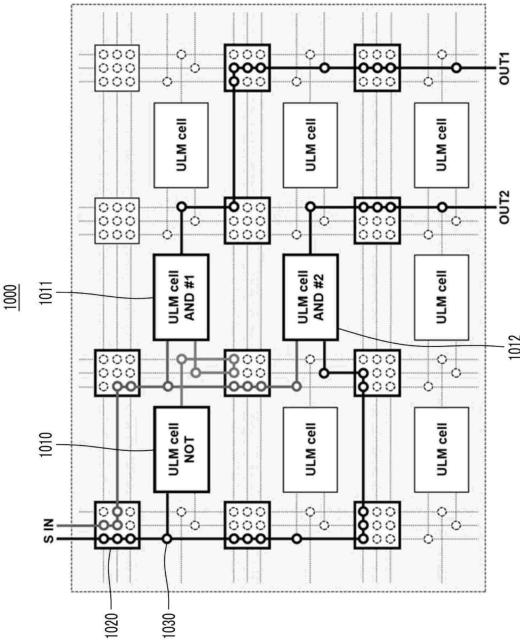
20

30

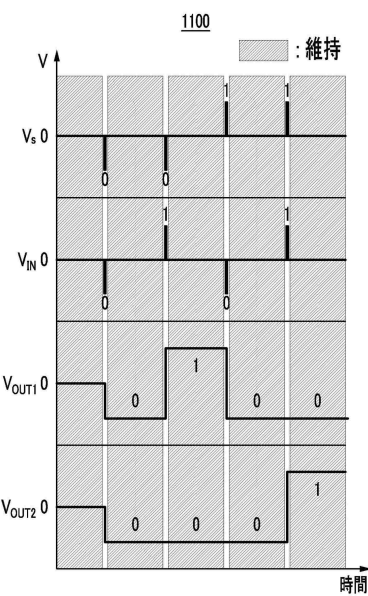
40

50

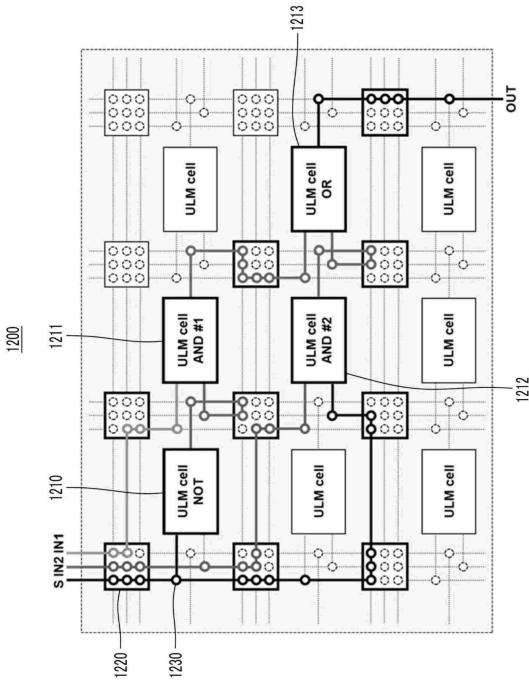
【図 1 0】



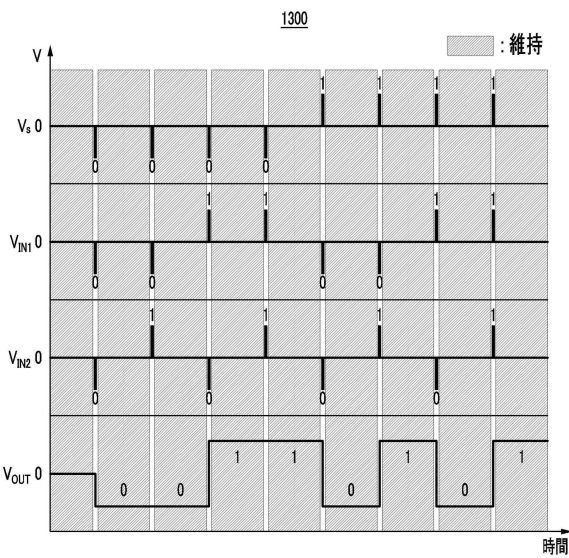
【図 1 1】



【図 1 2】



【図 1 3】



10

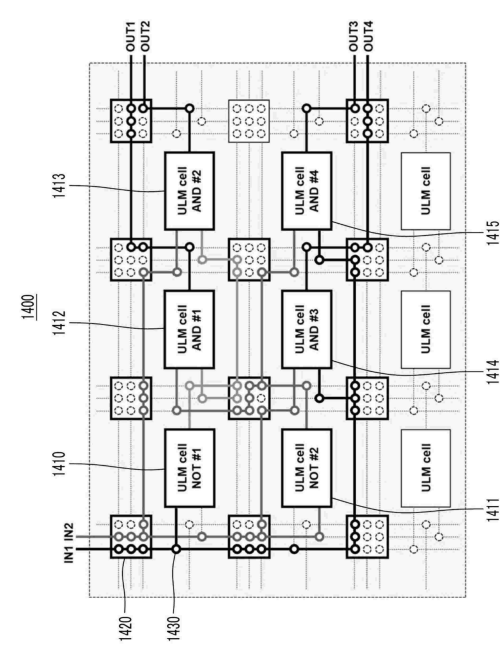
20

30

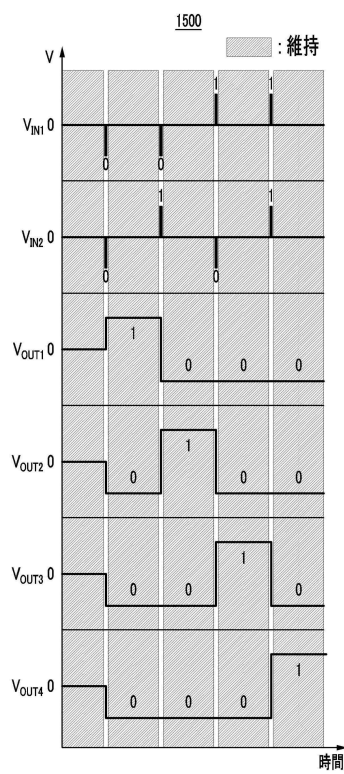
40

50

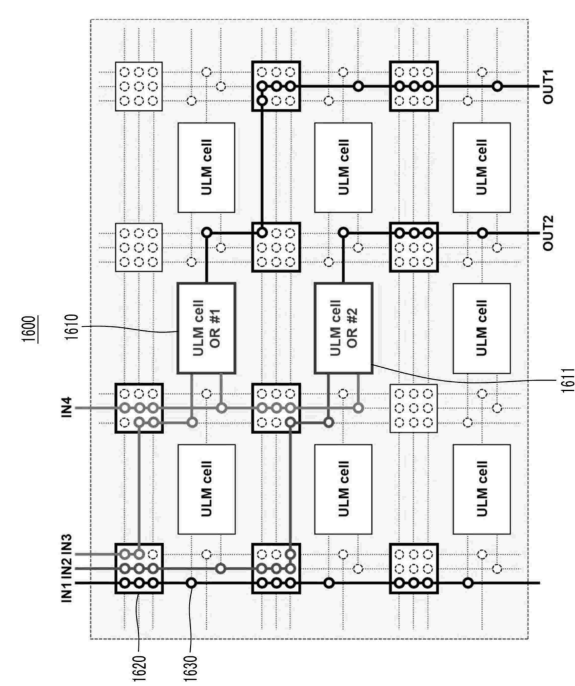
【図 1 4】



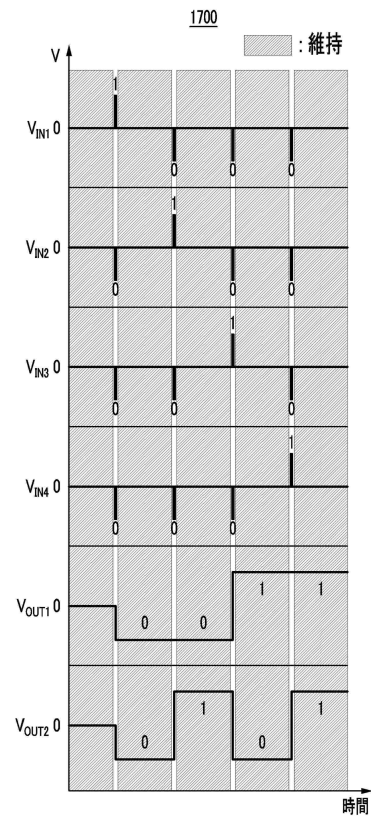
【図 1 5】



【図 1 6】



【図 1 7】



10

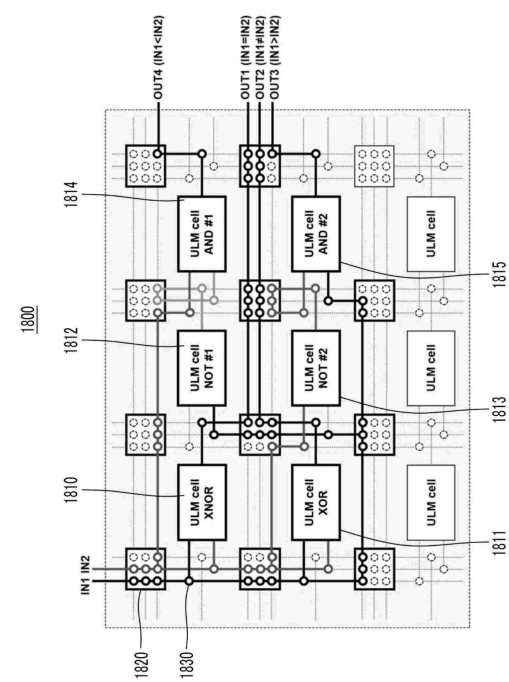
20

30

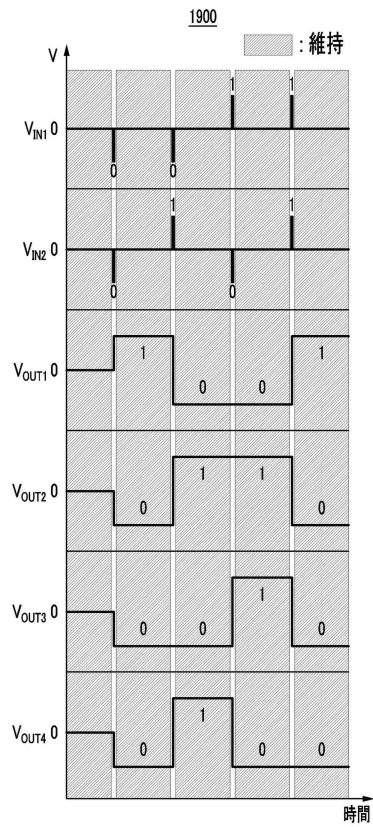
40

50

【図 18】



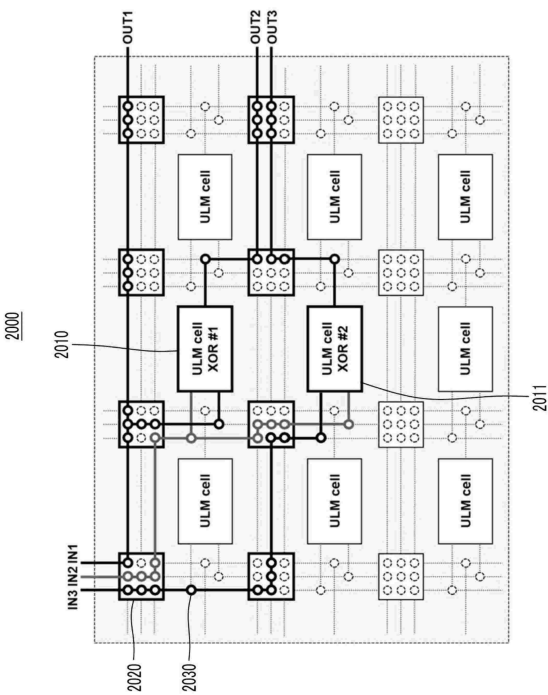
【図 19】



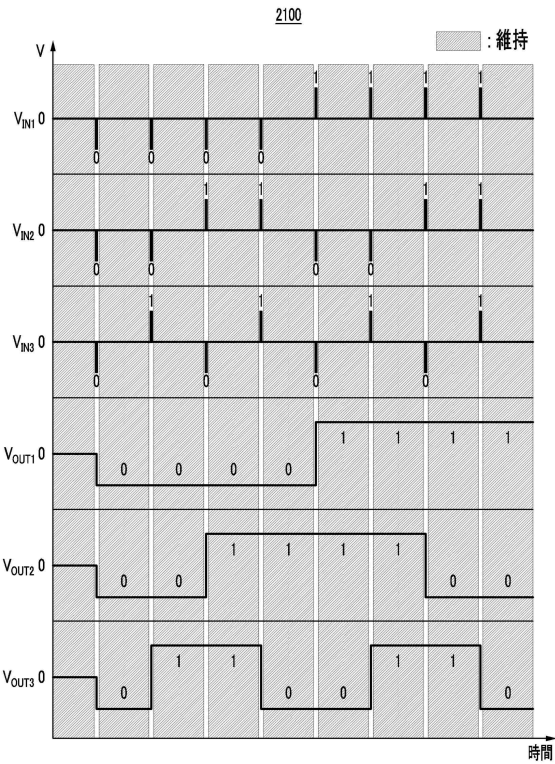
10

20

【図 20】



【図 21】



30

40

50

フロントページの続き

(51)国際特許分類 F I テーマコード (参考)

H 1 0 D	62/10 (2025.01)	H 0 1 L	29/66	U
H 0 3 K	19/173 (2006.01)	H 0 1 L	29/06	6 0 1 N
G 0 6 F	7/501 (2006.01)	H 0 3 K	19/173	1 3 0
H 0 3 K	19/17704 (2020.01)	G 0 6 F	7/501	
		H 0 3 K	19/17704	

ドン 5 0 1 ホ

(72)発明者 趙 庚娥
大韓民国、0 4 9 8 9、ソウル、クァンジング、チョンホーデロ 1 1 0ーギル、7 2

(72)発明者 韓 鍾星
大韓民国、3 2 2 2 4、チュンチョンナムード、ホンソングン、ホンソンーウブ、ウォルギェチ
ョンーギル、4 1ー1 1、1 0 1ドン 4 0 2 ホ

(72)発明者 孫 載▲ミン▼
大韓民国、1 3 6 4 1、キョングード、ソンナムーシ、スジョンーグ、ウィリエスンファンーロ、
1 5 0、3 4 0 3ドン 5 0 2 ホ

(72)発明者 田 周熙
大韓民国、0 3 7 7 3、ソウル、ソデムンーグ プクアヒョンーロ 1ーギル、1 7、2 0 2ドン
3 0 5 ホ

(72)発明者 申 淵祐
大韓民国、1 4 2 0 7、キョングード、クァンミョンーシ サソナーロ、9 1、1 1 4ドン 8 0 1
ホ

F ターム (参考) 5B160 MM20
5F048 AB01 AB03 AC03 BB02 BB04
5F083 FZ10 GA01 GA09
5J042 BA01 BA09 BA11 CA07 CA20 DA01 DA02 DA03