

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 16/00

G11C 16/26



[12] 发明专利申请公开说明书

[21] 申请号 200410074892.6

[43] 公开日 2005年10月5日

[11] 公开号 CN 1677569A

[22] 申请日 2004.8.30

[21] 申请号 200410074892.6

[30] 优先权

[32] 2004.4.1 [33] KR [31] 22677/2004

[71] 申请人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 李熙烈

[74] 专利代理机构 北京市柳沈律师事务所

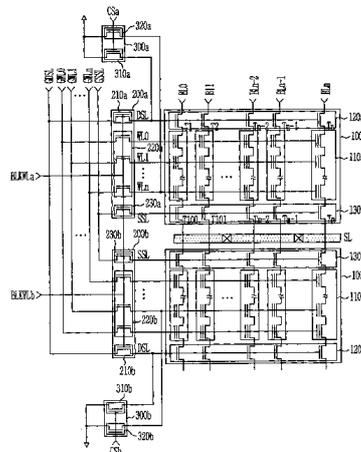
代理人 李晓舒 魏晓刚

权利要求书3页 说明书10页 附图4页

[54] 发明名称 NAND 快闪存储器件及其读取方法

[57] 摘要

本发明提供一种 NAND 快闪存储器件及其读取方法，其中在读操作期间，将一接地电压施加至未选定单元块的串及接地选择晶体管上以增加一串线 (string line) 的电阻来防止由于反馈偏压效应 (back-bias effect) 而导致的泄漏电流。减少的位线泄漏电流会增加在被编程与被擦除的单元之间的导通/关断电流比以减少其中的感测时间，由此形成一读程范围 (read trip range) 以防止由数据保持及读取干扰导致的阈值电压的变化。可通过电绝缘该些单元块之间的源极选择晶体管来将电压独立地施加至源极选择线上。可通过电连接相邻单元块之间的源极选择晶体管来减少源极放电晶体管的数量。



1.一种 NAND 快闪存储器件,其包含:

5 一单元块,其包括一根据一局部串选择信号传送多个位线信号的串选择器、一根据一局部源极选择信号 SSL 传送一共享极线信号的源极选择器、一根据多个位线信号、该共享极线信号及多个局部字线信号储存预定数据的单元串单元;

10 一 X 解码器,其根据一操作信号将一全局串选择信号、一全局源极选择信号及多个全局字线信号各自传送至该局部串选择信号、该局部源极选择信号及多个该些局部字线信号;及

一切换电路,其根据一预定的控制信号将一接地电压信号施加至该局部串选择信号及该局部源极选择信号。

2.如权利要求 1 的 NAND 快闪存储器件,其进一步包含:

15 一串放电晶体管,其根据该控制信号将该接地电压传送至该局部串选择信号;及

一源极放电晶体管,其用于将该接地电压传送至该局部源极选择信号。

3.如权利要求 2 的 NAND 快闪存储器件,其中施加至耦合到一选定单元块的该切换电路的该控制信号为逻辑低电平而施加至耦合到一未选定单元块的该切换电路的该控制信号为逻辑高电平。

20 4.如权利要求 1 的 NAND 快闪存储器件,其进一步包含一页面缓冲器,其根据一读取操作信号将一探测电压施加至该位线且根据该探测电压的状态感测一存储单元的被编程及被擦除状态。

5.如权利要求 1 的 NAND 快闪存储器件,其中该单元块包含:

25 连接至多个位线的多个串选择晶体管,其根据该局部串选择信号传送该些位线信号;

连接至一共享极线的多个源极选择晶体管,其根据该局部源极选择信号传送该共享极线信号;及

多个单元串,其中多个存储单元串联连接在该些串选择晶体管与该些源极选择晶体管之间;

30 其中该些局部字线耦合至在该些单元串中的相同位置上排列的该些存储单元的每一栅极从而根据该些位线信号、该共享极线信号及该些局部字

线信号储存预定数据。

6.如权利要求1的NAND快闪存储器件,其中该X解码器包含:

一串传输晶体管,其根据该操作信号将该全局串选择信号传送至该局部串选择信号;

5 一源极传输晶体管,其用于将该全局源极选择信号传送至该局部源极传输信号;及

多个字线传输晶体管,其用于将该些全局字线信号传送至该些局部字线信号。

7.如权利要求1的NAND快闪存储器件,其中该些单元块之间的该些源极选择器彼此电连接,以将该局部源极选择信号共同施加到至少两个以上单元块的该些源极选择器上。

8.如权利要求1的NAND快闪存储器件,其中该些单元块之间的该些源极选择器彼此电隔离以独立地将该局部源极选择信号施加至该单元块的该源极选择器。

15 9.一种读取NAND快闪存储器件的方法,该NAND快闪存储器件包含:

多个单元块,其中每一个均包括在连接至多个位线的多个串选择晶体管与连接至一共源极线的多个源极选择晶体管之间串联连接的多个单元串;

20 一连接至多个串选择晶体管的栅极端子的局部串选择线、一连接至多个源极选择晶体管的栅极端子的一局部源极选择线及连接至该些单元串中的存储单元的栅极端子的多个局部字线;

25 一X解码器,其包括一连接在一全局串选择线与该局部串选择线之间的串传输晶体管、一连接在一全局源极选择线与该局部源极选择线之间的源极传输晶体管及连接在多个全局字线与多个该些局部字线之间的多个字线传输晶体管,所有该些晶体管均可由一操作电压操作;

一切换电路,其包括一连接在一接地电压与该局部串选择线之间的串放电晶体管及一连接在该接地电压与该局部源极选择线之间的源极放电晶体管,该切换电路的所有该些晶体管都由一控制电压驱动;及

30 一页面缓冲器,其用于响应一读操作信号将一探测电压施加至该些位线从而根据该探测电压的条件感测该些存储单元的被编程及被擦除的状态,该方法包含以下步骤:

将全局串及源极选择电压施加至该 X 解码器，将一通路电压施加至多个未选定字线而将一读取电压施加至一选定字线，且将该逻辑高电平操作电压施加至连接到该选定单元块的该 X 解码器而将该逻辑低电平操作电压施加至连接到该未选定单元块的该 X 解码器；

- 5 将该逻辑低电平控制电压施加至耦合到该选定单元块的该切换电路上而将该逻辑高电平控制电压施加至耦合到该未选定单元块的该切换电路上；及

将该接地电压施加至该共源极线及一本体上且在通过该页面缓冲器将该探测电压施加至该选定位线后感测该探测电压的变化。

- 10 10. 如权利要求 9 的方法，其中该全局串选择电压、该全局源极选择电压及该通路电压的使用范围为 4.0 V 至 5.0 V，而该读取电压使用一接地电压。

11. 如权利要求 9 的方法，其中施加至耦合到该选定单元块的该 X 解码器上的该逻辑高电平操作电压的使用范围为 $4.0\text{ V}+2V_t$ 至 $5.0\text{ V}+2V_t$ ，而
15 施加至耦合到该未选定单元块的该 X 解码器上的该逻辑低电平操作电压使用一接地电压。

12. 如权利要求 9 的方法，其中施加至耦合到该选定单元块的该切换电路上的该控制电压是逻辑低电平，而施加至耦合到该未选定单元块的该切换电路上的该控制电压是逻辑高电平。

NAND 快闪存储器件及其读取方法

5 本申请依赖于 2004 年 4 月 1 日提交的韩国专利申请 No.2004-0022677 的优先权，其全部内容并入这里作为参考。

技术领域

10 本发明涉及一种 NAND 快闪存储器件及其读取方法，更特定而言，涉及一种能够减少其中的泄漏电流的 NAND 快闪存储器件。

背景技术

一 NAND 快闪存储器件由在数量上以 16 或 32 为单元的、在一漏极选择晶体管与一源极选择晶体管之间的串联连接的存储单元所组成。将单个
15 块定义为与一共享相同字线的单元串(cell string)相关联的一组存储单元。

通常根据施加至单元块 (cell block) 上的电压条件来将单元块分成选定单元块及未选定单元块以进行读操作。

首先，考虑在读操作期间与一选定的单元块相关联的电压条件，经由一 X 解码器施加 0 V 电压至一选定字线，而施加 4.5 V 电压至通路字线(pass
20 wordline)、漏极选择晶体管及源极选择晶体管。施加 0 V 电压至一共源极线 (common source line) 及一本体(bulk)，而施加 1 V 电压至一位线 (bitline)。

另一方面，考虑在读操作期间与未选定单元块相关联的电压条件，X 解码器使所有字线、漏极选择晶体管及源极选择晶体管浮置。源极选择晶体管在一选定单元块及多个未选定单元块上是导通的。可将未选定单元块
25 的源极选择晶体管连接至 4.5 V 电压。用于共源极线、本体及位线的电压条件与选定单元块的电压条件相同。

在这样的电压条件下，由漏极选择晶体管及源极选择晶体管引起的泄漏电流可导致在 NAND 快闪存储器件中发生故障。通常，一由单元串的单元构成的 NAND 单元阵列基本上具有 200 nA 至 400 nA 的非常小的导通电
30 流。为了获得短的感测时间，有必要控制由未选定单元块产生的泄漏电流。

另外，为了防止由结漏电效应(junction leakage effect)导致的程序干扰，

一 NAND 快闪存储单元在 8 V 的电压条件下仅限于具有若干皮安(pA)的泄漏电流。因此,即使在栅极长度为 0.1 μm 的存储单元及栅极长度为 0.18 μm 的选择晶体管的尺寸中仍需要形成一深结结构(deep junction structure)。这种在 NAND 快闪存储器件中形态构造的收缩减少(shrinking-down)将不可避免地

5 免地在结对结漏电、即穿通方面较弱。

发明内容

因此,本发明是针对解决上述问题,提供一种 NAND 快闪存储器件及其读取方法,该器件能够通过

10 在读操作期间增大选择晶体管的源极端电阻来减少泄漏电流。

本发明提供一种 NAND 快闪存储器件,其包含:一单元块,该单元块包括一根据一局部串选择信号传送(transfer)多个位线信号的串选择器、一根据一局部源极选择信号传送一

15 共源极线信号的源极选择器、一根据位线信号、共源极线及多个局部字线信号储存预定数据的单元串单元;一 X 解码器,其用于将总体串选择信号、总体源极选择信号、多个总体字线信号各自传送至局部串选择信号、局部源极选择信号及局部字线信号;一切换电路,其根据预定的控制信号将接地电压信号施加至局部串选择信号及局部源极选择信号。

本发明还提供一种读取 NAND 快闪存储器件的方法,该 NAND 快闪存储器件包括:多个单元块,每个单元块均包括在连接至多个位线的多个串选择晶体管与连接至一

20 共源极线的多个源极选择晶体管之间的串联连接的多个单元串、一连接至多个串选择晶体管的栅极端子的局部串选择线、一连接至多个源极选择晶体管的栅极端子的局部源极选择线及连接至单元串中的存储单元的栅极端子的多个局部字线;一 X 解码器,其包括一连接在

25 全局串选择线与局部串选择线之间的串传输晶体管(string transmission transistor)、一连接在全局源极选择线与局部源极选择线之间的源极传输晶体管及连接在多个全局字线与多个局部字线之间的多个字线传输晶体管,所有这些晶体管均可由一操作电压操作;一切换电路,其包括一连接在接地电压与局部串选择线之间的串放电晶体管(string discharge transistor)及

30 一连接在接地电压与局部源极选择线之间的源极放电晶体管,所有该切换电路的晶体管均由一控制电压驱动;一页面缓冲器(page buffer),其用于将

一探测电压施加至位线上以作为对一读取操作信号的响应，从而根据该探测电压的条件感测存储单元的被编程及被擦除的状态。该方法由以下步骤组成：将全局串及源极选择电压施加至 X 解码器上，将通路电压(pass voltage)施加至多个未选定字线上而将一读取电压施加至一选定字线上，及将逻辑高电平的操作电压施加到连接至该选定单元块的 X 解码器上而将逻辑低电平的

5 操作电压施加到未选定单元块的 X 解码器上；将逻辑低电平的控制电压施加到耦合至选定单元块的切换电路上，而将逻辑高电平的控制电压施加到耦合至未选定单元块的切换电路上；及将接地电压施加到共源极线及一本体上并且在通过页面缓冲器将探测电压施加到选定的位线之后感测探测电压的变化。

10

附图说明

通过以下参照附图的说明，将更加全面的理解本发明。

图 1 是说明将 0 V 栅电压施加至未选定单元块的串选择晶体管而其源极选择晶体管浮置的特征的示意图；

15

图 2 是根据本发明的一 NAND 快闪存储器件的电路图；及

图 3 及图 4 是表示根据本发明的 NAND 快闪存储器件中的泄漏电流的图。

附图标记说明

20 100 单元块
110 单元串单元
120 串选择器
130 源极选择器
200 X 解码器
25 210 串传输晶体管
220 字线传输晶体管
230 源极传输晶体管
300 切换电路
310 串放电晶体管
30 320 源极放电晶体管

具体实施方式

以下将参照附图更为详细地描述本发明的优选实施例。然而，可以以不同形式来实施本发明且不应将本发明解释为仅限于本文所陈述的实施例。更确切地，提供这些实施例从而使所揭示的内容彻底且完整，且将本
5 发明的范畴充分地传达给本领域技术人员。贯穿此说明书，相同标记表示相同元件。

在本发明的实施例中，单个单元块由以共享字线分组的单元串组成，每一单元串由多个存储单元构成。构成单元块的每一单元串并行连接至一全局位线，这些单元串的数量为多个 1024 或 2048。而且，由于单元块以对
10 选择晶体管对称的镜像形式排列，因此相邻单元块共享选择晶体管的结外部的串。

为了高的集成度，有效的做法是将一栅极偏压施加至一串选择晶体管而与其对应的单元块无关，该串选择晶体管连接至作为数据的输入/输出路径的位线。且理想地是将一连接至一共源极线的源极选择晶体管与其相邻
15 的源极选择晶体管共享一栅极偏压，或使其与另一栅极偏压耦合。

对于 NAND 快闪存储器件中在读操作期间的所有单元块而言，将 0 V 电压施加至源极线上而将最大约 1.3 V 电压施加至位线上。在位线处的泄漏电流是可忽略的，但是在串选择晶体管或源极选择晶体管中源极与漏极之间出现的另一泄漏电流以微小数量流动。此外，由于位线与 1024 个并行单
20 元串连接，所以流经选择晶体管的泄漏电流放大至 1024 倍。

图 1 是说明将 0 V 的栅电压施加至未选定单元块的串选择晶体管而其源极选择晶体管浮置的特征的示意图。

参看图 1，当将 0 V 的栅极电压仅施加至未选定单元块的串选择晶体管 T1 而其源极选择晶体管 T10 浮置时，工作特性如下：若使一单元串的存储
25 单元均处于擦除状态，则存储单元的阈值电压几乎为 -7 V 至 -9 V ($V_t = -9$ V)。此时，存储单元的浮动栅极充有正电荷。因此，鉴于电容耦合效应，即使当存储单元的字线在浮动栅极的电位位于 4.0 V 至 5.0 V 的条件下浮置时，事实上已完全开启存储单元。

而且，源极选择晶体管 T10 通过在相邻存储单元、一源极线与一半导体衬底之间耦合电容而具有大约 0.4 V 至 0.5 V 的电位。因此，源极选择晶
30 体管 T10 几乎被开启。

如上所述, 由于来自串选择晶体管 T1 的源极端上的源极选择晶体管 T10 的单元串上的串联电阻显著减少, 所以泄漏电流流经其中。因此, 尽管不可能防止存储单元开启, 但如果可抑制源极选择晶体管的开启, 则可通过增加串选择晶体管的源极端电阻来减少每一单元串上的泄漏电流。

5 下面将参看附图并结合 NAND 快闪存储器件的结构来描述读操作的这一操作。

图 2 是根据本发明的 NAND 快闪存储器件的电路图。

参看图 2, 本发明的 NAND 快闪存储器件包括: 一根据局部串选择信号 DSL 传送多个位线信号 BL 的串选择器 120; 一根据局部源极选择信号 SSL 传送共源极线信号 SL 的源极选择器 130; 一单元块 100, 其包括在多个位线 BL、共源极线 SL 及多个局部字线信号 WL0~WLn 的控制下储存预定数据的单元串单元 110; 一 X 解码器 200, 其根据一操作信号 BLKWL 将全局串选择信号 GDSL、全局源极选择信号 GSSL、多个全局字线信号 GWL0~GWLn 各自传送至局部串选择信号 DSL、局部源极选择信号 SSL 及多个局部字线信号 WL0~WLn; 及一切换电路 300, 其根据一预定控制信号 CS 将一接地电压施加至局部串选择信号 DSL 及局部源极选择信号 SSL。

NAND 快闪存储器件也可包括一页面缓冲器(未图示), 其用于将探测电压施加至位线 BL 以作为对读操作信号(未图示)的响应且用于感测编程及擦除的单元状态。

20 单元块 100 的串选择器 120 包括多个串选择晶体管 T1~Tn, 其中每一个均连接至多个位线 BL 以根据局部串选择信号 SSL 传送位线 BL 信号。源极选择器 130 被连接至共源极线 SL, 该源极选择器 130 包括多个源极选择晶体管 T100~Tm 以传送共源极线信号 SL 以作为对共源极选择信号 SSL 的响应。单元串单元包括多个单元串, 在该些多个单元串处多个存储单元串 25 串联连接在多个串选择晶体管 T1~Tn 与多个源极选择晶体管 T100~Tm 之间, 该单元串单元储存或擦除预定数据以作为对位线信号 BL、共源极线信号 SSL 及字线信号 WL0~WLn 的响应, 而局部字线每一均耦合至位于单元串中相同位置的存储单元的栅极。

30 X 解码器 200 包括: 一根据操作信号 BLKWL 将全局串选择信号 GDSL 传送至局部串选择信号 GSL 的串传输晶体管 210; 一用于将全局源极选择信号 GSSL 传送至局部源极选择信号 SSL 的源极传输晶体管 230; 及用于将

多个全局字线信号 $GWL_0 \sim GWL_n$ 传送至局部字线信号 $WL_0 \sim WL_n$ 的多个字线传输晶体管 220。

5 切换电路 300 包括一将局部串选择信号 DSL 连接至接地电压的串放电晶体管 310 及将局部源极选择信号 SSL 连接至接地电压的源极放电晶体管 320。

10 此处，可使相邻单元块 100a 与 100b 之间的源极选择器 130a 及 130b 彼此电连接以共同接收同一个局部源极信号 SSL，或使其彼此电绝缘以独立地接收局部源极选择信号 SSL。另外，用于源极选择器 130 的电路装置也可构造为使得局部源极选择信号 SSL 共同施加至多于两个的源极选择器 130。

15 优选使用 NMOS 晶体管作为多个串选择晶体管 $T_1 \sim T_n$ 及多个源极选择晶体管 $T_{100} \sim T_m$ 。将多个单元串中的第一单元串耦合至多个串选择晶体管 $T_1 \sim T_n$ 与多个源极选择晶体管 $T_{100} \sim T_m$ 之间的第一晶体管 T_1 及 T_{100} 中的每一个。可根据第一字线信号 WL_0 操作多个单元串中的第一存储单元。优选地，以数目 16 串行排列单元串 110 中的存储单元。

20 优选地，使用能够在 1 V 至 25 V 的电压下工作的高电压 NMOS 晶体管作为串传输晶体管 210、源极传输晶体管 230 及多个字线传输晶体管 220。换言之，该高电压 NMOS 晶体管需要具有 20 V 以上的结击穿电压。优选地，连同在半导体衬底中无离子注入形成的负高电压晶体管一起使用该高电压 NMOS 晶体管。

优选地使用高电压 NMOS 晶体管或一普通的 NMOS 晶体管作为串放电晶体管 310 及源极放电晶体管 320。

25 在本发明的 NAND 快闪存储器件中，优选地以多个 1024 为数量配置单元块 100。而且，如上所述，可将至少两个以上的源极选择晶体管的栅极端子耦合至一单一的线或将该些栅极端子彼此独立地耦合至分离的线。若将栅极端子共同耦合，则可减少源极选择晶体管的数量；而若使栅极端子与彼此电分离的线耦合，则可于其上施加独立的电压。

30 在具有根据本发明的结构的情况下，从一选定单元块的一预定存储单元中读取数据的过程如下。在此期间，假定一选定单元块以图 2 中的标记 100a 表示，同时一未选定单元块以图 2 中的标记 100b 表示。

在一 NAND 快闪存储器件中，包括：多个单元块 100，其中每一个均

包括串联连接在连接至多个位线 BL0~BLn 的多个串选择晶体管 T1~Tn 与连接至共源极线 SL 的源极选择晶体管 T100~Tm 之间的多个单元串 110、连接至多个串选择晶体管 T1~Tn 的栅极端子的局部串选择线 DSL、连接至多个源极选择晶体管 T100~Tm 的栅极端子的局部源极选择线 SSL 及连接至单元串中存储单元的栅极端子的多个局部字线 WL0~WLn; X 解码器 200, 其包括连接在全局串选择线 GDSSL 与局部串选择线 DSL 之间的串传输晶体管 210、连接在全局源极选择线 GSSL 与局部源极选择线 SSL 之间的源极传输晶体管 230 及连接在多个全局字线 GWL0~GWLn 与多个局部字线 WL0~WLn 之间的多个字线传输晶体管 220, 所有该些晶体管都可由操作电压 BLKWL 进行操作; 切换电路 300, 其包括连接在接地电压与局部串选择线 DSL 之间的串放电晶体管 310 及连接在接地电压与局部源极选择线 SSL 之间的源极放电晶体管 320, 所有该些晶体管都由控制电压 CS 驱动; 页面缓冲器(未图示), 其用于将探测电压施加至位线 BL 上以作为对读操作信号(未图示)的响应从而根据探测电压的条件感测存储单元的编程及擦除状态, 将全局串电压及源极选择电压施加至 X 解码器 200 且将通路电压施加至多个未选定的字线上, 同时将读取电压施加至选定的字线上。将逻辑高电平的操作电压 BLKWLa 施加至连接到选定单元块 100a 的 X 解码器 200a 上而将逻辑低电平的操作电压 BLKWLb 施加至未选定单元块 100b 的 X 解码器 200b 上。

20 将逻辑低电平的控制电压 CSa 施加至耦合到选定单元块 100a 的切换电路 300a 上, 而将逻辑高电平的控制电压 CSb 施加至耦合到未选定单元块 100b 的切换电路 300b 上。

将接地电压施加至共源极线 SL 及本体(未图示)上。在通过页面缓冲器将探测电压施加至选定位线上后, 其感测探测电压。

25 在此实施例中, 施加上述电压的顺序可根据读取该器件的方式而变化。例如, 可在将控制电压施加至切换电路 300 后, 将一预定电压施加至 X 解码器 200 上。

优选在 4.0 V 至 5.0 V 的范围内使用全局串选择电压、全局源极选择电压及通路电压, 而读取电压使用接地电压。

30 优选在 $4.0 V + 2V_t$ 至 $5.0 V + 2V_t$ 的范围内使用施加至耦合到选定单元块 100a 的 X 解码器 200a 上的逻辑高电平操作电压 BLKWLa, 而优选与接地

电压一起使用施加至耦合到未选定单元块 100b 的 X 解码器 200b 上的逻辑低电平操作电压 BLKWLb。值 V_t 代表 X 解码器 200 中的晶体管的阈值电压。

适于在 0.8 V 至 1.5 V 的范围内使用探测电压。

在下文中，根据先前描述，将用于 NAND 快闪存储器件的读操作中的电压总结在以下的表 1 中。

表 1 表示施加至根据本发明的 NAND 快闪存储器件的电压条件。

【 表 1 】

读 取	选定块	未选定块
选定字线	0V	浮置
未选定字元线	4.5V	浮置
DSL	4.5V	0V
SSL	4.5V	0V
SL	0V	0V
BL	1V	1V
本体	0V	0V
BLKWL	$4.5V + 2V_t$	0V
CS	0V	Vcc

参看表 1，根据本发明的读操作如下。

其通过一外部地址的输入选定被读出的存储单元且将一包含该选定存储单元的单元块定义为选定单元块 100a。

将每一个均为 4.5 V 的全局串选择电压、全局源极选择电压、及通路电压分别施加至 X 解码器 200 的全局串选择线 GDSL、全局源极选择线 GSSL 及未选定的全局字线 GWL 上，而将 0 V 施加至选定的全局字线 GWL。

将 $4.5V + 2V_t$ 的操作电压 BLKWL_a 施加至耦合到选定单元块 100a 的 X 解码器 200a 上，而将 0V 的操作电压 BLKWL_b 施加至耦合到未选定单元块 100b 的 X 解码器 200b 上。将 0 V 的电压施加至耦合到选定单元块 100a 的切换电路 300a 上，而将电源电压 Vcc 施加至耦合到未选定单元块 100b 的切换电路 300b 上。

结果，将 4.5 V 的局部串选择电压、局部源极选择电压及通路电压分别施加至选定单元块 100a 的局部串选择线 DSL、局部源极选择线 SSL 及局部字线 WL，而将 0V 施加至选定的局部字线 WL。另一方面，未选定单元块 100b 的所有局部字线 WL 都是浮置的而将 0V 施加至其中的局部串选择线 DSL 及局部源极选择线 SSL。

将 0V 电压施加至共源极线 SL 及本体，而将 1V 的探测电压通过耦合至位线 BL 的页面缓冲器施加至该选定位线 BL 上。在一预定时间之后，页面缓冲器感测已施加至位线 BL 的 1V 的探测电压的变化且由此探测储存在选定存储单元中的数据。在此期间，根据在编程状态或擦除状态条件下的
5 选定存储单元的阈值电压，来放电或保持在选定位线上的探测电压。

因此，读取一被编程单元时的位线泄漏电流变小且在被编程与被擦除的存储单元之间的导通/关断电流比会增大。因此，用于该器件的感测时间变短且读程范围变宽，这样可防止由于数据保持及读取干扰而导致的阈值电压的变化。换言之，可增加 2K 字节的页面缓冲器的变化范围。

10 图 3 及图 4 表示在根据本发明的 NAND 快闪存储器件中的泄漏电流的曲线图。

图 3 是当存储单元的阈值电压在测试模式下大约为 -5 V 时在源极选择线保持浮置状态及 0 V 的状况下监视泄漏电流的结果。可以从中看出，由于源极选择线与其相邻字线之间的电容耦合比很小，所以即使感应电势仅为 0.2 V 至 0.3 V，其间泄漏电流的差异则为两至三倍大。这意味着当将 0 V
15 电压强行施加至源极选择线时而不是当源极选择线浮置时，泄漏电流会减少。

图 4A 是将源极选择线设定于 0 V 时监视泄漏电流的结果。图 4B 是在一具有 1024 单元块的常规 512M NAND 快闪存储器件中当源极选择线浮置时监视泄漏电流的结果。可以从中看出，图 4A 的本发明状况而非图 4B 的常规情况指示了泄漏电流的一减少模式，且同时图 4A 的状况更加均匀。结果，图 4A 中所展示的本发明状况具有图 4B 中所展示的常规状况的泄漏电流的四分之一。

如所上述，本发明的优点在于：通过在读操作期间将接地电压独立地
25 施加至用于源极选择的晶体管上及用于未选定单元块的串选择的晶体管上，防止了随漏极选择线的电阻增加由于反馈偏压效应而导致的泄漏电流。

此外，由于位线泄漏电流变小，所以使被编程与被擦除的存储单元之间的开/关电流比增加。因此，用于该器件的感测时间变短且读程范围变宽，这样可防止由于数据保持及读取干扰而导致的阈值电压的变化。

30 而且，可增加阈值电压的变化范围且增加页面缓冲器的变化范围。

另外，可使单元块之间的源极选择晶体管隔离以将电压独立地施加至

源极选择线，并使相邻单元块之间的源极选择晶体管电连接以减少源极放电晶体管的数量。

尽管已连同在附图中说明的本发明的实施例描述了本发明，但是本发明并不限于此。本领域技术人员易了解：在不脱离本发明的范畴与精神的情况下，可进行多种替代、修改及变化。

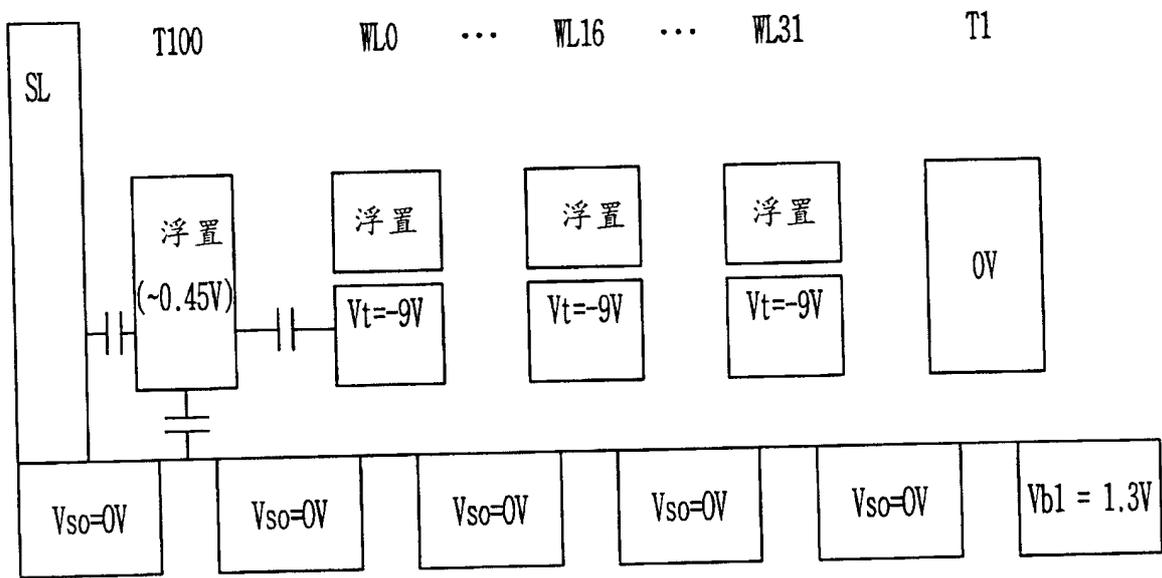


图 1

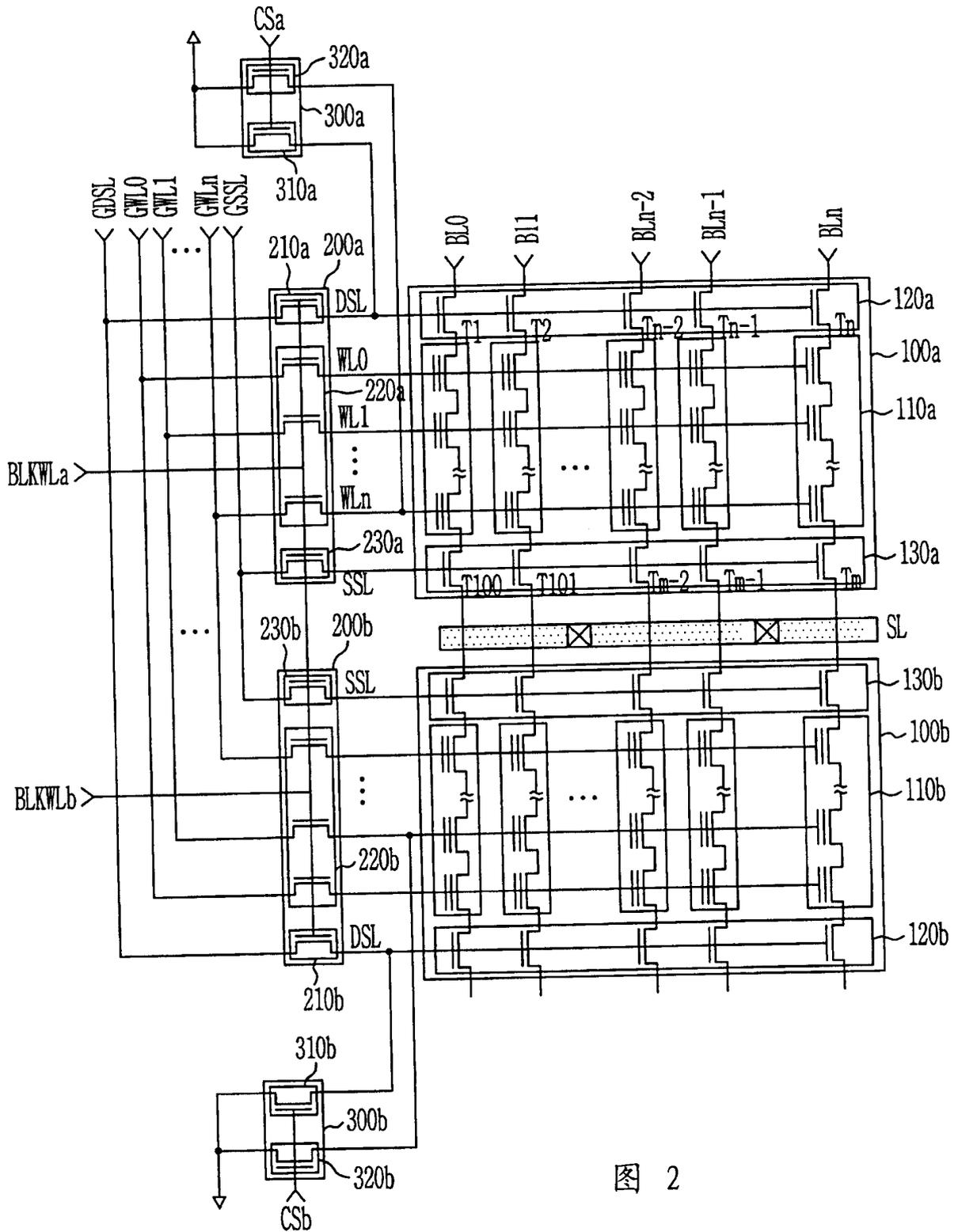


图 2

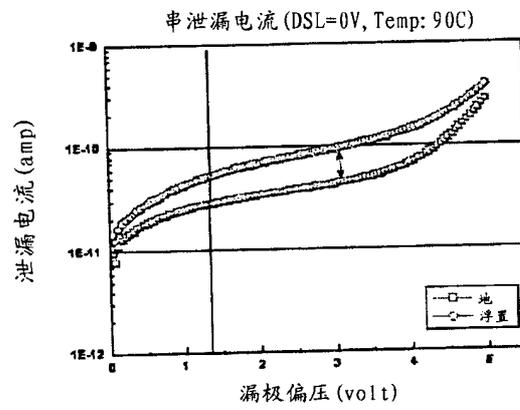


图 3

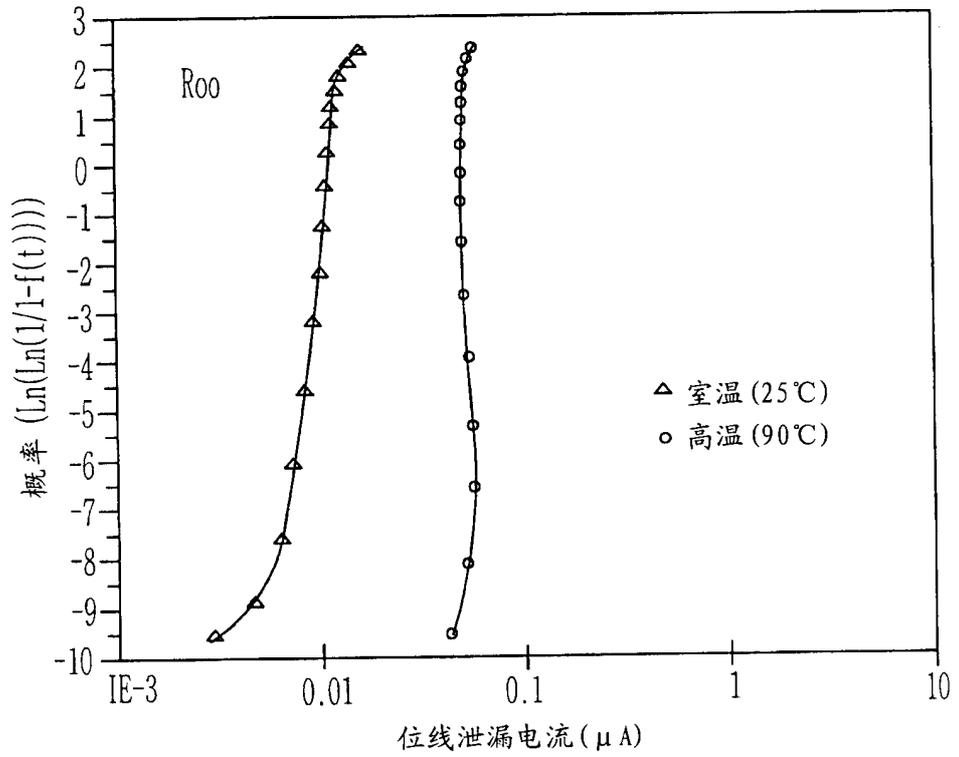


图 4A

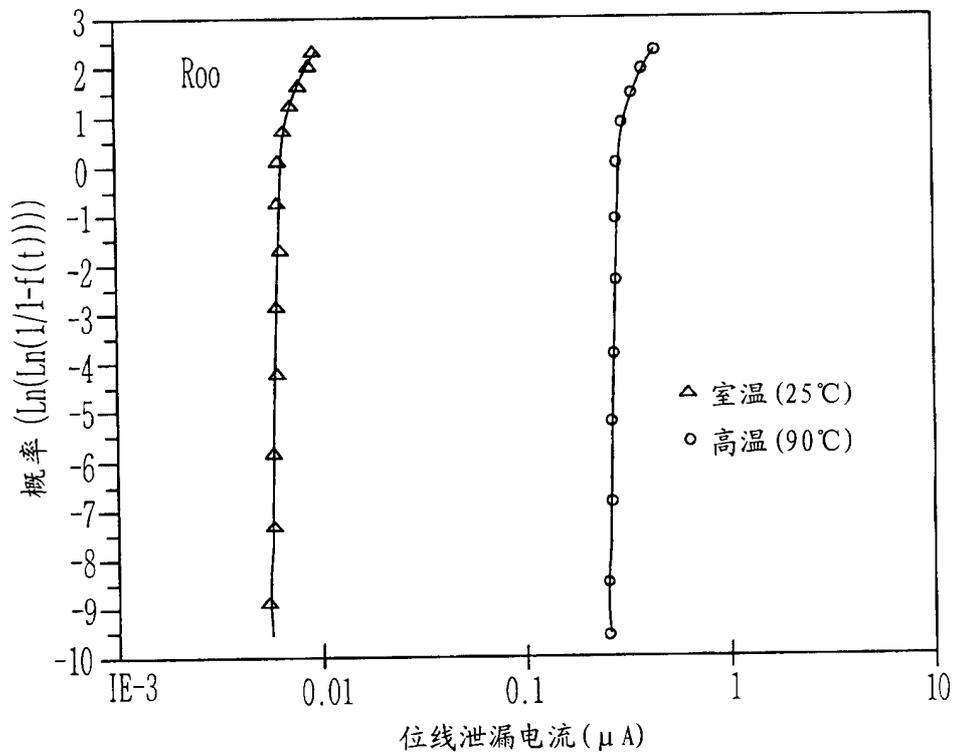


图 4B