



## (12) 发明专利

(10) 授权公告号 CN 101452962 B

(45) 授权公告日 2014. 06. 18

(21) 申请号 200810183805. 9

审查员 陈敏

(22) 申请日 2008. 12. 02

(30) 优先权数据

2007-312163 2007. 12. 03 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 后藤裕吾 村川努

(74) 专利代理机构 上海专利商标事务所有限公司  
31100

代理人 李玲

(51) Int. Cl.

H01L 29/786 (2006. 01)

H01L 29/06 (2006. 01)

H01L 27/12 (2006. 01)

(56) 对比文件

US 2003/0214006 A1, 2003. 11. 20, 说明书第  
0074 段至第 0064 段、附图 4C.

US 2004/0222533 A1, 2004. 11. 11, 全文.

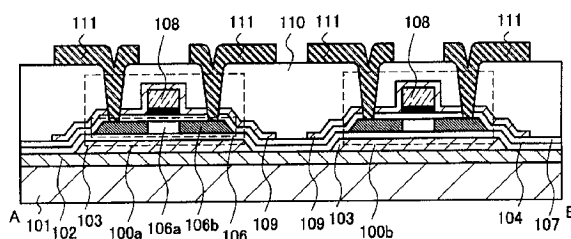
权利要求书2页 说明书20页 附图23页

(54) 发明名称

半导体装置

(57) 摘要

本发明的目的在于提供在施加诸如弯曲等的外力而产生应力的情况下也降低晶体管等的损伤的半导体装置。本发明的半导体装置包括：设置在具有挠性的衬底上的第一岛状加强膜；在第一岛状加强膜上具有沟道形成区域和杂质区域的半导体膜；在沟道形成区域的上方隔着栅极绝缘膜而设置的第一导电膜；以覆盖第一导电膜及栅极绝缘膜的方式设置的第二岛状加强膜。



1. 一种半导体装置,包括:

具有挠性的衬底上的第一岛状膜,在所述第一岛状膜和所述衬底之间夹有第一绝缘膜;

所述第一岛状膜上的半导体膜;

所述半导体膜上的第一导电膜,在所述半导体膜和所述第一导电膜之间夹有第二绝缘膜;以及

所述第一导电膜上的第二岛状膜,

所述第二岛状膜上的第三绝缘膜,

所述第三绝缘膜上的第二导电膜,

其中,所述半导体膜的整个区域与所述第一岛状膜重叠,

所述第二岛状膜与所述第一导电膜重叠,

在所述第三绝缘膜中设置有开口部,

所述第二导电膜通过所述开口部电连接于所述半导体膜,

所述开口部与所述第一岛状膜重叠且不与所述第二岛状膜重叠,

与所述半导体膜相比,所述第一岛状膜和所述第二岛状膜的杨氏模量都较高,

并且,所述第一岛状膜和所述第二岛状膜都通过光刻法选择性地形成在所述衬底上。

2. 根据权利要求1所述的半导体装置,其中所述第二岛状膜使用与所述第一岛状膜相同材料而形成。

3. 根据权利要求1所述的半导体装置,其中所述第一岛状膜由氮化硅、氮氧化硅、金属氧化物或金属氮化物形成。

4. 根据权利要求1所述的半导体装置,其中所述第一岛状膜的厚度为50nm以上且200nm以下,并且所述第二岛状膜的厚度为100nm以上且400nm以下。

5. 根据权利要求1所述的半导体装置,其中所述第二岛状膜的厚度比所述第一岛状膜的厚度厚。

6. 根据权利要求1所述的半导体装置,其中所述第二岛状膜的厚度与所述第一岛状膜的厚度相同。

7. 根据权利要求1所述的半导体装置,其中所述第一岛状膜和所述第二岛状膜的厚度比率为1/2以下,其中所述第一岛状膜和所述第二岛状膜的厚度比率等于所述第一岛状膜的厚度/所述第二岛状膜的厚度。

8. 一种半导体装置,包括:

具有挠性的衬底上的第一下层岛状膜,在所述衬底和所述第一下层岛状膜之间夹有第一绝缘膜;

所述具有挠性的衬底上的第二下层岛状膜,在所述衬底和所述第二下层岛状膜之间夹着所述第一绝缘膜;

所述第一下层岛状膜上的包括第一沟道形成区域和第一杂质区域的第一半导体膜;

所述第二下层岛状膜上的包括第二沟道形成区域和第二杂质区域的第二半导体膜;

在所述第一沟道形成区域上隔着第一栅极绝缘膜而设置的第一栅电极;

在所述第二沟道形成区域上隔着第二栅极绝缘膜而设置的第二栅电极;

所述第一栅电极上的第一上层岛状膜;

所述第二栅电极上的第二上层岛状膜；  
所述第一上层岛状膜和所述第二上层岛状膜上的层间绝缘膜；以及  
所述层间绝缘膜上的源电极和漏电极，  
其中，所述第一半导体膜的整个区域与所述第一下层岛状膜重叠，  
所述第二半导体膜的整个区域与所述第二下层岛状膜重叠，  
所述第一上层岛状膜与所述第一沟道形成区域的整个区域重叠，  
所述第二上层岛状膜与所述第二沟道形成区域的整个区域重叠，  
在所述层间绝缘膜中设置有开口部，

所述源电极和所述漏电极中的一个通过所述开口部电连接于所述第一半导体膜，  
所述开口部与所述第一下层岛状膜重叠且不与所述第一上层岛状膜重叠，

与所述第一半导体膜和所述第二半导体膜相比，所述第一上层岛状膜、所述第二上层岛状膜、所述第一下层岛状膜和所述第二下层岛状膜的杨氏模量都较高，

并且，所述第一上层岛状膜、所述第二上层岛状膜、所述第一下层岛状膜和所述第二下层岛状膜都通过光刻法选择性地形成在所述衬底上。

9. 根据权利要求 8 所述的半导体装置，

其中，所述第一栅极绝缘膜和所述第二栅极绝缘膜为连续的栅极绝缘膜；

并且，所述层间绝缘膜在所述第一半导体膜和所述第二半导体膜之间的区域中与所述栅极绝缘膜接触。

10. 根据权利要求 8 所述的半导体装置，还包括：

在所述第一和第二下层岛状膜以及所述第一和第二半导体膜之间夹有的绝缘层，

其中，所述层间绝缘膜在所述第一半导体膜和所述第二半导体膜之间的区域中与所述绝缘层接触。

## 半导体装置

### 技术领域

[0001] 本发明涉及半导体装置,而且特别涉及即使在施加外力的情况下也控制使设置于半导体装置的晶体管等的元件受到损伤的半导体装置。

### 背景技术

[0002] 近年来,在塑料等具有挠性的衬底上设置由晶体管等构成的集成电路的技术已引起关注。在具有挠性的衬底上设置集成电路而形成的半导体装置与使用诸如半导体衬底或玻璃衬底等的衬底的情况相比可以实现轻量化、低成本等。因为具有挠性的半导体装置可以弯曲等,所以被应用到各种领域和地方。

[0003] [专利文献 1] 日本专利第 4015002 号

[0004] [专利文献 2] 日本专利申请公开 2006-232449 号公报

[0005] [专利文献 3] 日本专利申请公开 2007-150179 号公报

[0006] 然而,当对具备将晶体管等元件设置于具有挠性的衬底上的集成电路的半导体装置施加诸如弯曲等的外力时,会有如下问题:因产生于半导体装置的应力而使包括于该半导体装置的晶体管等的元件受到损伤,而使晶体管等的元件的特性受到坏影响。另外,也会有如下问题:在半导体装置的制造工序中,因产生于晶体管等的元件的应力而使该元件受到损伤,而降低产品的成品率。

### 发明内容

[0007] 鉴于上述问题,本发明的目的在于提供一种即使在对半导体装置施加诸如弯曲等的外力的情况下也降低晶体管等的元件的损坏的半导体装置。

[0008] 在根据本发明的半导体装置中设置加强膜,以便即使在半导体装置的制造工序中或当完成之后使用此时对该半导体装置施加诸如弯曲 等的外力也抑制产生于晶体管等的元件的应力。设置加强膜是因为在半导体装置的厚度方向上,使对诸如弯曲等的变形不产生拉伸应力或压缩应力等的应力弯曲的中立面(没有伸缩性的面)位于对半导体装置优选的区域。

[0009] 加强膜的特点在于其设置在构成晶体管等的元件的半导体膜的上下方向上的区域中。加强膜既可以以与半导体膜接触的方式设置,又可以隔着绝缘膜且以与半导体膜不接触的方式设置。以下对半导体装置的具体结构进行说明。

[0010] 本发明的半导体装置包括:设置在具有挠性的衬底上的第一岛状加强膜;在第一岛状加强膜上具有沟道形成区域和杂质区域的半导体膜;在沟道形成区域的上方隔着栅极绝缘膜而设置的第一导电膜;以覆盖第一导电膜及上述栅极绝缘膜的方式设置的第二岛状加强膜;以覆盖第二岛状加强膜及栅极绝缘膜的方式设置的层间绝缘膜;在层间绝缘膜上通过开口部与杂质区域电连接而设置的第二导电膜,其中沟道形成区域的整个区域设置在第一岛状加强膜和第二岛状加强膜之间。

[0011] 另外,第一岛状加强膜及第二岛状加强膜的特点在于其由与构成半导体装置的半

导体膜的杨氏模量相比高的材料形成。具体而言,可以使用氮化硅、氮氧化硅、金属氧化物、金属氮化物等的材料。通过使用与半导体膜的杨氏模量相比高的材料而形成第一岛状加强膜及第二岛状加强膜,可以不改变半导体膜的性质地提高半导体膜的机械强度且降低半导体膜的损伤。

[0012] 本发明的半导体装置的特点还在于第一岛状加强膜的厚度为 50nm 以上且 200nm 以下,并且第二岛状加强膜的厚度为 100nm 以上且 400nm 以下。

[0013] 通过将加强膜设置于构成半导体装置的晶体管等的元件,即使在半导体装置的制造工序中或当完成之后使用此时对该半导体装置施加诸如弯曲等的外力也可以抑制产生于晶体管等的元件的应力。从而,可以降低晶体管等的元件的损伤,并且可以实现半导体装置的成品率 或可靠性的提高。

## 附图说明

- [0014] 图 1A 至 1C 为表示半导体装置的一例的图;
- [0015] 图 2 为表示半导体装置的一例的图;
- [0016] 图 3 为表示半导体装置的一例的图;
- [0017] 图 4A 至 4E 为表示半导体装置的制造方法的一例的图;
- [0018] 图 5A 至 5C 为表示半导体装置的制造方法的一例的图;
- [0019] 图 6A 及 6B 为表示半导体装置的制造方法的一例的图;
- [0020] 图 7A 及 7B 为表示半导体装置的一例的图;
- [0021] 图 8A 至 8D 为表示半导体装置的制造方法的一例的图;
- [0022] 图 9A 及 9B 为表示半导体装置的一例的图;
- [0023] 图 10A 及 10B 为表示半导体装置的一例的图;
- [0024] 图 11 为表示半导体装置的一例的图;
- [0025] 图 12A 至 12C 为表示半导体装置的一例的图;
- [0026] 图 13A 至 13D 为说明可以用于半导体装置的天线的图;
- [0027] 图 14A 至 14C 为表示半导体装置的框图的一例及使用方式的一例的图;
- [0028] 图 15A 至 15E 为表示半导体装置的使用方式的一例的图;
- [0029] 图 16A 至 16F 为表示半导体装置的使用方式的一例的图;
- [0030] 图 17 为说明用于模拟的模型的图;
- [0031] 图 18A 及 18B 为根据模拟求出来的半导体装置的应力分布图;
- [0032] 图 19A 及 19B 为根据模拟求出来的半导体装置的应力分布图;
- [0033] 图 20A 及 20B 为根据模拟求出来的沟道形成区域的应力分布图;
- [0034] 图 21A 及 21B 为根据模拟求出来的沟道形成区域的应力分布图。

## 具体实施方式

[0035] 关于本发明的实施方式,以下使用附图说明。但是,本发明不局限于以下说明,本领域的普通技术人员容易理解,其方式和细节可以在不脱离本发明的宗旨及其范围的条件 下作各种各样的变换。因此,本发明不应该被解释为仅限于以下所示的实施方式的记载内 容。注意, 在以下所说明的本发明的结构中,在不同附图之间会共同使用相同的附图标记

来表示相同的部分。

[0036] 实施方式 1

[0037] 在本实施方式中,参照附图对半导体装置的一例进行说明。

[0038] 在本实施方式中设置加强膜,以便在施加诸如弯曲等的外力的情况下也抑制产生于晶体管等的元件的应力。在本实施方式中,作为其结构的一例,对在构成晶体管的半导体膜的上方及下方设置由其杨氏模量与半导体膜的杨氏模量相比高的材料形成的加强膜的情况进行说明。

[0039] 图 1A 至 1C 表示本实施方式所示的半导体装置的一例。注意,在图 1A 至 1C 中,图 1A 表示俯视图,并且图 1B 表示图 1A 的沿 A-B 线的截面图。

[0040] 图 1B 所示的半导体装置具有至少配备有半导体膜 106、栅极绝缘膜 107、用作栅电极的第一导电膜 108、用于加强半导体膜 106 的加强膜 103(也写为第一岛状加强膜)、加强膜 109(也写为第二岛状加强膜)的薄膜晶体管 100a、100b。在图 1B 中,在加强膜 103 和加强膜 109 之间夹着半导体膜 106 的至少一部分。另外,在图 1A 中,以覆盖半导体膜 106 的方式设置有加强膜 109。

[0041] 以覆盖栅极绝缘膜 107 以及加强膜 109 的方式设置有绝缘膜 110。进而,在绝缘膜 110 上设置有可以用作薄膜晶体管 100a、100b 的源电极或漏电极的第二导电膜 111。注意,在此表示在具有挠性的衬底 101 上隔着绝缘膜 102 设置薄膜晶体管 100a、100b 的例子。

[0042] 半导体膜 106 配备有沟道形成区域 106a、可以用作源区域或漏区域的杂质区域 106b。另外,杂质区域 106b 中间夹着沟道形成区域 106a 且以彼此离间的状态而设置。杂质区域 106b 通过设置于绝缘膜 110 的开口部 124 与设置于绝缘膜 110 上的第二导电膜 111 电连接。

[0043] 加强膜 103 隔着绝缘膜 104 与构成薄膜晶体管 100a、100b 的半导体膜 106 重叠而设置。另外,加强膜 103 的面积设定得大于该半导体膜 106 的面积。

[0044] 加强膜 109 以覆盖第一导电膜 108 及栅极绝缘膜 107 的方式设置。加强膜 109 优选以覆盖半导体膜 106 的整个区域的方式设置。进而,加强膜 109 的面积优选大于加强膜 103 的面积。如上所述,沟道形成区域的整个区域优选设置在加强膜 103 和加强膜 109 之间。

[0045] 通过在半导体装置的制造工序中或当完成之后使用此时对该半导体装置施加诸如弯曲等的外力,在半导体膜 106 中产生应力。这是因为在半导体装置的厚度方向上,对诸如弯曲等的变形不产生拉伸应力或压缩应力等的弯曲的中立面(没有伸缩性的面)在应力产生于半导体膜中的位置。通过在半导体膜 106 中产生应力,使半导体膜 106 受到损伤而破坏半导体装置。于是,为了抑制因对半导体装置施加诸如弯曲等的外力而在半导体膜中产生应力,使在半导体装置的厚度方向上的中立面(没有伸缩性的面)位于可以抑制在半导体膜中产生应力的区域。

[0046] 作为用于加强膜 103、加强膜 109 的材料,优选使用其杨氏模量比半导体膜 106 高的材料。具体而言,可以使用氮化硅、氮氧化硅、金属氧化物或金属氮化物等的材料。另外,加强膜 103 和加强膜 109 优选由相同材料形成。如此,通过使用其杨氏模量与半导体膜相比高的材料形成加强膜 103 和加强膜 109,可以不改变半导体膜的性质地提高半导体膜的机械强度且降低半导体膜的损伤。

[0047] 加强膜 103 的厚度优选为 50nm 以上且 200nm 以下,并且加强膜 109 的厚度优选为 100nm 以上且 400nm 以下。而且,加强膜 109 的厚度优选与加强膜 103 的厚度相比厚。进而,加强膜 103 的厚度和加强膜 109 的厚度的比率(加强膜 103 的厚度 / 加强膜 109 的厚度)优选为 1/2 以下。另外,加强膜 103 的厚度和加强膜 109 的厚度也可以相同。

[0048] 如上所述,通过以在加强膜 103 和加强膜 109 之间夹着半导体膜 106 的方式设置半导体膜 106,可以在半导体装置的厚度方向上,使对诸如弯曲等的变形不产生拉伸应力或压缩应力等的弯曲的中立面位于可以抑制在半导体膜 106 中产生应力的区域。因此,在对半导体装置施加诸如弯曲等的外力的情况下也可以抑制在半导体膜 106 中产生应力。另外,通过在半导体膜 106 的上下近旁设置由其杨氏模量与半导体膜 106 相比高的材料形成的加强膜,可以不改变半导体膜的性质地提高半导体装置的机械强度。从而,可以降低半导体膜 106 的损伤,而可以降低薄膜晶体管 100a、100b 的损伤或破坏的可能性。

[0049] 注意,虽然图 1B 所示的半导体装置表示以覆盖半导体膜 106 的端部及加强膜 103 的端部的方式设置加强膜 109 的例子,但是本实施方式所示的半导体装置不局限于该结构,加强膜 109 与容易受到损伤的沟道形成区域 106a 重叠而设置即可。

[0050] 例如,也可以采用在沟道形成区域 106a 的上方以覆盖第一导电膜 108 的方式设置加强膜 109 的结构(参照图 1C)。另外,加强膜 109 的面积也可以小于加强膜 103 的面积。通过以在加强膜 103 及加强膜 109 之间夹着沟道形成区域 106a 的方式设置沟道形成区域 106a,可以在半导体装置的厚度方向上使中立面位于可以抑制在沟道形成区域 106a 中产生应力的区域。因此,在对半导体装置施加诸如弯曲等的外力的情况下也可以抑制在沟道形成区域 106a 中产生应力。从而,可以降低薄膜晶体管 100a、100b 的损伤或破坏。另外,通过在半导体膜 106 的上下近旁设置由其杨氏模量与半导体膜 106 相比高的材料形成的加强膜,可以不改变半导体膜的性质地提高半导体膜的机械强度。另外,因为当在绝缘膜 110 中形成开口部 124 时不需要去掉加强膜 109,所以可以容易进行当形成开口部 124 时的蚀刻处理。

[0051] 另外,也可以采用在加强膜 103 上层叠加强膜 114 的结构(参照图 2)。在此情况下,以覆盖加强膜 103 及绝缘膜 102 的方式形成加强膜 114。如此,通过设置加强膜 114 可以防止半导体膜 106 的下方暴露于杂质或水分。另外,也可以提高半导体膜 106 的下方的机械强度。另外,也可以采用在绝缘膜 102 上设置加强膜 114 的结构。在层叠加强膜 103 及加强膜 114 的情况下,优选将加强膜 103 和加强膜 114 的总计设定为 50nm 以上且 200nm 以下。加强膜 109 的面积优选大于加强膜 103 的面积。

[0052] 虽然在图 1A 至 1C 中表示在一个岛状加强膜 103 上设置一个半导体膜 106 的例子,但是不局限于此。如图 3 所示,也可以采用在一个加强膜 103 上设置多个岛状半导体膜 106 的结构。当在一个加强膜 103 上设置多个岛状半导体膜时,因为可以减少加强膜 103 端部中的水平差,所以可以防止掩模的不一致等所导致的半导体膜 106 的破裂。

[0053] 在多个岛状半导体膜 106 分别所具有的沟道形成区域的上方隔着栅极绝缘膜 107 设置有第一导电膜。另外,以覆盖栅极绝缘膜 107 及第一导电膜 108 的方式设置有加强膜 109,并且以覆盖栅极绝缘膜 107 及第一导电膜 108 的方式设置有绝缘膜 110。通过设置于绝缘膜 110 中的开口部 124,杂质区域 106b 和设置于绝缘膜 110 上的第二导电膜 111 电连接。

[0054] 注意,虽然在本实施方式中以薄膜晶体管为例子进行说明,但是也可以设置有机晶体管而代替薄膜晶体管。

[0055] 如上所述,通过在半导体膜的上下近旁设置由与半导体膜 106 的杨氏模量相比高的材料形成的加强膜,可以在半导体装置的厚度方向上,使对进行诸如弯曲等的变形不产生拉伸应力或压缩应力等的弯曲的中立面(没有伸缩性的面)位于可以抑制在半导体膜中产生应力的区域。就是说,可以使半导体装置的中立面位于对半导体装置优选的区域。因此,即使在半导体装置的制造工序中或当完成之后使用此时对该半导体装置施加诸如弯曲等的外力,也可以抑制产生于晶体管等的元件中的应力。从而,可以降低晶体管等的元件的损伤,并且可以实现半导体装置的成品率或可靠性的提高。

[0056] 本实施方式所示的半导体装置的结构可以与其他实施方式所示的半导体装置的结构组合来实施。

[0057] 实施方式 2

[0058] 在本实施方式中,参照附图对上述实施方式 1 所示的半导体装置的制造方法的一例进行说明。注意,在本实施方式中,对在支撑衬底上形成薄膜晶体管等的元件之后从该支撑衬底剥离元件且将其转置到其他衬底的工序进行说明。注意,在本说明书中,转置是指将形成在衬底上的元件移动到其他衬底。

[0059] 首先,在衬底 120 的一个表面上形成剥离层 121,其次形成用作缓冲层的绝缘膜 102 和加强膜。注意,剥离层 121、绝缘膜 102 和加强膜也可以连续地形成。接着,使用通过光刻法形成的由抗蚀剂构成的掩模对加强膜选择性地蚀刻,而形成岛状加强膜 103(参照图 4A)。

[0060] 作为衬底 120,可以使用玻璃衬底、石英衬底、金属衬底、不锈钢衬底等。因为只要是这种衬底就对其面积或形状没有大的限制,所以若作为衬底 120 使用诸如其一边为一米以上且其形状为矩形的衬底,则可以格外地提高生产率。与使用圆形的硅衬底的情况相比,该优点具有大的优越性。另外,虽然在本工序中在衬底 120 的整个面上设置有剥离层 121,但是也可以根据需要在衬底 120 的整个面上设置剥离层之后使用光刻法选择性地设置剥离层 121。另外,虽然在本工序中以接触于衬底 120 的方式形成剥离层 121,但是也可以根据需要在衬底 120 的方式形成用作基底的绝缘膜并且以接触于该绝缘膜的方式形成剥离层 121。

[0061] 作为剥离层 121,可以使用金属膜或金属膜及金属氧化膜的叠层结构。作为金属膜,可以采用由选自钨(W)、钼(Mo)、钛(Ti)、钽(Ta)、铌(Nb)、镍(Ni)、钴(Co)、锆(Zr)、锌(Zn)、钌(Ru)、铑(Rh)、钯(Pd)、锇(Os)、以及铱(Ir)中的元素或以上述元素为主要成分的合金材料或者化合物材料构成的膜的单层结构或叠层结构而形成。上述材料使用溅射法或诸如等离子体 CVD 法等的各种 CVD 法而形成。作为金属膜和金属氧化膜的叠层结构,在形成上述金属膜之后,进行在氧气氛中或在  $\text{NO}_2$  气氛中的等离子体处理、在氧气氛中或在  $\text{NO}_2$  气氛中的加热处理,以在金属膜的表面上设置该金属膜的氧化物或氧氮化物。在上述情况下,通过对钨膜进行等离子体处理,可以在钨膜的表面上形成由钨氧化物构成的金属氧化物。

[0062] 绝缘膜 102 用作缓冲层。设置绝缘膜 102,以便在以后进行的剥离工序中容易进行剥离层 121 及用作缓冲层的绝缘膜 102 的界面中的剥离,或者以便在以后进行的剥离工序中防止在半导体元件或布线 中产生龟裂或受到损坏。用作缓冲层的绝缘膜 102 采用溅

射法、等离子体 CVD 法、涂布法、印刷法等且使用无机化合物以单层或叠层形成。作为无机化合物的代表例子,可以举出氧化硅 ( $\text{SiO}_x$ )、氮化硅 ( $\text{SiN}_x$ )、氧氮化硅 ( $\text{SiO}_x\text{N}_y$ ) ( $x>y$ )、氮氧化硅 ( $\text{SiN}_x\text{O}_y$ ) ( $x>y$ ) 等。用作缓冲层的绝缘膜 102 的厚度优选为 10nm 至 1000nm、更优选为 100nm 至 700nm。在此,使用等离子体 CVD 法形成厚度为 500nm 至 700nm 的氧氮化硅膜。

[0063] 接着,使用溅射法、等离子体 CVD 法、涂布法、印刷法等,在剥离层 121 上形成加强膜。加强膜可以使用氮化硅、氮氧化硅、矾土等的陶瓷、金属氧化物、金属氮化物而形成。通过使用氮化硅或氮氧化硅等,可以防止从外部水分或氧等气体侵入以后形成的元件形成层 134,并且还可以防止半导体膜的下方暴露于杂质。另外,也可以使用钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铝 (Al)、铜 (Cu)、铬 (Cr)、铌 (Nb)、镍 (Ni)、钴 (Co)、锆 (Zr)、锌 (Zn)、钌 (Ru)、铑 (Rh)、钯 (Pd)、锇 (Os)、铱 (Ir) 等的金属的氧化物或氮化物而形成加强膜。加强膜的厚度优选为 50nm 至 200nm。在此,在使用等离子体 CVD 法形成厚度为 50nm 至 200nm 的氮化硅之后,使用通过光刻法形成的由抗蚀剂构成的掩模选择性地蚀刻,而形成岛状加强膜 103。

[0064] 接下来,在以覆盖加强膜 103 及绝缘膜 102 的方式形成绝缘膜 104 之后,形成岛状半导体膜 106 (参照图 4B)。

[0065] 绝缘膜 104 用作基层。作为绝缘膜 104 可以适当地使用与用作缓冲层的绝缘膜 102 相同的形成方法及材料。进而,作为用作基层的绝缘膜 104 也可以采用叠层结构。在作为用作基层的绝缘膜采用两层结构的情况下,例如,作为第一层形成氮氧化硅膜,并且作为第二层形成氧氮化硅膜即可。在作为用作基层的绝缘膜采用三层结构的情况下,作为第一层的绝缘膜形成氧化硅膜,且作为第二层的绝缘膜形成氮氧化硅膜,并且作为第三层的绝缘膜形成氧氮化硅膜。或者,作为第一层的绝缘膜形成氧氮化硅膜,且作为第二层的绝缘膜形成氮氧化硅膜,并且作为第三层的绝缘膜形成氧氮化硅膜即可。成为基底的膜用作防止来自衬底 120 的杂质的侵入的阻挡膜。

[0066] 形成岛状半导体膜 106 的步骤为如下:在形成非晶半导体膜且对非晶半导体膜进行晶化来使其变成晶态半导体膜之后,使用光刻法形成由抗蚀剂构成的掩模,并且对晶态半导体膜选择性地蚀刻。

[0067] 使用溅射法、LPCVD 法、等离子体 CVD 法等且以 25nm 至 200nm (优选为 30nm 至 150nm) 的厚度形成非晶半导体膜。

[0068] 接下来,对非晶半导体膜照射激光而进行晶化。注意,也可以使用组合激光的照射以及利用 RTA 或退火炉的热结晶法、使用促进晶化的金属元素的热结晶法的方法等进行非晶半导体膜的晶化。

[0069] 以下对岛状半导体膜 106 的制造工序的一例简单地进行说明。首先,使用等离子体 CVD 法形成厚度为 50nm 至 60nm 的非晶半导体膜。接着,在非晶半导体膜上保持包含促进晶化的金属元素的镍的溶液之后,对非晶半导体膜进行脱氢处理 (500℃, 一个小时) 和热结晶处理 (550℃, 四个小时),而形成晶态半导体膜。然后,通过照射激光,使用光刻法形成由抗蚀剂构成的掩模,并且对半导体膜选择性地蚀刻,而形成岛状半导体膜 106。注意,也可以不进行使用促进晶化的金属元素的热晶化而只照射激光来进行非晶半导体膜的晶化。

[0070] 栅极绝缘膜 107 使用 CVD 法或溅射法等并且由包含硅的氧化物、硅的氮化物的膜

的单层或叠层形成。例如,由氧化硅膜、氧氮化硅膜、氮氧化硅膜中的任一种的单层形成,或者组合且层叠氧化硅膜、氧氮化硅膜、氮氧化硅膜而形成。

[0071] 此外,栅极绝缘膜 107 也可以对半导体膜 106 进行等离子体处理而使其表面氧化或氮化来形成。例如,使用引入诸如 He、Ar、Kr、Xe 等稀有气体和氧、氧化氮 ( $\text{NO}_2$ )、氨、氮或氢等的混合气体的等离子体处理形成栅极绝缘膜 107。通过利用微波的引入进行在此情况下的等离子体的激发,可以产生低电子温度且高密度的等离子体。通过使用由该高密度等离子体产生的氧自由基(有时含有 OH 自由基)或氮自由基(有时含有 NH 自由基),可以将半导体膜的表面氧化或氮化。

[0072] 进行使用上述等离子体的处理在半导体膜上形成厚度为 1nm 至 20nm,典型地为 5nm 至 10nm 的绝缘膜。由于此情况下的反应为固相反应,因此可以使该绝缘膜和半导体膜之间的界面态密度极低。由于上述等离子体处理将半导体膜(晶体硅或多晶硅)直接氧化(或氮化),所以可以使所形成的绝缘膜的厚度的不均匀性变得极小。而且,由于在晶体硅的晶界中也不会进行强烈的氧化,所以成为非常优选的状态。换言之,通过进行在此所示的等离子体处理将半导体膜的表面固相氧化,可以形成均匀性良好且界面态密度低的绝缘膜,而不会在晶界中引起异常的氧化反应。

[0073] 作为栅极绝缘膜 107,既可以仅使用通过等离子体处理形成的绝缘膜,又可以在其上通过利用等离子体或热反应的 CVD 法堆积氧化硅、氧氮化硅或氮化硅等的绝缘膜来层叠。不管为上述哪一种情况,都可以降低如下晶体管的特性的不均匀性,该晶体管在其栅极绝缘膜的一部分或全部中包含利用等离子体形成的绝缘膜而形成。

[0074] 通过一边对半导体膜照射连续振荡激光或以 10MHz 以上的频率振荡的激光一边在一个方向上进行扫描而将该半导体膜晶化,可以获得半导体膜 106。该半导体膜 106 具有其晶体沿该激光束的扫描方向成长的特性。通过使其扫描方向与沟道长度方向(当形成沟道形成区域时载流子流动的方向)一致而配置晶体管并且将利用上述等离子体形成的栅极绝缘膜用于该晶体管,可以获得特性不均匀性小且电场效应迁移率高的薄膜晶体管(TFT)。

[0075] 接着,在栅极绝缘膜 107 上形成用于形成栅电极的导电膜。在此,依次层叠而形成导电膜 122 和导电膜 123(参照图 4C)。导电膜 122 使用 CVD 法或溅射法且以 20nm 至 100nm 的厚度形成。导电膜 123 使用等离子体 CVD 法或溅射法且以 100nm 至 400nm 的厚度形成。导电膜 122 和导电膜 123 使用选自钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)和铌(Nb)等中的元素、以这些元素为主要成分的合金材料或化合物材料、或者包含这些元素以及硅(Si)元素的合金材料或化合物材料形成。或者,使用以掺杂磷等杂质元素的多晶硅为代表的半导体材料(例如,硅(Si))形成。作为导电膜 122 和导电膜 123 的组合的例子,可以举出氮化钽膜和钨膜、氮化钨膜和钨膜、或者氮化钼膜和钼膜等。由于钨和氮化钽具有高耐热性,因此在形成导电膜 122 和导电膜 123 之后可以进行以热激活为目的的加热处理。此外,在不采用两层结构而采用三层结构的情况下,优选采用钼膜、铝膜和钼膜的叠层结构。

[0076] 接着,通过使用光刻法形成由抗蚀剂构成的掩模,并且对导电膜 122 和导电膜 123 选择性地蚀刻,而形成第一导电膜 108。然后以该第一导电膜 108 为掩模对半导体膜 106 引入杂质元素形成沟道形成区域 106a 和杂质区域 106b(参照 4D)。在薄膜晶体管中第

一导电膜 108 用作栅电极（包括栅极布线），并且在薄膜晶体管中杂质区域 106b 用作源区域或漏区域。

[0077] 另外，作为所引入的杂质元素，使用 n 型的杂质元素或 p 型的杂质元素。作为 n 型的杂质元素，可以使用磷 (P)、砷 (As) 等。作为 p 型的杂质元素，可以使用硼 (B)、铝 (Al)、镓 (Ga) 等。在此，作为杂质元素使用磷 (P)，而形成 n 型的薄膜晶体管。

[0078] 接下来，以覆盖第一导电膜 108 和栅极绝缘膜 107 的方式形成加强膜 125（参照图 4E）。

[0079] 作为加强膜 125，可以适当地使用与加强膜 103 相同的形成方法及材料。另外，加强膜 125 的厚度优选为 100nm 以上且 400nm 以下。

[0080] 接着，使用光刻法形成由抗蚀剂构成的掩模，并且对加强膜 125 选择性地蚀刻，而形成加强膜 109（参照图 5A）。通过在由与半导体膜 106 的杨氏模量相比高的材料形成的加强膜 109 和加强膜 103 之间夹着半导体膜 106 而设置半导体膜 106，可以在半导体装置的厚度方向上使对诸如弯曲等的变形不产生拉伸应力或压缩应力等的弯曲的中立面位于可以抑制在半导体膜 106 中产生应力的区域。因此，在对半导体装置施加诸如弯曲等的外力的情况下也可以抑制在半导体膜 106 中产生应力。

[0081] 接着，在以覆盖栅极绝缘膜 107、加强膜 109 的方式形成用作层间绝缘膜的绝缘膜 110 之后，形成到达半导体膜 106 的杂质区域 106b 的开口部 124，而使半导体膜 106 的表面的一部分露出（参照图 5B）。在此，对栅极绝缘膜 107、加强膜 109 及绝缘膜 110 的一部分进行蚀刻形成开口部 124。

[0082] 绝缘膜 110 可以采用由如下材料构成的单层结构或叠层结构设置，该材料为：诸如氧化硅、氮化硅、氧氮化硅、氮氧化硅等的具有氧或氮的绝缘膜、DLC（类金刚石碳）等包含碳的膜、环氧、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯等的有机材料或者诸如硅氧烷树脂等硅氧烷材料。

[0083] 接着，以对开口部 124 填充的方式选择性地形成第二导电膜 111，并且以覆盖该第二导电膜 111 的方式形成绝缘膜 112（参照图 5C）。

[0084] 导电膜 111 利用 CVD 法或溅射法等，且采用选自铝 (Al)、钨 (W)、钛 (Ti)、钽 (Ta)、钼 (Mo)、镍 (Ni)、铂 (Pt)、铜 (Cu)、金 (Au)、银 (Ag)、锰 (Mn)、钕 (Nd)、碳 (C)、硅 (Si) 中的元素或者以这些元素为主要成分的合金材料或化合物材料的单层或叠层形成。以铝为主要成分的合金材料例如相当于以铝为主要成分且含有镍的材料或者以铝为主要成分且含有镍以及碳或硅中的一方或两方的合金材料。作为导电膜 111，例如优选采用由阻挡膜、铝硅 (Al-Si) 膜以及阻挡膜组成的叠层结构或者由阻挡膜、铝硅 (Al-Si) 膜、氮化钛膜以及阻挡膜组成的叠层结构。注意，阻挡膜相当于由钛、钛的氮化物、钼或钨的氮化物构成的薄膜。因为铝或铝硅的电阻低且价格低廉，所以作为形成导电膜 111 的材料最合适。此外，当设置上层和下层的阻挡层时，可以防止铝或铝硅的小丘的产生。此外，当形成由还原性高的元素的钛构成的阻挡膜时，即使在晶态半导体膜上形成有较薄的自然氧化膜，也可以使该自然氧化膜还原，而与晶态半导体膜良好地接触。注意，也可以使用与第一导电膜 108 相同材料设置。

[0085] 绝缘膜 112 可以采用由如下材料构成的单层结构或叠层结构而设置，该材料为：诸如氧化硅、氮化硅、氧氮化硅、氮氧化硅等具有氧或氮的绝缘膜、DLC（类金刚石碳）等包

含碳的膜、环氧、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯等的有机材料或者诸如硅氧烷树脂等硅氧烷材料。

[0086] 接着,从衬底 120 剥离包括薄膜晶体管 100a、100b 等的元件形成层 134。在此,在照射激光(例如 UV 光)将开口部形成于元件形成层 134 中之后,将元件形成层 134 的一方的面(绝缘膜 112 露出的面)贴合到第一薄片 126 并且利用物理力从衬底 120 剥离元件形成层 134(参照图 6A)。

[0087] 此外,也可以在从衬底 120 剥离元件形成层 134 之前,将开口部设置于元件形成层 134 中并且引入蚀刻剂而去掉剥离层 121。作为蚀刻剂,可以使用含有氟化卤素或卤素间化合物的气体或液体。例如,作为含有氟化卤素的气体可以使用三氟化氯( $\text{ClF}_3$ )。

[0088] 一般,当从衬底 120 剥离元件形成层 134 时,在薄膜晶体管 100a、100b 中产生应力,而有可能使该薄膜晶体管 100a、100b 受到破坏。但是,通过将由与半导体膜 106 相比杨氏模量高的材料形成的加强膜 103 及加强膜 109 设置于半导体膜 106,在对元件形成层 134 施加诸如弯曲等的外力的情况下也可以抑制产生于半导体膜 106 的应力。从而,可以降低薄膜晶体管 100a、100b 的损伤或破坏。尤其当在支撑衬底上形成晶体管等的元件之后将其转置到别的衬底时,设置加强膜 103、109 非常有效。

[0089] 注意,通过当进行剥离时使用水或臭氧水等水溶液濡湿要剥离的面,可以防止静电等破坏薄膜晶体管 100a、100b 等的元件。

[0090] 接下来,在元件形成层 134 的另一方的面(从衬底 120 剥离的面)上设置第二薄片 127,然后进行加热处理和加压处理中的一方或者两方,而将第二薄片 127 贴合到元件形成层 134(参照图 6B)。作为第一薄片 126、第二薄片 127 可以使用热熔薄膜、形成有粘合层的塑料薄膜或纸。或者,作为第一薄片 126、第二薄片 127,为了提高耐压性也可以使用薄的陶瓷、所谓预浸料,就是说使树脂渗入到碳纤维或玻璃纤维的织物的薄片。通过作为第一薄片 126、第二薄片 127 的材料使用具有柔性的材料,可以提供适用于贴合到物品的曲面的半导体装置。

[0091] 作为第一薄片 126、第二薄片 127 也可以使用进行了防止静电等的抗静电处理的薄膜(以下写为抗静电薄膜)。作为抗静电薄膜,可以举出在树脂中分散抗静电材料的薄膜以及贴合有抗静电材料的薄膜等。设置有抗静电材料的薄膜既可以为在单面上设置有抗静电材料的薄膜,又可以为双面上设置有抗静电材料的薄膜。再者,至于在单面上设置有抗静电材料的薄膜,既可以以使设置有抗静电材料的面位于薄膜的内侧的方式贴合到层上,又可以以使设置有抗静电材料的面位于薄膜的外侧的方式贴合到层上。注意,该抗静电材料设置于薄膜的整个面或一部分上即可。在此,作为抗静电材料,可以使用金属、铟和锡的氧化物(ITO)、诸如两性表面活性剂、阳离子表面活性剂、非离子表面活性剂等表面活性剂。此外,作为其他抗静电材料,还可以使用包含具有羧基和季铵碱作为侧链的交联共聚物高分子的树脂材料等。通过将这些材料贴上、揉入或涂敷到薄膜可以形成抗静电薄膜。通过使用抗静电薄膜密封元件形成层,当作为商品使用时,可以抑制来自外部的静电等给半导体元件负面影响。

[0092] 另外,也可以在设置第二薄片 127 的同时或之后剥离第一薄片 126。通过去掉第一薄片 126 可以将半导体装置形成得更薄。注意,在此情况下,作为第一薄片 126 例如可以使用通过加热来粘合力变弱的热剥离胶带。第一薄片及第二薄片有时称为衬底,并且第二薄

片 127 相当于图 1A 至 1C 的衬底 101。

[0093] 经过上述工序,可以制造半导体装置。

[0094] 如此,通过在半导体膜的上下近旁设置由与半导体膜的杨氏模量相比高的材料形成的加强膜,可以在半导体装置的厚度方向上,使对诸如弯曲等的变形不产生拉伸应力或压缩应力的弯曲的中立面(没有伸缩性的面)位于可以抑制在半导体膜中产生应力的区域。就是说,可以使半导体装置的中立面位于对半导体装置优选的区域。因此,即使在半导体装置的制造工序中或当完成之后使用此时对该半导体装置施加诸如弯曲等的外力,也可以抑制产生于晶体管等的元件中的应力。从而,可以降低晶体管等的元件的损伤,并且可以实现半导体装置的成品率或可靠性的提高。

[0095] 注意,虽然在本实施方式中表示在支撑衬底上形成薄膜晶体管之后从该支撑衬底剥离元件且将其转置到其他衬底的工序,但是本实施方式所示的制造方法不局限于此。例如,也可以在衬底 101 上直接设置薄膜晶体管 100a、100b。在此情况下,在上述工序中使用衬底 101 代替衬底 120,而不设置剥离层 121 即可。作为衬底 101,可以使用玻璃衬底、石英衬底、不锈钢衬底等的金属衬底或塑料衬底等。

[0096] 注意,本实施方式所示的半导体装置的制造方法可以与其他实施方式所示的半导体装置的制造方法组合来实施。

[0097] 实施方式 3

[0098] 在本实施方式中,参照附图对如下情况进行说明:在上述实施方式 1 及实施方式 2 所示的半导体装置的薄膜晶体管中,以接触于用作栅电极的第一导电膜的侧面的方式形成绝缘膜,并且在该绝缘膜的下方形成 LDD 区域。

[0099] 图 7A 及 7B 表示本实施方式所示的半导体装置的一例。注意,图 7A 表示俯视图,并且图 7B 表示图 7A 的 A-B 之间的截面图。

[0100] 本实施方式所示的半导体装置具有薄膜晶体管 100a、100b,并且以与包括于薄膜晶体管 100a、100b 的用作栅电极的第一导电膜 108 的侧面接触的方式设置有绝缘膜 130(参照图 7A 及 7B)。绝缘膜 130 也称为侧壁,并且也可以采用在该绝缘膜 130 的下方设置 LDD 区域的结构。图 7B 表示在图 1A 至 1C 所示的结构中设置绝缘膜 130 及用作 LDD 区域的杂质区域 106c 的结构。

[0101] 接着,以下参照图 8A 至 8D 对绝缘膜 130 的制造方法的一例进行说明。

[0102] 首先,在到上述实施方式 2 的图 4C 为止使用相同的方法形成之后,使用光刻法形成由抗蚀剂构成的掩模,并且对导电膜 122、导电膜 123 选择性地蚀刻形成第一导电膜 108。其次,以该第一导电膜 108 为掩模将第一杂质元素引入到半导体膜 106,而形成沟道形成区域 106a 和杂质区域 128(参照图 8A)。作为第一杂质元素,使用 n 型的杂质元素或 p 型的杂质元素。作为 n 型的杂质元素,可以使用磷(P)或砷(As)等。作为 p 型的杂质元素,可以使用硼(B)、铝(Al)或镓(Ga)等。在此,表示作为杂质元素使用磷(P),且形成 n 型的薄膜晶体管的情况。

[0103] 接下来,以覆盖第一导电膜 108、栅极绝缘膜 107 的方式形成绝缘膜 129(参照图 8B)。绝缘膜 129 使用等离子体 CVD 法或溅射法等且采用包含硅、硅的氧化物或硅的氮化物的无机材料的膜或者包含有机树脂等的有机材料的膜的单层或叠层而形成。

[0104] 接着,使用以垂直方向为主体的各向异性蚀刻对绝缘膜 129 选择性地蚀刻,

而形成与第一导电膜 108 的侧面接触的绝缘膜 130 (侧壁)。注意,有时与绝缘膜 130 的形成同时,对栅极绝缘膜 107 的一部分或绝缘膜 104 的一部分进行蚀刻而去掉此 (参照图 8C)。通过去掉栅极绝缘膜 107 的一部分,残留的栅极绝缘膜 107 形成于第一导电膜 108 及绝缘膜 130 的下方。

[0105] 接下来,以第一导电膜 108 及绝缘膜 130 为掩模对半导体膜 106 引入第二杂质元素,而形成用作源区域或漏区域的杂质区域 106b 和用作 LDD 区域的杂质区域 106c (参照图 8C)。作为第二杂质元素,使用 n 型的杂质元素或 p 型的杂质元素。作为 n 型的杂质元素,可以使用磷 (P) 或砷 (As) 等。作为 p 型的杂质元素,可以使用硼 (B)、铝 (Al) 或镓 (Ga) 等。注意,将第二杂质元素的浓度设定得比上述第一杂质元素高且引入。在此,作为杂质元素使用磷 (P)。

[0106] 接着,以覆盖半导体膜 106、第一导电膜 108 及绝缘膜 130 的方式形成加强膜 109 (参照图 8D)。加强膜 109 的形成方法与图 4E、图 5A 相同。然后,经过上述实施方式 2 所示并且图 5B、5C、图 6A 及图 6B 所示的工序,可以制造图 7A、7B 所示的半导体装置。

[0107] 如上所述,通过由其杨氏模量与半导体膜 106 的杨氏模量相比高的材料形成的加强膜 103 和加强膜 109 之间夹着半导体膜 106 而设置半导体膜 106,可以在半导体装置的厚度方向上,使中立面位于可以抑制在半导体膜 106 中产生应力的区域。因此,在对半导体装置施加诸如弯曲等的外力的情况下也可以抑制在半导体膜 106 中产生应力。另外,通过在半导体膜的上下近旁设置由其杨氏模量与半导体膜 106 的杨氏模量相比高的材料形成的加强膜,可以不改变半导体膜的性质地提高半导体膜的机械强度。从而,可以降低晶体管等的元件的损伤,并且可以实现半导体装置的成品率或可靠性的提高。

[0108] 虽然在图 7A、7B 及图 8A 至 8D 中表示在岛状加强膜 103 上形成绝缘膜 104 而设置岛状半导体膜 106 的例子,但是不局限于此。如图 9A、9B 所示那样,也可以采用在加强膜 103 上设置半导体膜 106 的结构。

[0109] 在图 9A 中,在岛状加强膜 103 上设置有岛状半导体膜 106,将开口部设置于栅极绝缘膜 107 中,并且采用在该开口部中岛状加强膜 103 和岛状加强膜 109 相接触。另外,在图 9B 中,在岛状加强膜 103 上设置有岛状半导体膜 106,并且以与用作栅电极的第一导电膜 108 的侧面接触的方式设置有绝缘膜 130。以覆盖绝缘膜 102、岛状加强膜 103、半导体膜 106、绝缘膜 130 及第一导电膜 108 的方式设置有加强膜 109,并且岛状加强膜 103 和岛状加强膜 109 相接触。

[0110] 如上所述,通过由其杨氏模量与半导体膜 106 的杨氏模量相比高的材料形成的加强膜 103 和加强膜 109 之间夹着半导体膜 106 而设置半导体膜 106,可以在半导体装置的厚度方向上,使中立面位于可以抑制在半导体膜 106 中产生应力的区域。因此,在对半导体装置施加诸如弯曲等的外力的情况下也可以抑制在半导体膜 106 中产生应力。另外,通过在半导体膜的上下近旁设置由其杨氏模量与半导体膜的杨氏模量相比高的材料形成的加强膜,可以不改变半导体膜的性质地提高半导体膜的机械强度。进而,通过以彼此接触的方式设置加强膜 103 及加强膜 109,可以防止使半导体膜 106 暴露于杂质或水分。从而,可以降低晶体管等的元件的损伤,并且可以实现半导体装置的成品率或可靠性的提高。

[0111] 如此,通过采用图 7A 至图 9B 所示的结构,即使在半导体装置的制造工序中或当完成之后使用此时对该半导体装置施加诸如弯曲等的外力,也可以抑制产生于晶体管等的元

件中的应力。从而,可以降低晶体管等的元件的损伤,并且可以实现半导体装置的成品率或可靠性的提高。

[0112] 注意,本实施方式所示的半导体装置的结构或其制造方法可以与其他实施方式所示的半导体装置的结构或制造方法组合而实施。

#### [0113] 实施方式 4

[0114] 在本实施方式中,参照附图对与上述实施方式不同的半导体装置进行说明。虽然在实施方式 1 至实施方式 3 中表示以使加强膜 103 与半导体膜 106 的整个面重叠的方式设置加强膜 103 的例子,但是本实施方式的半导体装置不局限于此,只要是重叠加强膜 103 和半导体膜 106 的至少一部分的结构即可。参照图 10A 及 10B 对其一例进行说明。注意,图 10A 表示俯视图,并且图 10B 表示图 10A 的 A-B 之间的截面图。

[0115] 在图 10A 及 10B 所示的半导体装置中,加强膜 103 隔着绝缘膜 104 且以与构成薄膜晶体管 100a、100b 的岛状半导体膜 106 的一部分重叠的方式设置为岛状。在如此设置加强膜 103 的情况下,优选与半导体膜 106 的沟道形成区域 106a 的整个面重叠且与杂质区域 106b 的一部分重叠的方式设置加强膜 103。因为在沟道形成区域 106a 的端部中用作栅电极的导电膜 108 越过半导体膜 106 所以产生水平差,因此,如果以与沟道形成区域 106a 的一部分重叠的方式设置加强膜 103,则导电膜 108 和半导体膜 106 有可能短路。

[0116] 另外,在以与半导体膜 106 的一部分重叠的方式设置加强膜 103 的情况下,优选以重叠的方式设置加强膜 103 和第二导电膜 111。图 10A 及 10B 表示以重叠的方式设置加强膜 103 的端部和第二导电膜 111 的端部的例子。通过以与第二导电膜 111 重叠的方式设置加强膜 103、加强膜 109,可以在半导体装置的厚度方向上,使对诸如弯曲等的变形不产生拉伸应力或压缩应力等的弯曲的中立面位于可以抑制在半导体膜中产生应力的区域。因此,即使在半导体装置的制造工序中或当完成之后使用此时对该半导体装置施加诸如弯曲等的外力,也可以抑制产生于晶体管等的元件中的应力。从而,可以降低晶体管等的元件的损伤,并且可以实现半导体装置的成品率或可靠性的提高。

#### [0117] 实施方式 5

[0118] 在本实施方式中,参照附图对与上述实施方式不同的半导体装置进行说明。具体而言,对在该薄膜晶体管的上方设置成为晶体管等的元件的加强膜的膜的半导体装置进行说明。

[0119] 参照图 11 对本实施方式所示的半导体装置的一例进行说明。

[0120] 在图 11 所示的半导体装置中,在薄膜晶体管 100a、100b 的上方隔着绝缘膜(在此为绝缘膜 110)设置有加强膜 133。加强膜 133 以隔着绝缘膜等与构成薄膜晶体管 100a、100b 的岛状半导体膜 106 重叠的方式设置为岛状,并且加强膜 133 的面积大于该半导体膜 106 的面积。当然,作为加强膜 133 不一定需要采用与半导体膜 106 的整个面重叠的结构,也可以采用至少与半导体膜 106 的一部分重叠的结构。

[0121] 如上所述,通过以由其杨氏模量与半导体膜 106 的杨氏模量相比高的材料形成的加强膜 103 和加强膜 109 之间夹着半导体膜 106 的方式设置半导体膜 106,可以在半导体的厚度方向上,使中立面位于可以抑制在半导体膜中产生应力的区域。因此,在对半导体装置施加诸如弯曲等的外力的情况下也可以抑制在半导体膜 106 中产生应力。另外,通过在半导体膜的上下近旁设置由其杨氏模量与半导体膜的杨氏模量相比高的材料形成的加强膜,

可以不改变半导体膜的性质地提高半导体膜的机械强度。从而,可以降低晶体管等的元件的损伤,并且可以实现半导体装置的成品率或可靠性的提高。

[0122] 注意,本实施方式所示的半导体装置的结构可以与其他实施方式所示的半导体装置的结构组合而实施。

[0123] 实施方式 6

[0124] 在本实施方式中,对上述实施方式所示的半导体装置的使用方式的一个例子进行说明。具体而言,以下参照附图对能够无接触地输入/输出数据的半导体装置的适用例子进行说明。根据使用方式,能够无接触地输入/输出数据的半导体装置也称为 RFID 标签、ID 标签、IC 标签、IC 芯片、RF 标签、无线标签、电子标签或无线芯片。

[0125] 参照图 12A 对本实施方式所示的半导体装置的俯视结构的一例进行说明。图 12A 所示的半导体装置 140 包括设置有构成存储器部或逻辑部的多个薄膜晶体管等元件的集成电路 141(也写为元件形成层)和用作天线的导电层 142。用作天线的导电层 142 电连接到集成电路 141。作为集成电路 141,可以使用根据上述实施方式 1 至 5 的晶体管等的元件。

[0126] 另外,图 12B 和 12C 表示图 12A 的截面的模式图。用作天线的导电层 142 设置在构成存储器部及逻辑部的元件的上方即可。例如,可以在上述实施方式 3 所示的结构的上方向中间夹着绝缘膜 143 设置用作天线的导电层 142(参照图 12B)。绝缘膜 143 可以由与实施方式 1 所示的绝缘膜 112 相同材料形成。另外,在将用作天线的导电层 142 另行设置于衬底 144 上之后,可以中间夹着导电层 142 贴合该衬底 144 和集成电路 144 而设置(参照图 12C)。这里,设置在绝缘膜 143 上的导电层 147 和用作天线的导电层 142 隔着包含在具有粘结性的树脂 146 中的导电粒子 145 彼此电连接。

[0127] 注意,虽然在本实施方式中表示将用作天线的导电层 142 设置为线圈状并且使用电磁感应方式或电磁耦合方式的例子,但是本实施方式的半导体装置不局限于此,也可以使用微波方式。在采用微波方式的情况下,根据所使用的电磁波的波长适当地决定用作天线的导电层 142 的形状即可。

[0128] 例如,在作为半导体装置 140 的信号传输方式使用微波方式(例如,UHF 带(860MHz 带至 960MHz 带)、2.45GHz 带等)的情况下,考虑到用于传输信号的电磁波的波长适当地设定用作天线的导电层的长度等的形状即可。例如,可以将用作天线的导电层形成线状(例如,偶极天线(参照图 13A))、平坦的形状(例如,平板天线(参照图 13B))或者蝴蝶型的形状(参照图 13C 及 13D)等。另外,用作天线的导电层 142 的形状不局限于线状,还可以考虑到电磁波的波长来以曲线状、蜿蜒形状或者组合这些而成的形状而设置。

[0129] 用作天线的导电层 142 利用 CVD 法、溅射法、丝网印刷或凹版印刷等印刷法、液滴喷射法、分配器法、镀敷法等且使用导电材料形成。作为导电材料使用铝(Al)、钛(Ti)、银(Ag)、铜(Cu)、金(Au)、铂(Pt)、镍(Ni)、钯(Pd)、钽(Ta)、钼(Mo)等金属元素或包含该金属元素的合金材料或者化合物材料,并且采用单层结构或者叠层结构来形成导电层 142。

[0130] 例如,在使用丝网印刷法形成用作天线的导电层 142 的情况下,可以通过选择性地印刷将其粒径为几 nm 至几十  $\mu\text{m}$  的导电粒子溶解或分散在有机树脂中的导电膏来设置。作为导电粒子 145,可以使用银(Ag)、金(Au)、铜(Cu)、镍(Ni)、铂(Pt)、钯(Pd)、钽(Ta)、钼(Mo)以及钛(Ti)等中的任一种以上的金属粒子、卤化银的微粒子或者分散纳米粒子。另

外,作为包含在导电膏中的有机树脂,可以使用选自金属粒子的粘合剂、溶剂、分散剂以及用作覆盖材料的有机树脂中的一种或多种。典型地可以举出环氧树脂、硅树脂等有机树脂。此外,当形成导电层时,优选在挤出导电膏之后进行焙烧。例如,在作为导电膏的材料使用以银为主要成分的微粒子(例如其粒径为 1nm 以上且 100nm 以下的微粒子)的情况下,可以通过在 150℃至 300℃的温度范围内进行焙烧来使它固化而形成导电层。另外,也可以使用以焊料或无铅焊料为主要成分的微粒子,在此情况下,优选使用粒径为 20 μm 以下的微粒子。焊料或无铅焊料具有诸如低成本等的优点。

[0131] 如此,因为通过将本发明用于能够无接触地输入/输出数据的半导体装置,可以实现低耗电量化,所以尤其在将本发明用于小型半导体装置的情况下有效。

[0132] 接着,对根据本实施方式的半导体装置的工作例子进行说明。

[0133] 半导体装置 80 具有无接触地进行数据通讯的功能,并且包括高频电路 81、电源电路 82、复位电路 83、时钟产生电路 84、数据解调电路 85、数据调制电路 86、控制其它电路的控制电路 87、存储电路 88、以及天线 89(参照图 14A)。高频电路 81 为接收来自天线 89 的信号并且将从数据调制电路 86 接收的信号从天线 89 输出的电路。电源电路 82 为根据接收信号生成电源电位的电路。复位电路 83 为生成复位信号的电路。时钟产生电路 84 为基于从天线 89 输入的接收信号生成各种时钟信号的电路。数据解调电路 85 为解调接收信号且将该信号输出到控制电路 87 的电路。数据调制电路 86 为调制从控制电路 87 接收的信号的电路。另外,作为控制电路 87,例如设置有代码提取电路 91、代码判定电路 92、CRC 判定电路 93、以及输出单元电路 94。此外,代码提取电路 91 为分别提取传送到控制电路 87 的指令所包括的多个代码的电路。代码判定电路 92 为对被提取的代码与相当于参考值的代码进行比较而判定指令内容的电路。CRC 判定电路 93 为基于被判定的代码检测出是否存在发送错误等的电路。在图 14A 中,除了控制电路 87 以外,还包括模拟电路的高频电路 81、电源电路 82。

[0134] 接着,对上述半导体装置的工作的一例进行说明。首先,天线 89 接收无线信号。无线信号经由高频电路 81 被传送到电源电路 82,并且产生高电源电位(以下,写为 VDD)。VDD 被供应给半导体装置 80 所具有的各电路。另外,经由高频电路 81 被传送到数据解调电路 85 的信号被解调(以下,写为解调信号)。而且,经由高频电路 81 并且经过复位电路 83 的信号以及经过时钟产生电路 84 的解调信号被传送到控制电路 87。代码提取电路 91、代码判定电路 92、以及 CRC 判定电路 93 等分析被传送到控制电路 87 的信号。然后,根据被分析的信号输出存储在存储电路 88 内的半导体装置的信息。被输出的半导体装置的信息经过输出单元电路 94 而被编码化。再者,被编码化的半导体装置 80 的信息经过数据调制电路 86 且从天线 89 作为无线信号发送。另外,在构成半导体装置 80 的多种电路中低电源电位(以下,称为 VSS)为通用的,并且可以以 VSS 为 GND。

[0135] 这样,通过将信号从读取/写入器传送到半导体装置 80 并且将从该半导体装置 80 传送来的信号由读取/写入器接收,可以读出半导体装置的数据。

[0136] 另外,半导体装置 80 既可以为不安装有电源(电池)而利用电磁波将电源电压供应给各电路的类型,又可以为安装有电源(电池)并且利用电磁波和电源(电池)将电源电压供应给各电路的类型。

[0137] 接着,对能够无接触地输入/输出数据的半导体装置的使用方式的一例进行说

明。在包括显示部 3210 的便携式终端的侧面设置读取 / 写入器 3200, 并且在货物 3220 的侧面设置半导体装置 3230 (参照图 14B)。当将读取 / 写入器 3200 接近货物 3220 所包括的半导体装置 3230 时, 在显示部 3210 上显示有关商品的信息诸如货物的原材料、原产地、各生产工序的检查结果、流通过程的历史、以及商品说明等。另外, 在将商品 3260 使用传送带搬运时, 可以利用读取 / 写入器 3240 和设置在商品 3260 上的半导体装置 3250, 来对该商品 3260 进行检查 (参照图 14C)。作为半导体装置 3230、半导体装置 3250, 可以使用上述半导体装置 80。这样, 通过将根据本实施方式的半导体装置用于系统, 可以容易获得信息并且实现高功能化和高附加价值化。此外, 因为根据本实施方式的半导体装置可以实现低耗电量化, 所以可以实现设置于货物的半导体装置的小型化。

[0138] 另外, 除了上述以外根据本实施方式的半导体装置的用途很广泛, 还可以用于任何东西, 只要是无接触地明确对象物的历史等信息而有利于生产、管理等的商品。因为根据本实施方式的半导体装置在施加诸如弯曲等的外力的情况下也可以降低晶体管等的元件的损伤, 所以可以将其设置于所有物品 (包括生物) 而使用。

#### [0139] 实施方式 7

[0140] 在本实施方式中, 对上述实施方式的半导体装置的使用方式的一例进行说明。半导体装置可以用作例如设置在纸币、硬币、有价证券类、无记名债券类、证书类 (驾驶执照、居民证等)、包装容器类 (包装纸、瓶等)、记录媒体 (DVD 软件、录像磁带等)、交通工具类 (自行车等)、个人用品 (包、眼镜等)、食品类、植物类、动物类、人体、衣物、生活用品类、以及电子设备等的商品或行李的行李签等的物品中的所谓 IC 签条、IC 标签、IC 卡。

[0141] 注意, 在本说明书中, IC 卡是指将被薄片化的集成电路 (例如, IC 芯片) 嵌入而设置到塑料卡中来可以记录信息的卡。根据读写数据的方式可以分为“接触式”和“无接触式”。在无接触式卡中安装有天线, 并且可以利用微弱电波与终端通讯。此外, IC 标签是指在用于识别物体的微小 IC 芯片 (尤其将该用途的 IC 芯片称为“ID 芯片”) 中记录有本身的识别代码等的信息, 并且具有通过电波与管理系统发送 / 接收信息的能力的标签。以几十 mm 的尺寸且利用电磁波可以与读取器通讯。用于无线通讯进行数据的互相通讯的半导体装置的 IC 标签的形态具有各种各样的方式, 诸如卡方式、签条类 (称为 IC 签条)、证书类等。

[0142] 在本实施方式中, 参照图 15A 至 15E 对上述实施方式的半导体装置的应用例以及带有这些半导体装置的商品的一例进行说明。

[0143] 图 15A 表示半导体装置的制成品的状态的一例。在签条衬纸 3001 (剥离纸) 上形成有内部装有半导体装置 3002 的多个 IC 签条 3003。IC 签条 3003 收纳在箱子 3004 内。此外, 在 IC 签条 3003 上表示与其商品或服务有关的信息 (商品名称、品牌、商标、商标所有者、销售者、以及制造者等), 并且安装有的半导体装置带有对其商品 (或商品种类) 唯一的 ID 号码, 从而可以容易知道诸如伪造、商标权及专利权信息等的知识产权侵犯、不公平竞争等不法行为。此外, 在半导体装置内可以输入有诸如产地、销售地、质量、原材料、功效、用途、数量、形状、价格、生产方法、使用方法、生产时期、使用时期、保质期限、使用说明、以及与商品有关的知识产权等不能写完在商品的容器或签条上的许多信息, 并且办理人和消费者可以使用简单的读取器来存取这些信息。此外, 虽然生产者可以容易重写或删除信息等, 但是办理人或消费者不能重写或删除信息等。

[0144] 图 15B 表示内部装有半导体装置 3012 的签条形状的 IC 标签 3011。通过将 IC 标签 3011 安装到商品中,商品管理变得很容易。例如,在商品被盗窃的情况下,通过追踪商品的路径,可以迅速查清犯人。如此,通过具备 IC 标签,可以使具有优良所谓跟踪能力的商品流通。

[0145] 图 15C 表示安装有半导体装置 3022 的 IC 卡 3021 的制成品的状态 的一例。上述 IC 卡 3021 包括提款卡、信用卡、预付卡、电子车票、电子货币、电话卡、以及会员卡等所有的卡类。

[0146] 注意,至于图 15C 所示的 IC 卡,通过将薄膜晶体管用作构成半导体装置的晶体管,即使如图 15D 所示那样改变成弯曲形状也可以使用。

[0147] 图 15E 表示无记名债券 3031 的制成品的状态。无记名债券 3031 嵌入有半导体装置 3032,并且其周围由树脂成形而保护半导体装置。在此,该树脂中填充有填料。无记名债券 3031 可以使用与 IC 签条、IC 标签以及 IC 卡相同工序制造。注意,虽然上述无记名债券之类包括邮票、车票、票、入场券、商品券、书券、文具券、啤酒券、米券、各种赠券、以及各种服务券等,但是,当然不局限于这些。此外,通过将半导体装置 3032 设置在纸币、硬币、有价证券类、无记名债券类、证书等,可以提供认证功能,并且有效地利用该认证功能可以防止伪造。

[0148] 另外,虽然在此不图示,但是通过将半导体装置设置到书籍、包装容器类、记录介质、个人用品、食品类、衣物、生活用品类、电子设备等,可以实现检查系统等系统的效率化。另外,通过将半导体装置设置到交通工具类,可以防止对其的伪造或偷窃。另外,通过将半导体装置嵌入到动物等生物中,可以容易识别各个生物。例如,通过在家畜等生物中嵌入无线标签,可以容易识别出生年、性别或种类等。

[0149] 如上所述,因为上述实施方式的半导体装置在施加诸如弯曲等的外力的情况下也可以降低诸如晶体管等的元件的损坏,所以可以将其设置于所有物品(包括生物)而使用。

[0150] 实施方式 8

[0151] 在本实施方式中,对上述实施方式的半导体装置的使用方式的一例进行说明。上述实施方式的半导体装置从所制造的衬底剥离而可以成为具有挠性的状态。以下参照图 16A 至 16F 对具有上述实施方式的半导体装置的电子设备的具体例子进行说明。电子设备是指液晶显示装置、EL 显示装置、电视装置(也称为电视机、电视接收机和薄型电视接收机)、移动电话等。

[0152] 图 16A 表示显示器 4101,它包括支撑台 4102、显示部 4103。显示部 4103 使用具有挠性的衬底形成,从而可以实现分量轻且薄型的显示器。另外,可以使显示部 4103 弯曲,还可以从支撑台卸下且沿弯曲的墙安装显示器。将上述实施方式所示的半导体装置用于显示部 4103 或其周围的驱动电路等的集成电路,可以制造半导体装置的使用方式之一的具有挠性的显示器。如此,可以将具有挠性的显示器设置于平坦的面以及弯曲的部分,所以可以用于各种用途。

[0153] 图 16B 表示可卷曲的显示器 4202,它包括显示部 4201。将上述实施方式所示的半导体装置用于显示部 4201 或驱动电路等的集成电路,可以制造半导体装置的使用方式之一的可以卷曲且薄型的大型显示器。由于可卷曲的显示器 4202 使用具有可挠性的衬底形成,所以可以与显示部 4202 一起折叠或卷曲而携带其。因此,即使可卷曲的显示器 4202 为

大型也可以以折叠或卷曲等的方式将其放入在包里携带。

[0154] 图 16C 表示薄片型计算机 4301, 它包括显示部 4302、键盘 4303、触控板 4304、外部连接端口 4305、电源插头 4306 等。将上述实施方式所示的半导体装置用于显示部 4302、驱动电路或信息处理电路等的集成电路, 可以制造半导体装置的使用方式之一的薄型或薄片型计算机。由于显示器 4302 使用具有挠性的衬底形成, 所以可以实现分量轻且薄型的计算机。另外, 在通过薄片型计算机 4301 的主体部分设置收纳空间可以将显示部 4302 卷曲到主体来收纳。此外, 通过将键盘 4303 设置为具有挠性, 可以与显示部 4302 同样将其卷曲到薄片型计算机 4301 的收纳空间来收纳, 而携带其变得方便。另外, 在不使用此的情况下也通过折叠来可以以不太占地方的方式收纳。

[0155] 图 16D 表示具有 20 英寸至 80 英寸的大型显示部的显示装置 4400, 它包括操作部的键盘 4402、显示部 4401、扬声器 4403 等。由于显示部 4401 使用具有挠性的衬底形成, 所以可以卸下键盘 4402 并且折叠或卷曲显示装置 4400 而携带其。另外, 可以以无线方式进行键盘 4402 和显示部 4401 之间的连接, 例如, 可以沿弯曲的墙安装显示装置 4400 并且使用 键盘 4402 以无线方式操作显示装置 4400。

[0156] 在图 16D 所示的例子中, 将上述实施方式所示的半导体装置用于显示部 4401、显示部的驱动电路或控制显示部和键盘之间的通讯的无线通讯电路等的集成电路。由此, 可以制造半导体装置的使用方式之一的薄型的大型显示装置。

[0157] 图 16E 表示电子书 4501, 它包括显示部 4502、操作键 4503 等。此外也可以将调制解调器安装到电子书 4501。另外, 由于显示部 4502 使用挠性衬底形成, 所以可以折弯或卷曲显示部 4502。因此, 当携带其时也不太占地方。另外, 显示部 4502 可以显示诸如文字等的静态图像以及动态图像。

[0158] 在图 16E 所示的例子中, 将上述实施方式所示的半导体装置用于显示部 4502、驱动电路或控制电路等的集成电路。由此, 可以制造半导体装置的使用方式之一的薄型电子书。

[0159] 图 16F 表示 IC 卡 4601, 它包括显示部 4602、连接端子 4603 等。由于利用挠性衬底将显示部 4602 制造为分量轻且薄型的薄片状, 因此可以将其贴合到卡表面上而形成。当 IC 卡可以在无接触地接收数据的情况下, 在显示部 4602 上显示从外部获得的信息。

[0160] 在图 16F 所示的例子中, 将上述实施方式所示的半导体装置用于显示部 4602 或无线通讯电路等的集成电路。由此, 可以制造半导体装置的使用方式之一的薄型 IC 卡。

[0161] 如上所述, 通过将上述实施方式的半导体装置用于电子设备, 可以制造可以将其弯曲的电子设备。在对电子设备施加诸如弯曲等的外力的情况下也可以使在电子设备的厚度方向上的中立面位于可以抑制在半导体膜 106 中产生应力的区域。因此, 在对电子设备施加弯曲等的外力的情况下, 也可以抑制在半导体膜 106 中产生的应力。从而, 可以降低半导体膜 106 的损伤, 并且可以实现电子设备的成品率或可靠性的提高。

[0162] 如上所述, 本发明的应用范围非常广泛, 而可以将其用于所有领域的电子设备或信息显示单元。

[0163] 实施例 1

[0164] 在本实施例中, 进行计算来验证 (模拟) 在对根据实施方式 1 的半导体装置施加诸如弯曲等的外力的情况下产生于半导体膜的应力分布。并且, 以下表示根据所得到的应

力分布进行计算来验证可以抑制产生于半导体膜的应力的第一加强膜及第二加强膜的最合适的厚度的结果。

[0165] 为了求第一加强膜及第二加强膜的最合适的厚度,对第一加强膜的厚度和第二加强膜的厚度的组合作各种各样的变换,并且进行模拟四点弯曲试验的有限元法分析 (analysis by a finite element method) 求产生于半导体装置的应力分布。根据求出来的应力分布求产生于半导体膜 (尤其为沟道形成区域) 的米塞斯等效应力的最大值。注意,在本说明书中所规定的米塞斯等效应力是指通过将根据一般使用的计算机模拟求出来的各方向的应力转换为标量来可求出来的值。

[0166] 利用诸如应力分析软件等的一般使用的计算机模拟可以求出产生于半导体装置的应力分布。根据构成半导体装置的零部件制造分析模型,并且对计算机的应力分析软件输入分析模型的各零部件的尺寸、形状、杨氏模量、泊松比、负荷等的参量而分析将其弯曲等的影响使什么样的应力分布产生于各个零部件。在此所述的零部件除了绝缘膜、加强膜、半导体膜、栅极绝缘膜、栅电极等的上述的零部件以外还包括构成半导体装置的所有要素。在本实施例中,作为应力分析软件使用商品名称为“ANSYS”(CYBERNET SYSTEMS CO., LTD. 制造)的软件。

[0167] 图 17 表示用于计算的分析模型。

[0168] 作为用作缓冲层的绝缘膜 202,假定氧氮化硅 (厚度为 200nm)。将绝缘膜 202 上的第一加强膜 203 设定为氮化硅 (厚度分别设定为 0nm、50nm、100nm、150nm、200nm、400nm 的条件)。另外,将绝缘膜 204 设定为氧氮化硅 (厚度 100nm),并且以覆盖绝缘膜 202 及加强膜 203 的方式层叠此。将岛状半导体膜 206 设定为硅 (厚度为 66nm),将栅极绝缘膜 207 设定为氧化硅 (厚度为 20nm),并且将用作栅电极的导电膜 208 设定为钨 (厚度为 100nm)。另外,将第二加强膜 209 设定为氮化硅 (厚度分别设定为 0nm、100nm、150nm、200nm、400nm 的条件),将层间绝缘膜 210 设定为氧氮化硅 (厚度为  $1.5\mu\text{m}$ ),将用作源电极或漏电极的导电膜 211 设定为铝 (厚度为 700nm),并且将绝缘膜 212 设定为聚酰亚胺 (厚度为  $1.5\mu\text{m}$ )。半导体装置的外部尺寸为  $50\mu\text{m}\times 3.32\mu\text{m}$ 。注意,为了将计算简化,省略薄片 (或衬底) 而进行计算。

[0169] 表 1 表示用于计算的零部件的杨氏模量和泊松比。

[0170] [表 1]

[0171]

| 材料   | 杨氏模量 [MPa] | 泊松比  |
|------|------------|------|
| 硅    | 1.70E+05   | 0.3  |
| 氧氮化硅 | 6.82E+04   | 0.25 |
| 氮氧化硅 | 1.96E+05   | 0.25 |
| 氧化硅  | 4.50E+04   | 0.25 |
| 铝    | 7.00E+04   | 0.33 |
| 钨    | 5.34E+05   | 0.22 |
| 聚酰亚胺 | 6.19E+03   | 0.25 |

[0172] 另外,假定如下四点弯曲:将图 17 的支点 213 设置在离模拟模型的两端有  $8\mu\text{m}$  的地点,并且如箭头 214 所示对模拟模型施加 0.05N 的负荷。

[0173] 图 18A 至 19B 表示使用分析软件进行有限元法分析来产生于半导体装置的应力分布。图 18A 表示不设置第一加强膜及第二加强膜的情况,并且图 18B 表示设置第一加强膜

及第二加强膜的情况。另外,图 19A 表示只设置第一加强膜的情况,并且图 19B 表示只设置第二加强膜的情况。注意,至于应力分布,颜色越浓的部分表示越高的应力值。

[0174] 根据有限元法求出来的应力依赖于模型的结构,并且其包括各种性质的应力。于是,在本实施例中,使用米塞斯等效应力评价根据有限元法的计算结果的应力。另外,对产生于薄膜晶体管的应力使用沟道形成区域 206a 的米塞斯等效应力的最大值进行评价,其中考虑膜中的损伤的可能性而注目沟道形成区域 206a 的应力。

[0175] 在表 2 中,使用米塞斯等效应力的最大值表示产生于沟道形成区域 206a 的应力。

[0176] [表 2]

[0177]

|                   |     | 上层的厚度[nm]   |             |             |             |             |             |
|-------------------|-----|-------------|-------------|-------------|-------------|-------------|-------------|
|                   |     | 0           | 100         | 150         | 200         | 300         | 400         |
|                   |     | 应力<br>[MPa] | 应力<br>[MPa] | 应力<br>[MPa] | 应力<br>[MPa] | 应力<br>[MPa] | 应力<br>[MPa] |
| 下层的<br>厚度<br>[nm] | 0   | 44          | 47          | 47          | 48          | 49          | 50          |
|                   | 50  | 41          | 36          | 36          | 36          | 37          | 38          |
|                   | 100 | 56          | 35          | 31          | 28          | 27          | 30          |
|                   | 150 | 73          | 47          | 43          | 36          | 34          | 32          |
|                   | 200 | 87          | 58          | 54          | 36          | 44          | 40          |
|                   | 400 | 143         | 102         | 95          | 36          | 80          | 72          |

[0178] 图 20A 至 21B 表示使用有限元法求出来的沟道形成区域的应力分布。在图 20A 至 21B 中,扩大沟道形成区域而表示此,并且至于应力分布颜色越浓的部分表示越高的应力值。注意,在此没表示除了半导体膜 206 以外的应力分布。

[0179] 图 20A 表示在不设置第一加强膜 203 及第二加强膜 209(第一加强膜的厚度为 0nm,并且第二加强膜的厚度为 0nm)的情况下产生于沟道形成区域的应力分布。可以确认到在沟道形成区域的下方的中央部中产生高应力。这表示半导体装置的中立面的位置存在于栅电极一侧。此时的米塞斯等效应力的最大值为 44MPa。

[0180] 图 20B 表示在设置第一加强膜及第二加强膜(第一加强膜的厚度为 100nm,并且第二加强膜的厚度为 300nm)的情况下产生于沟道形成区域的应力分布。可以确认到在设置第一加强膜及第二加强膜的情况下在沟道形成区域中不产生 30MPa 以上的应力。这是因为与图 20A 的情况相比半导体装置的中立面的位置移动到第一加强膜 203 一侧。此时的米塞斯等效应力的最大值为 27MPa,而与图 20A 相比可以降低大约 40%的应力。

[0181] 图 21A 表示在只设置第一加强膜(第一加强膜的厚度为 100nm)的情况下产生于沟道形成区域的应力分布。因为在只设置第一加强膜 203 的情况下,半导体装置的中立面的位置移动到与图 20B 的情况相比更近于第一加强膜 203 一侧,所以在沟道形成区域的上端部中产生高应力。此时的米塞斯等效应力的最大值为 56MPa。

[0182] 图 21B 表示在只设置第二加强膜(第二加强膜的厚度为 300nm)的情况下产生于沟道形成区域的应力分布。因为在只设置第二加强膜的情况下,半导体装置的中立面的位

置移动到与图 20A 的情况相比近于栅电极一侧,所以在沟道形成区域的下方的中央部中产生高应力。此时的塞斯等效应力的最大值为 49MPa。

[0183] 当对于图 20A 所示的不设置有第一加强膜及第二加强膜的情况和图 20B 所示的设置有第一加强膜及第二加强膜的情况,比较产生于沟道形成区域的应力分布时,可以降低 40% 的米塞斯等效应力。这是因为通过半导体膜的上下设置加强膜,可以使半导体装置中的中立面的位置起变化,而抑制产生于沟道形成区域的应力。

[0184] 另外,确认到如下事实,即如图 21A 及 21B 所示,在只设置第一加强膜或第二加强膜的情况下,与不设置有加强膜的情况相比,产生于沟道形成区域的应力有时增大,而不一定可以抑制产生于沟道形成区域的应力。

[0185] 根据分析结果确认到如下事实,即因为在不设置第一加强膜及第二加强膜的情况下产生的塞斯等效应力的最大值为 44MPa,所以将第一加强膜的厚度设定为 50nm 以上且 200nm 以下的范围内,并且将第二加强膜的厚度设定为 100nm 以上且 400nm 以下的范围内即可。另外,也确认到在第二加强膜的厚度比第一加强膜的厚度厚的情况下,可以降低米塞斯等效应力的最大值。进而,也确认到在第一加强膜的厚度和第二加强膜的厚度的比率(第一加强膜的厚度 / 第二加强膜的厚度)为 1/2 以下的情况下也可以降低米塞斯等效应力的最大值。

[0186] 如上所述,通过中间夹着半导体膜设置由其杨氏模量与半导体膜的杨氏模量相比高的材料形成的加强膜,可以在半导体装置的厚度方向上使中立面位于可以抑制在半导体膜中产生应力的区域。就是说,可以使半导体装置的中立面位于对半导体装置优选的区域。因此,在对半导体装置施加诸如弯曲等的外力的情况下也可以抑制在半导体膜中产生应力。从而,可以降低晶体管等的元件的损伤,并且可以实现半导体装置的成品率或可靠性的提高。

[0187] 本申请基于 2007 年 12 月 3 日在日本专利局受理的日本专利申请序列号 2007-312163 而制作,所述申请内容包括在本说明书中。

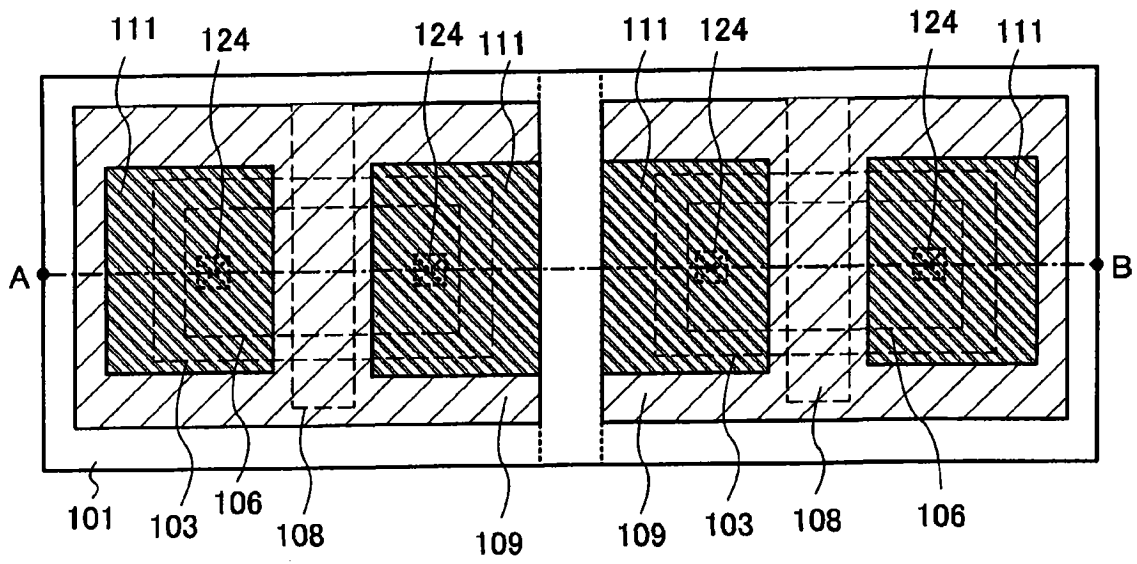


图 1A

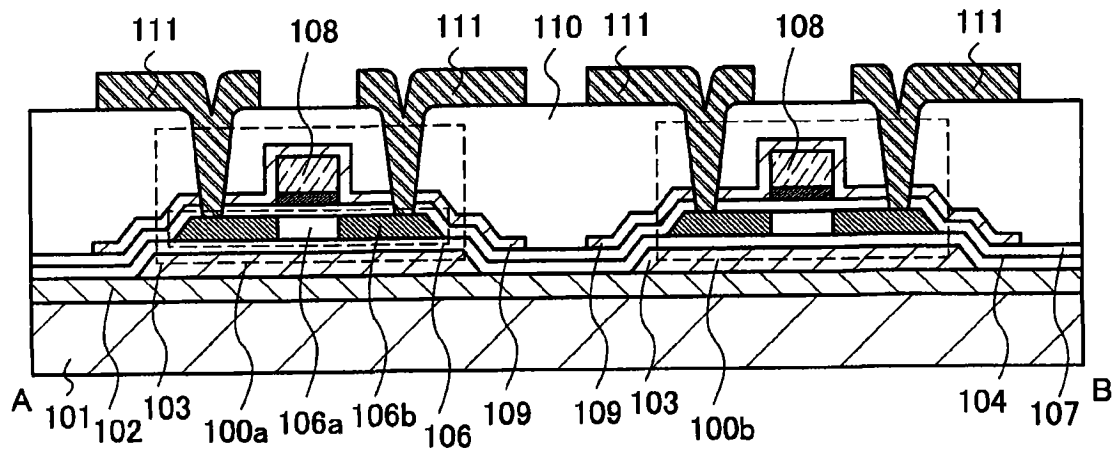


图 1B

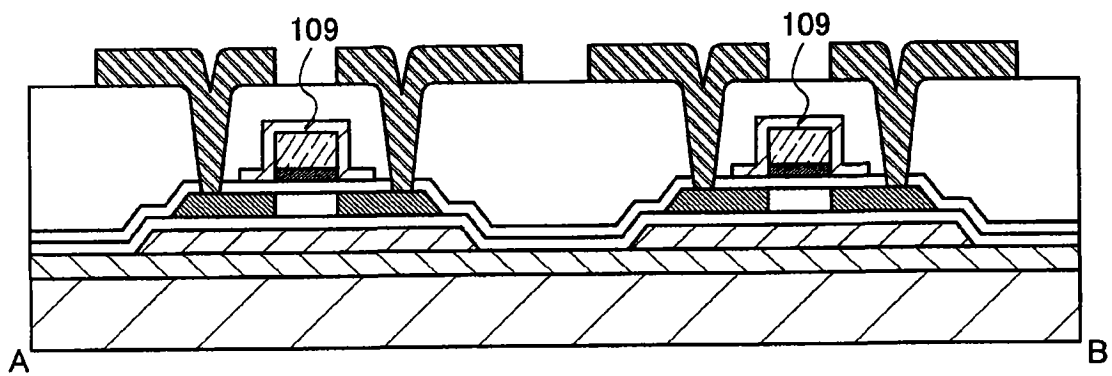


图 1C

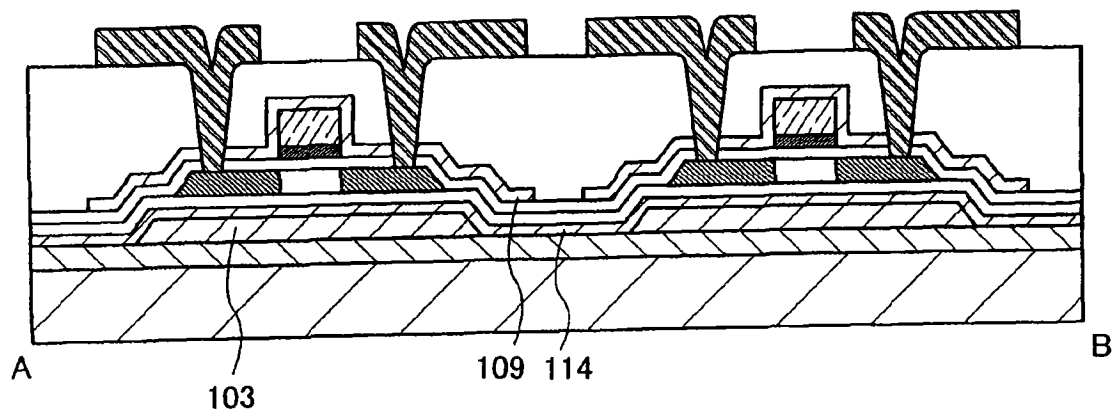


图 2

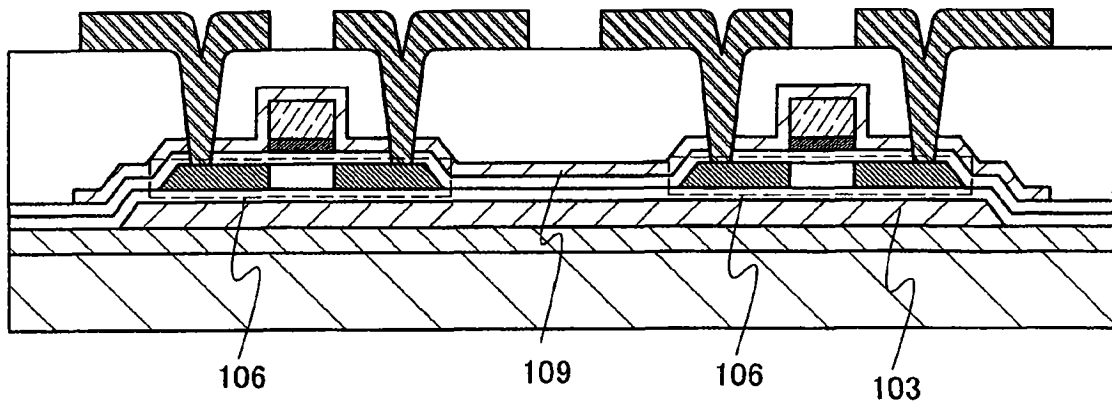
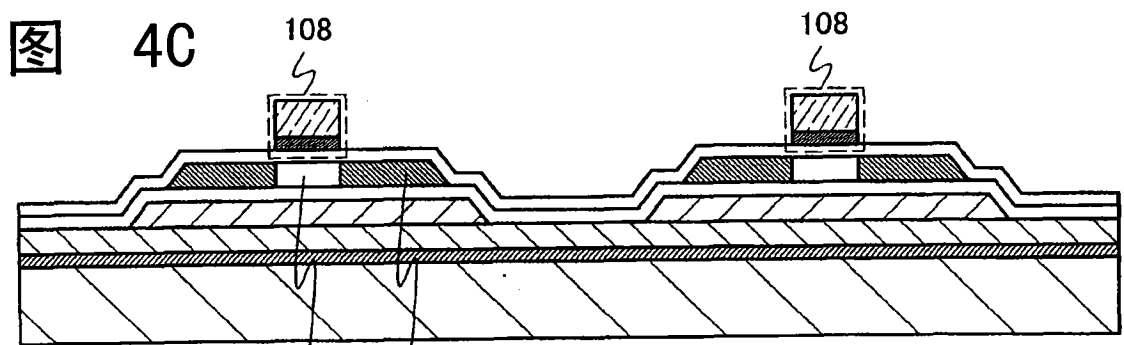
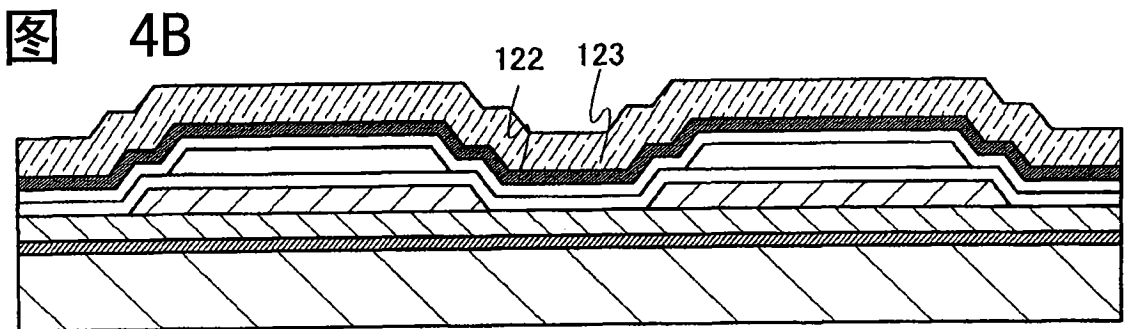
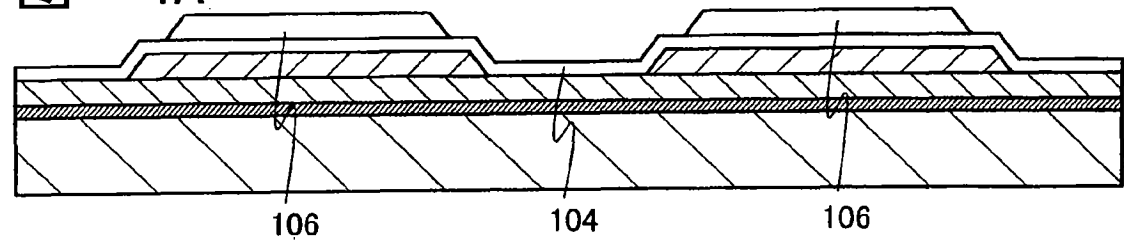
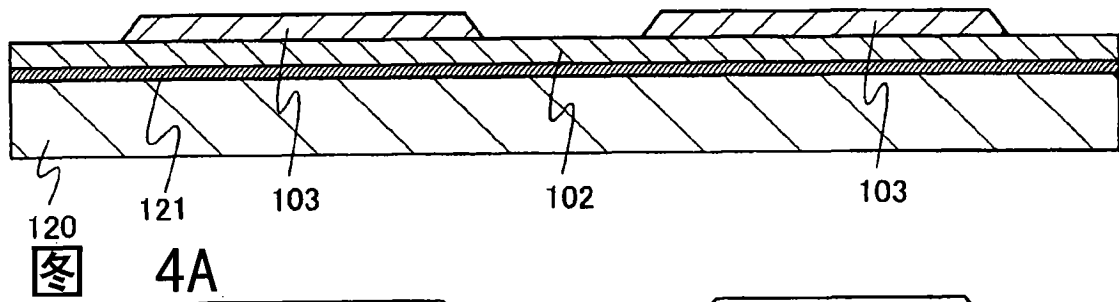


图 3



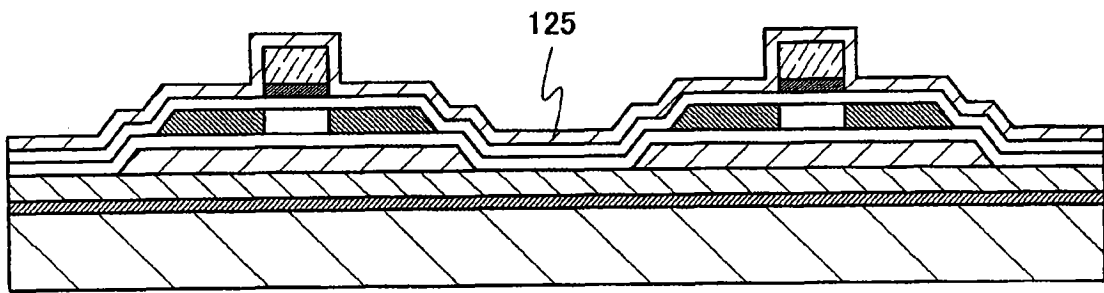


图 4E

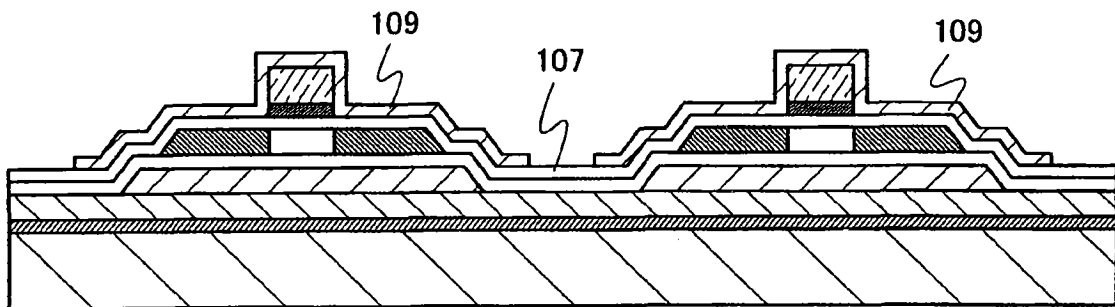


图 5A

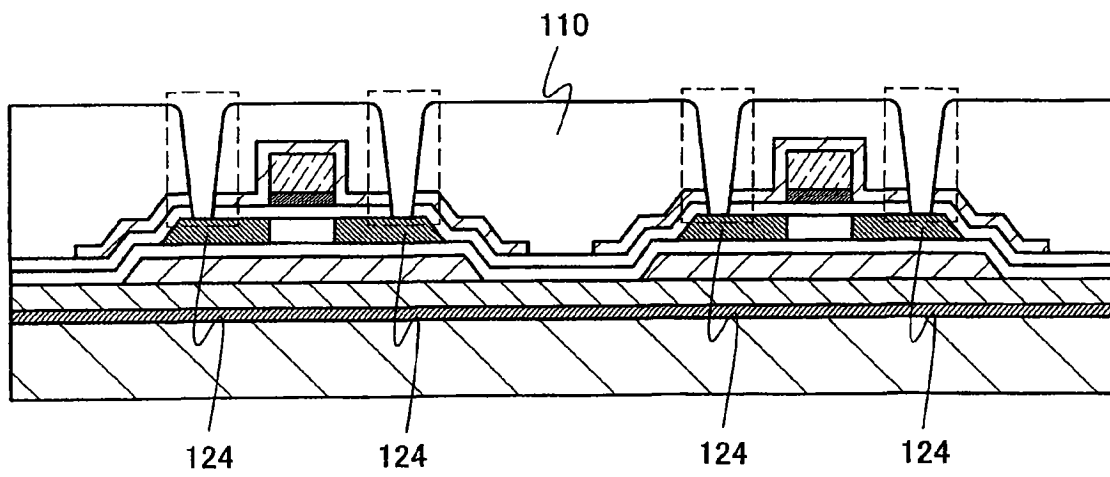


图 5B

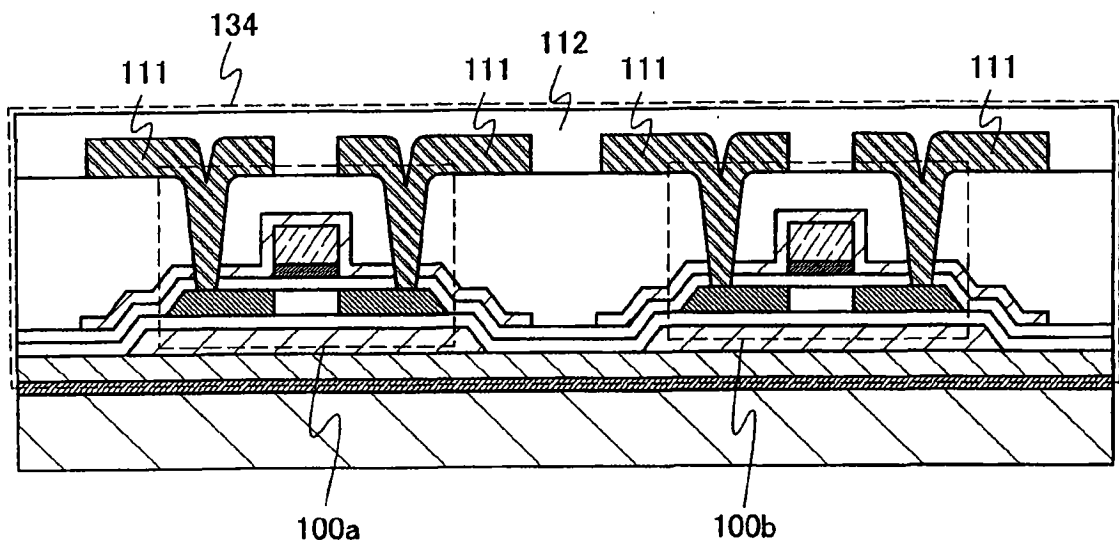


图 5C

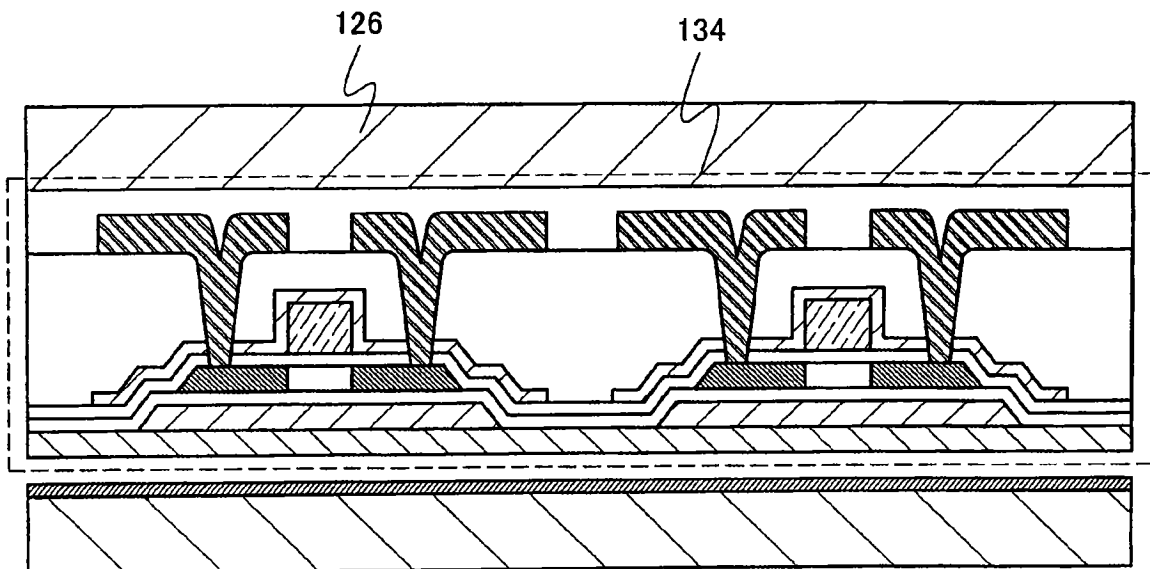


图 6A

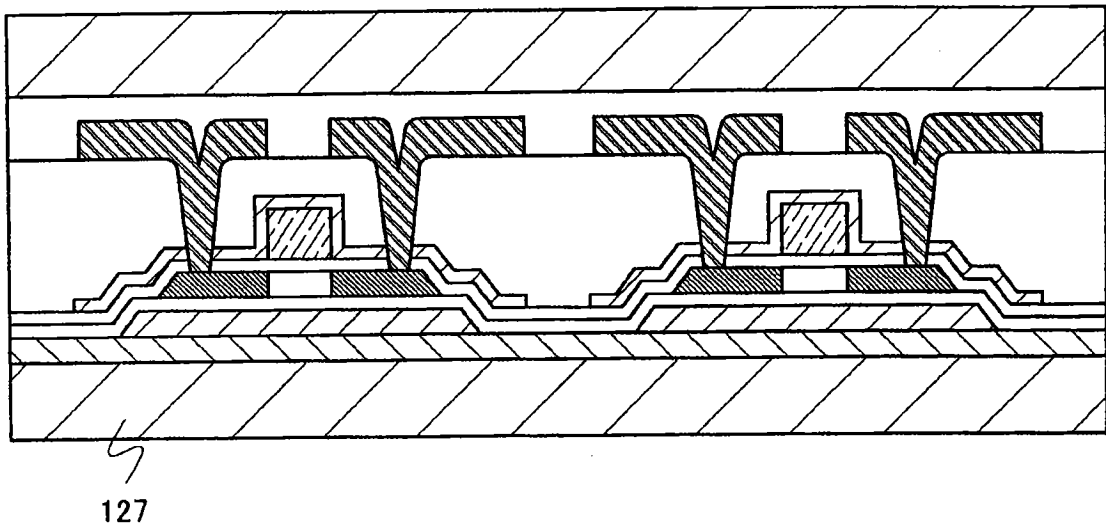


图 6B

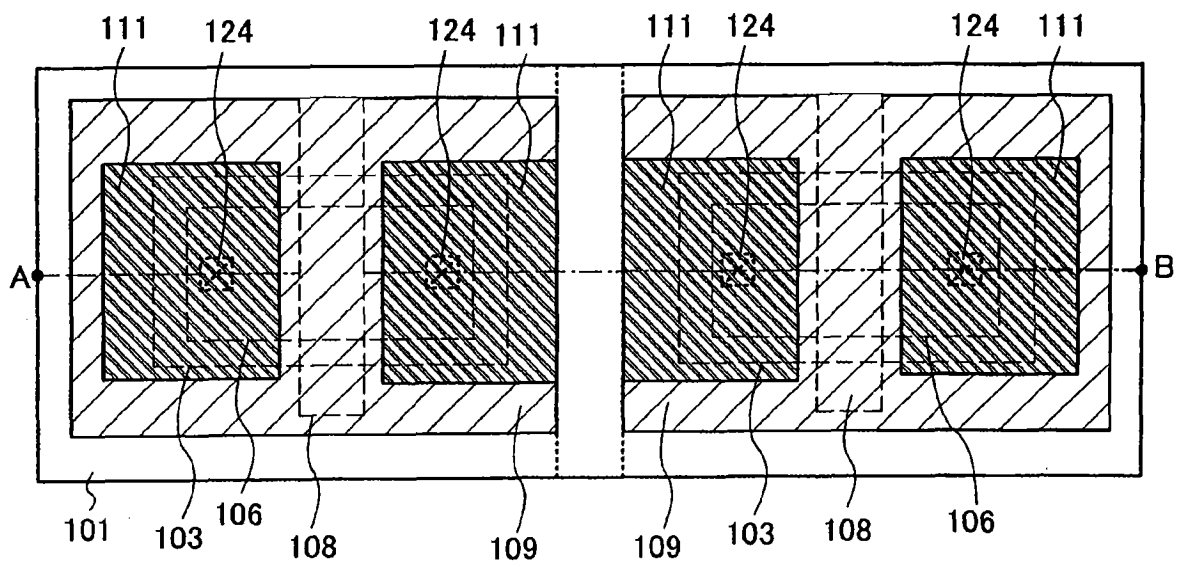


图 7A

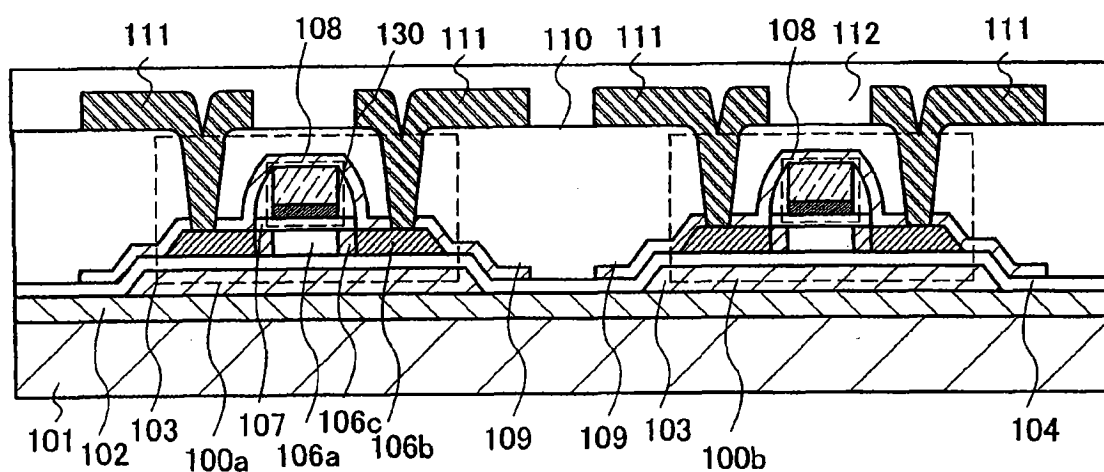


图 7B

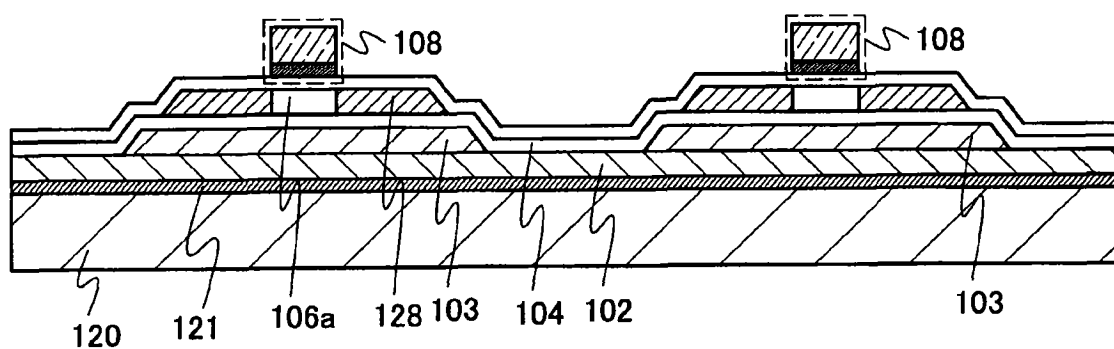


図 8A

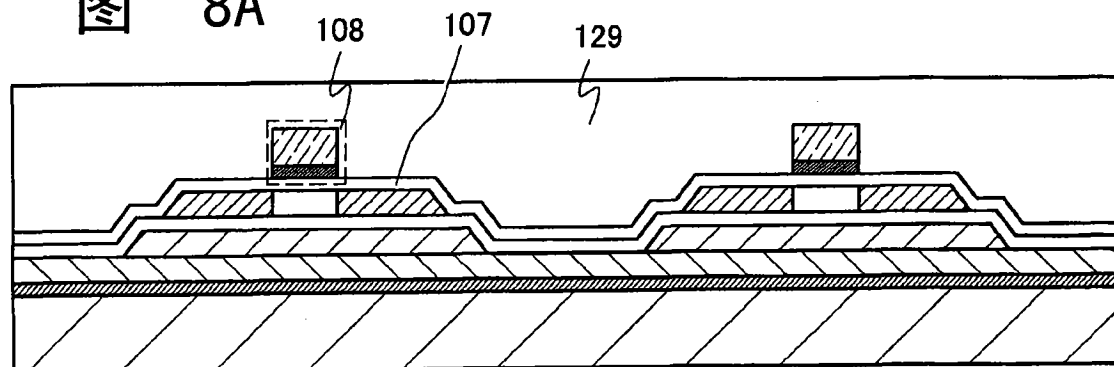


图 8B

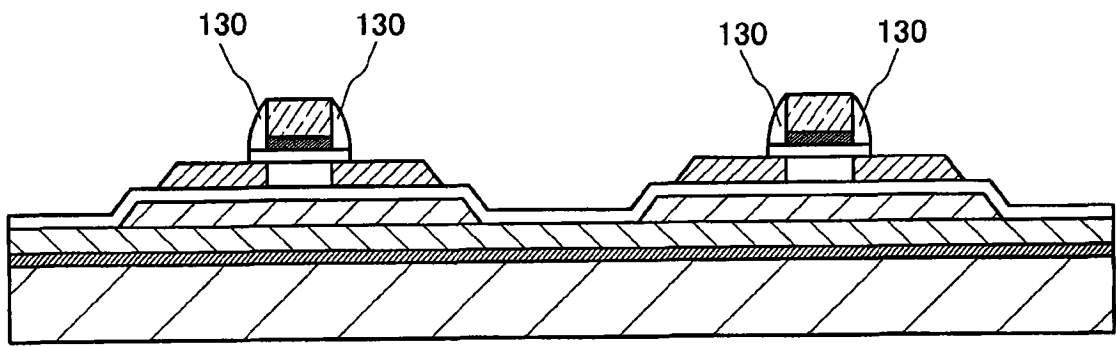


图 8C

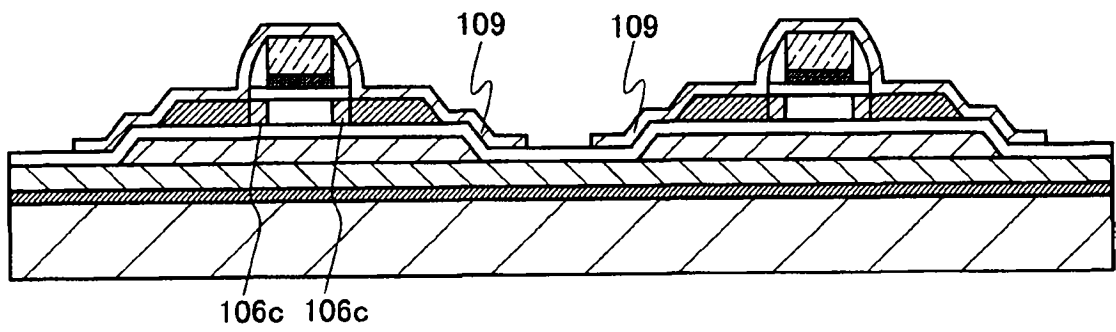


图 8D

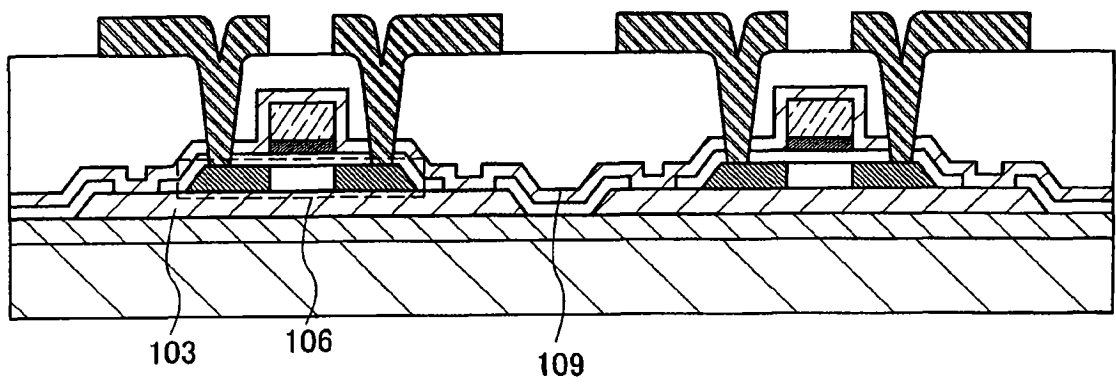


图 9A



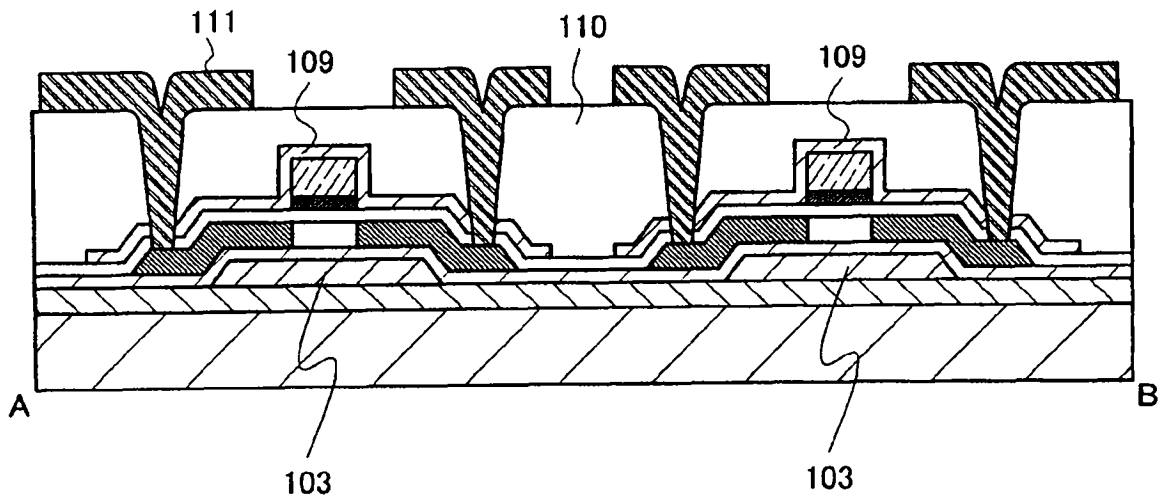


图 10B

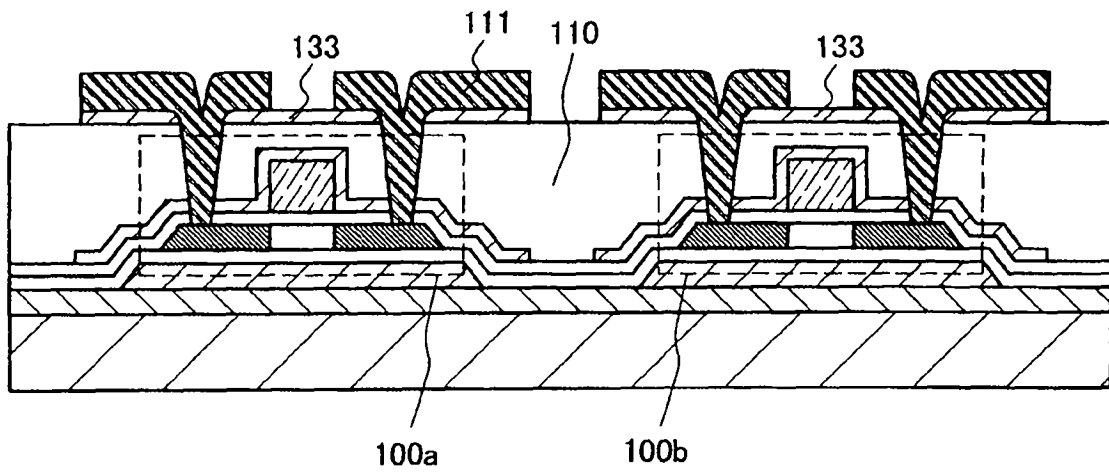


图 11

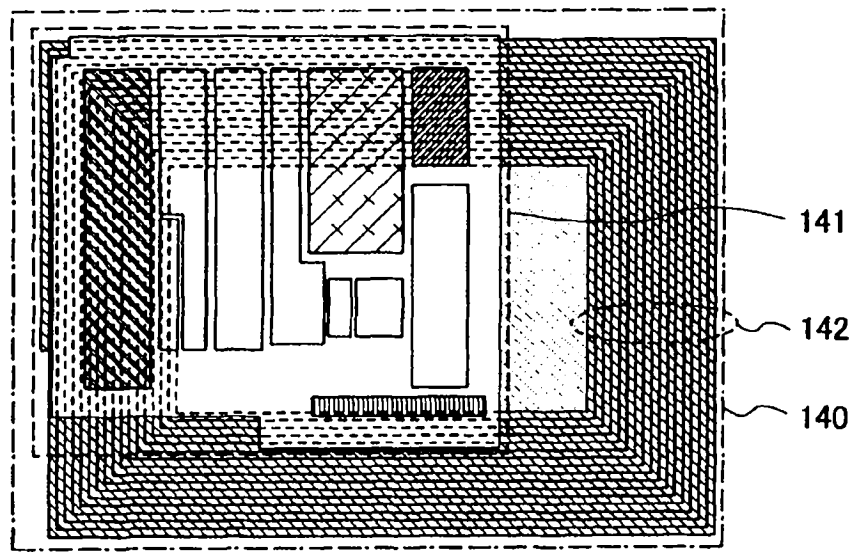


图 12A

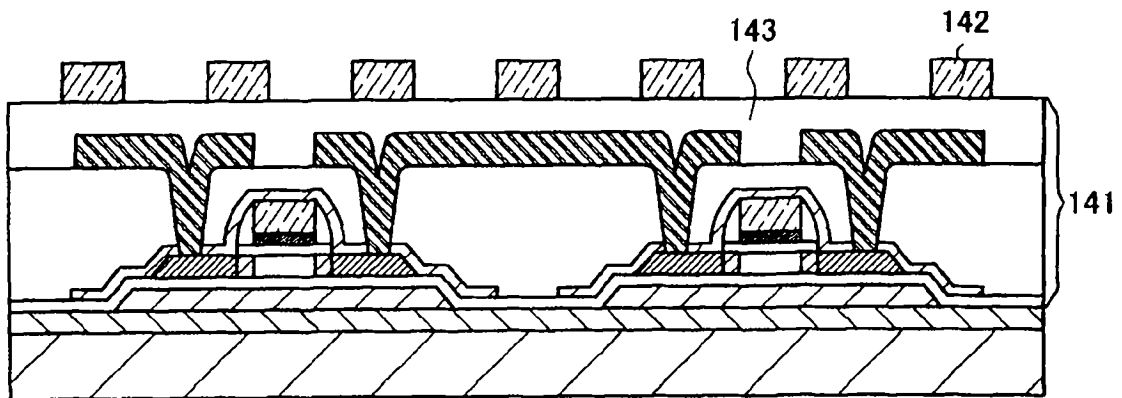


图 12B

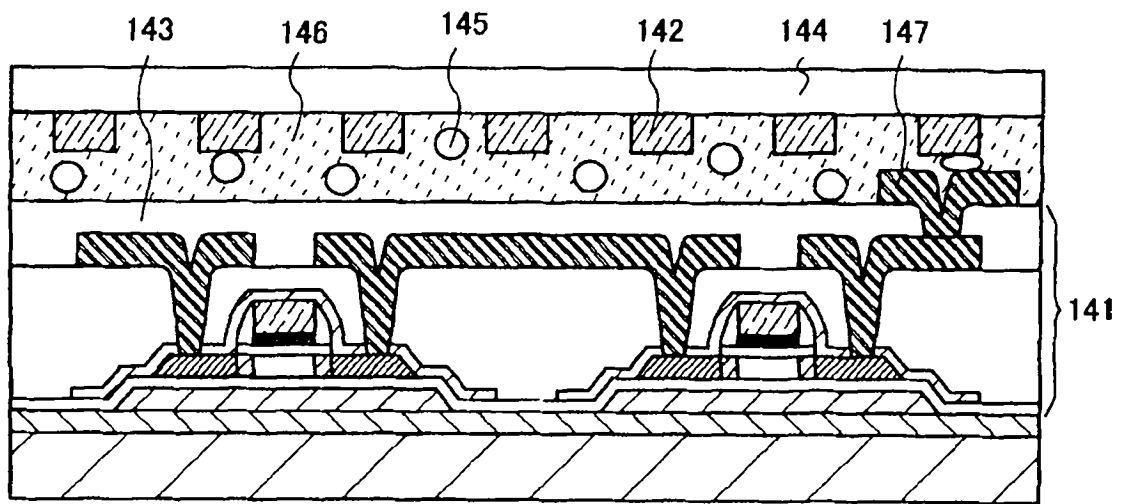


图 12C

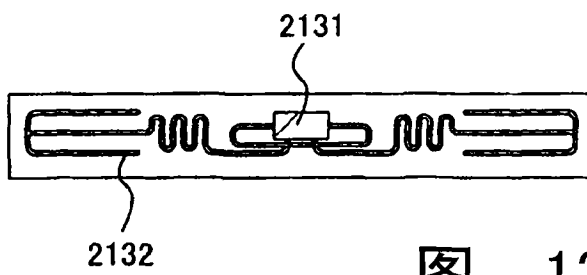


图 13A

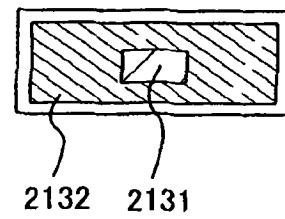


图 13B

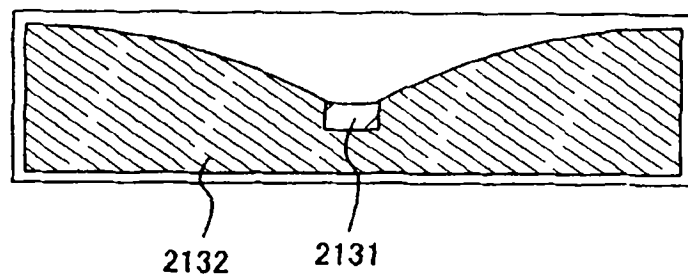


图 13C

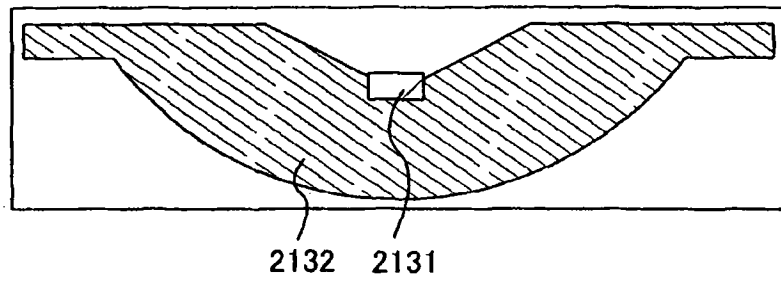


图 13D

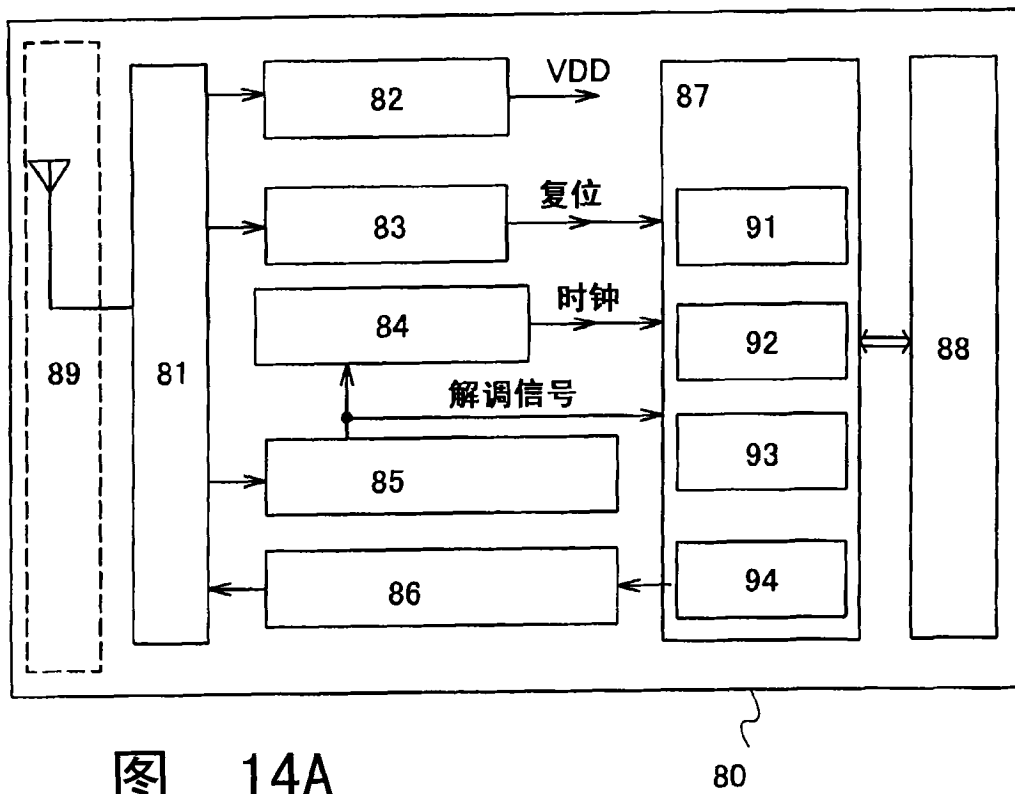


图 14A

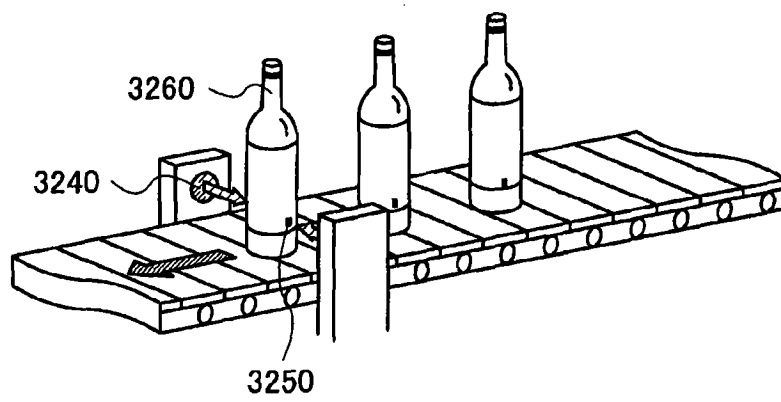
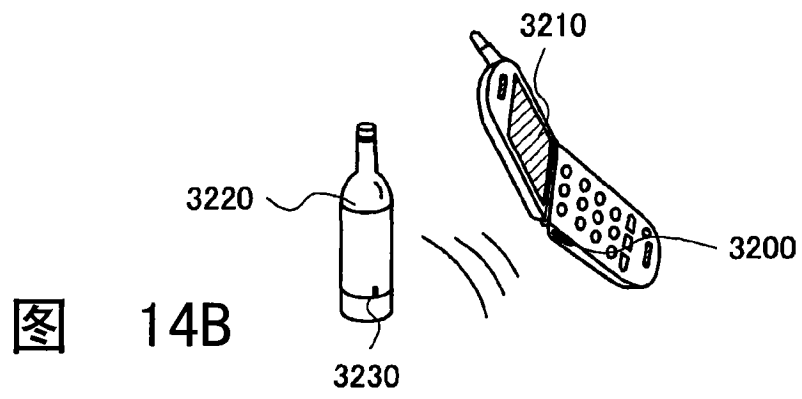


图 14C

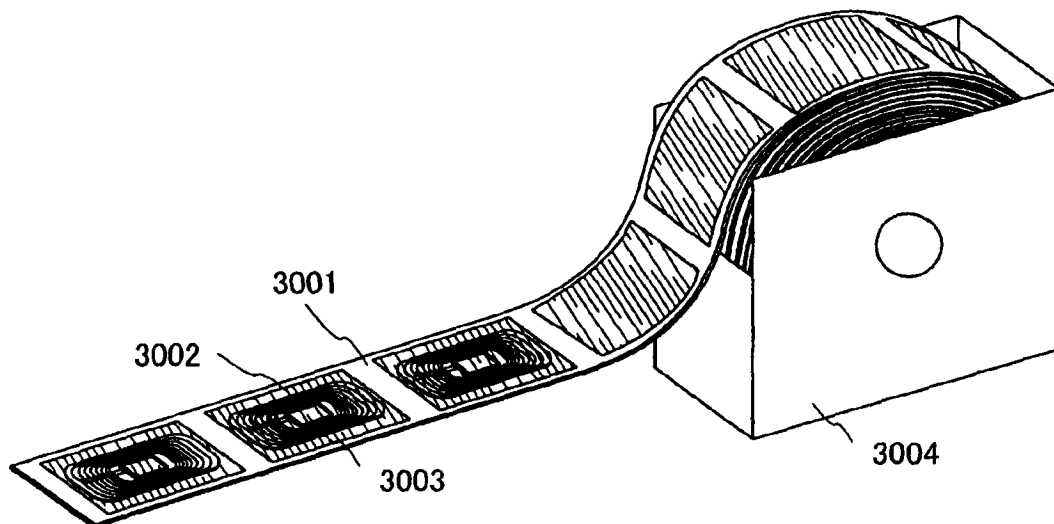


图 15A

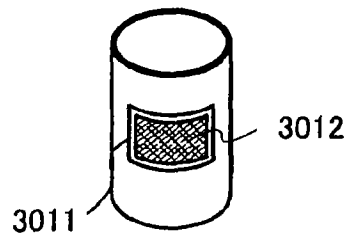


图 15B

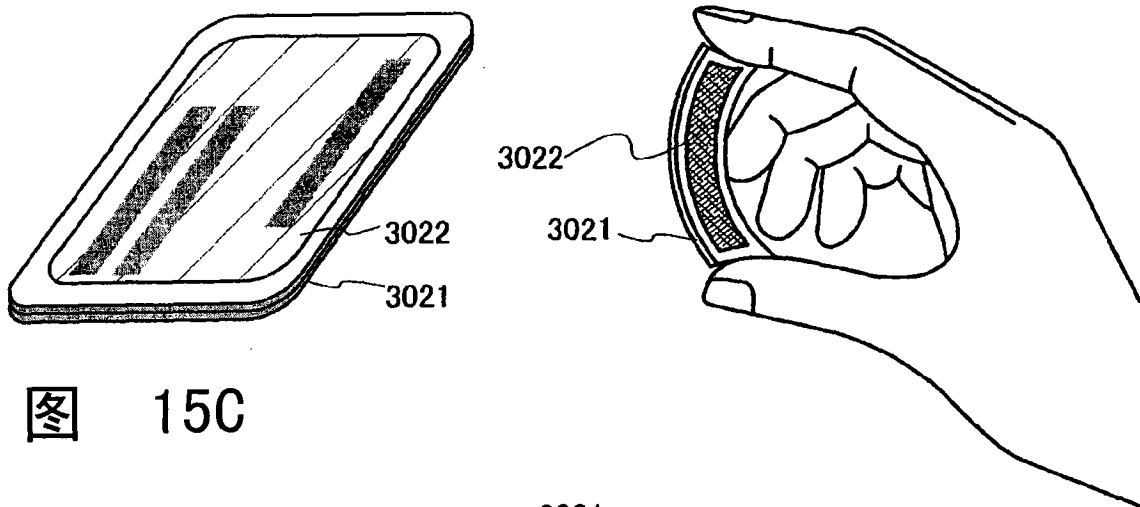


图 15C

图 15D

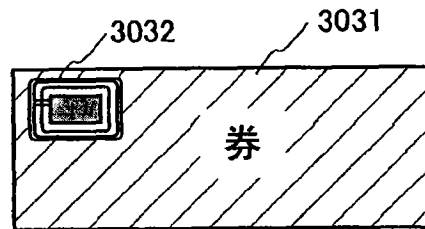


图 15E

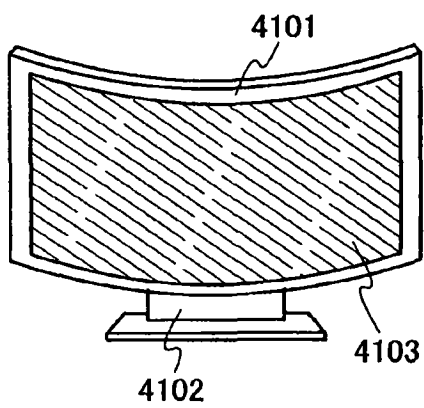


图 16A

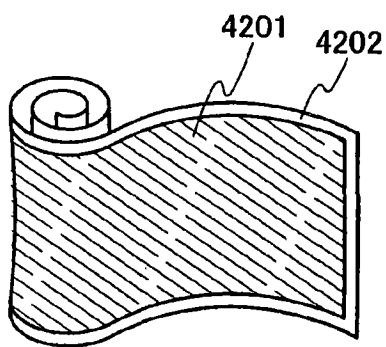


图 16B

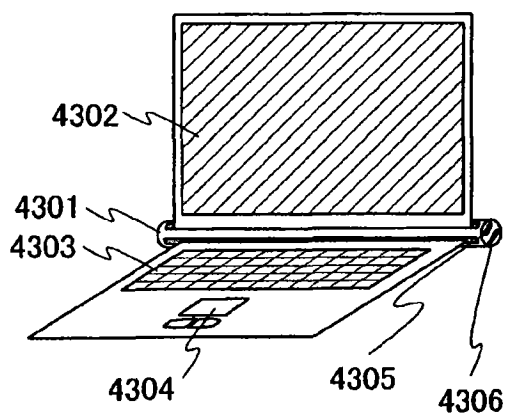


图 16C

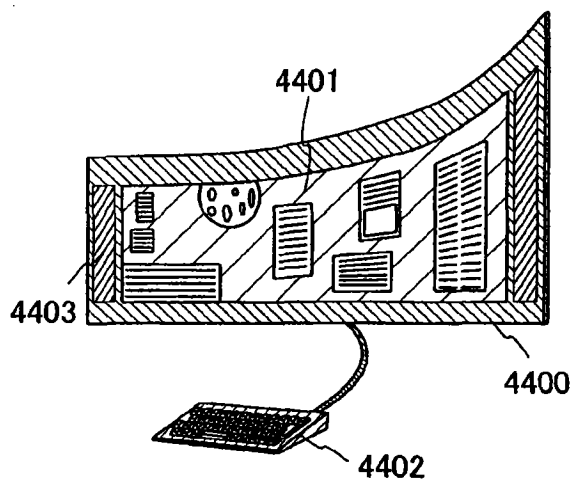


图 16D

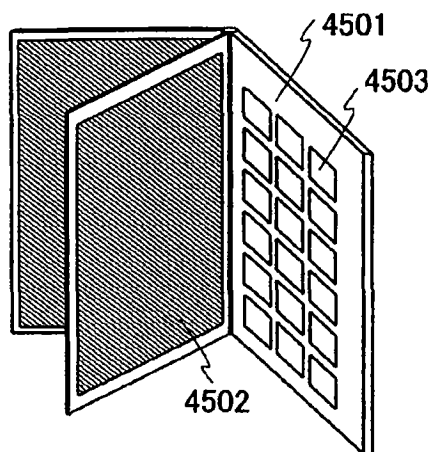


图 16E

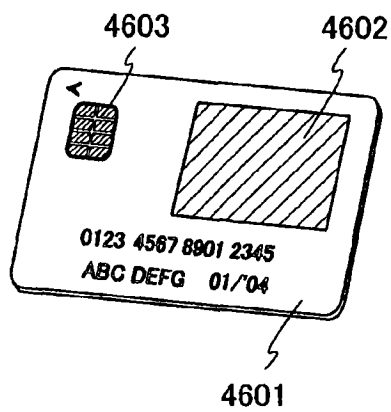


图 16F

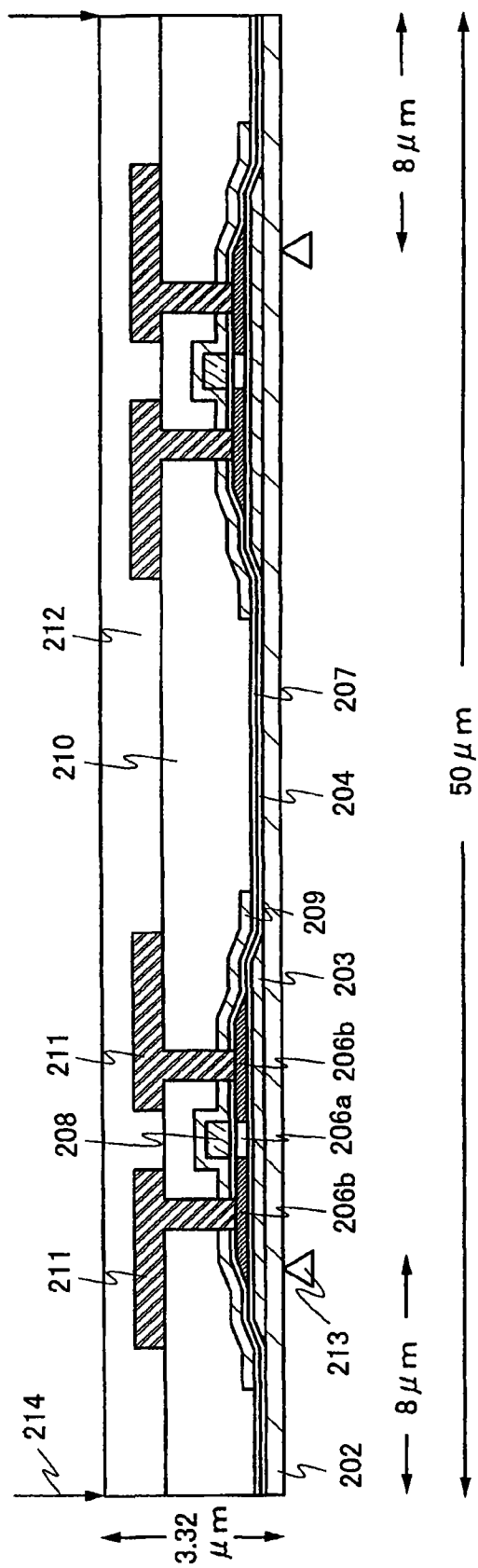
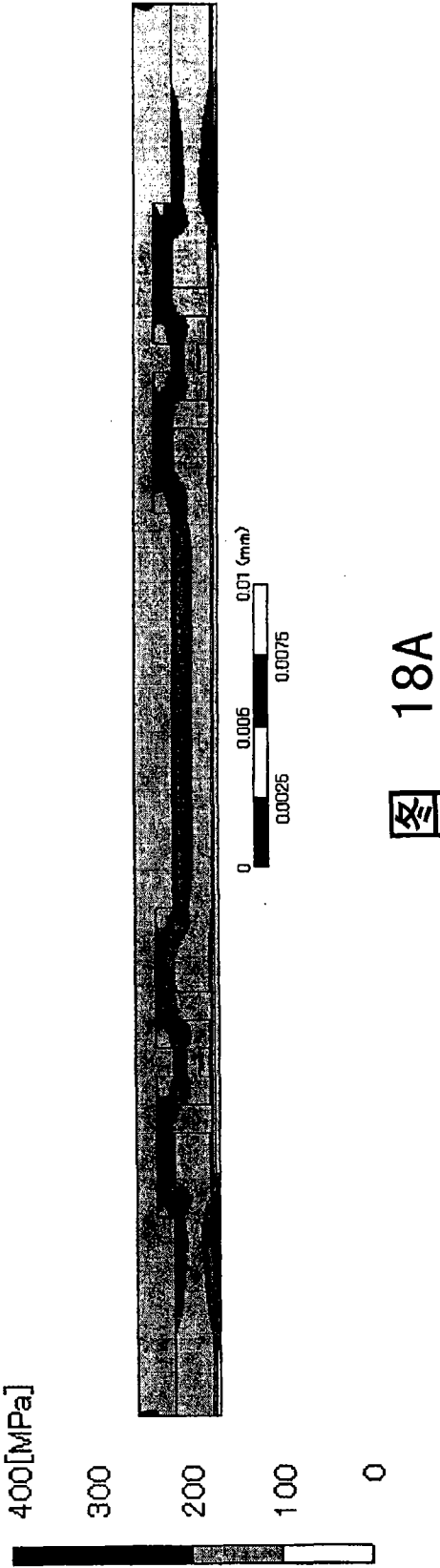
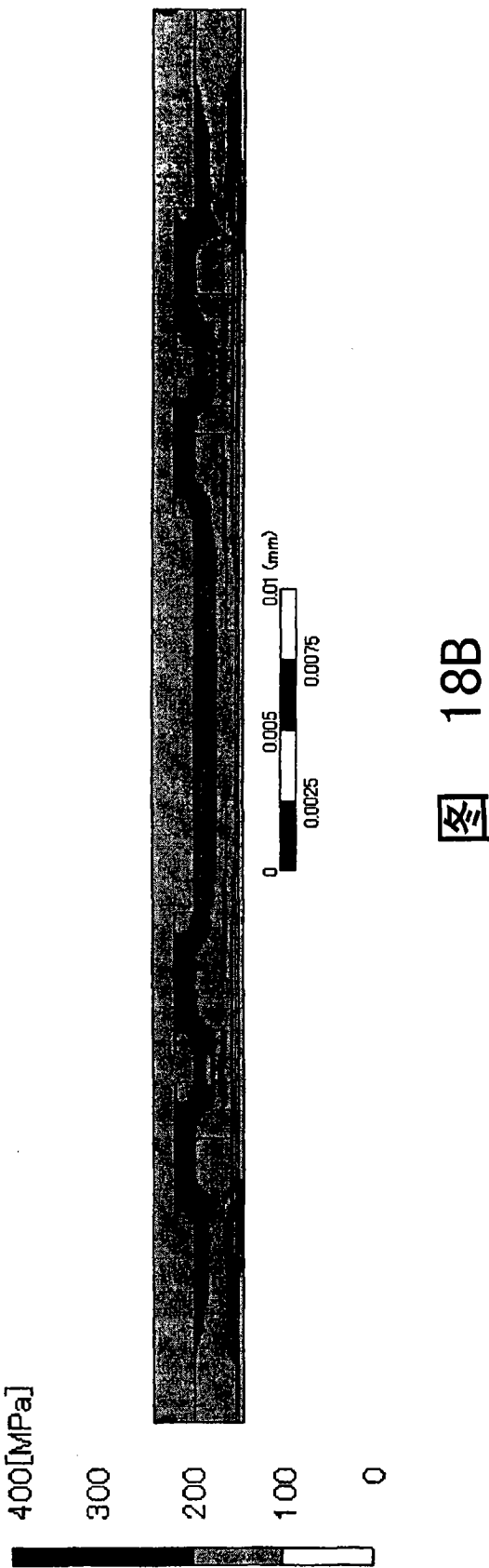


图 17



18A



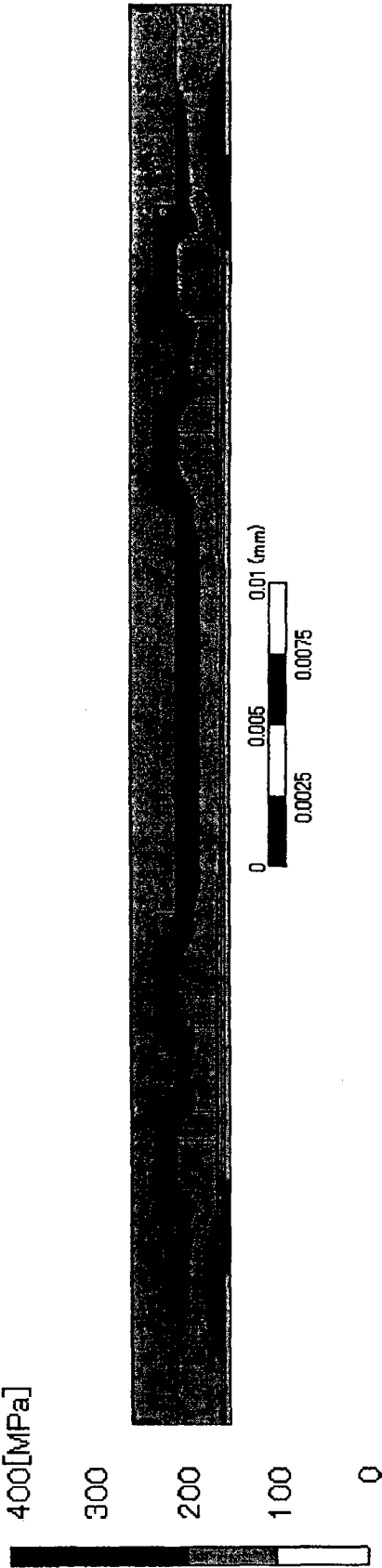


图 19A

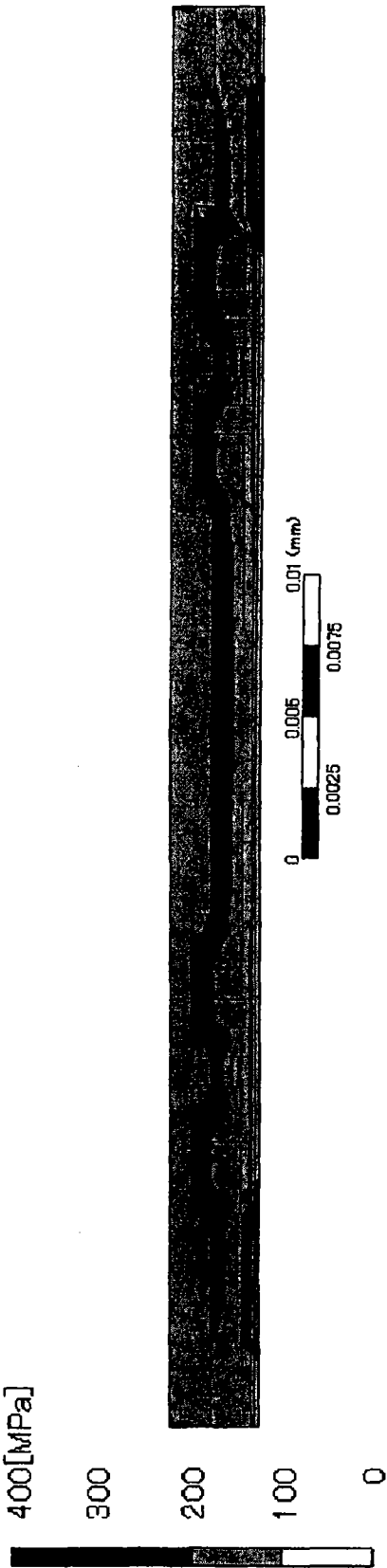


图 19B

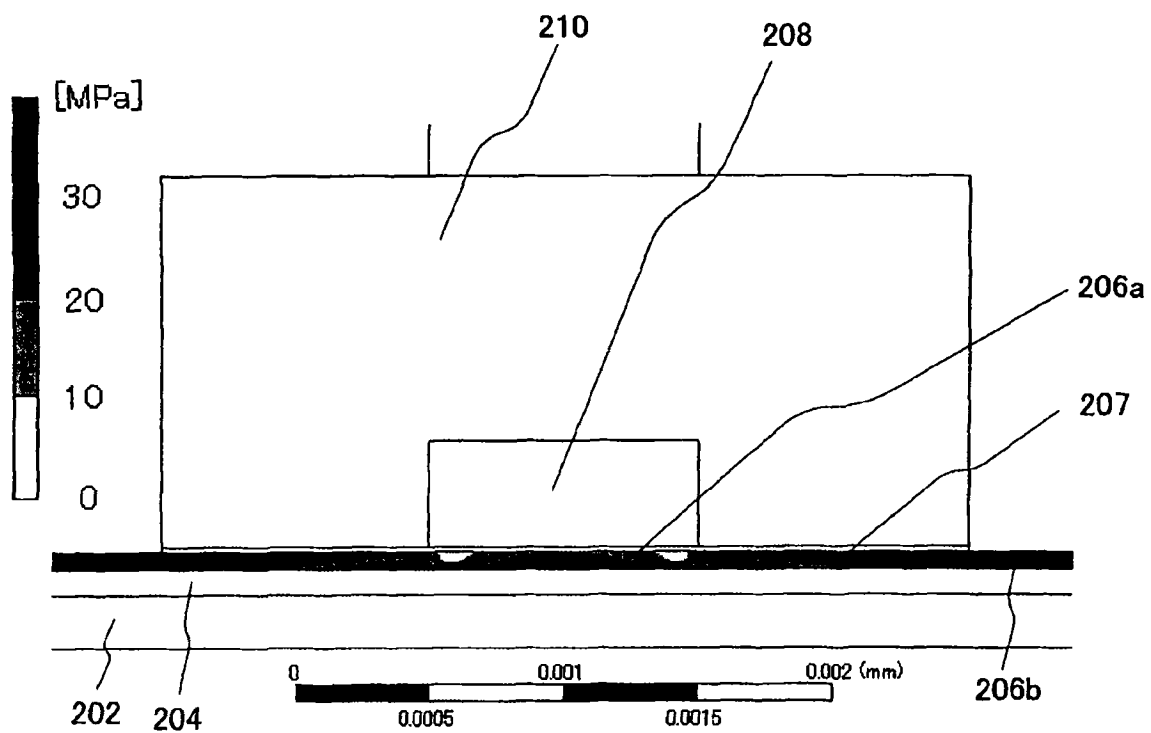


图 20A

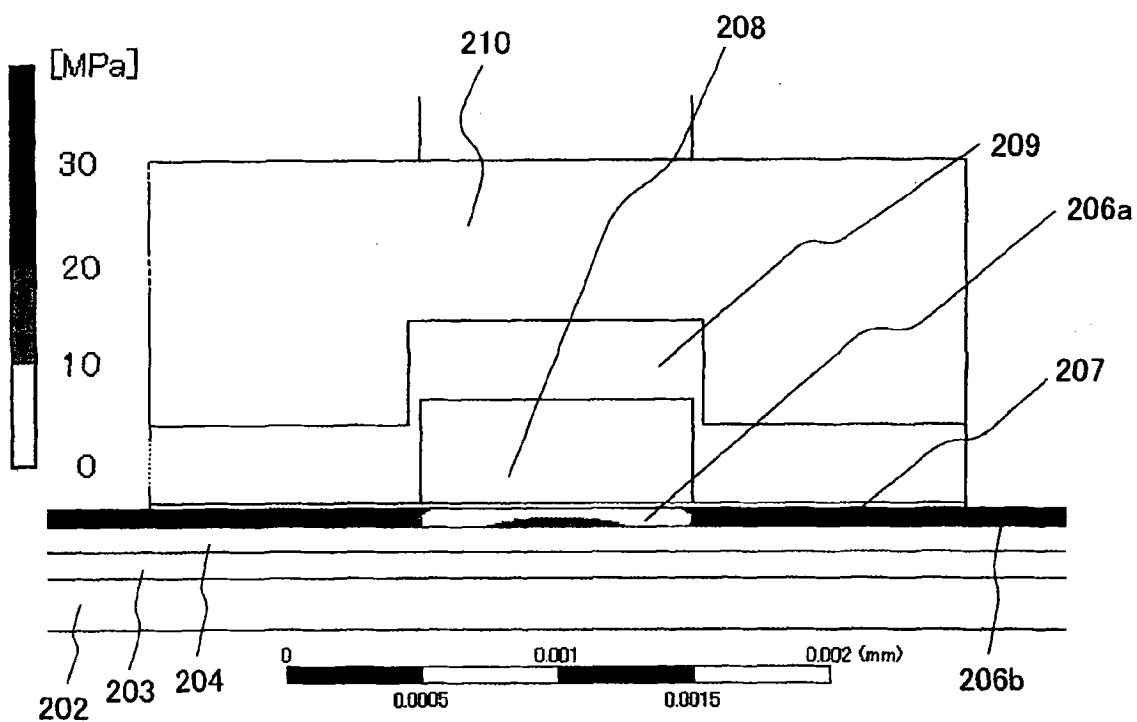


图 20B

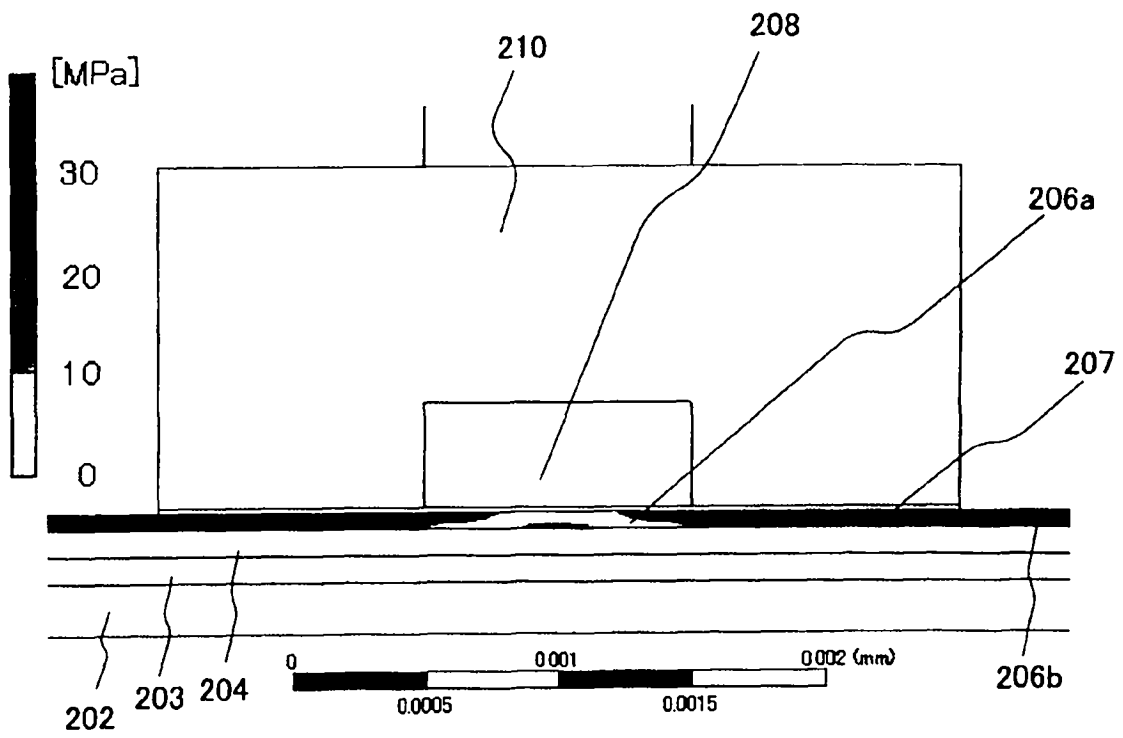


图 21A

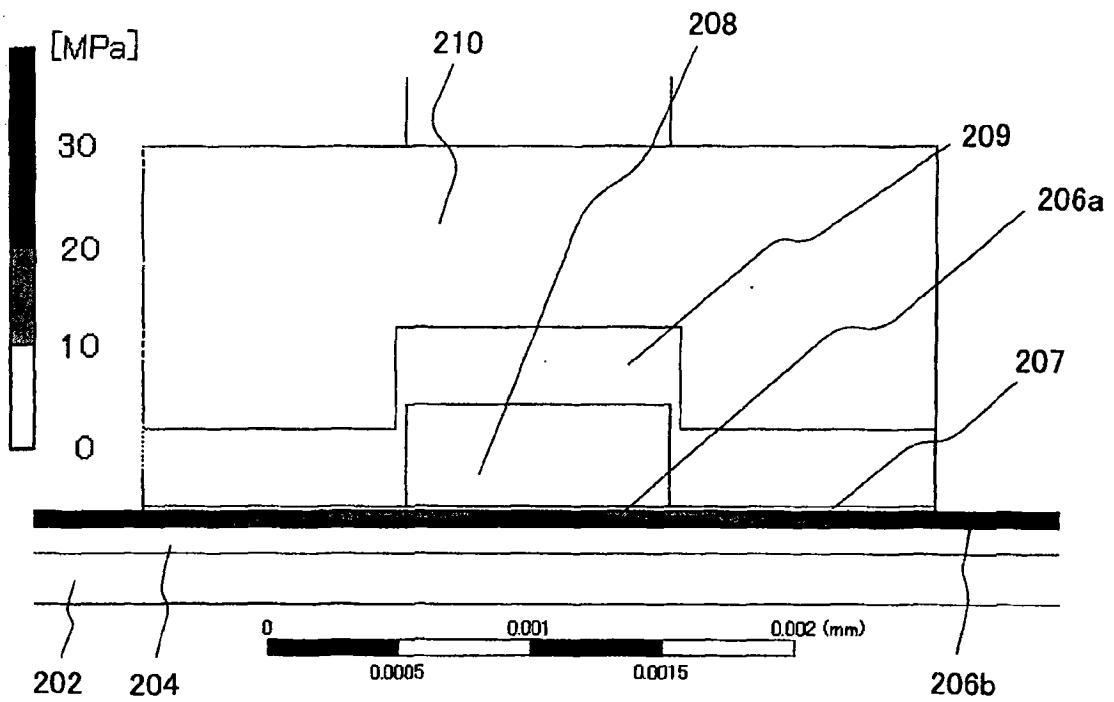


图 21B