

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4642471号  
(P4642471)

(45) 発行日 平成23年3月2日(2011.3.2)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 D
HO 1 L 27/04 (2006.01)	HO 1 L 21/88 Z
HO 1 L 21/3205 (2006.01)	HO 1 L 21/82 W
HO 1 L 23/52 (2006.01)	HO 1 L 27/04 H
HO 1 L 21/82 (2006.01)	

請求項の数 30 (全 19 頁)

(21) 出願番号	特願2004-546897 (P2004-546897)	(73) 特許権者	501411651
(86) (22) 出願日	平成15年10月16日(2003.10.16)		エイチアールエル ラボラトリーズ, エルエルシー
(65) 公表番号	特表2006-517053 (P2006-517053A)		HRL LABORATORIES, LLC
(43) 公表日	平成18年7月13日(2006.7.13)		アメリカ合衆国, 90265-4799
(86) 国際出願番号	PCT/US2003/032961		カリフォルニア州, マリブ, マリブ キャニオン ロード 3011
(87) 国際公開番号	W02004/038800		3011 Malibu Canyon Road, Malibu, CA 90265-4799, United States of America
(87) 国際公開日	平成16年5月6日(2004.5.6)		
審査請求日	平成18年10月16日(2006.10.16)		
(31) 優先権主張番号	60/420,173		
(32) 優先日	平成14年10月21日(2002.10.21)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	10/686,545		
(32) 優先日	平成15年10月14日(2003.10.14)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 無関係な導電トレースを有する多層集積回路

(57) 【特許請求の範囲】

【請求項1】

多層集積回路であって：

該多層集積回路の構成要素間で電気信号を搬送するための、上部導電線を有する上部導電層；

前記集積回路の構成要素間で電気信号を搬送するための、下部導電線を有する下部導電層；及び

前記上部導電線を前記下部導電線と電氣的に接続する導電性ビアホールを有する中間層；

を有する多層集積回路であって、

前記上部導電線又は前記下部導電線の何れかのうちの少なくとも1つの導電線は無関係な導電線であり；

前記導電性ビアホールのうちの少なくとも1つのビアホールは無関係なビアホールであり；

前記の少なくとも1つの無関係な導電線は、前記上部及び前記下部導電線の材料と同じ材料から成り；

前記の少なくとも1つの無関係な導電線及び無関係なビアホールは、リバースエンジニアを混乱させるために、無関係な経路を構成し、前記集積回路の動作機能に接続されないようになっており；

前記無関係な導電線及び前記無関係なビアホールは、基本充填セルを形成するように結

合されており；且つ

前記基本充填セルは、より大きいセルを形成するように結合されている；  
ことを特徴とする多層集積回路。

【請求項 2】

請求項 1 に記載の多層集積回路であって、前記無関係な導電線は前記上部及び下部導電線と同じ寸法を有し、並びに / 若しくは、前記多層集積回路は：

前記上部導電線が位置している上部ルーティングチャネル；及び  
前記下部導電線が位置している下部ルーティングチャネル；  
を更に有し、

前記少なくとも 1 つの無関係な導電線は前記ルーティングチャネルの少なくとも 1 つに位置している；

ことを特徴とする多層集積回路。

10

【請求項 3】

請求項 1 に記載の多層集積回路であって、前記上部導電線及び下部導電線の両方が無関係な導電線を有し、並びに / 若しくは、前記集積回路は CMOS 集積回路である、ことを特徴とする多層集積回路。

【請求項 4】

請求項 1 に記載の多層集積回路であって、前記集積回路はバイポーラ集積回路である、及び / 又は前記集積回路は III - V 族材料から成る、ことを特徴とする多層集積回路。

【請求項 5】

請求項 1 に記載の多層集積回路であって、前記少なくとも 1 つの無関係な導電線は複数の無関係な導電線である、ことを特徴とする多層集積回路。

20

【請求項 6】

請求項 5 に記載の多層集積回路であって、前記無関係な導電線は接地電圧に接続された無関係な導電線を有する、前記無関係な導電線は電源電圧に接続された無関係な導電線を有する、又は前記無関係な導電線はクロック電圧に接続された無関係な導電線を有する、ことを特徴とする多層集積回路。

【請求項 7】

請求項 1 に記載の多層集積回路であって、更なる導電層と該更なる導電層間の更なる中間層とを更に有する、ことを特徴とする多層集積回路。

30

【請求項 8】

請求項 1 に記載の多層集積回路であって、前記無関係な経路は、前記集積回路の動作に不必要な 1 つの又は複数の特定の信号を搬送するように形成されている、ことを特徴とする多層集積回路。

【請求項 9】

多層集積回路を製造するプロセスであって：

前記集積回路の構成要素間で電気信号を搬送するための上部導電線を有する上部導電層を形成する段階；

前記集積回路の構成要素間で電気信号を搬送するための下部導電線を有する下部導電層を形成する段階；

前記上部導電線を前記下部導電線と電氣的に接続するビアホールを有する中間層を形成する段階；並びに

40

基本充填セルを形成する段階であり、該基本充填セルは：

前記上部導電層と前記下部導電層とのうちの少なくとも 1 つの導電層内の無関係な導電線であり、前記上部及び下部導電線の材料と同じ材料から成る無関係な導電線；及び

前記ビアホールのうちの無関係なビアホール；

を有し、

前記無関係な導電線及び前記無関係なビアホールは、リバーエンジニアを混乱させるために、無関係な経路を構成し、前記集積回路の動作機能に接続されないようになっている；

50

基本充填セルを形成する段階；  
を有し、  
前記基本充填セルは、より大きいセルを形成するように結合される；  
 ことを特徴とするプロセス。

【請求項 10】

請求項 9 に記載のプロセスであって、前記無関係な導電線は前記上部及び下部導電線と同じ寸法を有し、並びに / 若しくは、前記多層集積回路は：  
 前記上部導電線が位置している上部ルーティングチャンネル；及び  
 前記下部導電線が位置している下部ルーティングチャンネル；  
 を更に有し、  
 前記無関係な導電線は前記ルーティングチャンネルの少なくとも 1 つに位置している；  
 ことを特徴とするプロセス。

10

【請求項 11】

請求項 9 に記載のプロセスであって、前記上部導電線及び下部導電線の両方が無関係な導電線を有し、並びに / 若しくは、前記集積回路は CMOS 集積回路である、ことを特徴とするプロセス。

【請求項 12】

請求項 9 に記載のプロセスであって、前記集積回路はバイポーラ集積回路である、及び / 又は前記集積回路は III - V 族材料から成る、ことを特徴とするプロセス。

【請求項 13】

請求項 9 に記載のプロセスであって、前記無関係な導電線は接地電圧に接続された無関係な導電線を有する、前記無関係な導電線は電源電圧に接続された無関係な導電線を有する、又は前記無関係な導電線はクロック電圧に接続された無関係な導電線を有する、ことを特徴とするプロセス。

20

【請求項 14】

請求項 9 に記載のプロセスであって、前記無関係な経路は、前記集積回路の動作に不必要な 1 つの又は複数の特定の信号を搬送するように形成されている、ことを特徴とするプロセス。

【請求項 15】

電気信号の伝送のための機能導電線及び無関係な導電線を有する多層電気回路をデザインする方法であって、該デザインされた多層電気回路は対応する三次元の多層電気回路を作るために適切である、方法であって：

30

前記電気回路の構成要素間で電気信号を搬送するための第 1 層機能導電線を有する第 1 導電層の表現を与える段階；

前記電気回路の構成要素間で電気信号を搬送するための第 2 層機能導電線を有する第 2 導電層の表現を与える段階；

前記第 1 層機能導電線を前記第 2 層機能導電線に電氣的に接続する機能ビアホール<sub>の</sub>表現を与える段階；

前記第 1 導電層と前記第 2 導電層とのうちの少なくとも 1 層に挿入される無関係な導電線の表現を与える段階；

40

前記無関係な導電線に電氣的に接続された無関係なビアホール<sub>の</sub>表現を与える段階であり、前記無関係な導電線及び無関係なビアホールは、リバースエンジニアを混乱させるために、無関係な経路を形成するようにデザインされ、前記回路の動作機能に接続されてない、段階；

各基本充填セルが少なくとも 1 つの無関係な導電線又は少なくとも 1 つの無関係なビアを有する基本充填セルの表現を与える段階；及び

より大きいセルを形成するように前記基本充填セルを結合する表現を与える段階；  
を有することを特徴とする方法。

【請求項 16】

請求項 15 に記載の方法であって、前記第 1 導電層及び前記第 2 導電層において前記の

50

無関係な導電線の挿入の表現を与える段階を更に有する、ことを特徴とする方法。

【請求項 17】

請求項 16 に記載の方法であって、前記無関係な導電線の切断の表現を与える段階を更に有する、ことを特徴とする方法。

【請求項 18】

請求項 17 に記載の方法であって、前記無関係な導電線は複数の乱数の発生に従って切断される、ことを特徴とする方法。

【請求項 19】

請求項 17 に記載の方法であって、前記の第 1 導電層における無関係な導電線を前記の第 2 導電層における無関係な導電線に接続する無関係な接続ビアの表現を与える段階であって、各々の無関係な導電線は第 1 終端及び第 2 終端を有する、段階を更に有し、該方法は、無関係な導電線の前記第 1 終端又は前記第 2 終端に位置付けられていない無関係な接続ビアを削除するコンピュータ生成表現を与える段階を更に有する、ことを特徴とする方法。

10

【請求項 20】

請求項 17 に記載の方法であって、各々の無関係な導電線は第 1 終端及び第 2 終端を有し、該方法は、前記の無関係な導電線の第 1 終端か又は第 2 終端のどちらかに位置付けられている無関係な接続ビアの表現を与える段階を更に有し、該方法は、前記の無関係な導電線の第 1 終端と前記第 2 終端との間に位置付けられた無関係な接続ビアの表現を与える段階を更に有する、ことを特徴とする方法。

20

【請求項 21】

請求項 15 に記載の方法であって、機能導電線と重なり合う無関係な導電線の部分を削除する表現であって、前記無関係な接続ビアは第 1 接続終端及び第 2 接続終端を有する、表現を更に有し、該方法は、前記第 1 接続終端及び前記第 2 接続終端の両方において導電線に接続されていない無関係な接続ビアを削除する表現を更に有する、ことを特徴とする方法。

【請求項 22】

請求項 21 に記載の方法であって、機能導電線に近接する無関係な導電線の部分を削除する表現であって、前記無関係な接続ビアは第 1 接続終端及び第 2 接続終端を有する、表現を有し、該方法は、前記第 1 接続終端及び前記第 2 接続終端の両方において導電線に接続されていない無関係な接続ビアを削除する表現を更に有する、ことを特徴とする方法。

30

【請求項 23】

請求項 15 に記載の方法であって、各々の表現はコンピュータ生成表現である、及び/又は、前記無関係な経路は前記電気回路の動作に不必要な特定の信号を搬送するようにデザインされている、ことを特徴とする方法。

【請求項 24】

電気回路を製造するプロセスであって：

該電気回路の構成要素間で電気信号を搬送するための機能導電線を備える段階；

前記機能導電線の電気接続のための機能ビアホールを備える段階；

無関係な導電線を備える段階であって、前記無関係な導電線は前記電気回路の動作に対して不必要な機能を実行する、段階；並びに

40

前記の無関係な導電線の電気接続のために無関係なビアホールを備える段階であって、前記無関係な導電線及び無関係なビアホールは、リバースエンジニアを混乱させるために、無関係な経路を構成し、前記回路の動作機能に接続されない、段階；

を有し、

前記無関係な導電線及び前記無関係なビアホールは、基本充填セルを形成するように結合され；且つ

前記基本充填セルは、より大きいセルを形成するように結合される；  
プロセス。

【請求項 25】

50

請求項 2 4 に記載のプロセスであって、各々の無関係な導電線は第 1 終端及び第 2 終端を有し、前記無関係なビアホールを備える段階において、前記無関係なビアホールは無関係な導電線の前記第 1 終端か又は前記第 2 終端のどちらかに備えられる、ことを特徴とするプロセス。

【請求項 2 6】

請求項 2 4 に記載のプロセスであって、前記機能導電線と重なり合っている前記無関係な導電線の部分を削除する段階を更に有する、ことを特徴とするプロセス。

【請求項 2 7】

請求項 2 4 に記載のプロセスであって、前記無関係なビアホールは第 1 接続終端及び第 2 接続終端を有し、該プロセスは、前記第 1 接続終端及び前記第 2 接続終端の両方で導電線に接続されていない無関係なビアホールを削除する段階を更に有し、該プロセスは、無関係な導電線と機能導電線との間の所定の最小距離を維持するように、無関係な導電線の一部を削除する段階を更に有する、ことを特徴とするプロセス。

10

【請求項 2 8】

請求項 2 4 に記載のプロセスであって、前記無関係な経路は、前記電気回路の動作に対して不必要な特定信号を搬送する、ことを特徴とするプロセス。

【請求項 2 9】

請求項 9 に記載のプロセスであって、機能導電線と重なり合う無関係な導電線の部分を削除する段階であって、前記無関係なビアホールは第 1 接続終端及び第 2 接続終端を有する、段階を更に有し、該方法は、前記第 1 接続終端及び前記第 2 接続終端の両方において導電線に接続されていない無関係なビアホールを削除する段階を更に有する、ことを特徴とするプロセス。

20

【請求項 3 0】

請求項 2 9 に記載のプロセスであって、機能導電線に近接する無関係な導電線の部分を削除する段階であって、前記無関係なビアホールは第 1 接続終端及び第 2 接続終端を有する、段階を有し、該方法は、前記第 1 接続終端及び前記第 2 接続終端の両方において導電線に接続されていない無関係なビアホールを削除する段階を更に有する、ことを特徴とするプロセス。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、デジタル集積回路のリバースエンジニアリングの防止及び／又は抑制に関する。特に、本発明は、リバースエンジニアを拒否するために系統外導電性トレース又はラインを有する多層集積回路と、系統外導電性トレース又はラインを生成する段階を有する多層集積回路を製造するプロセスと、多層集積回路をデザインする方法とに関する。

【背景技術】

【0002】

今日の集積回路は、回路ブロック、ロジックブロック又はメモリブロック等のブロック間の、又は、ときどき、単一ブロック内のトランジスタ間の金属線により、I/Oポートに信号がルーティングされるように、構成されている。高密度化のために、2つ以上の金属層が用いられ、例えば、堆積された酸化物又は低いkの誘電体材料により、2つ又はそれ以上の層は分離されている。これらの金属線は、回路を平面図的にみるとき、しばしば、クロスハッチングの外観を有している。

40

【0003】

図 1 は、従来技術における、異なる層における金属トレース間の接続を示している。金属トレース 1 及び 2 は上層又は第 1 層に位置する一方、金属とトレース 3 は下層又は第 2 層に位置する。トレース 1 とトレース 2 との間の電氣的経路が、金属で満たされた導電性ビアホール 4、5 により生成される。ビアホール 4、5 は、上層と下層との間の中間層内に

50

位置する。ビアホール4、5を有する中間層は、通常、酸化物又は低いkの誘電体材料から成り、典型的には1 μmの膜厚である。上層、中間層及び下層については、明確化のために図示していない。

【0004】

図2は、図1に示している従来技術の模式的平面図を示している。

【0005】

典型的には、特定の金属層により生成された線は、所謂、ルーティングチャンネル又は配線チャンネルに沿って平行にルーティングされる。通常、ルーティングチャンネルは満たされていない。集積回路は可変数の金属層を有することができ、全ての場合、固定数がない。

10

【0006】

半導体集積回路に関するデザイン、開発及び製造努力は、益々小型化する電子回路を含む複雑な構造、プロセス及び製造技術についての理解を含む。そのような理解を達成するため及びそのような集積回路の成功したデザイン、開発及び製造を確立するための努力には、高度に熟達した専門家の多くのマンアワー (man-hours) と多額の費用とを必要とする。

【0007】

他方、費用の掛かるマンアワーと他の大幅な費用とを回避するために、一部の開発者は、リバースエンジニアリングの手法を使い、既存のデバイスを分解して、徹底的に調べ、又は、続く複製のために結果として得られる集積回路の物理的構造を判定するために検査する。このようなリバースエンジニアリングは、典型的には、主に、回路のプレーナ光学画像を得ることに依存し、本質的には、典型的なプロダクト開発努力をバイパスするように企て、競争力のあるプロダクトを研究し、複製することにより費用削減する。

20

【0008】

半導体集積回路のリバースエンジニアリングを回避するために、種々の方法を利用することができる。例えば、本発明の発明者の一部は、トランジスタのアクティブ領域間の標準的金属接続及び接触が半導体基板中に埋め込まれていることを記載している、米国特許第5,783,846号明細書、米国特許第5,973,375号明細書及び米国特許第6,117,762号明細書において教示されている概念を開発してきた。これらの隠された相互接続は、典型的には、基板に最も近い金属層にある金属相互接続の良好な一部を置き換えるために利用される。これらの隠された相互接続を使用することにより、金属パターンの外観検査はもはや十分でないため、リバースエンジニアリングが著しく複雑になり、それ故、エッチングして削ることにより、基板の方に向かって各々の層を注意深く記録することが必要になる。更に、処理最小フィーチャサイズの範囲内の分解能に対して、n型対p型注入を分離するために選択可能であるエッチャント染色が必要とされる。

30

【0009】

これらの技術の組み合わせは、リバースエンジニアは、各々のトランジスタ及びそれらの接続についての注意深い解析と、中程度の複雑さの集積回路に対してさえ、文字通り膨大な数の段階の処理とを行わなければならないことを意味している。このようなことが、実際に、リバースエンジニアにとって必要になる場合、タスクは多くの時間とコストを必要とするものとなる。その結果、リバースエンジニアは、回路全体に亘って同様の回路ブロックの外観を識別し、カタログ化し、設定するデータベースにロードすることができる、反復するトリックパターンを見つける処理を自動化する方法を探そうとする。

40

【特許文献1】米国特許第5,783,846A号明細書

【特許文献2】米国特許第5,866,933A号明細書

【特許文献3】米国特許第5,973,375A号明細書

【特許文献4】米国特許第6,117,762A号明細書

【特許文献5】米国特許第6,207,479B1号明細書

【特許文献6】米国特許第6,413,847B1号明細書

【特許文献7】米国特許第6,528,885B1号明細書

50

- 【特許文献 8】米国特許出願第 2 0 0 2 / 0 0 2 4 1 4 8 A 1 号明細書
- 【特許文献 9】米国特許出願第 2 0 0 2 / 0 0 7 9 5 6 4 A 1 号明細書
- 【特許文献 1 0】欧州特許出願第 1 , 1 9 3 , 7 5 8 A 1 号明細書
- 【特許文献 1 1】日本特許出願第 2 0 0 1 - 2 8 4 3 5 7 号明細書
- 【特許文献 1 2】国際公開第 W O 0 2 / 4 3 1 4 7 A 1 号パンフレット
- 【特許文献 1 3】欧州特許出願第 0 , 3 7 8 , 3 0 6 A 号明細書
- 【特許文献 1 4】欧州特許出願第 0 , 7 6 4 , 9 8 5 A 号明細書
- 【特許文献 1 5】米国特許第 5 , 3 4 5 , 1 0 5 A 号明細書
- 【特許文献 1 6】米国特許第 5 , 8 6 1 , 6 5 2 A 号明細書
- 【特許文献 1 7】国際公開第 W O 9 9 / 1 6 1 3 1 A 号パンフレット
- 【特許文献 1 8】米国特許第 4 , 4 3 4 , 3 6 1 A 号明細書
- 【特許文献 1 9】国際公開第 W O 0 0 / 2 8 3 9 9 A 号パンフレット
- 【特許文献 2 0】米国特許第 6 , 1 3 7 , 3 1 8 A 号明細書
- 【特許文献 2 1】米国特許第 6 , 0 1 4 , 0 5 2 A 号明細書
- 【特許文献 2 2】米国特許第 5 , 9 9 8 , 8 5 8 A 号明細書
- 【特許文献 2 3】欧州特許出願第 0 , 9 4 8 , 0 5 2 A 号明細書
- 【特許文献 2 4】国際公開第 W O 9 8 / 5 7 3 7 3 A 号パンフレット
- 【特許文献 2 5】米国特許第 5 , 9 3 0 , 6 6 3 A 号明細書
- 【特許文献 2 6】米国特許第 5 , 3 3 6 , 6 2 4 A 号明細書

10

## 【発明の開示】

20

## 【発明が解決しようとする課題】

## 【 0 0 1 0 】

本発明は、そのような自動化技術全ての阻止を図るものである。これは、静電圧において又はクロック電圧においてさえ現れるが、回路の動作機能には決して接続されない、本物の配線トレースのように見えるものを用いて、相互接続導体層ルーティングチャンネルを補うことにより達成される。これらの無関係な導電性トレースの位置決めは、類似する回路ブロック内で反復しない擬似ランダムであり、それ故、リバースエンジニアが自動プロトコルを諦め、望ましくは、又、全体的なリバースエンジニアリングアクティビティを諦めざるを得ないようにする。

## 【課題を解決するための手段】

30

## 【 0 0 1 1 】

第 1 の特徴に従って、多層集積回路であって：集積回路の構成要素間で電気信号を搬送するための上部導電線を有する上部導電層と；集積回路の構成要素間で電気信号を搬送するための下部導電線を有する下部導電層と；上部導電線を下部導電線と電気的に接続する導電性ビアホールを有する中間層と；を有する多層集積回路であり、上部導電線と下部導電線との間の少なくとも 1 つの線は無関係な導電線であり；少なくとも 1 つの無関係な導電線は上部導電線及び下部導電線の材料と同じ材料から成り；少なくとも 1 つの無関係な導電線はその集積回路の動作に不必要な機能を実行する、多層集積回路を提供する。

## 【 0 0 1 2 】

第 2 の特徴に従って、多層集積回路を製造するプロセスであって：集積回路の構成要素間で電気信号を搬送するための上部導電線を有する上部導電線を生成する段階と；集積回路の構成要素間で電気信号を搬送するための下部導電線を有する下部導電線を生成する段階と；上部導電線を下部導電線と電気的に接続する導電性ビアホールを有する中間層を生成する段階と；上部導電線と下部導電線との間の少なくとも 1 つの導電層において無関係な導電線を生成する段階と；から構成されるプロセスであり、無関係な導電線は上部導電線と下部導電線の材料と同じ材料から成り、無関係な導電線は集積回路の動作に不必要な機能を実行する、プロセスを提供する。

40

## 【 0 0 1 3 】

第 3 の特徴に従って、電気信号の送信のための機能性導電線と無関係な導電線とから構成される多層電気回路をデザインするための方法であって、デザインされる多層回路は対

50

応する三次元多層電気回路を製造するために適切である、方法であり：電気回路の構成要素間で電気信号を搬送するための第1層機能性導電線を有する第1導電層の表現を与える段階と；電気回路の構成要素間で電気信号を搬送するための第2層機能性導電線を有する第2導電層の表現を与える段階と；第1層導電線を第2層導電線と電気的に接続する機能性ビアホールを有する第1層導電線と第2層導電線との間の少なくとも1つの層において挿入される無関係な導電線の表現を与える段階と；を有する方法を提供する。

【0014】

第4の特徴に従って、電気回路を製造するプロセスであって：電気回路の構成要素間で電気信号を搬送するための機能性導電線を与える段階と；機能性導電線の電気接続のための機能性ビアホールを与える段階と；無関係な導電線を与える段階であって、無関係な導電線は電気回路の動作に不必要な機能を実行する、段階と；無関係な導電線の電気接続のための無関係なビアホールを与える段階と；を有するプロセスを提供する。

10

【0015】

本発明においては、無関係な導電線又はトレースはリバースエンジニアを混乱させるためにルーティングチャンネルにおいて備えられる。無関係な導電線は、所定のトランジスタのアクティブ領域において始まり又は終わることが可能である。しかしながら、それらの無関係な導電線は、いずれにも繋がっていないか又は、集積回路の動作に必要ないずれの機能も実行しない。無関係な導電線は、トランジスタ、アクティブ領域、電源等の間の本当の接続のように見えるが、実際には、そうではない。代替として、それらの無関係な導電線が信号により“アクティブ”である場合、その信号は、回路の一部でない又は回路の基本的機能に寄与していないが、もっともらしいものである。例えば、無関係な導電線は、回路のいずれの部分に結合することなく、浮遊させることが可能である。代替として、無関係な導電線は、アース又は電源に、若しくは、回路の一部の機能部分により電圧が変化するトランジスタに結合されることが可能である。

20

【0016】

今日の最新式のCMOSプロセス（約0.25 $\mu$ mの最小フィーチャサイズ又はそれ以下のサイズ）においては、回路の層を平坦化するために化学的機械研磨法（CMP）を利用する。これらのプロセスの間、集積回路の製造においては又、所定の金属層の上のエッチング/研磨は固体金属の‘フロント’において終了するように、金属のランダムビットで配線チャンネルにメタルフィルを生成する。しかしながら、配線チャンネルにおけるメタルフィルは、典型的には、小さい矩形形状である。リバースエンジニアから逃れるために、ランダム金属部分を、ビアを有する通常の導電性金属トレースのようにみえるようにすることに対して注意が払われない。

30

【0017】

本発明は、例えば、CMOSの対、バイポーラ回路又はIII-V族化合物半導体材料から成る回路から構成される集積回路の広い範囲に適用することができる。

【0018】

本発明の教示するところに基づいて、当業者は、ルーティングチャンネルにおける無関係な導電線がリバースエンジニアのタスクを複雑化させることを認識するであろう。一部の場合、無関係な導電線は、回路がアクティブにされるとき、無関係な導電線が一定電圧に保たれるように、その線がアクティブ領域に対して一つのポイントで接続されることが可能である。他の場合、無関係な導電線は、アクティブ領域又は電圧に接続されるポイントを有することなく、まさに浮遊状態であることが可能である。更に、リバースエンジニアを混乱させ、集積回路の全く不必要な部分の詳細な解析を強いるように、無関係な導電線をトランジスタに接続し、特定信号を搬送することが可能である。本発明に従った無関係な導電トレースは、ビアを使用することにより1つの層を他の層と接続する通常の導電トレースのように見え、それ故、リバースエンジニアは、金属線が機能性であるか又はそうでないかを判定するために多くの段階を要して、ビアを判定し、線を調べなければならない。好適には、ルーティングチャンネルにおける残りの空間の全て又は殆どの部分は無関係

40

50

な導電トレースで満たされる。

【0019】

本発明に従った技術が用いられるとき、VCSEM (Voltage Contrast Scanning Electron Microscopy) による回路解析及び回路機能性を自動的に決定するために利用される他の技術は尚一層困難になる。

【発明を実施するための最良の形態】

【0020】

本発明の明細書の全体を通して、用語‘トレース’及び‘線’は交換可能であるとして用いる事とする。

【0021】

図3は、本発明の第1実施形態を示しており、この図において、機能性導電トレース又は線1及び2が、上層又は第1層において示されており、機能性導電線3が下層又は第2層において示されている。付加的な無関係な導電層11、12が上層に位置付けられ、付加的な無関係な導電層13が下層において生成されている。図3の無関係な導電トレースは、明確化のみのために、機能性導電トレースとは異なる陰影が付けられている。図3に示している実施形態の実際の実施においては、無関係なトレースのために用いられる材料及び寸法は、実際の機能性トレースのために用いられる材料及び寸法と同じである。トレース1、2、11及び12は、上部ルーティングチャンネルUにおいて位置付けられている。トレース3及び13は下部ルーティングチャンネルLにおいて位置付けられている。図3は又、中間層内に位置付けられた付加的なビアホール14、15を示している。

【0022】

図3に示す実施形態においては、トレース11とトレース12との間の経路は無関係な経路であり、リバースエンジニアの作業にとって重荷になるように意図して設計されたものである。それ故、リバースエンジニアは、トレース11とトレース12との間の経路は、トレース11、12及び13並びにビアホール14及び15が存在するものとして電気的目的を有していると捉えるであろう。導電線を注意深く調べ、それらが回路の機能に関っていないことを判定することによってのみ、リバースエンジニアはエラーを明らかにすることができる。そういう状況であれば、無関係な導電線がフローティングであり、電源又は接地電圧に接続されていない場合、リバースエンジニアは部分的に支援されることができる。

【0023】

しかしながら、本発明の好適な実施形態においては、図3に示すように、トレース11、12又は13若しくはそれらの組み合わせは、電源又は接地電圧と若しくは適切に選択されたクロック電圧との接触をなす。無関係な導電線又はトレースが電源又は接地電圧と接触するようにすることにより、リバースエンジニアは、そのような無関係な線が実際の機能性線であると捉えるようになる。

【0024】

図4は、本発明の第2実施形態を示す図であり、この図においては、機能性導電トレース及び無関係な導電トレースの両方から構成される経路が生成されている。更に具体的には、図4は、機能性上部トレース1、ビアホール4、機能性下部トレース3、ビアホール5、機能性上部トレース22、ビアホール26及び機能性下部トレース27から構成される第1の機能性経路を示している。用語、上部及び下部は、トレースが上層又は下層どちらかそれぞれに位置付けられていることを表している。更に、図4は、無関係な上部とトレース11、ビアホール14、無関係な下部トレース13、ビアホール25、機能性上部トレース22、ビアホール26及び機能性下部トレース27から構成される第2の無関係な経路を示している。トレース1、11及び22は上部ルーティングチャンネルUにおいて位置付けられている。トレース3、13及び27は下部ルーティングチャンネルLに位置付けられている。

【0025】

セグメント 1 1 - 1 4 - 1 3 - 2 5 から構成される図 4 における無関係な経路の接続は、線 2 2 の性質に依存する幾つかの電圧値のいずれかであることが可能である。線 2 2 は接地電圧又は電源電圧に接続されることが可能であり、それ故、それらの電圧は無関係な経路に存在する電圧と同じ電圧と規定される。そういう状況であれば、当業者は、性能を低下させるように無関係な経路が機能性回路に負荷を与えることがないことを保証する種々の方法を認識する。例えば、付加された無関係な経路の寄生負荷は回路速度及び電力消費を種々の程度に変化させるが、典型的には、10%より小さい。

#### 【0026】

当業者は、図 3 及び図 4 に示された実施形態に類似する実施形態を即座に実施することができるであろう。例えば、無関係なトレースは、上層のみ、下層のみ又は両方の層に備えられることが可能である。更に、前段落の教示するところに従って、当業者は、無関係な経路を回路の幾つかの電圧のいずれかにどのように接続することができるかを理解することができるであろう。

10

#### 【0027】

当業者は又、図 3 及び 4 に示している実施形態を、3 層以上の層を有する層状構造に適用することができることを理解するであろう。例えば、無関係な経路を、3 つ又はそれ以上の層に沿って生成することが可能である。

#### 【0028】

図 5 及び 6 は、図 3 及び 4 それぞれに示している実施形態の模式的平面図である。図 5 及び 6 を参照するに、機能性トレースと無関係なトレースとの間の違いは図において表されてはいない。図 5 及び 6 において示している回路のような回路は図 2 において示している回路のような回路と電氣的に等価であることを、リバースエンジニアが理解することは非常に困難であることを注記することは容易である。これは、上で既に説明したように、無関係な経路が回路において電圧と結合されるときに、特に真実である。

20

#### 【0029】

集積回路に対する金属充填段階は、通常は、回路が配置された後に設けられる。そのような回路設計はベンダの CAD プログラムに適合しなければならない。上記の対リバースエンジニアリング回路及びプロセスの実施は、CAD パッケージにおいて設計者により付加的な線をマニュアルで挿入することによりなされる。しかしながら、最新の集積回路における極めて多数のトランジスタ及び配線チャンネルのために、この方法を推奨できない。それ故、その実施は、好適には、金属層に導電線又はトレースを付加した CAD ソフトウェアにおけるソフトウェアルーチンにより実行される。上で既に説明したように、トレースは電圧に結合され、フローティングにされることが可能である。

30

#### 【0030】

通常、機能性トレース及びビアは、自動的コンピュータ制御“配置及び配線 (Place and Route)” プロセスにより位置付けられ、接続される。

#### 【0031】

図 7 は、2 つのそのような典型的なコネクタ、即ち、コネクタ 1 0 1 及びコネクタ 1 0 2 を示している。コネクタ 1 0 1 は、第 1 レベルに位置付けられたトレース 1 0 3、1 0 4 及び第 2 レベルに位置付けられたトレース 1 0 5 から構成される。トレース 1 0 3 はビアホール 1 0 6 によりトレース 1 0 5 に接続され、トレース 1 0 5 はビアホール 1 0 7 によりトレース 1 0 4 に接続されている。コネクタ 1 0 2 は、第 1 レベルに位置付けられたトレース 1 0 8、1 0 9 と第 2 レベルに位置付けられたトレース 1 1 0 とから構成されている。トレース 1 0 8 はビアホール 1 1 1 によりトレース 1 1 0 に接続され、トレース 1 1 0 はビアホール 1 1 2 によりトレース 1 0 9 に接続されている。簡便性のために、図 7 は 2 つの金属層と 1 つの種類のビアのみを示している。最新式の ASIC (特定用途向け集積回路) CAD 技術は、9 つの金属層とこれらの 9 つの導電層に接続する 8 つのビアの集合とまで支援することができる。しかしながら、本発明の概念は、いずれの数の層に対しても容易に適用されることが可能である。通常、特定の導電層は、1 つの方向であって、

40

50

水平方向か又は垂直方向のどちらかにおいて接続をルーティングするための“配置及び配線”プログラムにおいて選択される。図10においては、下で更に詳細に説明するように、例えば、上層は垂直方向においてルーティングされ、下層は水平方向においてルーティングされている。

#### 【0032】

第1実施形態に従って、“配置及び配線”ルーチンは、4つの段階であって：1) 金属充填；2) 金属層のランダム割合の切断；3) 無関係なビアの追加；及び、4) どちらかの金属のどちらかの終端にない一部の不所望のビアの削除；の4つの段階から構成される。

#### 【0033】

##### 段階1：金属充填

空の空間が層群において金属のストリップにより充填され、その充填操作はコンピュータプログラムにより生成される。コンピュータ生成の無関係な導電ストリップの方向は、“配置及び配線”プロセスにおいて規定される特定の導電層各々の方向選択に従う。無関係な導電ストリップは、好適には、ルーティング金属と同じ幅を有する。それらのストリップは、互いから、又、プロセスデザインルールにおいて指定された距離だけ同じ層のルーティング金属から分離している。

#### 【0034】

図8はこの第1段階の結果を示す図であり、この図において、コネクタ101（即ち、103-106-105-107-104）及びコネクタ（即ち、108-111-110-112-109）を備える構造は、ここで、更に、第1層における金属の水平方向のストリップ201乃至206及び第2層における金属の垂直方向のストリップ301乃至310から構成される。それらの付加的層は、第1層及び第2層においてオリジナルのルーティングを伴わない空間を充填する。

#### 【0035】

##### 段階2：導電層のランダム割合切断

第2ソフトウェアルーチンは、グリッドサイズに対比して各々の導電トレースの長さを検出する。グリッドは、導電トレースの中心に正確に位置する想像上の線である。グリッドサイズは、この技術のデザインルールにより指定される2つの隣接する導電コネクタの中心から中心までの一意の距離である。全ての機能性金属及び無関係な金属は、好適には、同じグリッドサイズ（幅に隔たりを加えたもの）を有する。それ故、本段階は、リバーエンジニアが回路における異なるパターンを個別化しようとするとき、彼の作業に負担を課す。

#### 【0036】

導電トレースの長さを検出した後、前の段階において導入された無関係な導電トレースはグリッドサイズに対比して異なるサイズにランダムに切断される。そのランダム性はプログラムにおける擬似ランダム生成サブルーチンにより生成される。このランダム切断の結果として、導電ストリップは、いずれの切断を伴わずに100%損なわれていないものとすることができ、又は、例えば、オリジナルの長さの30%及び70%の2つの部分に若しくは全長の異なる割合を各々が有する更に多くの部分にさえ切断されることができる。例えば、範囲1乃至10における乱数が生成され、生成される第1乱数が4である場合、オリジナルの長さの40%が切断される。次いで、続く乱数が生成され、この乱数が7である場合、残りの長さの70%が切断され、生成される乱数の所定レベルに達するまで、同様に切断される。

#### 【0037】

図9は、ランダム割合切断の後の、無関係な導電トレースおよび機能性導電トレースのパターンを示している。

#### 【0038】

##### 第3段階：無関係なビアの付加

第3のソフトウェアルーチンは、図10に示すように、上層と下層とが重なり合う全て

10

20

30

40

50

の位置において、図7のビア106、107、111及び112が生成された同じ処理段階を用いて、無関係な接続ビア350を生成する。各々のビアは、製造プロセスの要求のために、デザインルールにより規定される標準的サイズを有している。

【0039】

図10は、付加的ビアを生成する段階の後の、導電トレース及びビアのパターンを示している。

【0040】

第4段階：各々の金属線の各々の終端にない一部の不所望のビアの削除

本物のコネクタのように見える無関係な導電トレース及び無関係な接続ビアを生成するために、前の段階で付加された無関係な接続ビアの一部を削除する必要がある。この理由は、殆どの場合、本物のコネクタは、図7に示すように、金属が終端する位置で2つの導電層を接続するビアを有することである。前の段階においては、ビアは、2つの金属の重なり合った範囲全体に亘って位置付けられている。更なるソフトウェアルーチンがこれらの位置付けられているビアの一部を除去するために用いられる。除去の判断はユーザ指定割合により制御される。例としては、80%が指定されている場合、プログラムは導電トレースの終端において2つのビアを持ち続け、ビアの数字において80%を削除し、その中間の値にする。

10

【0041】

図11は、導電ストリップの終端において2つのビアの間で充填されたビアの100%が削除された場合について示している。それ故、残されたビアは導電ストリップの終端におけるビアのみである。

20

【0042】

上で説明した第3段階及び第4段階の代替として、無関係な導電線の終端において無関係なビアホールを提供する単一の段階を提供することが可能である。そのような段階においては又、上記の4つの段階の削除ソフトウェアルーチンによりなされる場合と類似して、無関係な導電線の終端において必ずしも位置付けられる必要のないビアホールが提供されることが可能である。

【0043】

図7乃至11においては、1つのレベルと他のレベルとの間で区別するために及びオリジナルの金属/ビアと無関係な金属/ビアを区別するために異なるパターンが用いられた。実際のASICにおいては、無関係な金属とオリジナルの金属、無関係なビアとオリジナルのビアは、チップにおいて光学的に区別できない。これについて、図12に示す。図12から、機能性コネクタを充填されたコネクタと区別しようとすることは非常に困難であることが明らかである。

30

【0044】

図13は、第1の実施形態の詳細のフローチャートを示しており、この図において、S0は初期化操作を示し、S1は第1段階に関連する操作を示し、S2は第2段階に関連する操作を示し、S3は第3段階に関連する操作を示し、及びS4は第4段階に関連する操作を示している。

【0045】

第2の実施形態に従って、配置及び配線ルーチンは次のような4段階から構成される。1)基本フィルセル(基本充填セル)をデザインする。2)大きいセルを生成するために基本充填セルを結合させる。3)オリジナルの金属に近過ぎるか又は重なり合っている充填金属を削除する。4)充填金属範囲の正しい層を伴わない充填ビアを削除する。それらの段階について、ここで、更に詳細に説明する。

40

【0046】

段階1：基本充填セルのデザイン

このプロセスの第1段階は、無関係な金属トレースと無関係な接続ビアとから構成される多くの異なる基本セルをデザインするプロセスである。配置及び配線プログラムにおい

50

て生成された機能性導電トレース及び接続ビアから構成される機能性接続は特定の特性を有するため、それらを複製する最善方法は、無関係な金属層及び接続ビアにおいて類似する全ての種類のルーティング構造をマニュアルによりデザインすることである。これらのデザインされる基本セルの数は、例えば、最大30乃至50までとすることができる。図14A乃至14Cは、これらのセルの3つの例を示している。これらのセルの金属及びビアパターンは、それらが配置及び配線プログラムによる機能性接続のように見えるようにする方法で、意図的にデザインされている。種々の異なる形状のセルが、勿論、本発明を用いた接続において使用されることができ、上記の3つのセルは、例示目的のみで挙げたものである。いずれの種類のものであっても、単一の導電線又は単一のビアホールを有するセルでさえ、デザインすることが可能である。

10

## 【0047】

第2段階：大きいセルを生成するための基本充填セルの結合

この段階においては、前の段階においてデザインされた基本セルは、より大きいセルである次のレベルを生成するために結合される。

## 【0048】

図15はこの第2段階の例を示しており、この図においては、図14A乃至14CのセルC1、C2及びC3は、次のレベルのセルCH1を生成するために互いに隣接されている。最も低いレベルで、全部で30個の異なる基本セルを仮定する場合、3つのセルを互いに隣接させる組み合わせは全部で2700通りあり、異なる高いレベルのセルCH1乃至CH2700を与える。これらの高いレベルのセルにおける無関係な金属トレース及び無関係な接続ビアは、それらが基本セルの複製であるため、機能性ルーティングトレース及びビアに、疑いようもなく非常に似ているように見える。又、次のレベルのセルの幾つかを組み合わせることにより、他の高いレベルにおけるより大きいセルを生成することができる。このようにして繰り返すことにより、無関係な金属及びビアを有するように意図された全体のASICチップの一部をカバーする十分な大きいセルが得られる。この最終のセルにおいては、全ての充填金属及びビアは、膨大な数のセルの組み合わせのために、十分なランダム性を有し、同時に、それらは、機能性ルーティングコネクタに非常に類似している。

20

30

## 【0049】

第3段階：機能性導電線に近過ぎるか又は重なり合っている無関係な金属線の削除

更なるソフトウェアルーチンは、次いで、機能性金属線に重なり合っている、あるいは近過ぎる、即ち、デザインルールが許容するより近い、無関係な金属全てを削除する。これは、デザイン上、金属層全てに対してなされる。その結果については図17に示しており、無関係な充填金属のうちの複数の部分が削除されている。

## 【0050】

第4段階：充填金属範囲の正しい層を伴わない無関係なビアの削除

ルーティング金属に近過ぎるか又は接触している充填金属の一部を削除した後、他のソフトウェアルーチンが、前の段階において削除されたカバー金属を有する不必要な接続ビアの処理を行う。適切な無関係な金属トレースのカバーを伴わない不必要なビア全てが、リバーエンジニアの作業に負担を課すように、削除される必要がある。

40

## 【0051】

図18は、適切な無関係な金属層のカバーを伴わない無関係なビアが削除された後のルーティング金属及びビアを示している。ルーティングコネクタは、ここで、多くの充填コネクタの間に隠れており、それらは、リバーエンジニアリングの攻撃において識別することは非常に困難である。

## 【0052】

第1実施形態を参照して既に説明したように、無関係な導電線及び無関係なビアは、機

50

能性導電線及び機能性ビアそれぞれから光学的に区別することはできない。

【0053】

図19は、第2実施形態の詳細を示すフローチャートであり、この図において、S10は初期化操作を示し、S11は第1段階に関連する操作を示し、S12は第2段階に関連する操作を示し、S13は第3段階に関連する操作を示し、及びS14は第4段階に関連する操作を示している。

【0054】

一旦、図12又は18に示す1つのようなレイアウトが得られると、各々の層に対してマスクが調整され、次いで、集積回路を製造するためにファウンドリに送られる。本明細書に示す例においては、3つのマスクが調整される必要があり、それらの1つは上層（機能性導電線及び無関係な導電線）のためのものであり、1つは中間層（機能性ビアホール及び無関係なビアホール）のためのものであり、そして、1つは下層（機能性導電線及び無関係な導電線）のためのものである。マスクの調整段階は、それ自体、既知であり、ここではその詳細説明については省略する。それについては、例えば、参照文献、'VLSI Technology', edited by S. M. Sze, McGraw-Hill, 1983を参照することができる。

【0055】

本発明については、特定の実施形態を参照して説明したが、本発明の範囲から逸脱することなく、当業者により種々の変形及び変更を実行することができる。それ故、本発明は、同時提出の特許請求の範囲における範囲内の変形及び変更を網羅するように意図されている。

【図面の簡単な説明】

【0056】

【図1】先行技術における、多層構造を有する集積回路における導電性トレース及びビアホールの構成の模式的透視図である。

【図2】図1の構成の平面図である。

【図3】本発明に従った第1実施形態の模式的透視図である。

【図4】本発明に従った第2実施形態の模式的透視図である。

【図5】図3の実施形態の平面図である。

【図6】図4の実施形態の平面図である。

【図7】回路の2つの層に沿って位置付けられている接続要素の一部の平面図である。

【図8】本発明の第1実施形態に従った無関係な導電トレース及びビアを位置付ける一連の段階を示す図である。

【図9】本発明の第1実施形態に従った無関係な導電トレース及びビアを位置付ける一連の段階を示す図である。

【図10】本発明の第1実施形態に従った無関係な導電トレース及びビアを位置付ける一連の段階を示す図である。

【図11】本発明の第1実施形態に従った無関係な導電トレース及びビアを位置付ける一連の段階を示す図である。

【図12】本発明の第1実施形態に従った無関係な導電トレース及びビアを位置付ける一連の段階を示す図である。

【図13】図8乃至12の段階に従ったフローチャートである。

【図14】A乃至Cは、本発明の第2実施形態に従った無関係な導電トレース及びビアを位置付ける一連の段階を示す図である。

【図15】本発明の第2実施形態に従った無関係な導電トレース及びビアを位置付ける一連の段階を示す図である。

【図16】本発明の第2実施形態に従った無関係な導電トレース及びビアを位置付ける一連の段階を示す図である。

【図17】本発明の第2実施形態に従った無関係な導電トレース及びビアを位置付ける一連の段階を示す図である。

10

20

30

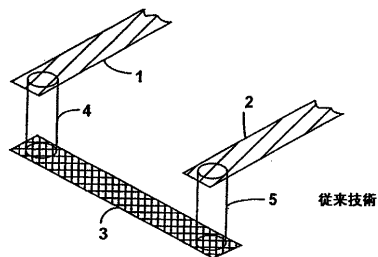
40

50

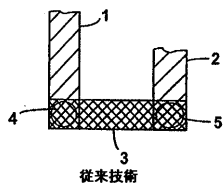
【図18】本発明の第2実施形態に従った無関係な導電トレース及びビアを位置付ける一連の段階を示す図である。

【図19】図14乃至18の段階に従ったフローチャートである。

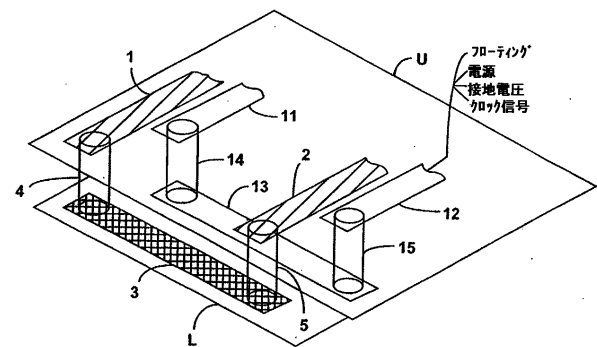
【図1】



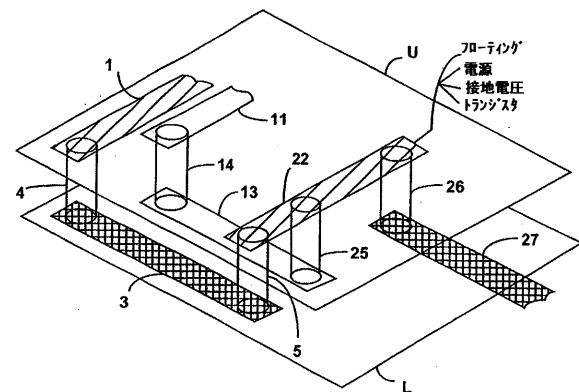
【図2】



【図3】



【図4】



【図 5】

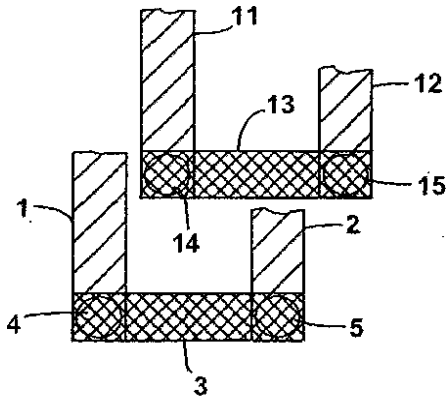


FIG. 5

【図 6】

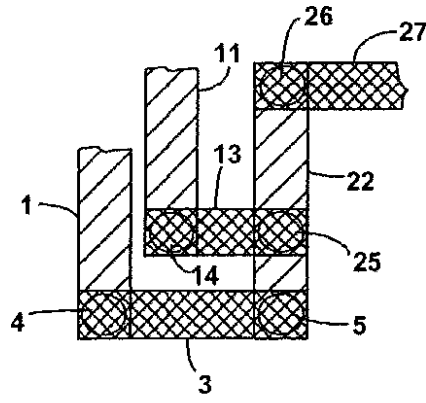


FIG. 6

【図 7】

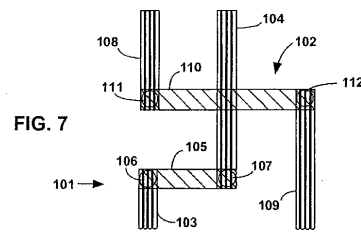


FIG. 7

【図 8】

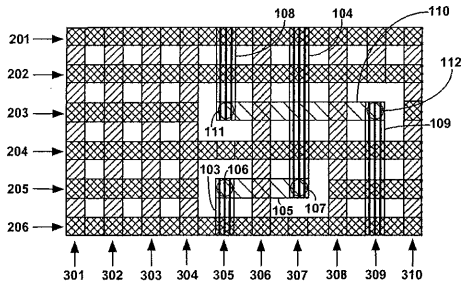


FIG. 8

【図 10】

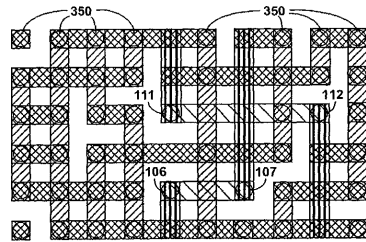


FIG. 10

【図 9】

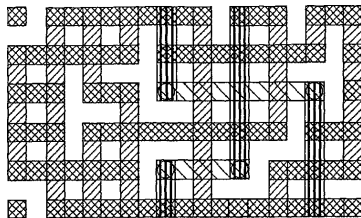


FIG. 9

【図 11】

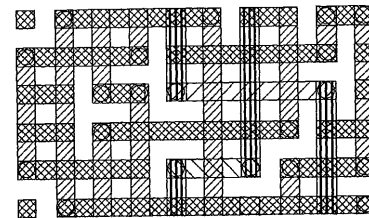


FIG. 11

【図 12】

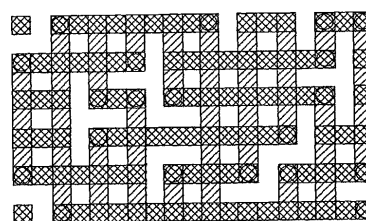


FIG. 12



【図16】

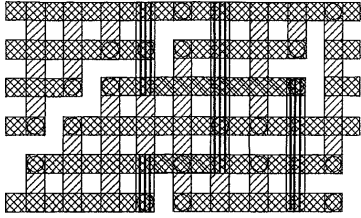


FIG. 16

【図17】

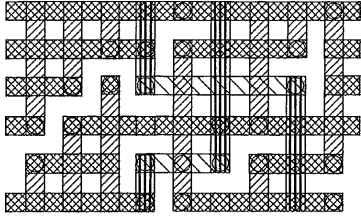


FIG. 17

【図18】

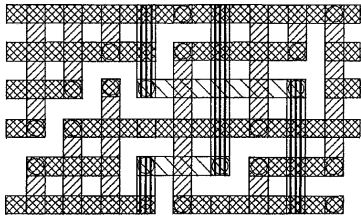
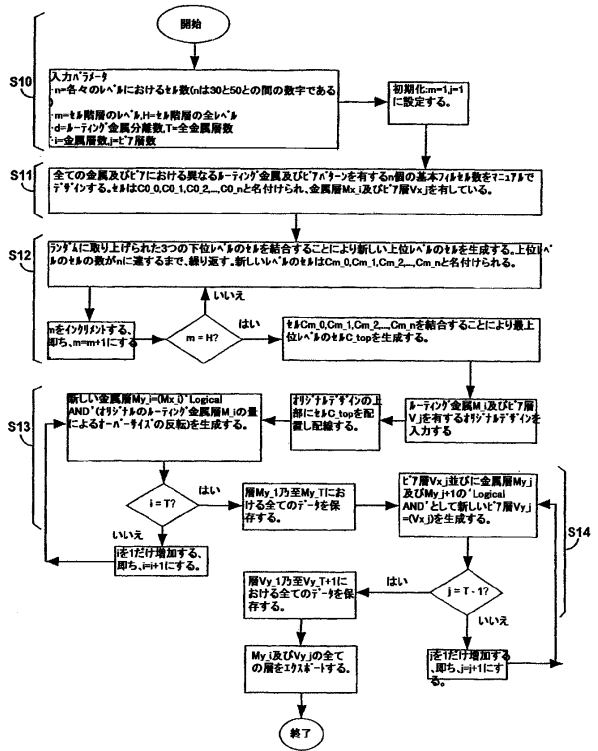


FIG. 18

【図19】



## フロントページの続き

- (73)特許権者 505146076  
プロムテック  
アメリカ合衆国 カリフォルニア州 95054 サンタクララ オクスフォード・ビジネス・パーク デ・ラ・クルーズ・ブールヴァード 3140 스위트・200
- (74)代理人 100070150  
弁理士 伊東 忠彦
- (74)代理人 100091214  
弁理士 大貫 進介
- (74)代理人 100107766  
弁理士 伊東 忠重
- (72)発明者 ボウクス, ジェイムズ ピー  
アメリカ合衆国 カリフォルニア州 91361 ウェストレイク・ヴィレッジ ドラムクリフ・コート 1718
- (72)発明者 チョウ, ラップ・ワイ  
アメリカ合衆国 カリフォルニア州 91030 サウス・パサディナ カミーノ・リンドー 1684
- (72)発明者 クラーク, ウィリアム エム, ジュニア  
アメリカ合衆国 カリフォルニア州 93012 カマリロ パキータ・ストリート 1137
- (72)発明者 ヤン, ポール オウ  
アメリカ合衆国 カリフォルニア州 93012 カマリロ パキータ・ストリート 1137

審査官 宇多川 勉

- (56)参考文献 特開2000-101055(JP, A)  
特開2001-284357(JP, A)  
特開2001-035853(JP, A)  
国際公開第2002/043147(WO, A1)  
特開平10-270562(JP, A)  
特開平09-092727(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822  
H01L 21/3205  
H01L 21/82  
H01L 23/52  
H01L 27/04