

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 3 月 31 日(31.03.2011)

PCT

(10) 国際公開番号
WO 2011/036796 A1

- (51) 国際特許分類:
H01L 43/08 (2006.01) H01L 27/105 (2006.01)
H01L 21/8246 (2006.01) H01L 29/82 (2006.01)
- (21) 国際出願番号: PCT/JP2009/066775
- (22) 国際出願日: 2009 年 9 月 28 日(28.09.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 株式会社 東芝(KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 相川 尚徳(AIKAWA, Hisanori) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 甲斐 正(KAI, Tadashi) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 中山 昌彦(NAKAYAMA, Masahiko) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 池川 純夫(IKEGAWA, Sumio) [JP/JP]; 〒1058001 東京都港

区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 下村 尚治(SHIMOMURA, Naoharu) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 北川 英二(KITAGAWA, Eiji) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 岸 達也(KISHI, Tatsuya) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 小瀬木 淳一(OZEKI, Jyunichi) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 與田 博明(YODA, Hiroaki) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 柳 暁志(YANAGI, Satoshi) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP).

(74) 代理人: 吉武 賢次, 外(YOSHITAKE, Kenji et al.); 〒1000005 東京都千代田区丸の内三丁目 2 番 3 号 富士ビル 3 2 3 号 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,

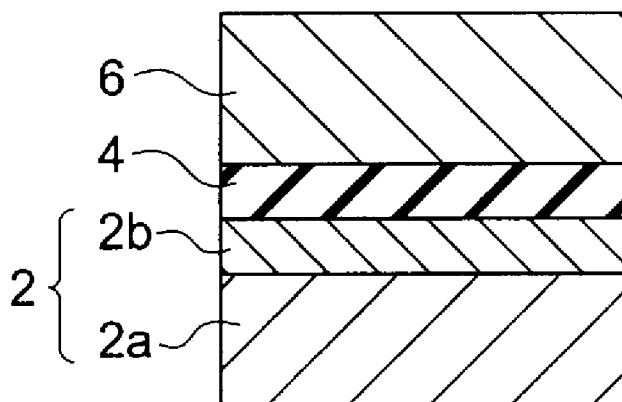
[続葉有]

(54) Title: MAGNETIC MEMORY

(54) 発明の名称: 磁気メモリ

[図2]

1



(57) Abstract: Disclosed is magnetic memory whereby it is possible to decrease the write current without degrading the thermal stability of the storage layer. The magnetic memory comprises a magnetoresistance effect element (1), said magnetoresistance effect element (1) comprising a reference layer (6) in which the direction of magnetization is invariable, a storage layer (2) in which the direction of magnetization is variable, and a spacer layer (4) disposed between the reference layer and the storage layer. In the magnetic memory, the storage layer has a laminated structure comprising a first magnetic layer (2a) and a second magnetic layer (2b), and is configured so that the second magnetic layer is disposed between the first magnetic layer and the spacer layer and has a lower magnetic anisotropy energy than the first magnetic layer, and the exchange coupling constant (Jex) between the first magnetic layer and the second magnetic layer is 5 erg/cm² or less.

(57) 要約: [課題] 記憶層の熱安定性を低下させることなく書き込み電流を低減することを可能にする。[解

決手段] 磁化の向きが不変な参照層 6 と、磁化方向が可変な記憶層 2 と、参照層と記憶層との間に設けられたスペーサ層 4 とを有する磁気抵抗効果素子 1 を備えた磁気メモリであって、記憶層は、第 1 の磁性層 2 a と、第 2 の磁性層 2 b との積層構造を有し、第 2 の磁性層は第 1 の磁性層と前記スペーサ層との間に設けられ第 1 の磁性層よりも磁気異方性エネルギーが低く、かつ第 1 の磁性層と第 2 の磁性層との交換結合定数 J ex が 5 e r g / c m² 以下である。



CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：磁気メモリ

技術分野

[0001] 本発明は、磁気メモリに関する。

背景技術

[0002] 近年、トンネル磁気抵抗素子（MTJ (magnetic tunnel junction) 素子）を使った磁気抵抗ランダムアクセスメモリ（MRAM: Magnetoresistive Random Access Memory）が注目されている。高速動作が可能なためDRAMのようにワーキングメモリとして使え、かつ不揮発メモリであるためシステムの低消費電力化、高速化に大きなメリットがある。

[0003] MTJ素子は、磁化方向が一定の強磁性体からなる参照層と、磁化方向が変わりうる強磁性体からなる記憶層と、その間に挟まれたスペーサ層と、を備えている。2枚の強磁性層の相対的な磁化配置によって、参照層と記憶層との間のトンネル抵抗が低抵抗状態と高抵抗状態とを取り、それらの抵抗状態に例えば情報（データ）“0”および“1”をそれぞれ対応させて、情報を記憶する。磁化配置が平行の場合に低抵抗状態、反平行の場合の高抵抗状態となるのが通常である。なお、低抵抗状態および高抵抗状態に情報“1”および“0”をそれぞれ対応させてもよい。

[0004] 一般に、MRAM（以下、磁気メモリともいう）は、少なくとも1個のメモリセルを備え、このメモリセルは、記憶素子としてのMTJ素子と、このMTJ素子を選択するための選択トランジスタとを有している。

[0005] データ書き込み方式の一つとして、スピントランスファートルクによって記憶層の磁化方向を変えるスピン注入磁化反転方式がある（例えば、非特許文献1参照）。ある一定値以上の電流をMTJ素子に流すことで磁化反転が起きる。電流を流す向きを変えることによって、記憶層と参照層が磁化平行状態から反平行状態、或いは反平行状態から平行状態に変化させて、データを書き込むことができる。このようなMRAMを特にスピン注入型MRAMと

呼ぶ。スピン注入型MRAMが他のメモリ、例えば、フラッシュメモリやDRAMに対する競争力を持つためには、一つのメモリセルの面積を小さくし、チップ全体の面積を小さくする必要があり、そのために最も重要なことは書き込み電流値を低減することである。一般には、書き込み電流値を低減すると記憶保持時間が短くなるという二律背反の関係にある。記憶保持時間は、記憶層の熱安定性による影響が非常に大きい。従って、如何に記憶層の熱安定性を保ったまま、書き込み電流を低減できるかが技術上の非常に大きな鍵となる。

[0006] 更に他のメモリに対してスピン注入型MRAMが優位性を持つためには、上述した書き込み電流の低減だけではなく、書き込み、読み出し、記憶保持のエラー率の抑制も極めて重要である。

[0007] スピン注入による磁化の反転は室温の熱エネルギー、即ちフォノンの助けを借りて行われるポアソン過程であるため、本質的に確率現象であり、磁化反転の書き込み電流 I_0 はフォノンの影響で本質的に試行毎に揺らぐ量である。その揺らぎ幅は磁化反転過程や、与える電流のパルス幅に依存する。スピン注入によるMTJ素子の磁化の反転確率は、(1)式で表されるような、単純な熱活性過程で示すことができると考えられている（例えば、非特許文献2参照）。

[数1]

$$P(\tau) = 1 - \exp \left[-\tau / \tau_0 \exp \left\{ -\frac{\Delta E_a}{k_B T} \left(1 - \frac{I}{I_{c0}} \right) \right\} \right] \quad (1)$$

ここで、 τ (sec) は電流のパルス幅、 τ_0 はアテンプト時間 (attempt time) と呼ばれる量であり、通常は1 (nsec) である。 ΔE_a は記憶層の異方性エネルギーであり、フォノンのエネルギー $k_B T$ との比 $\Delta E_a / k_B T$ が記憶層の熱安定性を表す。また、 I (A) は流す電流の大きさ、 I_{c0} (A) は絶対零度での反転電流である。

[0008] データの読み出しは、MTJ素子の高抵抗状態と低抵抗状態の抵抗差を利

用して、データを判別する。従って、データの読み出しにおいても、データの書き込みと同様に、MTJ素子に電流（読み出し電流）を直接流す。スピン注入型MRAMにおいて、読み出し電流は書き込み電流よりも十分小さく設定することが普通である。ところが（１）式からわかるように、反転閾値が読み出し試行毎に揺らぐため、例えば 10^{15} 回にも及ぶような読み出しを行うと、例え小さな読み出し電流を流したとしても、誤って磁化反転が行われてしまう確率を無視することができない。よって、このような読み出しエラーを抑制するためには閾値の揺らぎを抑制することが必要になる。

[0009] 同じように、書き込みの閾値がばらつくため、書き込み電流の設定値は、平均的な閾値よりも大きな電流値に設定する必要がある。よって書き込み電流を小さくし、書き込みエラーを防ぐためにも閾値の揺らぎを抑制することが必要になる。

[0010] 反転しきい値の揺らぎは（１）式からわかるように、記憶層の異方性エネルギー ΔE_a が大きくなれば小さくなる。また、記憶保持時間も異方性エネルギー ΔE_a を大きくすれば、長くなる。通常、記憶層の異方性エネルギーと絶対零度での書き込み電流 I_0 は正の相関があることが知られており、特に記憶層が垂直磁気異方性を持っている場合には両者は比例関係にある。よって単純に記憶層の異方性エネルギーを増やすと、反転閾値の揺らぎを小さくすることはできるが、書き込み電流は大きくなってしまう。このことから、各エラー率を小さくし、書き込み電流を低減するためには記憶層の熱安定性を保ったまま、書き込み電流を低減することが非常に重要な技術的課題となることがわかる。

[0011] このように、磁性体の磁化反転が確率現象であるため、読出しエラー、書き込みエラー、記憶保持エラー、などが発生する。これらのエラーが僅かに発生しても、エラーを訂正する回路を不揮発性メモリ内に設けることが可能である。誤り訂正符号（以下、ECC（Error Correction Coding）ともいう）と呼ばれる手法を用いる。とは言え、磁性体の磁化反転の確率現象を理解し、それを制御してエラー率を低減することがMRAMの誤動作を防ぐ上

で重要である。

先行技術文献

非特許文献

[0012] 非特許文献1 : J. C. Slonczewski, J. Magn. Magh. Matter, . 159, La (1996)

非特許文献2 : Z. Li and S. Zhang, Physical Review B, Vol. 69, 134416 (2004)

発明の概要

発明が解決しようとする課題

[0013] 本発明は、上記事情を考慮してなされたものであって、記憶層の熱安定性を低下させることなく書き込み電流を低減することのできる磁気メモリを提供することを目的とする。

課題を解決するための手段

[0014] 本発明の一態様による磁気メモリは、磁化の向きが不変な参照層と、磁化方向が可変な記憶層と、前記参照層と前記記憶層との間に設けられたスペーサ層とを有する磁気抵抗効果素子を備えた磁気メモリであって、前記記憶層は、第1の磁性層と、第2の磁性層との積層構造を有し、前記第2の磁性層は前記第1の磁性層と前記スペーサ層との間に設けられ前記第1の磁性層よりも磁気異方性エネルギーが低く、かつ前記第1の磁性層と前記第2の磁性層の交換結合定数 J_{ex} が 5 erg/cm^2 以下であることを特徴とする。

発明の効果

[0015] 本発明によれば、記憶層の熱安定性を低下させることなく書き込み電流を低減することができる。

図面の簡単な説明

[0016] [図1] スピン注入磁化反転における反転確率の数値シミュレーション結果を示す図。

[図2] 第1実施形態に用いられる磁気抵抗効果素子を示す断面図。

[図3]書き込み電流に関する磁性層間の交換結合定数依存性を示す図。

[図4]図4（a）は $J_{ex} = 10 \text{ erg/cm}^2$ の場合の磁化 M_z の時間の経過を示す図、図4（b）は $J_{ex} = 2 \text{ erg/cm}^2$ の場合の磁化 M_z の時間の経過を示す図。

[図5]MTJ素子の外部磁場－抵抗曲線を示す図。

[図6]第1実施形態の変形例に用いられる磁気抵抗効果素子を示す断面図。

[図7]第2実施形態に用いられる磁気抵抗効果素子を示す断面図。

[図8]スピン注入反転電流が低減されることを実証するLLGシミュレーション結果を示す図。

[図9]図9（a）は磁気抵抗効果素子のスピン注入磁化反転における磁化の時間依存性を示す図、図9（b）は図9（a）に示すグラフを拡大した図。

[図10]第3実施形態に用いられる磁気抵抗効果素子を示す断面図。

[図11]第3実施形態と比較例の磁気抵抗効果素子のLLGシミュレーションの結果を示す図。

[図12]t-reverseの対数正規分布の σ 値を電流密度Jの関数としてプロットした図。

[図13]図13（a）は第1の磁気メモリの構成および特性を示す図、図13（b）は第2の磁気メモリの構成および特性を示す図、図13（c）は第3の磁気メモリの構成および特性を示す図、図13（d）は第4の磁気メモリの構成および特性を示す図。

[図14]書き込み電流密度 J_c の揺らぎに関する記憶層の直径依存性のLLGシミュレーション結果を示す図。

[図15]第4実施形態の磁気メモリを示す回路図。

[図16]第4実施形態の磁気メモリのメモリセルを示す断面図。

[図17]書き込み電流密度 J_c の低 K_u 層と高 K_u 層との間の交換結合定数に対する依存性を示す図。

発明を実施するための形態

[0017] 本発明の実施形態を説明する前に、反転電流（書き込み電流）を小さくす

るための条件を本発明者らは見出したので、その詳細を述べる。

[0018] 本発明者らは、実際の実験と数値シミュレーションから、スピン注入磁化反転の反転確率が（１）式では表せないことを見出した。この数値シミュレーション（LLG（Landau-Lifshitz-Gilbert）シミュレーション）の結果を図１に示す。図１からわかるように、磁化反転の様子はいくつかの特徴的な時間で区切られる。そして、この様子は、本発明者等らによって（１）式を拡張して以下の（２）式で近似的に表せることがわかった。

[数2]

$$P(\tau) = 1 - \exp \left\{ -(\tau - \tau_0) / \tau_0 \exp \left[-\frac{\Delta E_a}{k_B T} \left(1 - \frac{I}{I_{c0}} \right)^n \right] \right\} \quad (2)$$

ここで、 n は1.5～2の定数である。図１に示す計算に用いたパラメータは記憶層が垂直磁化を持ち、磁気異方性エネルギー $K_u = 5.87 \text{ Me r g} / \text{cm}^3$ 、飽和磁化 $M_s = 1000 \text{ emu} / \text{cm}^3$ 、MTJ素子の膜厚 $t = 3.09 \text{ nm}$ 、MTJ直径 $= \phi 30 \text{ nm}$ である。磁化反転のエネルギーバリア $\Delta E_a = 79 k_B T$ の場合である。温度 300 K において、MTJ素子に通電する電流密度（電流値をMTJ素子の面積で割ったもの） $J = 2 \sim 7 \text{ MA} / \text{cm}^2$ の範囲の計算を行った。電流を流さない状態では記憶層の膜面に垂直方向の磁化の向き M_z は+1であり、スピン注入磁化反転後は $M_z = -1$ となる。この間の時間をスイッチング時間 t_{sw} と定義する。図１からわかるように、MRAMの書き込み原理であるスピン注入磁化反転は、以下の３段階からなることを本発明者らは発見した。従ってスイッチング時間 t_{sw} は三つに分解される。

[0019] 第１段階は、記憶層の各部が別々に歳差運動していた状態からコヒーレントに歳差運動を始めるまでの段階である。この時間を $t\text{-coherent}$ と呼ぶ。この $t\text{-coherent}$ の時間をかけて M_z は1から0.95程度まで変化する。 $t\text{-coherent}$ は試行毎にフォノンの影響を受けて、歳差運動がコヒーレントになりかけて、またばらばらになる、などの過程を経るため大きく揺らいでしまう

。

[0020] 第一段階を経た後、偶然にコヒーレントな最差運動が増幅する場合がある。この第2段階では、磁化の向き M_z は0.95から0.8程度まで変化する。この時間を $t_{\text{-amplify}}$ と呼ぶ。この第1段階の時間 $t_{\text{-coherent}}$ と第2段階の時間 $t_{\text{-amplify}}$ を足して、 $t_{\text{-incubation delay}}$ と呼ぶ。この $t_{\text{-incubation delay}}$ は、磁化反転の主段階が起きるまでの時間であり、スピン注入磁化反転ではこの時間が比較的長い。また上述したように、この $t_{\text{-incubation delay}}$ が揺らぐために、書き込み閾値も揺らいでしまう。

[0021] 第3段階として、さらに歳差運動が増幅して熱擾乱の助けを借りて、磁化反転が起こる。これが熱活性過程である。磁化の向き M_z は0.8から-1付近まで変化する。この時間を $t_{\text{-reverse}}$ と呼ぶ。MTJ素子の直径が単磁区化直径 D_s より小さい場合は $t_{\text{-reverse}}$ の揺らぎは小さい。MTJ素子の直径が単磁区化直径 D_s より大きい場合は、 $t_{\text{-reverse}}$ は $t_{\text{-incubation delay}}$ と同程度に揺らぐ。図1には、上記 $t_{\text{-incubation delay}}$ と $t_{\text{-reverse}}$ を図示している。

[0022] 以上のことから、記憶層の異方性エネルギーが大きくても、書き込み電流を低減するためには、 $t_{\text{-incubation delay}}$ および $t_{\text{-reverse}}$ を短くすることが有効な戦略であることがわかる。

[0023] また、書き込みエラー、読み出しエラーにつながる書き込み閾値の揺らぎを抑制することは、 $t_{\text{-incubation delay}}$ および $t_{\text{-reverse}}$ の両者の時間的な揺らぎを抑制することであると言い換えることができる。

[0024] (第1実施形態)

本発明の第1実施形態の磁気メモリを説明する。本実施形態の磁気メモリは、少なくとも1個のメモリセルを有し、このメモリセルは、記憶素子として、磁気抵抗効果素子（以下、MTJ素子ともいう）を備えている。本実施形態の磁気メモリに用いられる磁気抵抗効果素子を図2に示す。この磁気抵抗効果素子1は、磁化の向きが可変の記憶層2と、磁化の向きが不変の参照層6と、記憶層2と参照層6との間に設けられたスペーサ層4とを備えてい

る。ここで、記憶層2の磁化の向きが可変であるとは、記憶層2の膜面（例えば、上面）に垂直に電流を流すことによって発生するスピン偏極された電子の角運動量が記憶層2の電子に伝達されることによって記憶層2の磁化の向きが変化可能であることを意味する。また、参照層6の磁化の向きが不変であるとは、記憶層2の磁化の向きを反転するための磁化反転電流を参照層に流した場合に参照層の磁化の向きが変化しないことを意味する。

[0025] 記憶層2は、磁気異方性エネルギー K_u が高い層（以下、高 K_u 層という）2aと、磁気異方性エネルギー K_u が低い層（以下、低 K_u 層という）2bと、を有している。低 K_u 層とは、本明細書では、 K_u が 10000 erg/cm^3 以下の磁性層をいい、 K_u が 1000 erg/cm^3 よりも小さいことが望ましい。高 K_u 層とは、 K_u が 10000 erg/cm^3 よりも大きい磁性層をいい、 K_u が $1 \times 10^5 \text{ erg/cm}^3$ よりも大きいことが好ましい。なお、本実施形態に用いられる、高 K_u 層2aの K_u は例えば $1 \times 10^6 \text{ erg/cm}^3$ であり、低 K_u 層2bの K_u は 1000 erg/cm^3 である。また、後述する第2実施形態で用いられる中間 K_u 層は高 K_u 層の K_u の値よりも小さければよいのであるが、高 K_u 層の $1/2$ 以下の大きさであることが望ましい。高 K_u 層の材料としては例えば、Fe、Coなどの磁性元素とNd、Sm、Gd、Tb、Dyの希土類元素との合金、Fe、Coなどの磁性元素とPt、Pd、Ir、Ru、Au、Rhなどの貴金属元素との人工格子または合金、またはCoCr合金などがある。 K_u の大きさはそれらに非磁性金属元素であるCu、Ta、B、Al、Ga、Zr、V、Ti、などを添加することによりさらに細かく調節することが可能である。また、低 K_u 層の材料としては、Coを含む磁性層、例えば、CoFe、CoB、CoFeB、CoFeNi、CoFeNiB等が用いられる。なお、スペーサ層の材料としては、例えばMgO、 Al_2O_3 、Cu、Auが用いられる。

[0026] 一般に書き込み電流の低減には磁性層の積層界面の交換結合の強さ（交換結合定数） J_{ex} が大きな影響を与える。そこで、 J_{ex} を変えてLLGシミュレーションを行った結果を図3に示す。MTJ素子の直径を 30 nm と

し、記憶層 2 の平均の磁気異方性エネルギーが同じになるように高 K_u 層 2 a の K_u と体積を変えた二つの場合について計算を行った。図 3 の黒丸は $K_u = 1 \times 10^6 \text{ erg/cm}^3$ 、膜厚 4 nm の計算結果、白三角は $K_u = 10 \times 10^6 \text{ erg/cm}^3$ 、膜厚 1 nm の計算結果である。図 3 からわかるように、何れの場合も交換結合定数 J_{ex} が 5 erg/cm^2 以下になると急激に書き込み電流が低減している。このことから、 $J_{ex} = 5 \text{ erg/cm}^2$ 以下にすることが書き込み電流の低減には好適であることがわかる。計算の結果によれば書き込み電流は交換結合定数の値を 10 erg/cm^2 から 2 erg/cm^2 にすると 38% に低減されている。また、この時、高 K_u 層 2 a と低 K_u 層 2 b の交換結合定数の値のみが変わっており、記憶層 2 の磁気異方性エネルギーは不変であることは重要である。

[0027] 図 3 からわかるように、高 K_u 層 2 a と低 K_u 層 2 b との間の交換結合の強さ J_{ex} は 5 erg/cm^2 以下が望ましい。以下に説明するように、より望ましくは 2 erg/cm^2 程度が良い。このように構成することにより、記憶保持時間を十分長く保証し、かつ書き込み電流を低減する磁気抵抗効果素子が得られる。

[0028] $J_{ex} = 10 \text{ erg/cm}^2$ の場合と、 $J_{ex} = 2 \text{ erg/cm}^2$ の場合における高 K_u 層 2 a および低 K_u 層 2 b の磁化 M_z の時間の経過をそれぞれ図 4 (a)、4 (b) に示す。図 4 (a)、4 (b) からわかるように、 $J_{ex} = 2 \text{ erg/cm}^2$ の場合は、 $J_{ex} = 10 \text{ erg/cm}^2$ の場合に比べて磁化 M_z がコヒーレントに最速運動を始めるまでの時間 $t_{\text{-incubation-delay}}$ が短くなっていることがわかる。これは、スピン注入磁化反転では参照層 6 を通過してスピン偏極した伝導電子が、記憶層 2 の、スペーサ層 4 と隣接した部分にスピントルクを伝えることにより、磁化反転が起こる。よって、 J_{ex} が小さいと、スペーサ層 4 側にある低 K_u 層 2 b の磁化がより早くコヒーレントな歳差運動を始め、結果的に、 $t_{\text{-incubation-delay}}$ が顕著に減少したものと考えられる。実際に図 4 (b) に示すように $J_{ex} = 2 \text{ erg/cm}^2$ の場合、低 K_u 層 2 b の磁化回転は高 K_u 層 2 a に先んじて起こってい

ることがわかる。

[0029] 実際に $J_{ex} = 5 \text{ erg/cm}^2$ 以下になっているかを知るためには、MTJ素子1に加える外部磁場を挿印しながら、MTJ素子1の抵抗を測定すれば良い。この測定によって得られた外部磁場－抵抗曲線を図5に示す。図5からわかるように、交換結合定数が $J_{ex} = 5 \text{ erg/cm}^2$ よりも大きい場合、抵抗が急峻に変化するまで、抵抗値は一定の値を保つような振る舞いを示す。一方、 $J_{ex} = 5 \text{ erg/cm}^2$ 以下になると、外部磁場が記憶層の磁化と同じ方向からゼロとなるまでの範囲では一定値となるが、外部磁場を記憶層の磁化と反対方向にかけると抵抗は減少する。磁化が反転する直前の抵抗値が、磁場がゼロの抵抗値の90%となった場合が $J_{ex} = 5 \text{ erg/cm}^2$ 以下に相当する。 $J_{ex} = 5 \text{ erg/cm}^2$ 以下にすると書き込み電流が小さくなるのは、上述したように、低Ku層が先に磁化反転を起こすためであるが、磁場掃引により低Ku層の磁化が先に変化し反転直前の抵抗値が小さくなることと同じ現象であると言って良い。従って、上記のようにして、高Ku層と低Ku層の交換結合 J_{ex} の値を知ることができる。

[0030] 一般的に、何も中間層を挟まずに隣接させて、真空中で連続成膜された磁性体間の交換結合定数の値は 10 erg/cm^2 以上である。よって、なんらかの手法を用いて交換結合定数の値を 10 erg/cm^2 から小さくする必要がある。交換結合定数 J_{ex} を制御するために、例えば、図6に示す本実施形態の変形例のように、高Ku層2aと、低Ku層2bとの間に、薄い非磁性層もしくは磁性金属層2cを挿入する。実際に用いられる非磁性金属としてはB、Mg、Al、Si、Ti、V、Cr、Mn、Cu、Zn、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Cd、In、Sn、Hf、Ta、W、Re、Os、Ir、Pt、Auなどの単体、またはこれらの合金、酸化物、窒化物がある。なお、 J_{ex} を所望の値に調整するための非磁性層または金属層2cの膜厚は異なる。また、このように、非磁性層または磁性金属層2cを、高Ku層2aと、低Ku層2bとの間に挿入することにより、高Ku層2aと低Ku層2bの相互拡散を抑制することができ、耐熱性に優れた磁

気メモリを実現できる。また、挿入する磁性金属層としてはFe、Ni、Co、若しくは少なくともそれらを一つ以上含む合金層であれば良い。

[0031] また、 J_{ex} を調整する方法としては、界面を改質させる方法もある。低Ku層、高Ku層のどちらを先に成膜するのは磁気メモリ設計の範囲であるが、先に片方の層を成膜した後に、圧力調整された O_2 、 O_3 に暴露する、若しくはそれらでプラズマ処理を行った後に次の層を積層すると界面が良く制御された酸化層になり J_{ex} の値を所望の値に調整することができる。すなわち、高Ku層2aと、低Ku層2bとの間に挿入する層2cは酸化層となる。もっと簡単には、磁性層を成膜するまでにストッカーなどで一定時間待機させることにより、成膜装置内の微少なリークにより表面が改質され J_{ex} を小さくすることができる。また、非活性のAr、Kr、Xeなどのプラズマに界面をさらす、若しくは加熱処理をすることにより、界面を変質させる方法もある。

[0032] 上記に記した、 J_{ex} を調整する手法をいくつかを組み合わせることで、 J_{ex} を 5 erg/cm^2 以下にすることは可能になる。

[0033] また、一般に高Ku層2aと低Ku層2bの飽和磁化 M_s に差をつけると J_{ex} 低減の効果はより顕著になる。 $J_{ex} = 5 \text{ erg/cm}^2$ 以下にするためには、低Ku層2bの飽和磁化 M_s が高Ku層2aの飽和磁化 M_s の1.2倍より大きいことが好ましい。

[0034] 以上説明したように、本実施形態によれば、記憶層が大きな異方性エネルギーを有していても、高Ku層2aと低Ku層2bとの間の交換結合の強さ J_{ex} は 5 erg/cm^2 以下にすることにより、記憶層の熱安定性を低下させることなく書き込み電流を低減することができる。

[0035] (第2実施形態)

次に、本発明の第2実施形態による磁気メモリについて図7を参照して説明する。この実施形態の磁気メモリは、少なくとも1個のメモリセルを有し、このメモリセルは、記憶素子として、磁気抵抗効果素子を備えている。本実施形態の磁気メモリに用いられる磁気抵抗効果素子を図7に示す。この磁

磁気抵抗効果素子 1 は、記憶層 2 と、参照層 6 と、記憶層 2 と参照層 6 との間に設けられたスペーサ層 4 とを備えている。記憶層 2 は、高 K_u 層 2 a と、低 K_u 層 2 b と、高 K_u 層 2 a と低 K_u 層 2 b との間に設けられ、高 K_u 層 2 a の K_u よりも小さく、低 K_u 層 2 b の K_u よりも大きな K_u を有する磁性層（以下、中間 K_u 層という）2 d と、を備えている。このような構成とすることにより、書き込み電流を減らすことができる。そのメカニズムを以下に説明する。

[0036] スピン注入磁化反転においては、参照層 6 を通過してスピン偏極した伝導電子が、記憶層 2 のスペーサ層と隣接した部分にスピントルクを伝えることにより、磁化反転が起こる。すなわち、磁化反転はスペーサ層 4 に隣接した低 K_u 層 2 b から始まり、徐々に高 K_u 層 2 a に伝播する。図 7 に示した磁気抵抗効果素子 1 においては、高 K_u 層 2 a と低 K_u 層 2 b の間に、中間 K_u 層 2 d が挿入されているので、低 K_u 層 2 b から発生した磁化反転が、中間 K_u 層 2 d を中継して、高 K_u 層 2 a へ磁化反転を伝播する。一般的な磁性体では、 K_u が小さいほど磁化反転が起こり易くなる。したがって、低 K_u 層 2 b に直接に高 K_u 層 2 a を積層した第 1 実施形態の場合と比較すると、中間 K_u 層 2 d が挿入されることにより磁化反転は低 K_u 層 2 b、中間 K_u 層 2 d、高 K_u 層 2 a の順番で円滑に伝播され、スピン注入磁化反転が起こり易くなる。

[0037] 本実施形態に用いられる磁気抵抗効果素子 1 において、スピン注入反転電流が低減されることを実証した LLG シミュレーション結果を図 8 に示す。計算においては、高 K_u 層 2 a と中間 K_u 層 2 d の合成垂直磁気異方性 $K_{u,eff}$ が一定となるようにした。ここで、 $K_{u,eff}$ は、 $K_{u,h}$ を高 K_u 層 2 a の磁気異方性エネルギー、 V_h を高 K_u 層 2 a の体積、 $K_{u,m}$ を中間 K_u 層 2 d の磁気異方性エネルギー、 V_m を中間 K_u 層 2 d の体積とすると、以下の式で表される。

[数3]

$$K_{ueff} = \frac{K_{uh}V_h + K_{um}V_m}{V_h + V_m} \quad (\text{式 3})$$

[0038] 上記LLGシミュレーションにおいては、 K_{ueff} が一定となるように中間層 K_u 層2dと高 K_u 層2aの磁気異方性エネルギーを調節し、 K_{um}/K_{uh} を変化させた。なお、図8においては、低 K_u 層と中間 K_u 層との交換結合定数 J_{ex} を 10 erg/cm^2 としている。図8からわかるように、 K_{um}/K_{uh} が小さくなるにしたがって、平行状態から反平行状態へのスピン注入反転電流が明確に小さくなっていく。 $K_{um}/K_{uh}=1$ は、中間 K_u 層2dと高 K_u 層2aが同じ K_u を持ち、実質的にひとつの高 K_u 層になっていることを意味する。

[0039] 本実施形態に用いられる磁気抵抗効果素子1のスピン注入磁化反転における磁化の時間依存性のグラフを図9(a)に示す。図9(b)は図9(a)に示すグラフを拡大したものである。図9(b)からわかるように、スピン注入磁化反転開始時に注目すると、電流を流し始めると、最初に低 K_u 層2bが反転し、続いて中間 K_u 層2d、高 K_u 層2aと順番に磁化反転が伝播することが明確に確認できる。このように滑らかに磁化反転が伝播することにより、 $t_{\text{-incubation-delay}}$ が小さくなる。

[0040] 以上説明したように、中間 K_u 層2dを、高 K_u 層2aと低 K_u 層2bとの間に挿入することによってより、磁化反転が滑らかに伝播され、書き込み電流の低減効果を得られる。

[0041] また、図8は、低 K_u 層と中間 K_u 層との交換結合定数 J_{ex} が 10 erg/cm^2 から 2 erg/cm^2 に変えた場合の平行から反平行に磁化の向き反転させる書き込み電流（スイッチング電流）も示す。第1実施形態で述べたように $J_{ex}=2 \text{ erg/cm}^2$ の場合が $J_{ex}=10 \text{ erg/cm}^2$ の場合よりも好適であった。このため、第2実施形態において、低 K_u 層2bと中間 K_u 層2dとの間の交換結合定数 J_{ex} を 5 erg/cm^2 以下とすると、更に書き込み電流を低減することができる。実際に第1実施形態では図3

に示すように交換結合定数の値を 10 erg/cm^2 から 2 erg/cm^2 にすると書き込み電流は 38% に低減されたのに対して、第 2 実施形態の構成で交換結合定数の値を 10 erg/cm^2 から 2 erg/cm^2 にすると、図 8 に示すように $K_{um}/K_{uh} = 0.3$ の場合、平行から反平行への書き込み電流は 20% まで低減することができる（図中の矢印を参照）。この場合、第 1 実施形態で述べたように、低 K_u 層 2b と中間 K_u 層 2d との間の交換結合をコントロールするために、非磁性層、磁性層を挟む、プラズマ処理、酸化処理、過熱処理などを行うことが好適であることは言うまでもない。

[0042] ここで磁性層の熱安定性は $K_{u,eff} \times (V_h + V_m)$ で表される。図 8 に示す LLG シミュレーションでは $K_{u,eff}$ が同一であるため、それぞれの熱安定性は等しい。したがって、図 8 に示す結果は磁性層の熱安定性を保ったまま反転電流が低減することが示している。さらに、スピン注入反転電流低減効果は、記憶層が本実施形態のような三層積層構造に限らず、中間 K_u 層が複数層ある場合にも同様に得ることができることも確認している。これらの結果から、記憶層として、多層積層構造を用いることで、記憶保持時間を十分長く保証し、即ち記憶層の熱安定性を保ったまま書き込み電流を低減することの可能な磁気抵抗効果素子とそれを用いた磁気メモリを実現することができる。

[0043] 実際に、中間 K_u 層 2d を実現する手法としては、高 K_u 層 2a に非磁性元素もしくは磁性金属元素を添加させるか、高 K_u 層 2a 中に非磁性層もしくは磁性金属層を挿入し、その後の熱工程により、高 K_u 層 2a に、非磁性層から非磁性元素を添加させるかもしくは磁性金属層から磁性金属元素を添加させてもよい。これは、磁性金属元素または非磁性元素を高 K_u 層 2a に添加することにより、組成比を変えて K_u を低下させることが可能となる。したがって、磁性金属元素および非磁性元素の少なくとも一方を添加すれば組成比を変えることができるので、 K_u を低下させることが可能となる。非磁性元素としては Ti、V、Cr、Cu、Zn、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Cd、In、Sn、Hf、Ta、W、Re、Os、Ir

、Pt、Au、磁性金属元素としてはFe、Ni、Co、Mnなどを用いることが可能である。なお、高Ku層としては、第1実施形態と同じ材料を用いることができる。例えば、Fe、Coなどの磁性元素とNd、Sm、Gd、Tb、Dyの希土類元素との合金、Fe、Coなどの磁性元素とPt、Pd、Ir、Ru、Au、Rhなどの貴金属元素との人工格子または合金、またはCoCr合金などを用いることができる。また、低Ku層としては、第1実施形態と同じ材料、すなわちCoを含む磁性層、例えば、CoFe、CoB、CoFeB、CoFeNi、CoFeNiB等が用いられる。

[0044] さらに高Ku層2aが、非磁性金属元素と磁性金属元素の金属間化合物または合金で形成されている場合、すなわち、Ti、V、Cr、Cu、Zn、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Cd、In、Sn、Hf、Ta、W、Re、Os、Ir、Pt、およびAuの群から選択された少なくとも一つの非磁性金属元素と、Fe、Ni、Co、およびMnの群から選択された少なくとも一つの磁性金属元素とを含む金属間化合物または合金で形成されている場合には、中間Ku層2dは、高Ku層2aにおける非磁性金属元素と磁性金属元素との組成比（構成比）を変化させることで実現することが可能である。また、この組成比は例えばスパッタ法で磁性膜を成膜する場合、放電中に構成比をかえる金属の放電パワーを連続的に変えれば、極めて滑らかにその原子の構成比を連続的にかえることができる。このとき、最適な原子の構成比率は非磁性金属の種類により異なるため、物質ごとに適宜調整すればよい。このような中間Ku層を用いた場合には、磁性層の組成を低Ku層側スペーサ層側と電極側で分析すれば、両側で組成が異なる特徴を有している。なお、スペーサ層4としては、第1実施形態と同じ材料、例えばMgO、Al₂O₃、Cu、Auが用いられる。

[0045] 以上説明したように、本実施形態によれば、記憶層の熱安定性を低下させることなく書き込み電流を低減することができる。

[0046] （第3実施形態）

次に、本発明の第3実施形態による磁気メモリについて図10を参照して

説明する。この実施形態の磁気メモリは、少なくとも1個のメモリセルを有し、このメモリセルは、記憶素子として、磁気抵抗効果素子を備えている。本実施形態の磁気メモリに用いられる磁気抵抗効果素子を図10に示す。この磁気抵抗効果素子1は、記憶層2と、参照層6と、記憶層2と参照層6との間に設けられたスペーサ層4とを備えている。記憶層2は、高Ku層2aと、低Ku層2bと、低Ku層2eと、を備えている。低Ku層2bは、高Ku層2aとスペーサ層4との間に設けられ、低Ku層2eは、高Ku層2aに対して低Ku層2bと反対側に設けられている。なお、高Ku層としては、第1実施形態と同じ材料を用いることができる。例えば、Fe、Coなどの磁性元素とNd、Sm、Gd、Tb、Dyの希土類元素との合金、Fe、Coなどの磁性元素とPt、Pd、Ir、Ru、Au、Rhなどの貴金属元素との人工格子または合金、CoCr合金などを用いることができる。また、低Ku層2b、2eとしては、第1実施形態と同じ材料、すなわちCoを含む磁性層、例えば、CoFe、CoB、CoFeB、CoFeNi、CoFeNiB等が用いられる。スペーサ層4としてMgOが用いられる場合には、スペーサ層4側の低Ku層2bとしては、CoとBを含む磁性層を用いることが好ましい。これはBを含むことにより、磁気抵抗効果素子のMR比を大きくすることが可能となる。なお、スペーサ層4としては、第1実施形態と同じ材料、例えばMgO、Al₂O₃、Cu、Auが用いられる。

[0047] まず、第1実施形態で説明したように、スペーサ層4に隣接して低Ku層2bが設けられていることで、記憶層が高Ku層2aだけで構成される場合に比べて、 $t_{\text{-incubation-delay}}$ が短くなる。これは、低Ku層2bの磁化が先にコヒーレントな歳差運動を始めるためと考えられる。次に、本実施形態では $t_{\text{-reverse}}$ が短くなる。これを図11を参照して説明する。図11は、本実施形態に用いられる図10に示す磁気抵抗効果素子1と、記憶層が高Ku層2aからなる以外は、図10に示す磁気抵抗効果素子と同じ構成の比較例の磁気抵抗効果素子のLLGシミュレーションの結果を示す。同条件でシミュレーションを繰り返すと $t_{\text{-reverse}}$ は対数正規分布に従って分布する。

縦軸には t -reverse のメディアン（中央値）から 6σ 離れたはずれ値をワースト値としてプロットした。ここで、 σ は標準偏差を示す。このはずれ値を短縮することが書き込みエラーを低減するのに重要である。図 11 からわかるように、高 K_u 層 2a の外側に低 K_u 層 2e を設けたことで、同じ記憶保持時間を持つ単層記憶層に比べて t -reverse が短くなることがわかった。これは、低 K_u 層 2e の磁化が先に回転をし、それに高 K_u 層 2a が引きずられるため、と考えられる。

[0048] 本実施形態、記憶層が高 K_u 層 2a および低 K_u 層 2b からなる第 1 実施形態、および記憶層が単層からなる比較例の磁気抵抗効果素子をそれぞれ記憶素子として有する磁気メモリにおける t -reverse の対数正規分布の σ 値を電流密度 J の関数としてプロットしたグラフを図 12 に示す。図 12 からわかるように、第 1 実施形態のように低 K_u 層 2b を設けること、或いは第 3 実施形態のように低 K_u 層 2e を設けることで、同じ記憶保持時間を持つ単層からなる記憶層を有する比較例に比べて標準偏差 σ が小さくなる。単層からなる記憶層を有する比較例では $M_z = 0$ 付近の二磁区中間状態で躊躇するために標準偏差 σ が大きかったが、本実施形態のように低 K_u 層 2b と低 K_u 層 2e を付加すると、高 K_u 層の磁壁幅が見かけ上大きくなり二磁区中間値状態がそれほど安定ではなくなるため、 σ が減ると考えられる。磁壁幅 δW は $\delta W = \pi (A/K_u)^{1/2}$ と表すことができる。高 K_u 層 2a に比べて低 K_u 層 2b と低 K_u 層 2e の K_u は $1/100$ 以下が望ましい。なぜなら、高 K_u 層 2a に比べて、低 K_u 層 2b 内と低 K_u 層 2e 内の磁壁幅が 10 倍以上になり、記憶層の直径よりも十分大きくなる。磁壁幅が記憶層の直径よりも十分大きいと二磁区中間値状態は安定ではなくなり殆ど発現しなくなる。なお、 A は高 K_u 層と低 K_u 層の平均的な交換スティフネス定数である。よって、図 10 に示す磁気抵抗効果素子 1 を記憶素子として用いることにより、閾値の揺らぎを低減し、書き込みエラー、読み出しエラーを抑制することができる。

[0049] 次に、第 1 乃至第 4 の磁気メモリを準備する。第 1 の磁気メモリは、図 1

0に示す磁気抵抗効果素子であって、低Ku層2bと高Ku層2aとの交換結合定数 J_{ex} が 10 erg/cm^2 であり、高Ku層2aと低Ku層2eとの交換結合定数 J_{ex} が 10 erg/cm^2 である磁気抵抗効果素子を記憶素子として備えている。第2の磁気メモリは、記憶層2が高Ku層2aのみからなる以外は図10に示す磁気抵抗効果素子と同じ構成の磁気抵抗効果素子を記憶素子として備えている。第3の磁気メモリは、図10に示す磁気抵抗効果素子であって、低Ku層2bと高Ku層2aとの交換結合定数 J_{ex} が 2 erg/cm^2 であり、高Ku層2aと低Ku層2eとの交換結合定数 J_{ex} が 10 erg/cm^2 である磁気抵抗効果素子を記憶素子として備えている。第4の磁気メモリは、図10に示す磁気抵抗効果素子であって、低Ku層2bと高Ku層2aとの交換結合定数 J_{ex} が 10 erg/cm^2 であり、高Ku層2aと低Ku層2eとの交換結合定数 J_{ex} が 2 erg/cm^2 である磁気抵抗効果素子を記憶素子として備えている。

[0050] これらの第1乃至第4の磁気メモリにおける、記憶層の磁化が反転する反転電流密度（書き込み電流密度） J_c を測定し、測定結果を図13（a）乃至13（d）にそれぞれ示す。

[0051] 記憶層2の熱安定性が第1乃至第4の磁気メモリで同じになるように設定した。図13（a）に示す第1の磁気メモリにすることにより、図13（b）に示す第2の磁気メモリと比較すると、書き込み電流密度 J_c は0.6倍に低減している。図13（a）に示す第1の磁気メモリにおいては、各磁性層間の交換結合定数は 10 erg/cm^2 と大きい。そこで図13（c）に示す第3の磁気メモリのように、高Ku層2aと、低Ku層2bとの交換結合定数を 2 erg/cm^2 小さくすると、図13（b）に示す場合に比べて、書き込み電流密度 J_c は0.5倍になる。また、図13（d）に示す第4の磁気メモリのように、低Ku層2eと高Ku層2aの交換結合を小さくしても書き込み電流密度 J_c の低減にはあまり効果がない。

[0052] 以上のことから、本実施形態においても、スペーサ層4側の低Ku層2bと高Ku層2aの交換結合が小さい方が書き込み電流の低減には好適である

ことがわかる。一方、スペーサ層 4 と反対側に配置された低 K_u 層 2 e と高 K_u 層 2 a との間の交換結合は、低 K_u 層 2 b と高 K_u 層 2 a との間の交換結合よりも大きい方が好適である。このことは、図 13 (d) に示すように、低 K_u 層 2 e と高 K_u 層 2 a との間の交換結合定数 J_{ex} が 2 erg/cm^2 のように小さいと、弱いと t -reverse の揺らぎが大きくなるため、結果的に書き込み電流の低電流化の効果が小さくなるためである。図 17 に、書き込み電流密度 J_c の低 K_u 層 2 e と高 K_u 層 2 a との間の交換結合定数 J_{ex} に対する依存性を示す。交換結合定数 J_{ex} が 5 erg/cm^2 以下になると急激に書き込み電流が増加している。このことから、 $J_{ex} = 5 \text{ erg/cm}^2$ 以上にすることが書き込み電流の低減には好適であることがわかる。なお、 J_{ex} を制御する方法は第 1 実施形態で述べた方法を用いることができる。

[0053] 図 10 に示す磁気抵抗効果素子を用いた本実施形態のもうひとつの利点は、高い MR 比が得られることである。低 K_u 層 2 b と低 K_u 層 2 e をまとめてスペーサ層に隣接した場所に置くと、低 K_u 層の磁化が傾き、その結果 MR 比が低下する。低 K_u 層 2 b と低 K_u 層 2 e に分けることでこの問題を回避できる。

[0054] 図 14 に、記憶層が低 K_u 層と、高 K_u 層との 2 層積層構造を有している場合（例えば、第 1 実施形態）において、書き込み電流密度 J_c の揺らぎに関する記憶層の直径依存性の LLG シミュレーション結果を示す。横軸は、 D_s で正規化した記憶層の直径 D を示し、縦軸は、書き込み電流密度 J_c で正規化した書き込み電流密度 J_c のばらつき $\sigma(J_c)$ を示している。ここで D_s は、磁化反転過程において二磁区を経て反転する過程と、単磁区のまま磁化困難軸を向いて反転する過程の、エネルギーバリアが同一になる MTJ 素子の直径である。記憶層の直径が D_s 以下の場合、記憶層は単磁区的な磁化反転過程を取ることができる。低 K_u 層 2 b および低 K_u 層 2 e の一方と、高 K_u 層 2 a とからなる積層記憶層の D_s は、下記の (4) 式で表されることを本発明者らは見出した。 K_u は磁気異方性エネルギー密度、 t は厚

さである。サフィックスの 1 は高 K_u 層を、2 は低 K_u 層を、それぞれ表す。ここで A と M_s^{av} は、高 K_u 層と低 K_u 層の平均的な交換スティフネス定数と飽和磁化である。 N_a は、直径 D_s 、厚さ $t_1 + t_2$ の円柱における膜厚方向の反磁界係数である。

[数4]

$$D_s = \frac{6\sqrt{A}(\sqrt{K_{U1}}t_1 + \sqrt{K_{U2}}t_2)}{(K_{U1}t_1 + K_{U2}t_2) - 2\pi(M_s^{av})^2\left(N_a - \frac{1}{2}\right)(t_1 + t_2)} \quad (4)$$

[0055] なお、上記 (4) 式は、記憶層が低 K_u 層 2 b、高 K_u 層 2 a、および低 K_u 層 2 e からなる 3 層積層構造の場合（例えば、第 3 実施形態）にも用いることができる。この場合、 K_{U2} は低 K_u 層 2 b の K_u と低 K_u 層 2 e の K_u との平均値を表し、 t_2 は低 K_u 層 2 b の厚さと低 K_u 層 2 e の厚さとの和を表す。

[0056] 図 14 からわかるように、 D/D_s が 1.5 以上になると急激に書き込み電流密度 J_c のばらつきが大きくなる。 J_c の揺らぎが大きいと書きこみエラーが増大する。書き込みエラーを十分に低減する（例えば確率 1×10^{-10} 以下に）するためには、大きな書き込み電流を必要としてしまう。従って、 D を D_s の 1.5 倍未満にすることが書き込みエラーを抑制し、書き込み電流を低減するためには好適である。従来、単層記憶層では $D \leq D_s$ が望ましいとされていたが（例えば、特開 2009-99628 号公報）、積層記憶層に対しては、書き込み電流密度 J_c の揺らぎの観点から $D < 1.5 D_s$ が望ましいことが、本発明者達によって明らかになった。高 K_u 層のみの記憶層に対して、低 K_u 層（或いは外側低 K_u 層）を積層すると (4) 式に従って D_s が増大する利点の本発明者達によって見出された。同じ直径 D であれば積層によって書き込み電流密度 J_c の揺らぎが抑制される利点がある。(4) 式は、単層記憶層の式（特開 2009-99628 号公報）とは異なるし、低 K_u 層と高 K_u 層の K_u を平均化して単層記憶層の式に代入した式とも

異なる。積層記憶層ならではの効果を表した式である。

[0057] 本実施形態によれば、記憶層の熱安定性を低下させることなく書き込み電流を低減することができる。

[0058] 以上説明したように、本発明第1乃至第3実施形態によれば、記憶層の熱安定性を低下させることなく書き込み電流を低減することができる。すなわち、記憶保持時間を十分長く保証することが可能となりかつ書き込み電流を低減することができる。また、磁性体の磁化反転が確率現象であるために起きる、書き込みエラー、読み出しエラー、または記憶保持エラー等による誤動作の確率を大幅に減少させることができる。

[0059] (第4実施形態)

次に、本発明の第4実施形態による磁気メモリについて図15乃至図16を参照して説明する。

[0060] 本実施形態のMRAMの回路図を図15に示す。本実施形態のMRAMは、第1実施形態およびその変形例、第2実施形態、および第3実施形態で説明した、図2、図6、図7図10に示す磁気抵抗効果素子(MTJ素子)1を、メモリセルの記憶素子として用いている。このMRAMは、マトリクス状に配列された複数のメモリセルMCを有するメモリセルアレイ30を備えている。メモリセルアレイ30には、それぞれが列(カラム)方向に延在するように、複数のビット線対BL、/BLが配設されている。また、メモリセルアレイ30には、それぞれが行(ロウ)方向に延在するように、複数のワード線WLが配設されている。

[0061] ビット線BLとワード線WLとの交差部分には、メモリセルMCが配置されている。各メモリセルMCは、MTJ素子1、及びnチャネルMOSトランジスタからなる選択トランジスタ31を備えている。MTJ素子1の一端は、ビット線BLに接続されている。MTJ素子1の他端は、選択トランジスタ31のドレイン端子に接続されている。選択トランジスタ31のゲート端子は、ワード線WLに接続されている。選択トランジスタ31のソース端子は、ビット線/BLに接続されている。

[0062] ワード線WLには、ロウデコーダ32が接続されている。ビット線対BL、 $\neg$ BLには、書き込み回路34及び読み出し回路35が接続されている。書き込み回路34及び読み出し回路35には、カラムデコーダ33が接続されている。各メモリセルMCは、ロウデコーダ32及びカラムデコーダ33により選択される。

[0063] メモリセルMCへのデータの書き込みは、以下のように行われる。先ず、データ書き込みを行うメモリセルMCを選択するために、このメモリセルMCに接続されたワード線WLが活性化される。これにより、選択トランジスタ31がオン状態となる。ここで、MTJ素子1には、書き込みデータに応じて、双方向の書き込み電流 I_w が供給される。具体的には、MTJ素子1に、図15において左から右へ書き込み電流 I_w を供給する場合、書き込み回路34は、ビット線BLに正の電圧を印加し、ビット線 $\neg$ BLに接地電圧を印加する。また、MTJ素子1に、図15において右から左へ書き込み電流 I_w を供給する場合、書き込み回路34は、ビット線 $\neg$ BLに正の電圧を印加し、ビット線BLに接地電圧を印加する。このようにして、メモリセルMCにデータ“0”、或いはデータ“1”を書き込むことができる。

[0064] 次に、メモリセルMCからのデータ読み出しは、以下のように行われる。まず、データ読み出しを行うメモリセルMCを選択するために、このメモリセルMCに接続されたワード線WLが活性化される。これにより、選択されたメモリセルMCの選択トランジスタ31がオン状態となる。読み出し回路35は、MTJ素子1に、例えば図15において右から左へ流れる読み出し電流 I_r を供給する。そして、読み出し回路35は、この読み出し電流 I_r に基づいて、MTJ素子1の抵抗値を検出する。このようにして、MTJ素子1に記憶されたデータを読み出すことができる。

[0065] 次に、MRAMの構造について説明する。図16は、1個のメモリセルMCを中心に示したMRAMの構成を示す断面図である。

[0066] p型半導体基板40の表面領域には、素子分離絶縁層41が設けられ、この素子分離絶縁層41が設けられていない半導体基板40の表面領域が素子

を形成する素子領域（active area）となる。素子分離絶縁層 4 1 は、例えば S T I（Shallow Trench Isolation）により構成される。S T I としては、例えば酸化シリコンが用いられる。

[0067] 半導体基板 4 0 の素子領域に選択トランジスタ 3 1 が形成される。この選択トランジスタ 3 1 は、互いに離間したソース領域 4 2 a およびドレイン領域 4 2 b が設けられている。このソース領域 4 2 a およびドレイン領域 4 2 b はそれぞれ、半導体基板 4 0 内に高濃度の n^+ 型不純物を導入して形成された n^+ 型拡散領域から構成される。ソース領域 4 2 a およびドレイン領域 4 2 b 間のチャネル 4 3 となる半導体基板 4 0 の領域上には、ゲート絶縁膜 5 1 が形成され、このゲート絶縁膜 5 1 上にゲート電極 5 2 が設けられている。

[0068] ゲート電極 5 2 は、ワード線 W L として機能する。

[0069] ソース領域 4 2 a 上には、コンタクト 6 2 を介して配線層 6 3 が設けられている。配線層 6 3 は、ビット線／B L として機能する。ドレイン領域 4 2 b 上には、コンタクト 6 4 を介して引き出し線 6 5 が設けられている。引き出し線 6 5 上には、下部電極 7 1 と、上部電極 7 2 に挟まれた M T J 素子 1 が設けられている。上部電極 7 2 上には、配線層 7 6 が設けられている。配線層 7 6 は、ビット線 B L として機能する。また、半導体基板 4 0 と配線層 7 6 との間は、例えば酸化シリコンからなる層間絶縁層 6 7 で満たされている。

[0070] 本実施形態によれば、第 1 実施形態およびその変形例、第 2 実施形態、第 3 実施形態のいずれかによる M T J 素子 1 を用いて M R A M を構成することができる。

[0071] 本実施形態も第 1 実施形態と同様に、記憶層の熱安定性を低下させることなく書き込み電流を低減することができる。

符号の説明

- [0072] 1 磁気抵抗効果素子
2 記憶層
2 a 高 K u 層

2 b 低K_u層

2 c 非磁性層（酸化層）

2 d 中間K_u層

2 e 低K_u層

請求の範囲

- [請求項1] 磁化の向きが不変な参照層と、磁化方向が可変な記憶層と、前記参照層と前記記憶層との間に設けられたスペーサ層とを有する磁気抵抗効果素子を備えた磁気メモリであって、前記記憶層は、第1の磁性層と、第2の磁性層との積層構造を有し、前記第2の磁性層は前記第1の磁性層と前記スペーサ層との間に設けられ前記第1の磁性層よりも磁気異方性エネルギーが低く、かつ前記第1の磁性層と前記第2の磁性層の交換結合定数 J_{ex} が 5 erg/cm^2 以下であることを特徴とする磁気メモリ。
- [請求項2] 前記第1の磁性層と前記第2の磁性層との間に、B、Mg、Al、Si、Ti、V、Cr、Mn、Cu、Zn、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Cd、In、Sn、Hf、Ta、W、Re、Os、Ir、Pt、およびAuからなる群から選択された少なくとも一つの非磁性元素を含む金属、前記非磁性元素を含む窒化物、または前記非磁性元素を含む酸化物からなる層が設けられていることを特徴とする請求項1記載の磁気メモリ。
- [請求項3] 前記第1の磁性層と前記第2の磁性層との間に、Fe、Ni、およびCoからなる群から選択された元素を少なくとも一つ含む金属層が設けられていることを特徴とする請求項1項記載の磁気メモリ。
- [請求項4] 前記記憶層は、前記第1の磁性層に対して前記第2の磁性層と反対側に設けられ前記第1の磁性層よりも磁気異方性エネルギーが低い第3の磁性層を更に備えていることを特徴とする請求項1記載の磁気メモリ。
- [請求項5] 第1の磁性層と前記第3の磁性層との間の交換結合定数 J_{ex} が 5 erg/cm^2 以上であることを特徴とする請求項4記載の磁気メモリ。
- [請求項6] 前記記憶層は、前記第1の磁性層に対して前記第2の磁性層と反対側に設けられ前記第1の磁性層よりも磁気異方性エネルギーが高い第

4の磁性層を更に備えていることを特徴とする請求項1記載の磁気メモリ。

[請求項7] 前記第1の磁性層は、前記第4の磁性層に、Co、Fe、Ni、およびMnの群から選択された少なくとも一つの磁性金属元素が添加されているかもしくはTi、V、Cr、Cu、Zn、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Cd、In、Sn、Hf、Ta、W、Re、Os、Ir、Pt、およびAuの群から選択された少なくとも一つの非磁性元素が添加されていることを特徴とする請求項6記載の磁気メモリ。

[請求項8] 前記第1の磁性層および前記第4の磁性層は、Co、Fe、Ni、およびMnの群から選択された少なくとも一つの磁性金属元素と、Ti、V、Cr、Cu、Zn、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Cd、In、Sn、Hf、Ta、W、Re、Os、Ir、Pt、およびAuの群から選択された少なくとも一つの非磁性元素とを含む化合物または合金であり、前記第1の磁性層と前記第4の磁性層とは前記磁性金属元素と前記非磁性元素の組成比が異なることを特徴とする請求項6記載の磁気メモリ。

[請求項9] 前記第1の磁性層の磁気異方性エネルギー密度を K_{U1} 、厚さを t_1 とし、前記第2の磁性層の磁気異方性エネルギー密度を K_{U2} 、厚さを t_2 とし、前記第1の磁性層と前記第2の磁性層の平均的な交換スティフネス定数を A とし、前記第1の磁性層と前記第2の磁性層の平均的な飽和磁化を M_s^{av} とし、磁化反転過程において二磁区を経て反転する過程と単磁区のまま磁化困難軸を向いて反転する過程のエネルギーバリアが同一になる前記磁気抵抗効果素子の直径を D_s とし、前記第1および第2の磁性層の積層構造における膜厚方向の反磁界係数を N_a としたとき、前記直径 D_s は下記の式で表され、

[数1]

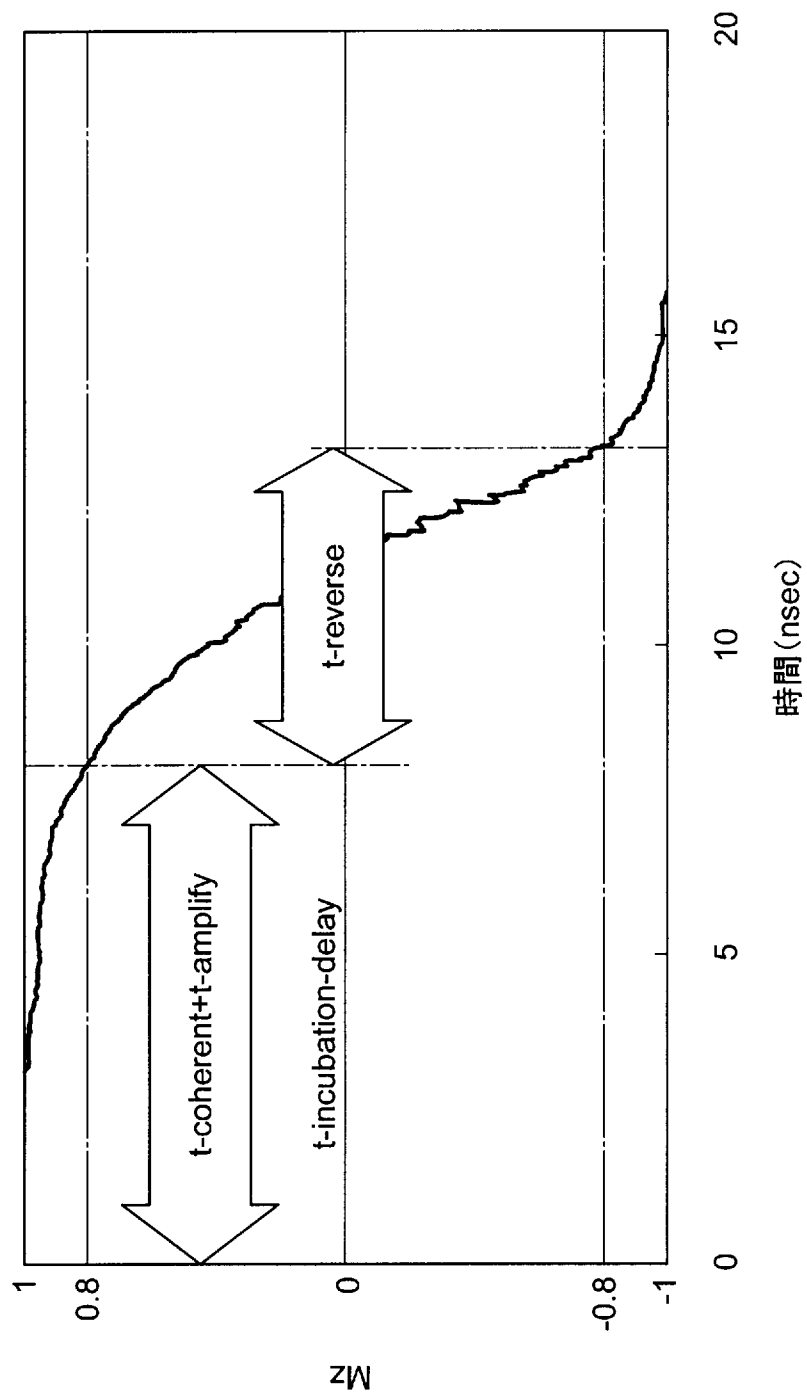
$$D_s = \frac{6\sqrt{A}(\sqrt{K_{U1}}t_1 + \sqrt{K_{U2}}t_2)}{(K_{U1}t_1 + K_{U2}t_2) - 2\pi(M_s^{av})^2\left(N_a - \frac{1}{2}\right)(t_1 + t_2)}$$

前記記憶層の直径Dは、

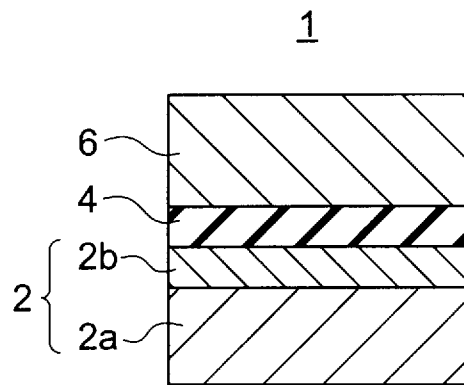
$$D < 1.5 D_s$$

を満たすことを特徴とする請求項1記載の磁気メモリ。

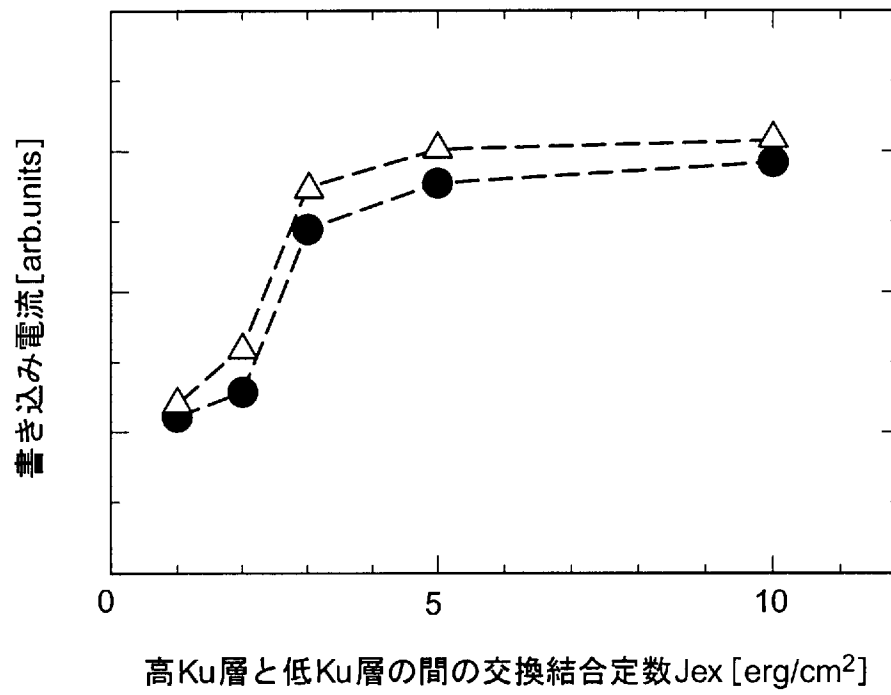
[図1]



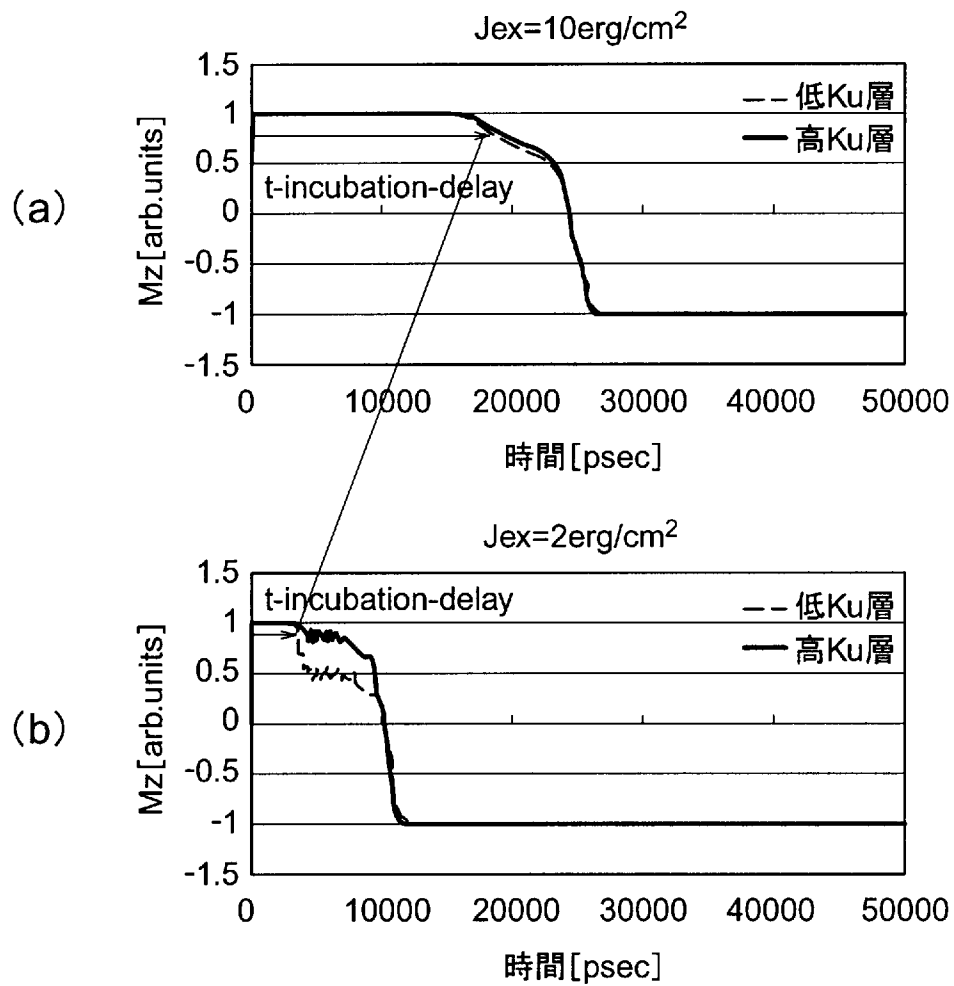
[図2]



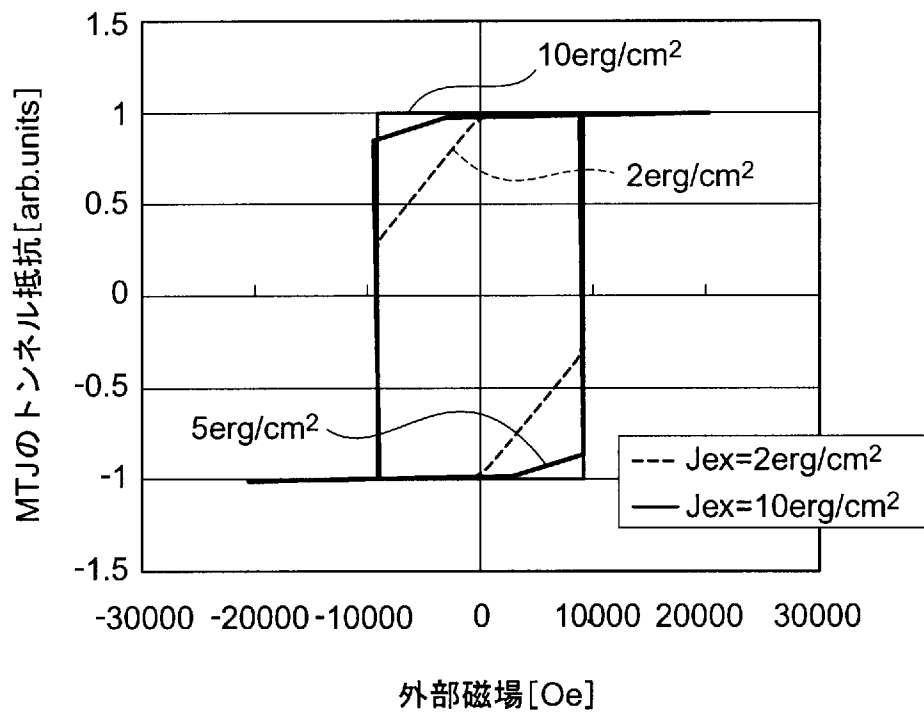
[図3]



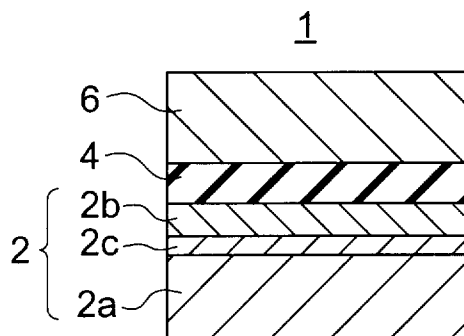
[図4]



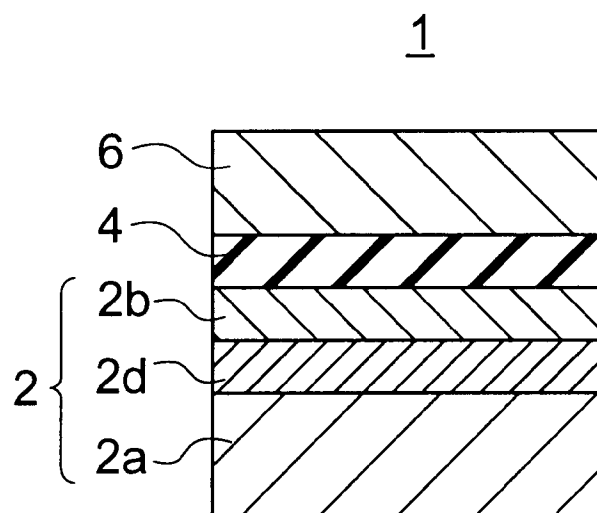
[図5]



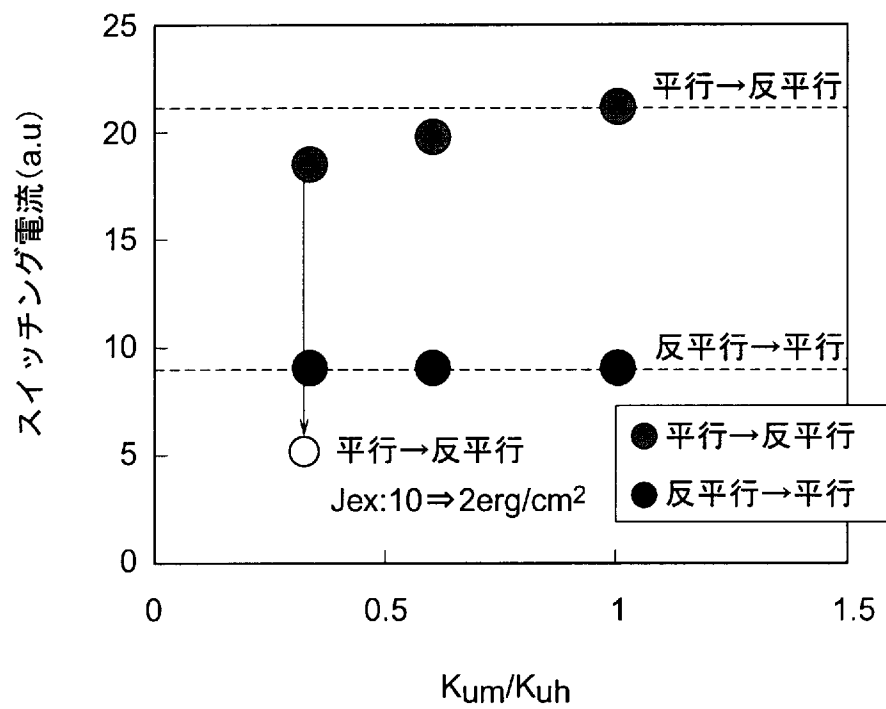
[図6]



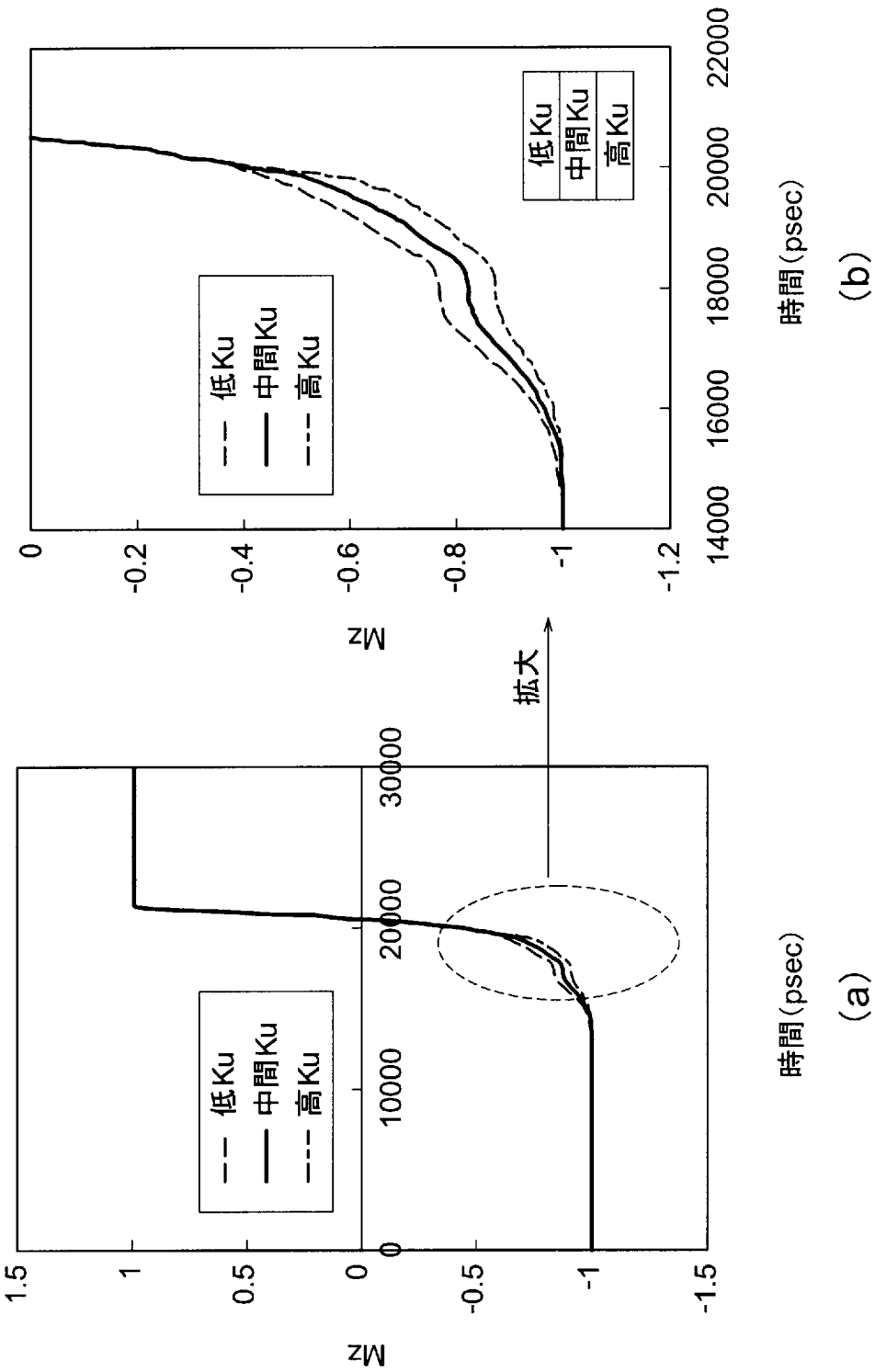
[図7]



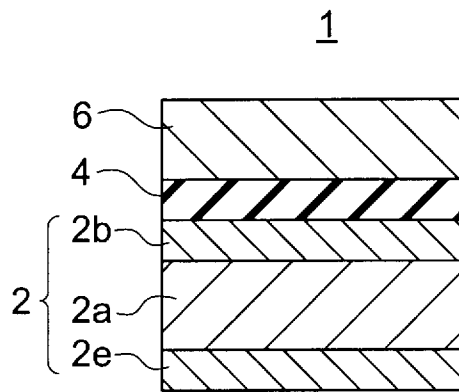
[図8]



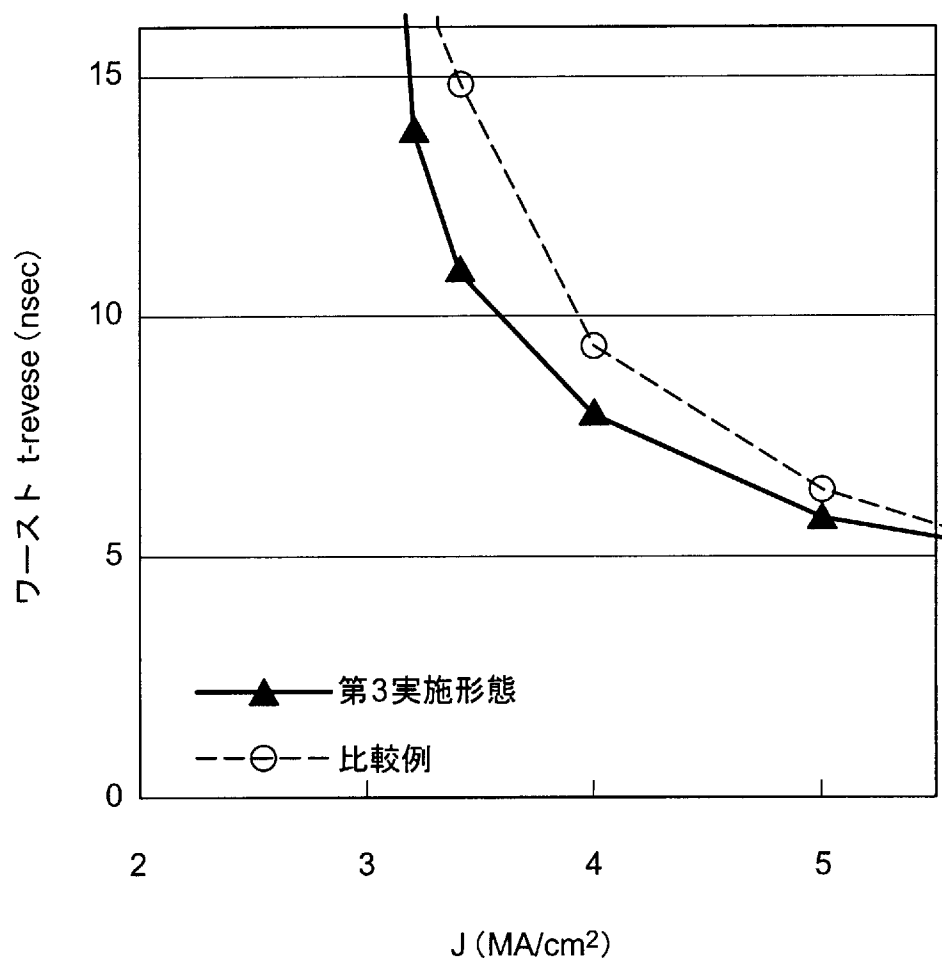
[図9]



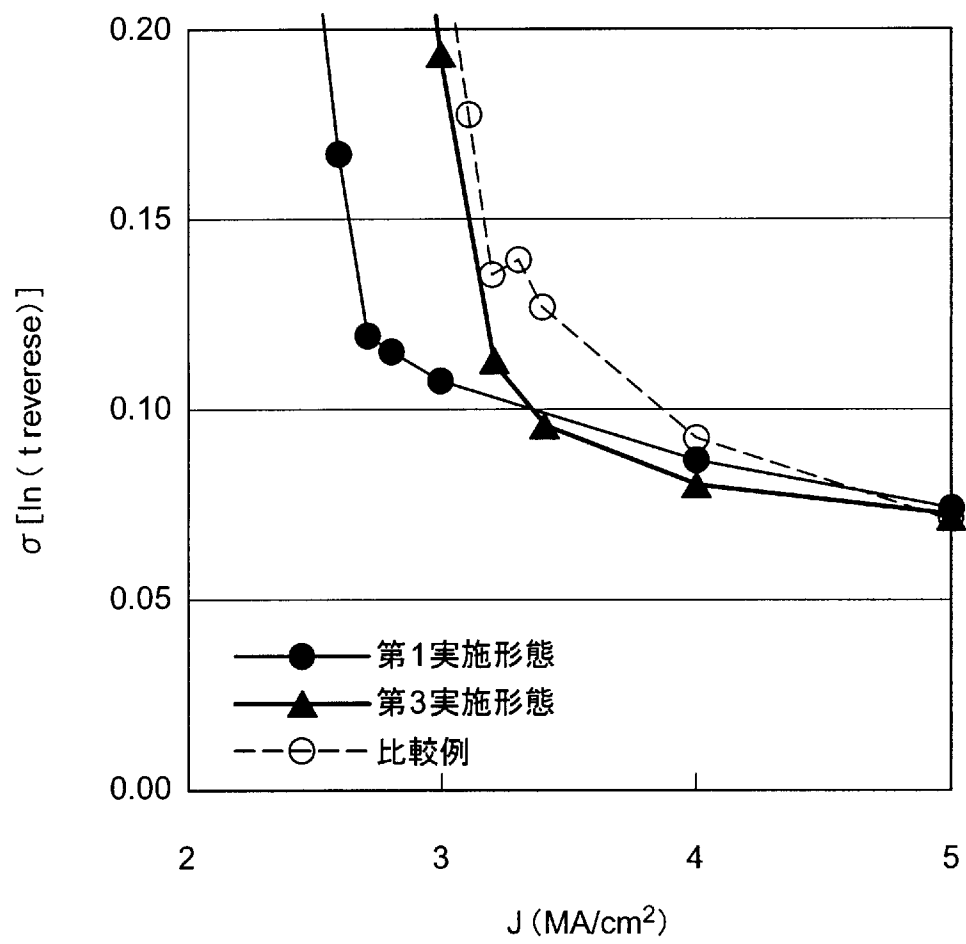
[図10]



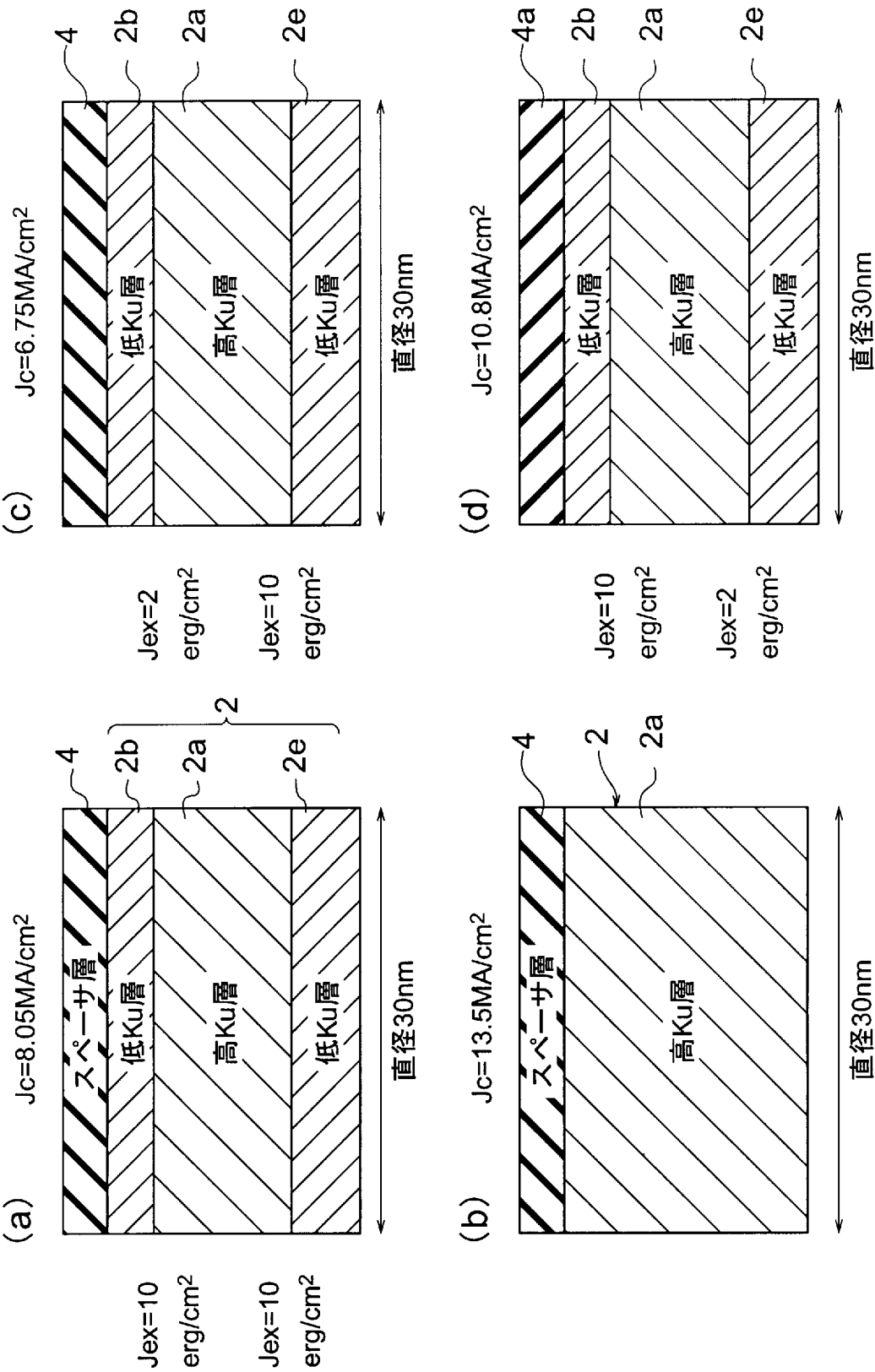
[図11]



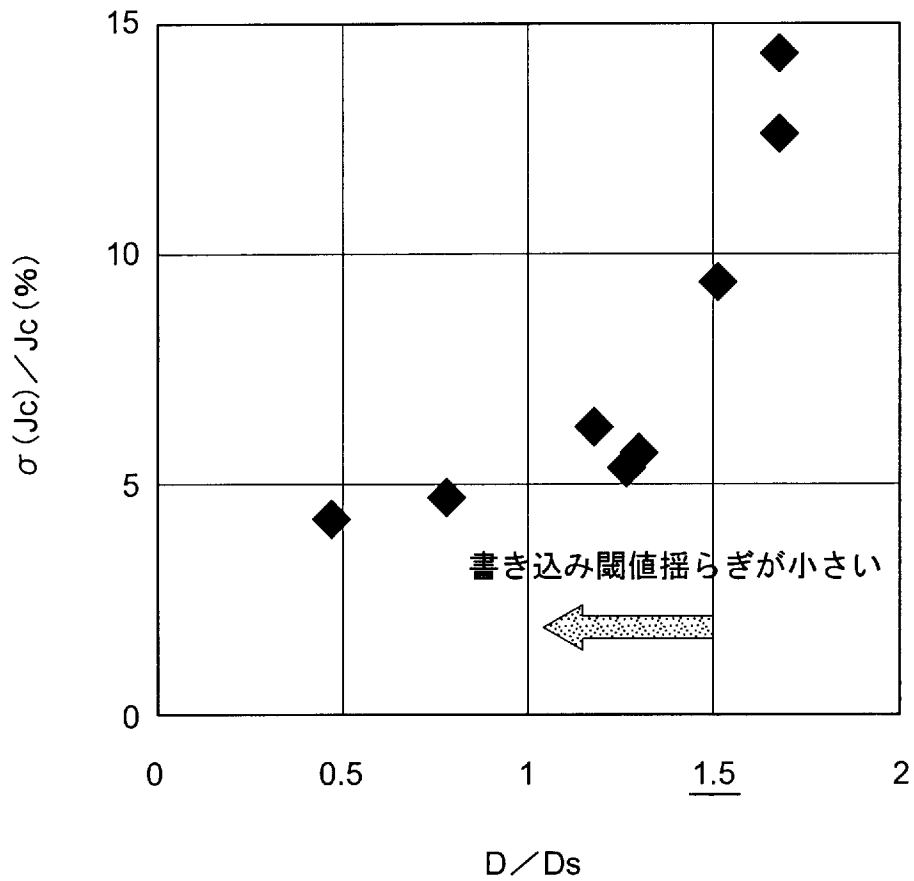
[図12]



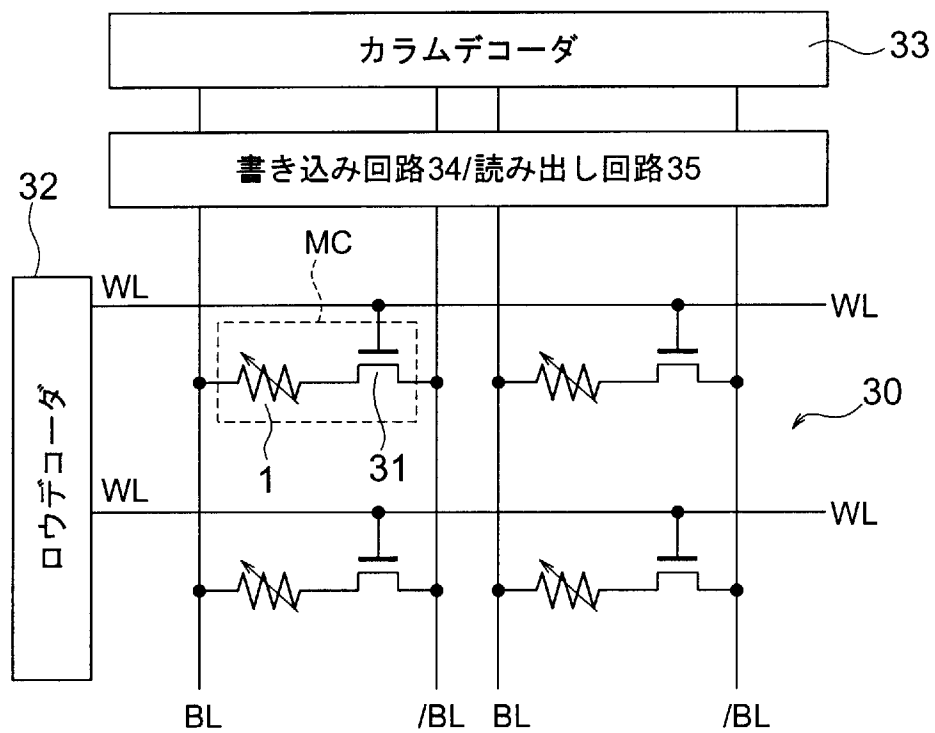
[図13]



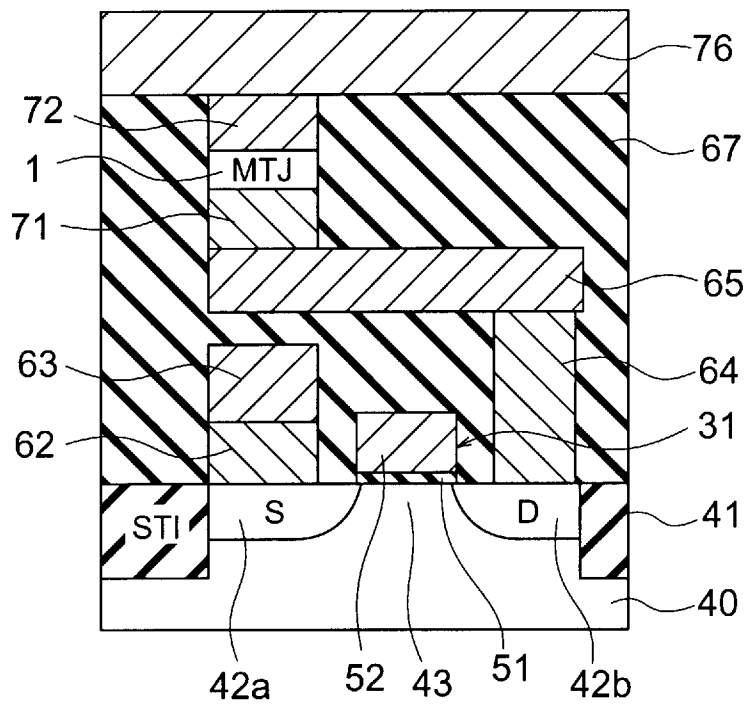
[図14]



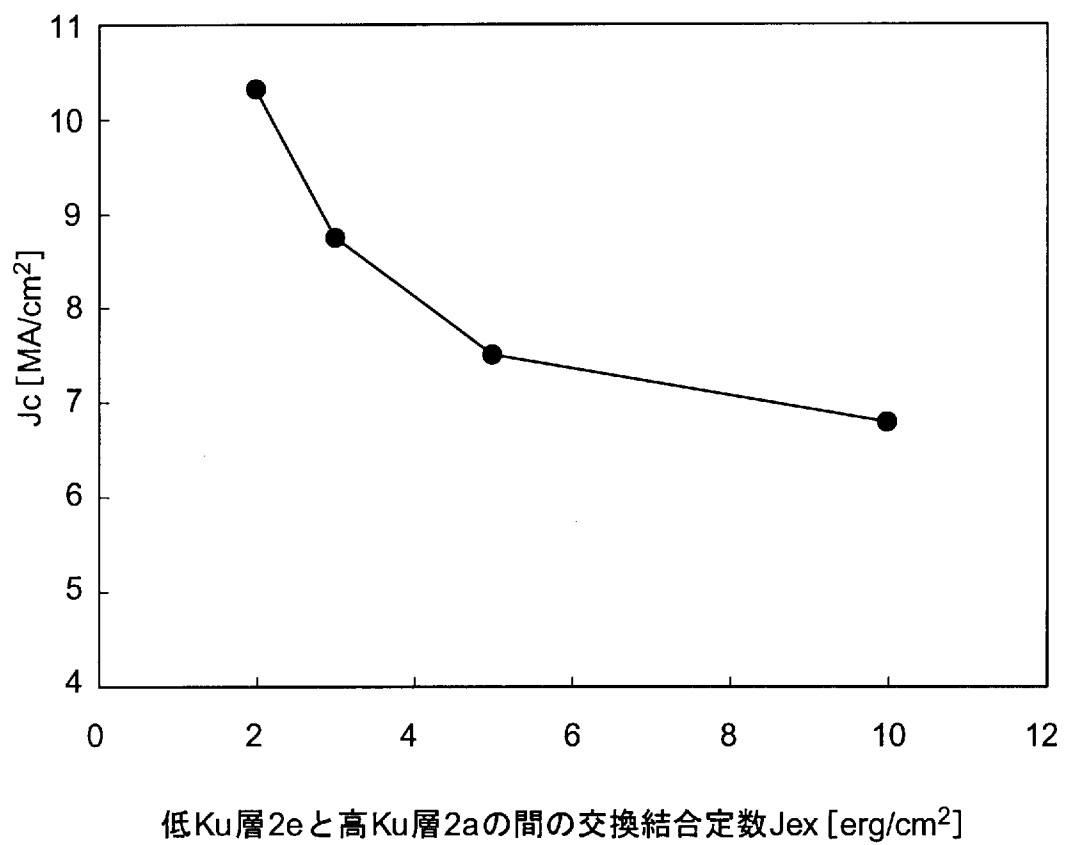
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066775

A. CLASSIFICATION OF SUBJECT MATTER

H01L43/08 (2006.01) i, H01L21/8246 (2006.01) i, H01L27/105 (2006.01) i,
H01L29/82 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L43/08, H01L21/8246, H01L27/105, H01L29/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2007-150265 A (Toshiba Corp.), 14 June 2007 (14.06.2007), paragraphs [0015] to [0078]; fig. 1 to 3 & US 2007/0096229 A1	1-2 3-4, 9 5-8
Y	JP 2003-324225 A (NEC Corp.), 14 November 2003 (14.11.2003), paragraphs [0030] to [0040]; fig. 2 to 3 & US 2004/0032318 A1	3
Y	JP 2005-174969 A (Japan Science and Technology Agency), 30 June 2005 (30.06.2005), paragraphs [0018] to [0035]; fig. 1 to 3 (Family: none)	4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 December, 2009 (04.12.09)

Date of mailing of the international search report
15 December, 2009 (15.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066775

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-99628 A (Toshiba Corp.), 07 May 2009 (07.05.2009), paragraphs [0036] to [0037], [0046], [0053] & CN 101409326 A & KR 10-2009-0037824 A	9
A	JP 2008-252036 A (Toshiba Corp.), 16 October 2008 (16.10.2008), entire text; all drawings (Family: none)	1-9
A	JP 2007-27575 A (Toshiba Corp.), 01 February 2007 (01.02.2007), entire text; all drawings & US 2007/0019463 A1	1-9
A	JP 2004-146688 A (Toshiba Corp.), 20 May 2004 (20.05.2004), entire text; all drawings & US 2004/0085681 A1	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L43/08(2006.01)i, H01L21/8246(2006.01)i, H01L27/105(2006.01)i, H01L29/82(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L43/08, H01L21/8246, H01L27/105, H01L29/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2007-150265 A（株式会社東芝）2007.06.14, 段落【0015】－【0078】、図1－3 & US 2007/0096229 A1	1-2 3-4, 9 5-8
Y	JP 2003-324225 A（日本電気株式会社）2003.11.14, 段落【0030】－【0040】、図2－3 & US 2004/0032318 A1	3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 1 2 . 2 0 0 9

国際調査報告の発送日

1 5 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小川 将之

4M

9634

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-174969 A (独立行政法人科学技術振興機構) 2005. 06. 30, 段落【0018】－【0035】, 図1－3 (ファミリーなし)	4
Y	JP 2009-99628 A (株式会社東芝) 2009. 05. 07, 段落【0036】－【0037】, 段落【0046】, 段落【0053】 & CN 101409326 A & KR 10-2009-0037824 A	9
A	JP 2008-252036 A (株式会社東芝) 2008. 10. 16, 全文, 全図 (ファミリーなし)	1-9
A	JP 2007-27575 A (株式会社東芝) 2007. 02. 01, 全文, 全図 & US 2007/0019463 A1	1-9
A	JP 2004-146688 A (株式会社東芝) 2004. 05. 20, 全文, 全図 & US 2004/0085681 A1	1-9