

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 10 月 3 日(03.10.2013)



(10) 国際公開番号

WO 2013/147276 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2013/059777
- (22) 国際出願日: 2013 年 3 月 29 日(29.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-081580 2012 年 3 月 30 日(30.03.2012) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP). 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: 岩室 憲幸(IWAMURO, Noriyuki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 原田 信介(HARADA, Shinsuke); 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 星 保幸(HOSHI, Yasuyuki); 〒2109530 神奈川県川崎市川崎区田辺

新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 原田 祐一(HARADA, Yuichi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関 3 丁目 2 番 5 号 霞が関ビルディング 20 階 酒井総合特許事務所 Tokyo (JP).

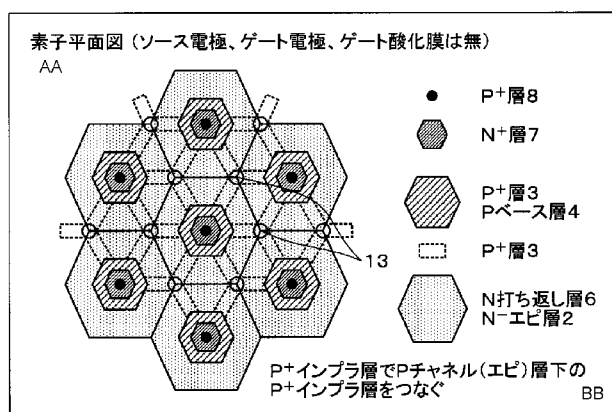
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: VERTICAL, HIGH-VOLTAGE-RESISTANT SEMICONDUCTOR DEVICE, AND METHOD FOR PRODUCING VERTICAL, HIGH-VOLTAGE-RESISTANT SEMICONDUCTOR DEVICE

(54) 発明の名称: 縦型高耐圧半導体装置および縦型高耐圧半導体装置の製造方法



- 2 N epi-layer
3, 8 P⁺ layer
4 P base layer
6 N-type inversion layer
7 N⁺ layer
AA Element planar view (no source electrode, gate electrode, or gate oxide film)
BB Connect P⁺-implanted layers under P-channel-(epi)-layer via P⁺-implanted layers

(57) Abstract: A silicon-carbide-vertical MOSFET has: a first-conductive-type, N-type inversion layer (6) formed on a surface layer other than a second semiconductor-layer base layer selectively formed on a low-concentration layer formed on the surface of a substrate; a gate electrode layer formed, with a gate-insulating film interposed therebetween, on at least a section of an exposed surface section of a second-conductive-type third semiconductor layer, and between a first-conductive-type source region and the first-conductive-type, N-type inversion layer (6); and a commonly contacting source electrode positioned on the surfaces of the source region and the third semiconductor layer. Therein, parts of the second-conductive-type semiconductor layer are bonded in a region under the N-type inversion layer (6). As a result, it is possible, even when applying a high voltage, to prevent damage to an oxide film for forming a gate electrode and to improve reliability, while using the low-temperature resistance of a vertical SiC-MOSFET using SiC and the like as a semiconductor material.

(57) 要約:

[続葉有]



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, — 国際調査報告 (条約第 21 条(3))
NE, SN, TD, TG).

炭化珪素縦型MOSFETは、基板の表面に形成された低濃度の層に選択的に形成された第2の半導体層ベース層以外の表面層に形成された第1導電型のN打ち返し層(6)と、第1導電型のソース領域と第1導電型のN打ち返し層(6)とに挟まれた、第2導電型の第3の半導体層の表面露出部上の少なくとも一部に、ゲート絶縁膜を介して形成されたゲート電極層と、ソース領域と第3の半導体層との表面に共通に接触するソース電極を有しており、第2導電型半導体層の一部をN打ち返し層(6)の下領域で結合する。これによって、SiC等を半導体材料とした縦型SiC-MOSFETの低オン抵抗を利用しつつ、高電圧印加時においても、ゲート電極を形成する酸化膜の破壊を防止して信頼性を向上させることができる。

明 細 書

発明の名称：

縦型高耐圧半導体装置および縦型高耐圧半導体装置の製造方法

技術分野

[0001] 本発明は、高耐圧大電流を制御できるパワー半導体装置、特にワイドバンドギャップ材料のひとつである炭化ケイ素を半導体として用いた縦型高耐圧 MOSFET 装置ならびに IGBT に関する。

背景技術

[0002] 従来、高耐圧、大電流を制御するパワー半導体素子（パワーデバイス）の材料として、シリコン（Si）単結晶が用いられている。パワー半導体素子にはいくつかの種類があり、現状は用途に合わせて使い分けられている。パワー半導体素子のうち、例えばバイポーラトランジスタや IGBT（絶縁ゲート型バイポーラトランジスタ）は、電流密度は多く取れるものの、高速でのスイッチングが難しい。具体的には、たとえば、バイポーラトランジスタは数 kHz 程度の周波数が使用限界であって、IGBT は 20 kHz 程度の周波数が使用限界である。一方、パワー半導体素子のうち、例えばパワー MOSFET は、大電流には対応できないものの、数 MHz 程度の周波数までの高速で使用することができる。

[0003] 市場では、より大電流に対応可能であって、かつ、高速性を兼ね備えたパワー半導体素子への要求が強い。このため、IGBT やパワー MOSFET の改良に力が注がれ、現在では、ほぼ材料限界に近いところまで開発が進んできている。

[0004] 図 1 は、一般的な MOSFET の断面構造を示す説明図である。図 1 においては、大電流に対応可能であって、かつ、高速性を兼ね備えたパワーデバイスとして代表的（一般的）な MOSFET の断面構造を示している。図 1 において、基板 a のおもて面側には、エピタキシャル形成された低濃度の N-ドリフト層 b が設けられている。低濃度の N-ドリフト層 b のおもて面側の表

面層には、さらにPベース層cが形成されている。Pベース層cのおもて面側の表面層には、高濃度のN⁺ソース層dが選択的に形成されている。N⁻ドリフト層b、Pベース層c、ならびに、高濃度のN⁺ソース層dの上には、ゲート絶縁膜eを介してゲート電極fが形成されている。基板aの裏面側には、ドレイン電極gが形成されている。

[0005] さらに、近年では、超接合型のMOSFETが注目を浴びている。図2、図3および図4は、従来のシリコン超接合MOSFETの断面構造を示す説明図である。図2～4においては、超接合型MOSFETとして代表的な素子の断面構造を示している。超接合型MOSFETは、たとえば、藤平らが1997年にこの理論を発表し（下記非特許文献1を参照。）、1998年にDeboyらによってCoMoMOSFETとして製品化されたことが知られている（下記非特許文献2を参照。）。これらの超接合型MOSFETは、N⁻ドリフト層に縦方向にP層を柱状構造に形成することで、ソース・ドレイン間の耐压特性を劣化させることなくオン抵抗を格段に向上させることができる。

[0006] また、パワー半導体素子の観点からの材料検討も行われている。たとえば、Shebna iらが報告しているように、低オン電圧、高速・高温特性に優れた素子であることから、SiCが、次世代のパワー半導体素子として近年特に注目を集めている（下記非特許文献3を参照。）。

[0007] SiCが次世代のパワー半導体素子として注目を集めている背景には、SiCが化学的に非常に安定な材料であり、バンドギャップが3 eVと広く、高温でも半導体として極めて安定的に使用できることが挙げられる。また、SiCが次世代のパワー半導体素子として注目を集めている背景には、最大電界強度がSiより1桁以上大きいことが挙げられる。

[0008] SiCは、Siにおける材料限界を超える可能性が大きいため、パワー半導体、特にMOSFETとして、今後の伸長が大きく期待される。特に、SiCは、そのオン抵抗が小さいことが期待されており、たとえば、高耐压特性を維持したままより一層の低オン抵抗を有する縦型SiC-MOSFET

が期待できる。

先行技術文献

特許文献

[0009] 特許文献1：米国特許第7923320号明細書

非特許文献

[0010] 非特許文献1：Fujihiira et al, JJAP vol. 36 Part 1 no. 10, PP. 6254, 1997年

非特許文献2：Deboy et al, IEEE IEDM 1998, P. 683

非特許文献3：Shenai, IEEE Transaction on Electron Devices (Vol. 36, P. 1811), 1989年

発明の概要

発明が解決しようとする課題

[0011] このように形成されたSiC-MOSFETは、低オン抵抗で高速スイッチングが可能であるため、スイッチングデバイスとして活用されることが期待されている。具体的には、SiC-MOSFETは、低オン抵抗で高速スイッチングが可能な素子として、モータコントロール用インバータや無停電電源装置（UPS）などの電力変換装置に活用されることが期待されている。

[0012] SiCは、ワイドバンドギャップ半導体材料であるために、前述のようにその破壊電界強度がSiの約10倍と高く、オン抵抗が十分小さくなることが期待される。一方、半導体の破壊電界強度が約10倍高くなるため、特に高電圧印加時の酸化膜への電界の負荷がSi素子に比べて大きくなる。このため、酸化膜に大きな電界が加わる前にSiの破壊電界強度に達するためSiを用いたパワーデバイスでは問題にならなかったことが、半導体の破壊電界強度がきわめて高いSiCを用いたパワーデバイスにおいては問題となり

、酸化膜が先に破壊してしまうことが懸念される。

[0013] 具体的には、図1に示すSiC-MOSFETのゲート絶縁膜（酸化膜）eに大きな電界強度が印加されることになり、ゲート電極fを形成する酸化膜が破壊するなどして、SiC-MOSFETに対する信頼性に大きな問題が生じる可能性がある。このような不具合は、SiC-MOSFETだけでなく、SiC-IGBTにもいえることである。このような不具合に関しては、たとえば上記特許文献1にも、SiC-MOSFETにおけるゲート酸化膜への電界強度に注意を要する記述があるが、SiCは、Siにおける材料限界を超える可能性が大きいことから、パワー半導体用途、特にMOSFETでは今後の伸長が大きく期待されており、改良が期待されている。

[0014] この発明は、上述した従来の問題を解決するため、SiC等を半導体材料とした縦型SiC-MOSFETにおいて、その低オン抵抗特性を利用しつつ、高電圧印加時においても、ゲート電極を形成する酸化膜の破壊を防止することにより信頼性を向上させた上で、SiCの低オン抵抗を発揮できる縦型高耐圧半導体装置および縦型高耐圧半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0015] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる縦型高耐圧半導体装置は、次の特徴を有する。第1導電型の半導体基板（1）上に形成された第1導電型で前記半導体基板（1）よりも不純物濃度が低い第1の半導体層（2）が形成され、前記第1の半導体層（2）の表面に第2導電型で第1の半導体層（2）よりも不純物濃度が高い第2の半導体層（3）が選択的に形成されている。前記第1の半導体層（2）および前記第2の半導体層（3）の上に第2導電型のベース層（4）が設けられ、前記ベース層（4）の表面層に第1導電型ソース領域（7）が選択的に形成されている。表面から前記ベース層（4）を貫通して前記第1の半導体層（2）に達するように第1導電型のN打ち返し層（6）が形成されている。前記ソース領域（7）と前記N打ち返し層（6）とに挟まれた前記ベース層（4）の表

面露出部上の少なくとも一部にゲート絶縁膜（９）を介して設けられたゲート電極層（１０）と、前記ソース領域（７）と前記ベース層（４）との表面に共通に接触するソース電極（１１）と、前記半導体基板（１）の裏面に設けられたドレイン電極（１２）と、を有している。そして、前記第２の半導体層（３）の一部は、前記Ｎ打ち返し層（６）の下領域で互いに結合されている。

[0016] この発明にかかる縦型高耐圧半導体装置は、上述した発明において、前記第２の半導体層（３）の一部が前記Ｎ打ち返し層（６）の下領域で結合されている部分は、前記ベース層（４）と前記Ｎ打ち返し層（６）で形成されるＰＮ接合から離隔していることを特徴とする。

[0017] この発明にかかる縦型高耐圧半導体装置は、上述した発明において、前記半導体基板（１）の半導体材料が炭化ケイ素であることを特徴とする。

[0018] この発明にかかる縦型高耐圧半導体装置は、上述した発明において、前記半導体基板（１）の結晶学的面指数が（０００－１）に対して平行な面もしくは１０度以内に傾いた面であることを特徴とする。

[0019] この発明にかかる縦型高耐圧半導体装置は、上述した発明において、前記半導体基板（１）の結晶学的面指数が（０００１）に対して平行な面もしくは１０度以内に傾いた面であることを特徴とする。

[0020] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる縦型高耐圧半導体装置の製造方法は、次の特徴を有する。まず、第１導電型の半導体基板（１）上に第１導電型で前記半導体基板（１）よりも不純物濃度が低い第１の半導体層（２）を形成する工程を行う。次いで、前記第１の半導体層（２）の表面に、第２導電型で第１の半導体層（２）よりも不純物濃度が高い第２の半導体層（３）をイオン注入法により選択的に形成する工程と、前記第１の半導体層（２）および前記第２の半導体層（３）の上に、エピタキシャル成長法により第２導電型のベース層（４）を形成する工程とを行う。さらに、前記ベース層（４）の表面層に選択的に形成された第１導電型ソース領域（７）と、表面から前記ベース層（４）を貫通して前記第１

の半導体層（２）に達する第１導電型のＮ打ち返し層（６）と、をイオン注入法により形成する工程を行う。そして、前記第２の半導体層（３）を形成する工程は、前記第２の半導体層（３）の一部が、前記Ｎ打ち返し層（６）の下領域で互いに結合されるように形成する。

[0021] なお、例えばＭＯＳＦＥＴの場合は基板の導電型をＮ型とし、ＩＧＢＴの場合はＮ型の基板の裏面にＰ型のコレクタ層をエピタキシャル成長又はイオン注入等の技術で形成すればよい。

発明の効果

[0022] この発明にかかる縦型高耐圧半導体装置および縦型高耐圧半導体装置の製造方法によれば、ＳｉＣ等を半導体材料とした縦型ＳｉＣ－ＭＯＳＦＥＴにおいて、その低オン抵抗特性を利用しつつ、高電圧印加時においても、ゲート電極を形成する酸化膜の破壊を防止することにより信頼性を向上させた上で、ＳｉＣの低オン抵抗を発揮できるという効果を奏する。

図面の簡単な説明

[0023] [図１]図１は、一般的なＭＯＳＦＥＴの断面構造を示す説明図である。

[図２]図２は、従来のシリコン超接合ＭＯＳＦＥＴの断面構造を示す説明図である。

[図３]図３は、従来のシリコン超接合ＭＯＳＦＥＴの断面構造（マルチエピ法）を示す説明図である。

[図４]図４は、従来のシリコン超接合ＭＯＳＦＥＴの断面構造（トレンチ埋め込み法）を示す説明図である。

[図５]図５は、実施例１のＳｉＣ－ＭＯＳＦＥＴの各製造工程における断面図であり、図５（ａ）はＰ⁺層を結合していない部分、図５（ｂ）はＰ⁺層を結合している部分の断面図を示している。

[図６]図６は、実施例１のＳｉＣ－ＭＯＳＦＥＴにおけるＰ⁺層とセルの配置を表す平面図である。

[図７]図７は、従来技術と対比した実施例１のＰ⁺層の連結状態を示す説明図である。

[図8]図8は、本発明にかかる実施例のS i C-MOSFETと、P⁺層を連結させていない従来のS i C-MOSFETとの特性比較評価結果を示す説明図である。

[図9]図9は、S i C-MOSFETの素子耐圧と、N打ち返し層6の幅を変えた時の実測結果を示す説明図である。

[図10]図10は、実施例1の負荷短絡耐量試験結果を示す説明図である。

[図11]図11は、実施例1のS i C-MOSFETのターンオフ破壊耐量評価結果を示す説明図である。

[図12]図12は、実施例3のS i C-MOSFETにおけるP⁺層3とセルの配置を表す平面図である。

[図13]図13は、実施例1のS i C-MOSFETのターンオフスイッチング波形を示す説明図である。

[図14]図14は、実施例1のS i C-MOSFETのターンオンスイッチング波形を示す説明図である。

発明を実施するための形態

[0024] (実施例1)

以下、本発明の実施例1について、図5を参照して説明する。図5は、実施例1のS i C-MOSFETの各製造工程における断面図であり、図5 (a) はP⁺層を結合していない部分、図5 (b) はP⁺層 (IGBTの場合は、P⁺基板) を結合している部分の断面図を示している。本実施例1においては、縦型プレーナゲートMOSFETとして、半導体材料として炭化ケイ素 (S i C) を用い、素子耐圧1200VのMOSFETを例に挙げて説明する。

[0025] 図5において、実施例1のS i C-MOSFETは、半導体基板として、N型S i C半導体基板1を用いる。実施例1では、不純物として窒素を $2 \times 10^{19} \text{ cm}^{-3}$ 程度含む、低抵抗のN型S i C半導体基板1によって、この発明にかかる半導体基板を実現することができる。

[0026] 実施例1のS i C-MOSFETの製造に際しては、まず、N型S i C半

導体基板 1 の結晶学的面指数が (000-1) に対して 4 度程度傾いた面の上に、たとえば、窒素を $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度含む N 型 SiC 層 2 を、 $10 \mu\text{m}$ 程度エピタキシャル成長させる。N 型の SiC 半導体基板 1 の上にエピタキシャル成長させた N 型 SiC 層 2 によって、第 1 の半導体層を実現することができる。N 型 SiC 層 2 は、N 型 SiC 半導体基板 1 のおもて面側に形成する。

[0027] つぎに、N 型 SiC 半導体基板 1 の上にエピタキシャル成長させた N 型 SiC 層 (第 1 の半導体層) 2 の上に、イオン注入法により、P⁺層 3 を形成する。P⁺層 (第 2 の半導体層) 3 は、たとえば、幅 $13 \mu\text{m}$ であって、深さ $0.5 \mu\text{m}$ とする。P⁺層 3 の形成に際しては、たとえば、アルミニウムをイオンとして用いる。また、P⁺層 3 の形成に際しての不純物濃度は、たとえば、 $1.0 \times 10^{18} \text{ cm}^{-3}$ となるようにドーズ量を設定する。

[0028] 図 6 は、実施例 1 の SiC-MOSFET における P⁺層 3 とセルの配置を表す平面図である。P⁺層 3 の形成に際しては、後に述べる N 打ち返し層 6 の下で、P⁺層 3 の一部を、連結部 13 により互いに結合する。P⁺層 3 は、後述する P ベース層 4 と N 打ち返し層 6 との PN 接合部から遠い部分で、P⁺層 3 の一部を、連結部 13 により互いに結合する (図 6 参照)。P⁺層 3 の一部であって N 打ち返し層 6 の下の領域で結合されている部分は、P ベース層 4 と N 打ち返し層 6 とによって形成される PN 接合から離隔している。

[0029] 図 6 に示すように、本実施例 1 では六角形セルパターンにて作成する場合について説明したが、4 角形セルパターンなどにて形成しても問題ない。実施例 1 の SiC-MOSFET において、結合していないところの P⁺層 3 間の距離は、 $2 \mu\text{m}$ とする。

[0030] P⁺層 3 を形成した後は、P⁺層 3 ならびに N 型 SiC 層 2 上に、P ベース層 4 を形成する。P ベース層 4 は、エピタキシャル成長法により、 $0.5 \mu\text{m}$ 厚となるように形成する。P ベース層 4 の形成に際しては、たとえば、アルミニウムを不純物とし、不純物濃度は $2.0 \times 10^{16} \text{ cm}^{-3}$ となるようにする。P ベース層 4 は、第 2 導電型であって、不純物濃度が比較的 low に設定されてい

る。Pベース層4の不純物濃度は、P⁺層3の不純物濃度よりも低く設定されている。

[0031] その後、N打ち返し層6として、窒素イオンをPベース層4に選択的に注入し、N⁺ソース層（第1導電型ソース領域）7、P⁺コンタクト層8をPベース層4内に選択的に形成する。窒素イオンは、 $5.0 \times 10^{16} \text{ cm}^{-3}$ であって、深さ $1.5 \mu\text{m}$ 、幅 $2.0 \mu\text{m}$ になるように、Pベース層4に選択的に注入する。Pベース層4内にN⁺ソース層7、P⁺コンタクト層8を選択的に形成した後、活性化アニールを実施する。たとえば、活性化アニールの熱処理温度は 1620°C とし、熱処理時間は2分とする。

[0032] 図7は、従来技術と対比した実施例1のP⁺層の連結状態を示す説明図である。図7においては、N打ち返し層6として、N⁺ソース層7、P⁺コンタクト層8をPベース層4内に選択的に形成する際にイオン注入される領域を、従来技術と対比して示す。従来技術においては、図7（a）に示されるように、六角形状のセルであるP⁺層は互いに分離しているのに対し、本実施例1では、図7（b）に示されるように、六角形状のセルであるP⁺層3のそれぞれは、各頂点において隣接する2つの他のP⁺層3と互いに結合される。すなわち、本実施例1では、図7（b）に示されるように、P⁺層3のそれぞれが互いに連結されるようなマスクを用いて、P⁺層3としてアルミイオンを注入する。

[0033] その後、 100 nm の厚さのゲート絶縁膜（酸化膜）9を熱酸化によって形成し、水素雰囲気中にて 1000°C 付近でアニールする。そして、リングドープされた多結晶Si層をゲート電極10として形成しパターニングする。ゲート電極10は、N⁺ソース層7とN打ち返し層6とに挟まれたPベース層4の表面露出部上の少なくとも一部に、ゲート絶縁膜9を介して設けられる。

[0034] ゲート電極10を形成した後、リングガラスを $1.0 \mu\text{m}$ 厚で成膜しパターニングした後、熱処理をおこなって層間絶縁膜14を形成する。そして、層間絶縁膜14を形成した後、表面にスパッタ法にて1%Siを含んだアルミニ

ウムを厚さ $5\ \mu\text{m}$ で成膜し、ソース電極 11 を形成する。

[0035] さらに、N型 SiC 半導体基板 1 の裏面側にニッケルを成膜し、 970°C で熱処理をおこなった後、Ti/Ni/Au を成膜し、ドレイン電極 12 を形成する。その後、表面に保護膜を付加することによって実施例 1 の SiC-MOSFET は完成する。

[0036] 図 8 は、本発明にかかる実施例の SiC-MOSFET と、 P^+ 層を連結させていない従来の SiC-MOSFET との特性比較評価結果を示す説明図である。図 8 においては、上記のようにして作成した SiC-MOSFET の電気特性の測定結果を示している。なお、測定に用いたチップサイズは 3mm 角であり、活性面積は 5.27mm^2 であり、定格電流は 25A である。

[0037] 図 8 に示すように、実施例 1 の SiC-MOSFET は、オン抵抗 (R_{onA}) は $2.80\text{m}\Omega\text{cm}^2$ であり、十分低い値を示している。また、実施例 1 の SiC-MOSFET は、初期の素子耐圧が 1450V であり、 1200V 素子として十分良好な特性を示している。

[0038] 比較のために、 P^+ 層 3 をまったく結合させないようにして作成した SiC-MOSFET を測定したところ、オン抵抗は同等の $2.80\text{m}\Omega\text{cm}^2$ と十分低い値を示したが、ソース・ドレイン間に 880V を印加したところで、ゲート酸化膜が破壊してしまった。このことから、本発明にかかる実施例 1 の SiC-MOSFET は、十分な素子耐圧を維持しながら、極めて小さいオン抵抗を示していることが分かる。

[0039] 本発明は、 P ベース層 4 をつなげるのではなく、 P^+ 層 3 をつなげるので、表面蓄積層は残ることになり、その結果、オン抵抗は十分低くできるのである。これを検証するため、 P^+ 層 3 ではなく P ベース層 4 をつなげた素子を試作して特性を評価した結果、耐圧は 1440V と変わらないもののオン抵抗が $5.0\text{m}\Omega\text{cm}^2$ と約 50% も劣化してしまう。

[0040] 図 9 は、SiC-MOSFET の素子耐圧と、N 打ち返し層 6 の幅を変えた時の実測結果を示す説明図である。図 9 においては、実施例 1 における SiC-MOSFET と比較のために作成した P^+ 層 3 を全く結合させない Si

C-MOSFETの素子耐圧と、N打ち返し層6の幅とを変えた場合の実測結果を示している。各素子（SiC-MOSFET）における各層の濃度および厚さは前述と同様とした。

[0041] 図9に示す結果から明らかなように、本発明にかかる実施例1のSiC-MOSFETは、1200Vデバイスとして十分な耐圧特性である1400V以上の高耐圧特性を実現していることが分かる。また、図9に示す結果から明らかなように、本発明にかかる実施例1のSiC-MOSFETの方が、比較のために作成したP⁺層3を全く結合させないSiC-MOSFETと比較して、十分な耐圧特性を実現していることが分かる。

[0042] なお、この時のオン抵抗は、両条件とも同一であった。比較のために用いたSiC-MOSFETで本実施例1と同等の1400V以上の高耐圧特性を満足させるには、P⁺層3の間の距離を1.0 μm 以下にし、かつN打ち返し濃度を5分の1まで低減させなくてはならないことが分かった。その時のオン抵抗は10.80 $\text{m}\Omega\text{cm}^2$ と極めて高い値を示し、本実施例1によってオン抵抗と素子耐圧特性が同時に改善されることが確認できた。

[0043] つぎに、実施例1の負荷加短絡耐量試験結果について説明する。図10は、実施例1の負荷短絡耐量試験結果を示す説明図である。負荷短絡耐量試験においては、電源電圧を直接ソースドレイン間に印加し、その状態でゲート電極に $V_g = 20\text{V}$ の電圧を印加し、何 μsec 破壊しないかを評価した。電源電圧 $V_{ds} = 800\text{V}$ とし、測定温度は175℃とした。図10においては、負荷短絡耐量試験における測定波形の概略図を示している。図10に示した結果から明らかなように、最大電流が素子定格の5倍である250Aを導通しても破壊せず、さらに15 μsec でも破壊しないという十分な特性を示した。

[0044] 図11は、実施例1のSiC-MOSFETのターンオフ破壊耐量評価結果を示す説明図である。実施例1のSiC-MOSFETのターンオフ耐量を評価したところ、図11に示されるように、ソース・ドレイン間電圧は1650Vにクランプされ（図11中の $V_{dsc\text{ clamp}}$ ）、破壊することな

く100A（定格電流の4倍）を150℃にてオフできることを確認した。このことから、本発明にかかる実施例1のSiC-MOSFETは、低オン抵抗を実現し、かつ負荷短絡耐量およびターンオフ耐量が極めて大きい素子であるといえることができる。

[0045] 比較のために作成したSiC-MOSFETの耐量を評価したところ、図8に示すように、素子耐圧が十分でないために負荷短絡耐量、ターンオフ耐量とも本実施例1の素子に大きく劣る結果となった。

[0046] なお、N型SiC半導体基板1の結晶学的面指数が(000-1)に対して0度、2度、8度、10度傾いた面上に同様に成膜し、作成した素子についても素子評価をおこなったところ、特性の変化はほとんどなく良好であった。

[0047] 図13は、実施例1のSiC-MOSFETのターンオフスイッチング波形を示す説明図であり、(a)は室温状態、(b)は200℃での測定結果である。図14は、実施例1のSiC-MOSFETのターンオンスイッチング波形を示す説明図であり、(a)は室温状態、(b)は200℃での測定結果である。

[0048] (実施例2)

つぎに、この発明にかかる実施例2について説明する。実施例2においては、実施例1と同様の製造工程により作製した、1200V・25AのMOSFETを例にして説明する。実施例2においては、N型SiC半導体基板1の結晶学的面指数が(0001)に対して4度程度傾いた面の上に、窒素を $1.8 \times 10^{16} \text{ cm}^{-3}$ 程度含むN型SiC層2を10 μm 程度エピタキシャル成長させた。実施例2において、N型SiC層2以外を形成する工程やセル構造については、上述した実施例1とすべて同一であるため、説明を省略する。

[0049] 実施例2のSiC-MOSFETのオン抵抗は、図8に示される結果から明らかなように、実施例1のSiC-MOSFETのオン抵抗に対して55%ほど増加するものの、通常のSiC-MOSFETに対しては十分低いオ

ン抵抗特性を示していることがわかる。なお、N型SiC半導体基板1の結晶学的面指数が(0001)に対して0度、2度、8度、10度傾いた面上に同様に成膜し、作成した素子についても素子評価をおこなったところ、特性の変化はほとんどなく良好であった。

[0050] (実施例3)

つぎに、この発明にかかる実施例3について説明する。実施例3においては、実施例1と同様の製造工程により作製した、1200V・25AのMOSFETを例にして説明する。実施例3においては、N型SiC半導体基板1の結晶学的面指数が(000-1)に対して4度程度傾いた面の上に、窒素を $1.8 \times 10^{16} \text{ cm}^{-3}$ 程度含むN型SiC層2を、10 μm 程度エピタキシャル成長させた。

[0051] 図12は、実施例3のSiC-MOSFETにおけるP⁺層3とセルの配置を表す平面図である。実施例3においては、N型SiC層2をストライプセルパターンで設計した。このため、P⁺層3は、図12に示すような構造でP⁺層3を結合させた配置とされている。P⁺層3は、N打ち返し層6およびPベース層4の下において結合している。実施例3において、N型SiC層2以外を形成する工程については、上述した実施例1、2とすべて同一であるため、説明を省略する。

[0052] 実施例3のSiC-MOSFETのオン抵抗は、図8に示される結果から明らかなように、実施例1のSiC-MOSFETのオン抵抗に対して10%ほど増加するものの、通常のSiC-MOSFETに対しては十分低いオン抵抗特性と高耐圧特性を示していることがわかる。

[0053] (実施例4)

つぎに、この発明にかかる実施例4について説明する。実施例4においては、まず、半導体基板1としてN型SiC半導体基板を用意する。実施例4では、不純物として窒素を $2 \times 10^{19} \text{ cm}^{-3}$ 程度含む低抵抗N型SiC半導体基板1を半導体基板とする。実施例4においては、N型SiC半導体基板1の結晶学的面指数が(000-1)に対して4度程度傾いた面の上に、たとえ

ば、窒素を $1.8 \times 10^{16} \text{ cm}^{-3}$ 程度含む N 型 SiC 層 2 を、 $10 \mu\text{m}$ 程度エピタキシャル成長させる。

[0054] つぎに、N 型 SiC 半導体基板 1 の上にエピタキシャル成長させた N 型 SiC 層 2 の上に、エピタキシャル法により、P⁺層（第 2 の半導体層）3 を形成する。P⁺層 3 は、たとえば、幅 $13 \mu\text{m}$ であって、厚さ $0.5 \mu\text{m}$ とする。P⁺層 3 の形成に際しては、たとえば、アルミニウムを不純物イオンとして用いる。また、P⁺層 3 の形成に際しての不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ となるようにドーズ量を設定する。

[0055] また、N 打ち返し層 6 を形成する際は、実施例 1 と同様に、P⁺層 3 の一部をたがいに結合するようにする（図 6 を参照）。本実施例では六角形セルパターンにて作成したが、四角形セルなどでも問題ない。また、結合していないところの P⁺層 3 間の距離は、たとえば、 $2 \mu\text{m}$ とする。

[0056] P⁺層 3 を形成した後は、P⁺層 3 ならびに N 型 SiC 層 2 上に、P ベース層 4 を形成する。P ベース層 4 は、エピタキシャル成長法により、 $0.5 \mu\text{m}$ 厚となるように形成する。P ベース層 4 の形成に際しては、たとえば、アルミニウムを不純物とし、不純物濃度は $2.0 \times 10^{16} \text{ cm}^{-3}$ となるようにする。

[0057] その後、N 打ち返し層 6 として、窒素イオンを P ベース層 4 に選択的に注入し、N⁺ソース層 7、P⁺コンタクト層 8 を P ベース層 4 内に選択的に形成する。なお、N 打ち返し層 6 の濃度、厚さ、幅は実施例 1 と同じとする。P ベース層 4 内に N⁺ソース層 7、P⁺コンタクト層 8 を選択的に形成した後、活性化アニールを実施する。たとえば、活性化アニールの熱処理温度は 1620°C とし、熱処理時間は 2 分とする。

[0058] その後、 100 nm の厚さのゲート絶縁膜 9 を熱酸化によって形成し、水素雰囲気中にて 1000°C 付近でアニールする。そして、リングドープされた多結晶 Si 層をゲート電極 10 として形成しパターンニングする。ゲート電極 10 は、N⁺ソース層 7 と N 打ち返し層 6 とに挟まれた P ベース層 4 の表面露出部上の少なくとも一部に、ゲート絶縁膜 9 を介して設けられる。

[0059] ゲート電極 10 を形成した後、リングガラスを $1.0 \mu\text{m}$ 厚で成膜しパターンニ

ングした後、熱処理をおこなって層間絶縁膜 14 を形成する。そして、層間絶縁膜 14 を形成した後、表面にスパッタ法にて 1% Si を含んだアルミニウムを厚さ 5 μm で成膜し、ソース電極 11 を形成する。

[0060] さらに、N型の SiC 半導体基板 1 の裏面側にニッケルを成膜し、970 $^{\circ}\text{C}$ で熱処理をおこなった後、Ti/Ni/Au を成膜し、ドレイン電極 12 を形成する。その後、表面に保護膜を付加することによって実施例 4 の SiC-MOSFET は完成する。

[0061] このようにして作製した実施例 4 の SiC-MOSFET の電気特性は、図 8 の表に示した測定結果から明らかなように、オン抵抗 (R_{onA}) は、2.85 $\text{m}\Omega\text{cm}^2$ と十分低い値を示している。また、実施例 4 の SiC-MOSFET は、初期の素子耐圧が 1455 V であり、1200 V 素子として十分良好な特性を示している。

[0062] なお、前記 N 型半導体基板 1 の結晶学的面指数が (000-1) に対して 0 度、2 度、8 度、10 度傾いた面上に同様に成膜し、作成した素子についても素子評価をおこなったところ、特性の変化はほとんどなく良好であった。チップサイズは 3 mm 角であり、活性面積は 5.27 mm^2 であり、定格電流は 25 A である。

[0063] (実施例 5)

つぎに、この発明にかかる実施例 5 について説明する。実施例 5 においては、実施例 4 と同様の製造工程により作製した、1200 V・25 A の MOSFET を例にして説明する。実施例 5 においては、N 型 SiC 半導体基板 1 の結晶学的面指数が (0001) に対して 4 度程度傾いた面の上に、窒素を $1.8 \times 10^{16} \text{cm}^{-3}$ 程度含む N 型 SiC 層 2 を 10 μm 程度エピタキシャル成長させた。その他の工程は、実施例 4 とすべて同一とする。

[0064] 実施例 5 の SiC-MOSFET のオン抵抗は、図 8 に示される結果から明らかなように、実施例 4 の SiC-MOSFET のオン抵抗に対し、50% ほど増加するものの、通常の SiC-MOSFET に対しては十分低いオン抵抗特性を示していることがわかる。なお、N 型 SiC 半導体基板 1 の結

晶学的面指数が(0001)に対して0度、2度、8度、10度傾いた面上に同様に成膜して作製した素子についても素子評価をおこなったところ、特性の変化はほとんどなく良好であった。

[0065] また、実施例1～5で作成したSiC-MOSFETのスイッチング損失評価をおこなったところ、図8に示すように、ターンオン、ターンオフ損失とも、同一定格のSi-IGBT(1200V・25A)に対し、60%以上もの低減が図られていることを確認した。

[0066] 上述した各実施例1～5においては、本発明をMOSFET(SiC-MOSFET)に適用した例について説明したが、本発明はMOSFETに適用することに限らない。本発明は、MOSFETとは異なる導電型の半導体基板を用いたIGBTにも適用することができる。すなわち、各実施例においては第1導電型をN型とし、第2導電型をP型としたが、本発明は第1導電型をP型とし、第2導電型をN型としても同様に成り立つ。

[0067] 以上説明したように、本発明のMOSFETは、第1導電型の半導体基板としてのN型SiC半導体基板1と、N型SiC半導体基板1上に形成された第1導電型でN型SiC半導体基板1よりも不純物濃度が低い第1の半導体層としてのN型SiC層2と、N型SiC層2の表面に選択的に形成された第2導電型でN型SiC層2よりも不純物濃度が高い第2の半導体層としてのP⁺層3と、N型SiC層2およびP⁺層3の上に設けられた第2導電型のベース層としてのPベース層4と、Pベース層4の表面層に選択的に形成された第1導電型ソース領域としてのN⁺ソース層7と、表面からPベース層4を貫通してN型SiC層2に達するように形成された第1導電型のN打ち返し層6と、N⁺ソース層7とN打ち返し層6とに挟まれたPベース層4の表面露出部上の少なくとも一部にゲート絶縁膜9を介して設けられたゲート電極層としてのゲート電極10と、N⁺ソース層7とPベース層4との表面に共通に接触するソース電極11と、N型SiC半導体基板1の裏面に設けられたドレイン電極12と、を有する縦型高耐压半導体装置としてのSiC-MOSFETであって、P⁺層3の一部は、N打ち返し層6の下の領域で互いに結

合されていることを特徴としている。

[0068] 本発明にかかる実施例のS i C-M O S F E Tによれば、低濃度のN型半導体層であるN型S i C層2ならびにN打ち返し層6の領域の不純物濃度を大きく上げて、オン抵抗を十分下げても、または、P⁺層3の間ならびにPベース層4の間の距離を広げてオン抵抗を十分下げても、ソース・ドレイン間に高電圧を印加した場合でも(ソースが0 V、ドレインに+電圧を印加)、N打ち返し層の領域6の上のゲート絶縁膜9に大きな電界がかからない。これにより、十分な素子耐圧を保持することができる。これは空乏層がP⁺層3に沿って横方向に広がりやすくなるためである。

[0069] その結果、N型S i C層2ならびにN打ち返し層6の領域の不純物濃度を、従来M O S F E Tよりも高く設定しても、空乏層が広がりやすい設計なので、P⁺層3の間ならびにPベース層4の間の距離を広げて素子耐圧を十分保ちつつオン抵抗を小さくすることができる。

[0070] このように、本発明にかかる実施例のS i C-M O S F E T (あるいはI G B T構造)によれば、S i C等を半導体材料とした縦型S i C-M O S F E Tにおいて、その低オン抵抗特性を利用しつつ、高電圧印加時においても、ゲート電極10を形成する酸化膜の破壊を防止することにより信頼性を向上させた上で、S i Cの低オン抵抗を発揮できる。

[0071] さらに、本発明にかかる実施例のPベース層4をエピタキシャル成長法によって形成した場合、表面荒れがほとんどないくらいに平坦にできるため、表面のM O S F E T部分の移動度が極めて大きくなる。その結果、オン抵抗をさらに小さくすることができる。

[0072] さらに、前記半導体材料が炭化ケイ素の場合において、N型S i C半導体基板1の結晶学的面指数が(0 0 0 - 1)に対して平行な面もしくは10度以内、またはN型半導体基板1の結晶学的面指数が(0 0 0 1)に対して平行な面もしくは10度以内に設定することにより、ゲート絶縁膜9と半導体界面の界面準位密度を低減できることからM O S F E T部分の移動度をさらに向上させることができる。その結果、オン抵抗を極めて小さくすることが

できる。

[0073] 以上に説明したように、本発明によれば、N打ち返し層6の表面に、イオン注入してP⁺層3を形成する際のマスクを変更するだけで、第2の半導体層であるP⁺層3の一部を互いに結合することができ、これにより、コストアップを招くことなく、基板の結晶面方位によらず十分な素子耐压特性を保持したまま、低オン抵抗で破壊耐量が大きく、さらに高速スイッチング特性が可能なMOSFETならびにIGBTとして広く採用されることが期待できる。また、各実施例は、半導体層または半導体領域の導電型（N型、P型）を反転させても同様に成り立つ。

[0074] なお、各実施例においては、半導体基板がN型のMOSFETとして説明したが、IGBTにおいても同様の効果を奏する。IGBTに適用する場合は基板の裏面にP型のコレクタ層をエピタキシャル成長又はイオン注入等の技術で形成すればよい。本発明のMOSFETをIGBTに適用する場合は、半導体基板としてのN型SiC半導体基板1の導電型をN型からP型にする、もしくはN型の基板の裏面にP型のコレクタ層を形成すればよい。本発明にかかる実施例のSiC-MOSFET（あるいはIGBT構造）によれば、縦型MOSFET、IGBT構造とその簡便な製造法を提供することができる。

産業上の利用可能性

[0075] 以上のように、本発明にかかる縦型高耐压半導体装置および縦型高耐压半導体装置の製造方法は、モータコントロール用インバータや無停電電源装置（UPS）などの電力変換装置などに使用されるパワー半導体装置に有用である。

符号の説明

- [0076]
- | | |
|---|------------------|
| 1 | 半導体基板 |
| 2 | 第1の半導体層 |
| 3 | P ⁺ 層 |
| 4 | Pベース層 |

- 6 N打ち返し層
- 7 N⁺ソース層
- 8 P⁺コンタクト層
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11 ソース電極
- 12 ドレイン電極
- 13 連結部

請求の範囲

[請求項1]

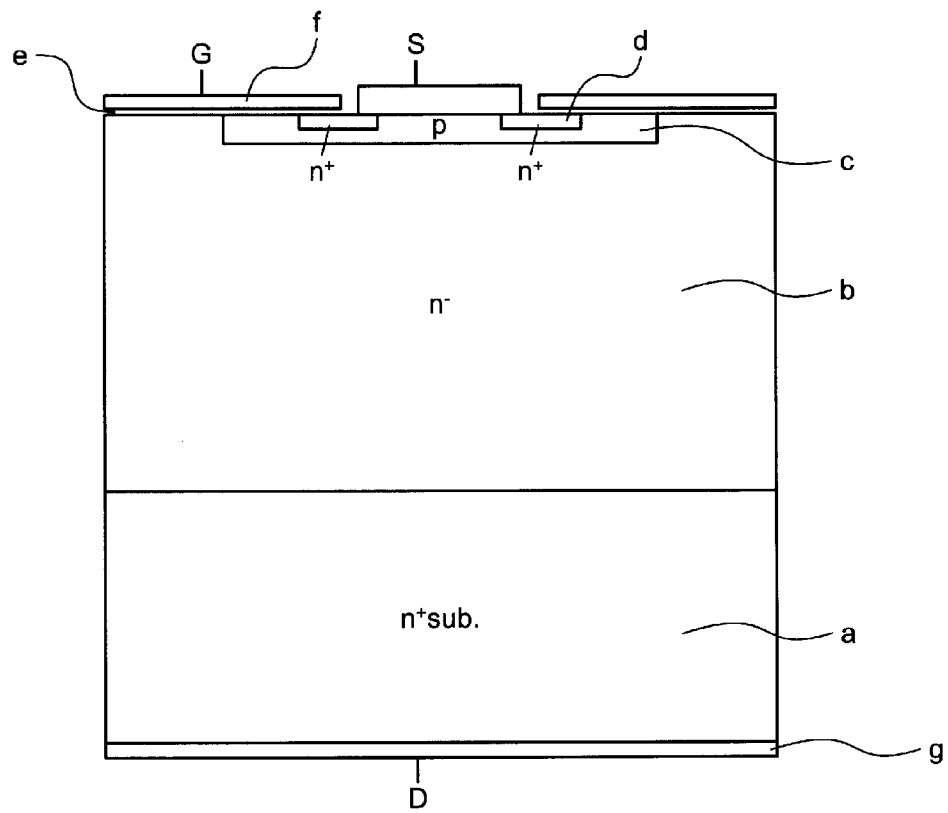
第1導電型の半導体基板（1）と、
前記半導体基板（1）上に形成された第1導電型で前記半導体基板（1）よりも不純物濃度が低い第1の半導体層（2）と、
前記第1の半導体層（2）の表面に選択的に形成された第2導電型で第1の半導体層（2）よりも不純物濃度が高い第2の半導体層（3）と、
前記第1の半導体層（2）および前記第2の半導体層（3）の上に設けられた第2導電型のベース層（4）と、
前記ベース層（4）の表面層に選択的に形成された第1導電型ソース領域（7）と、
表面から前記ベース層（4）を貫通して前記第1の半導体層（2）に達するように形成された第1導電型のN打ち返し層（6）と、
前記ソース領域（7）と前記N打ち返し層（6）とに挟まれた前記ベース層（4）の表面露出部上の少なくとも一部にゲート絶縁膜（9）を介して設けられたゲート電極層（10）と、
前記ソース領域（7）と前記ベース層（4）との表面に共通に接触するソース電極（11）と、
前記半導体基板（1）の裏面に設けられたドレイン電極（12）と、
を有する縦型高耐圧半導体装置であって、
前記第2の半導体層（3）の一部は、前記N打ち返し層（6）の下の領域で互いに結合されていることを特徴とする縦型高耐圧半導体装置。

[請求項2]

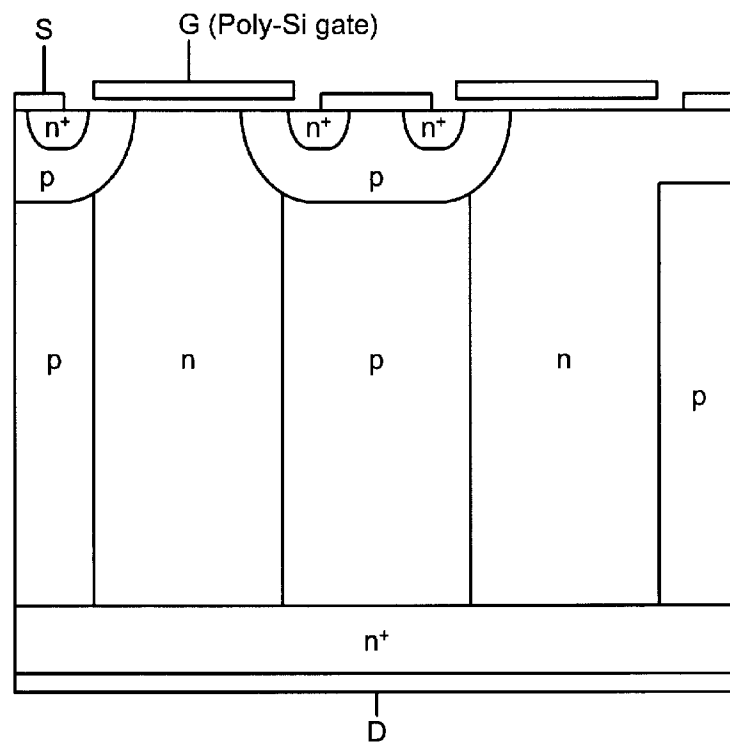
前記第2の半導体層（3）の一部が前記N打ち返し層（6）の下の領域で結合されている部分は、前記ベース層（4）と前記N打ち返し層（6）で形成されるPN接合から離隔していることを特徴とする請求項1に記載の縦型高耐圧半導体装置。

- [請求項3] 前記半導体基板（１）の半導体材料が炭化ケイ素であることを特徴とする請求項１または２に記載の縦型高耐圧半導体装置。
- [請求項4] 前記半導体基板（１）の結晶学的面指数が（０００－１）に対して平行な面もしくは１０度以内に傾いた面であることを特徴とする請求項３に記載の縦型高耐圧半導体装置。
- [請求項5] 前記半導体基板（１）の結晶学的面指数が（０００１）に対して平行な面もしくは１０度以内に傾いた面であることを特徴とする請求項４に記載の縦型高耐圧半導体装置。
- [請求項6] 第１導電型の半導体基板（１）上に第１導電型で前記半導体基板（１）よりも不純物濃度が低い第１の半導体層（２）を形成する工程と、
- 前記第１の半導体層（２）の表面に、第２導電型で第１の半導体層（２）よりも不純物濃度が高い第２の半導体層（３）をイオン注入法により選択的に形成する工程と、
- 前記第１の半導体層（２）および前記第２の半導体層（３）の上に、エピタキシャル成長法により第２導電型のベース層（４）を形成する工程と、
- 前記ベース層（４）の表面層に選択的に形成された第１導電型ソース領域（７）と、表面から前記ベース層（４）を貫通して前記第１の半導体層（２）に達する第１導電型のＮ打ち返し層（６）と、をイオン注入法により形成する工程と、
- を含み、
- 前記第２の半導体層（３）を形成する工程は、前記第２の半導体層（３）の一部が、前記Ｎ打ち返し層（６）の下で互いに結合されるように形成することを特徴とする縦型高耐圧半導体装置の製造方法。

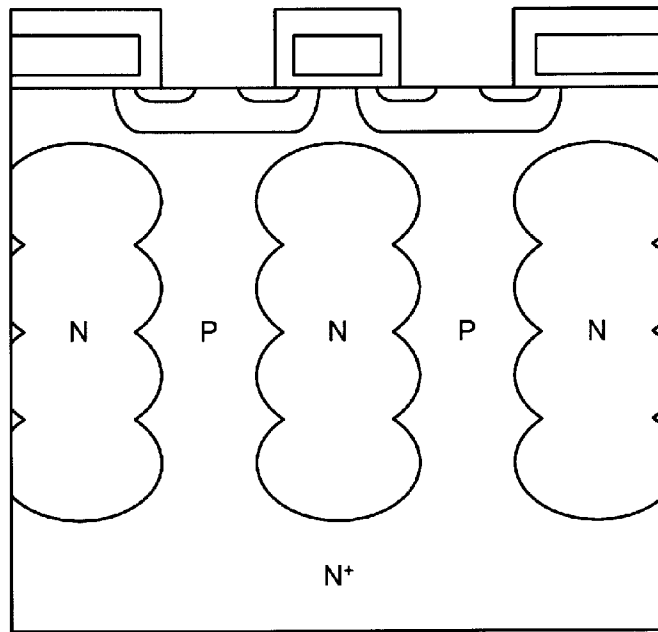
[図1]



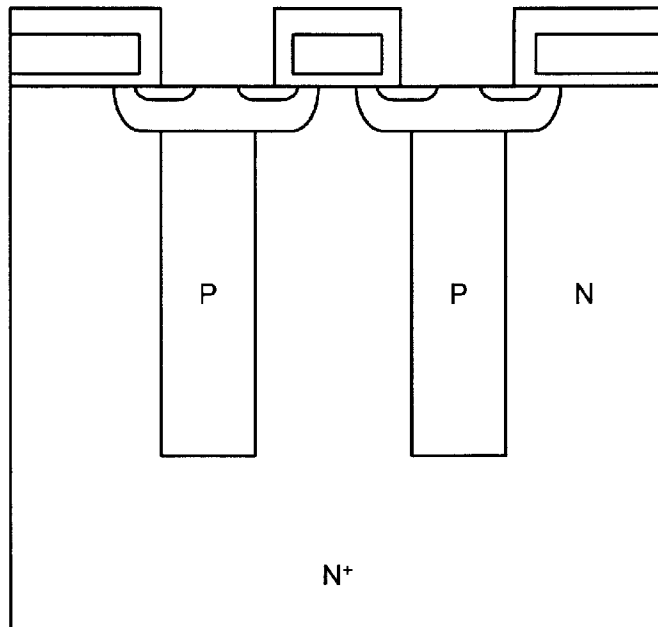
[図2]



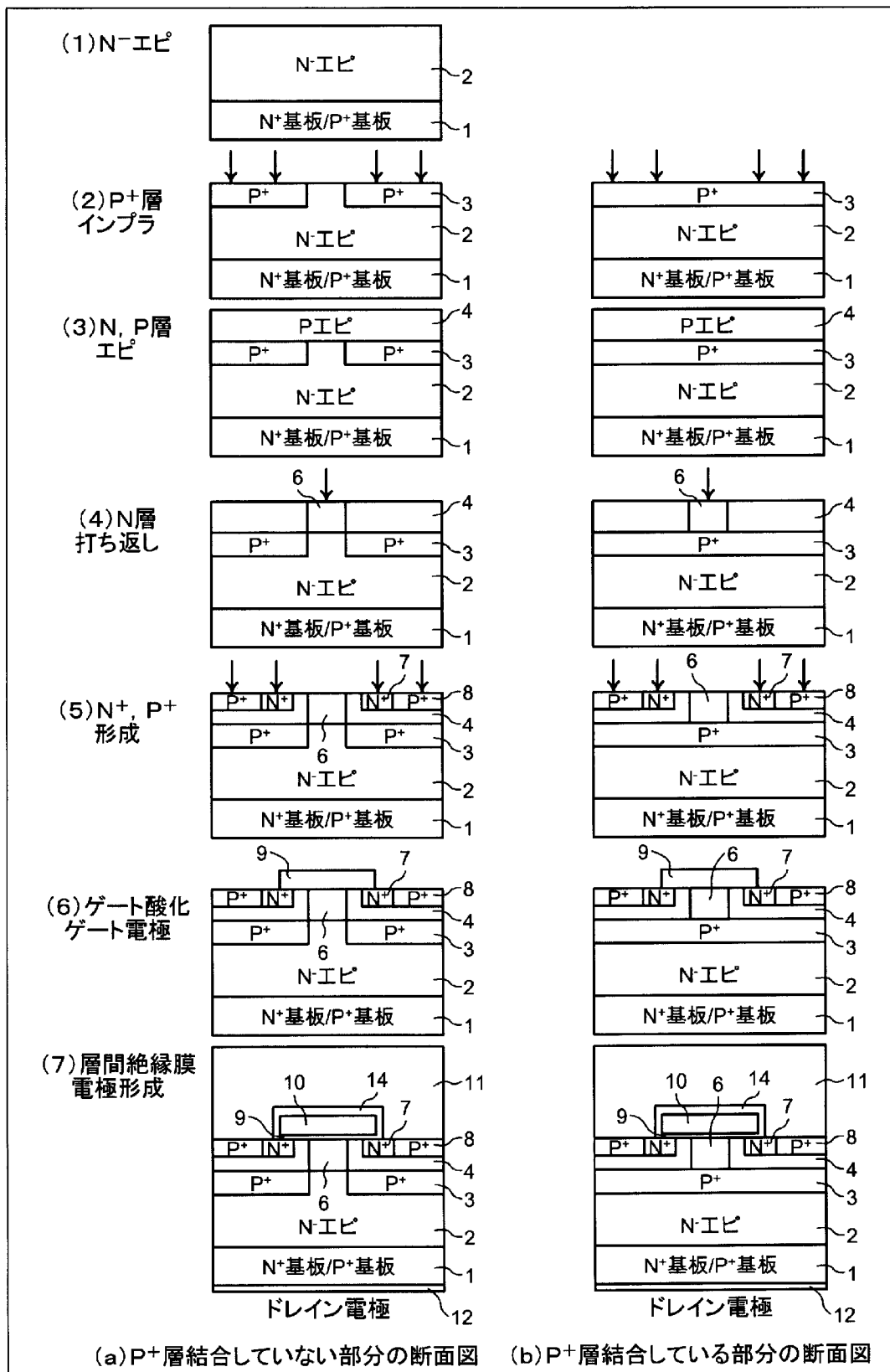
[図3]



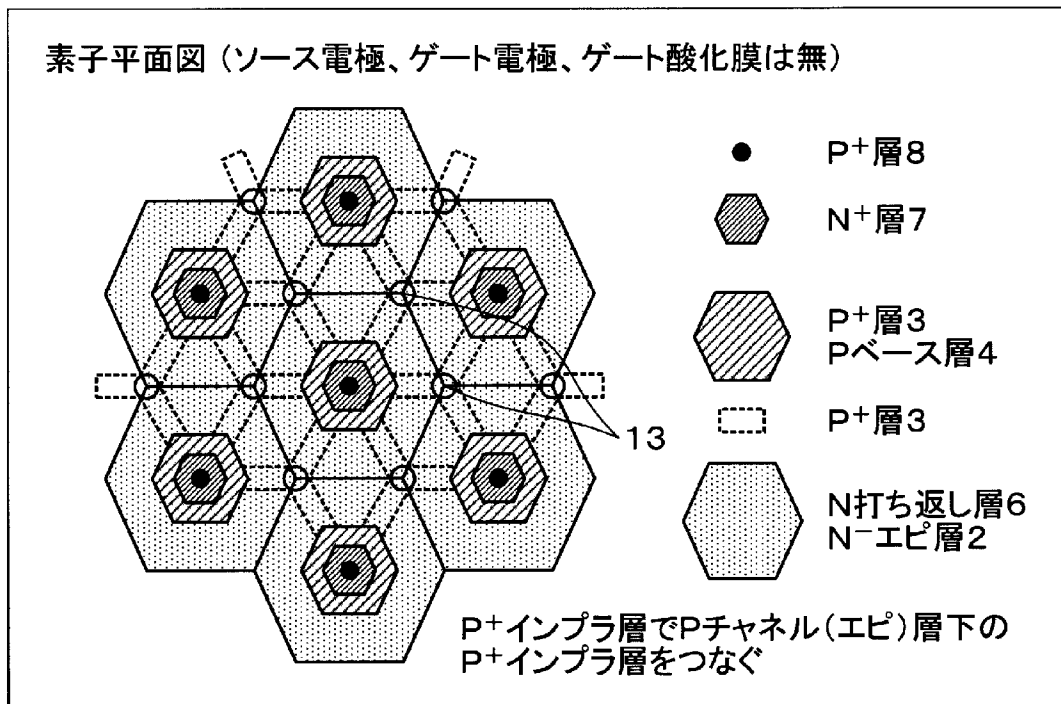
[図4]



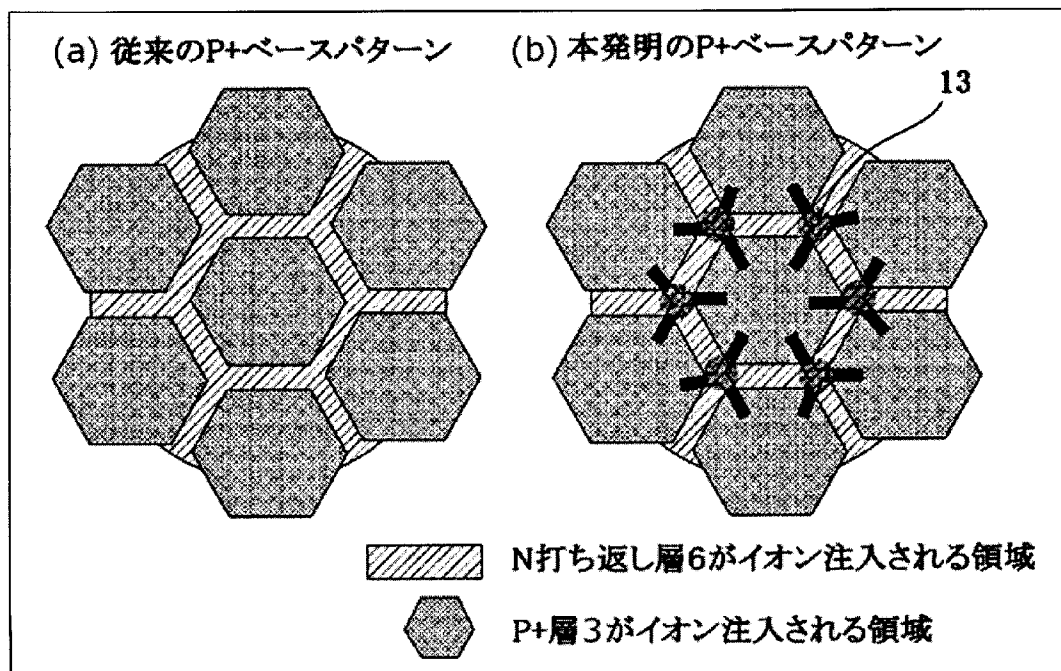
[図5]



[図6]



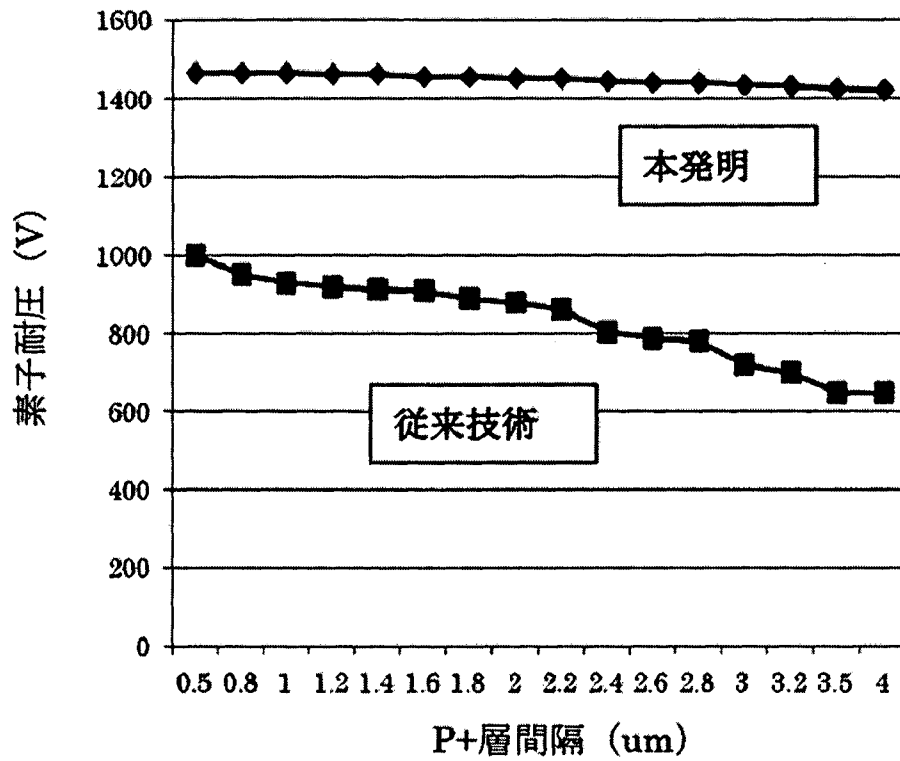
[図7]



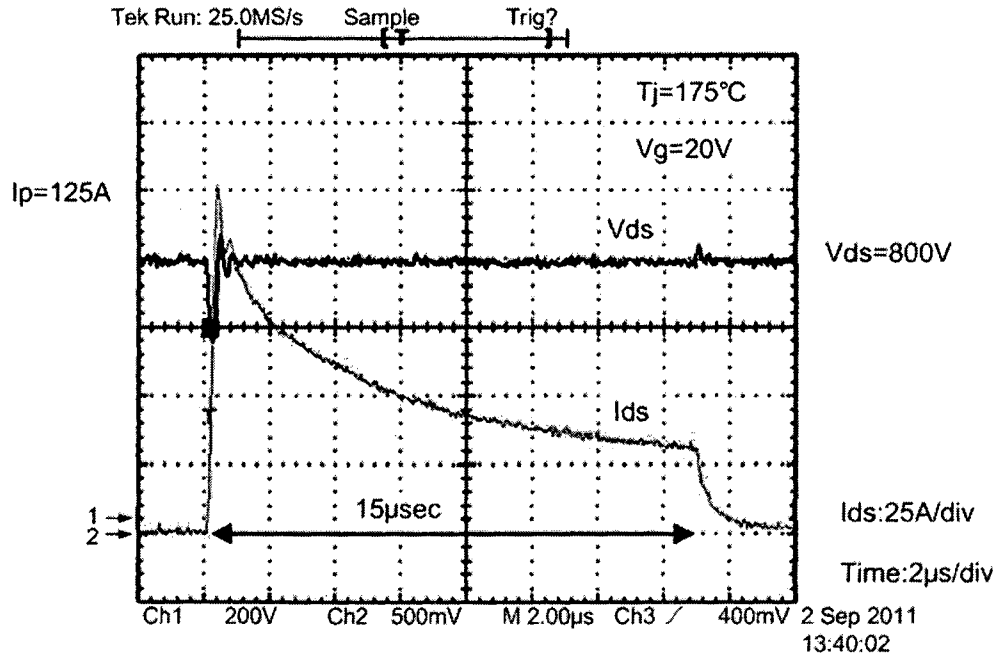
[図8]

	本発明					従来技術	
	実施例1	実施例2	実施例3	実施例4	実施例5	従来SiCMOSFET	Si-IGBT
素子耐圧 (RT)	1450V	1452V	1453V	1455V	1455V	880V	1448V
オン抵抗 (RT)	2.80mΩcm ²	4.21mΩcm ²	2.99mΩcm ²	2.85mΩcm ²	4.33mΩcm ²	2.80mΩcm ²	11.2mΩcm ²
ターンオン損失 (150°C)	0.85mJ	0.86mJ	0.85mJ	0.89mJ	0.90mJ	0.89mJ	2.10mJ
ターンオン損失 (150°C)	0.90mJ	0.98mJ	0.92mJ	0.90mJ	0.92mJ	0.98mJ	3.10mJ
ゲートしきい値 (175°C)	3.2V	3.2V	3.3V	3.2V	3.3V	3.2V	3.9V
ターンオフ耐量 (175°C)	>100A	>100A	>100A	>100A	>100A	20A	>100A
負荷短絡耐量 (175°C)	>15μs	>15μs	>15μs	>15μs	>15μs	3.8μs	4.8μs

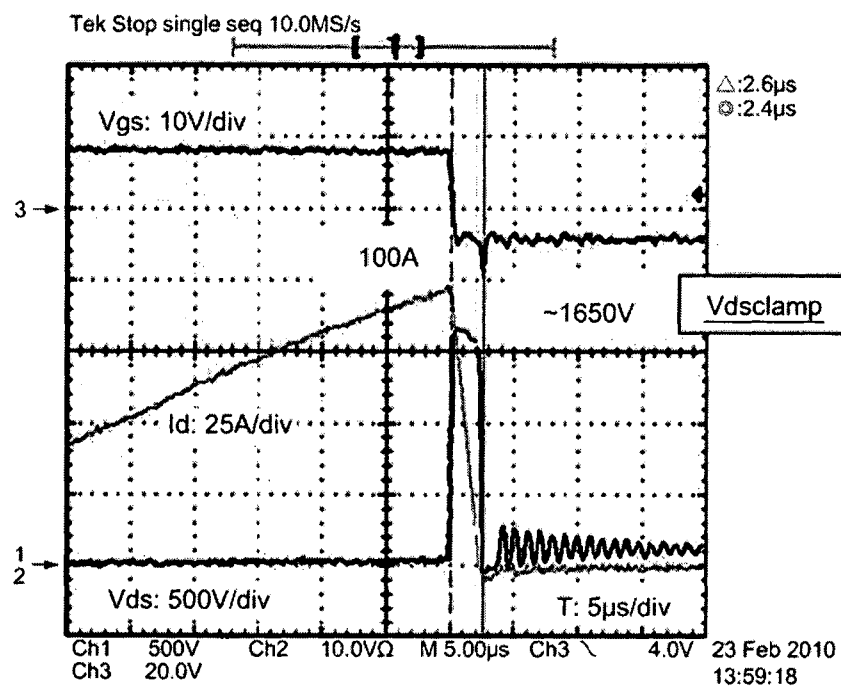
[図9]



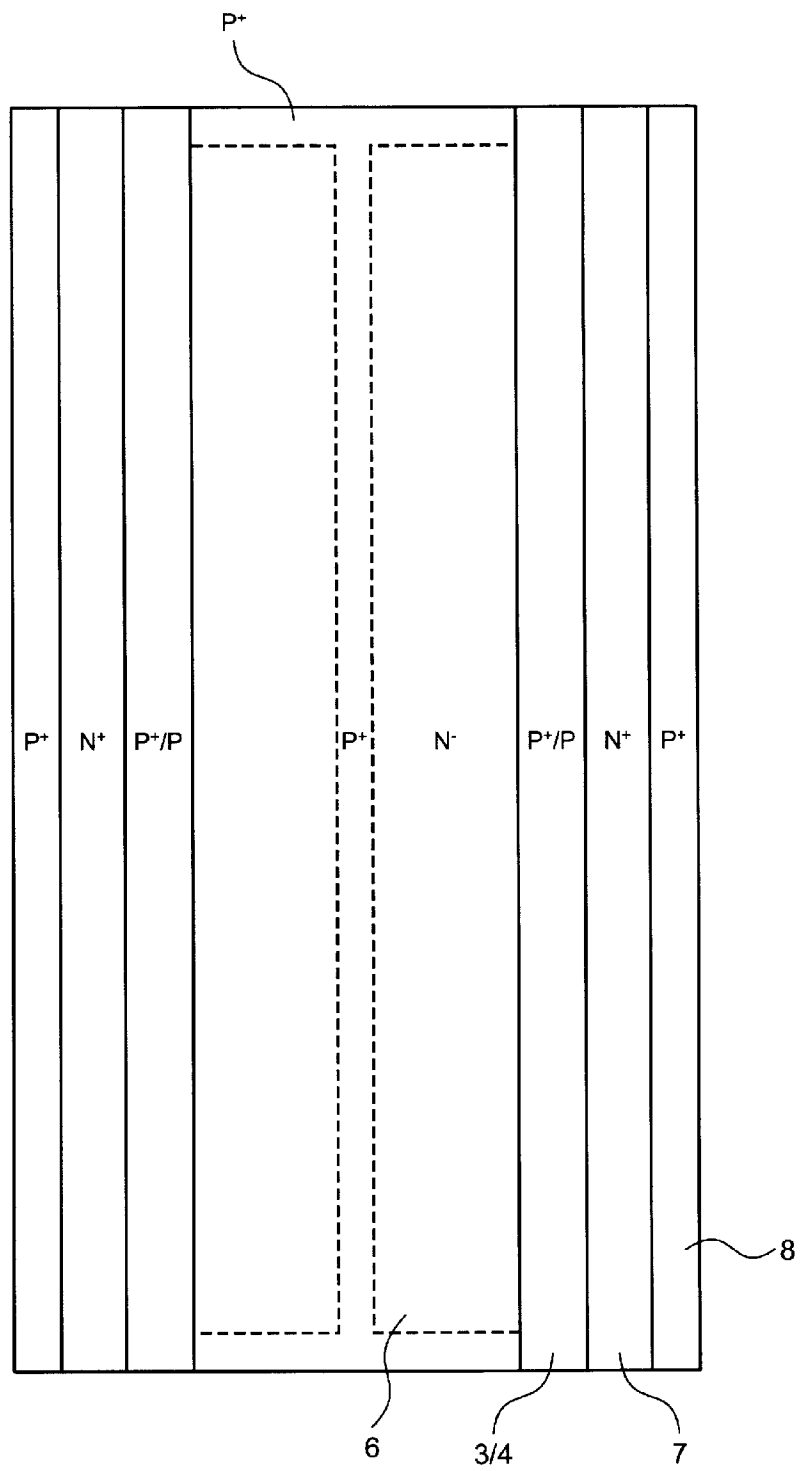
[図10]



[図11]

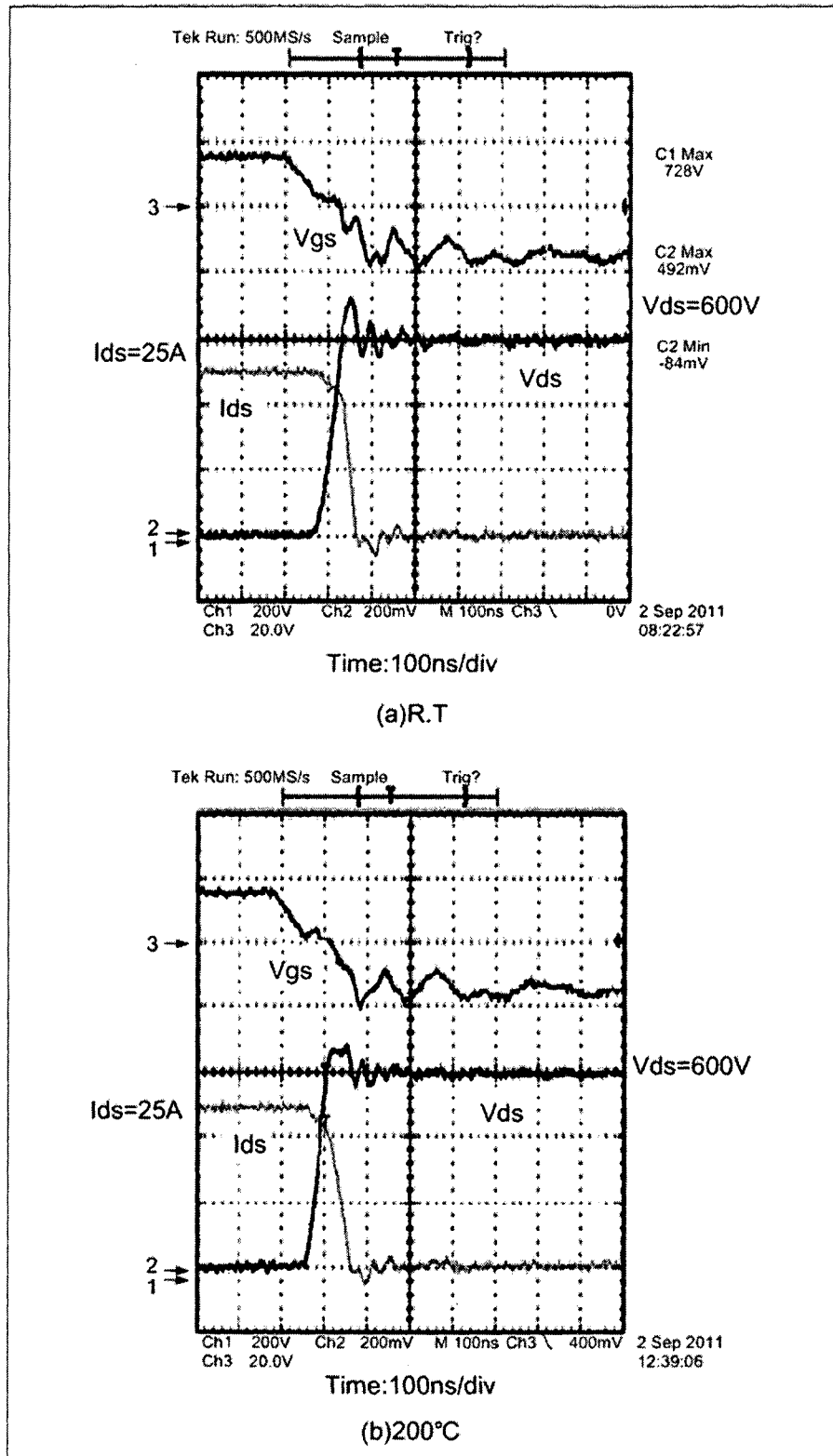


[図12]

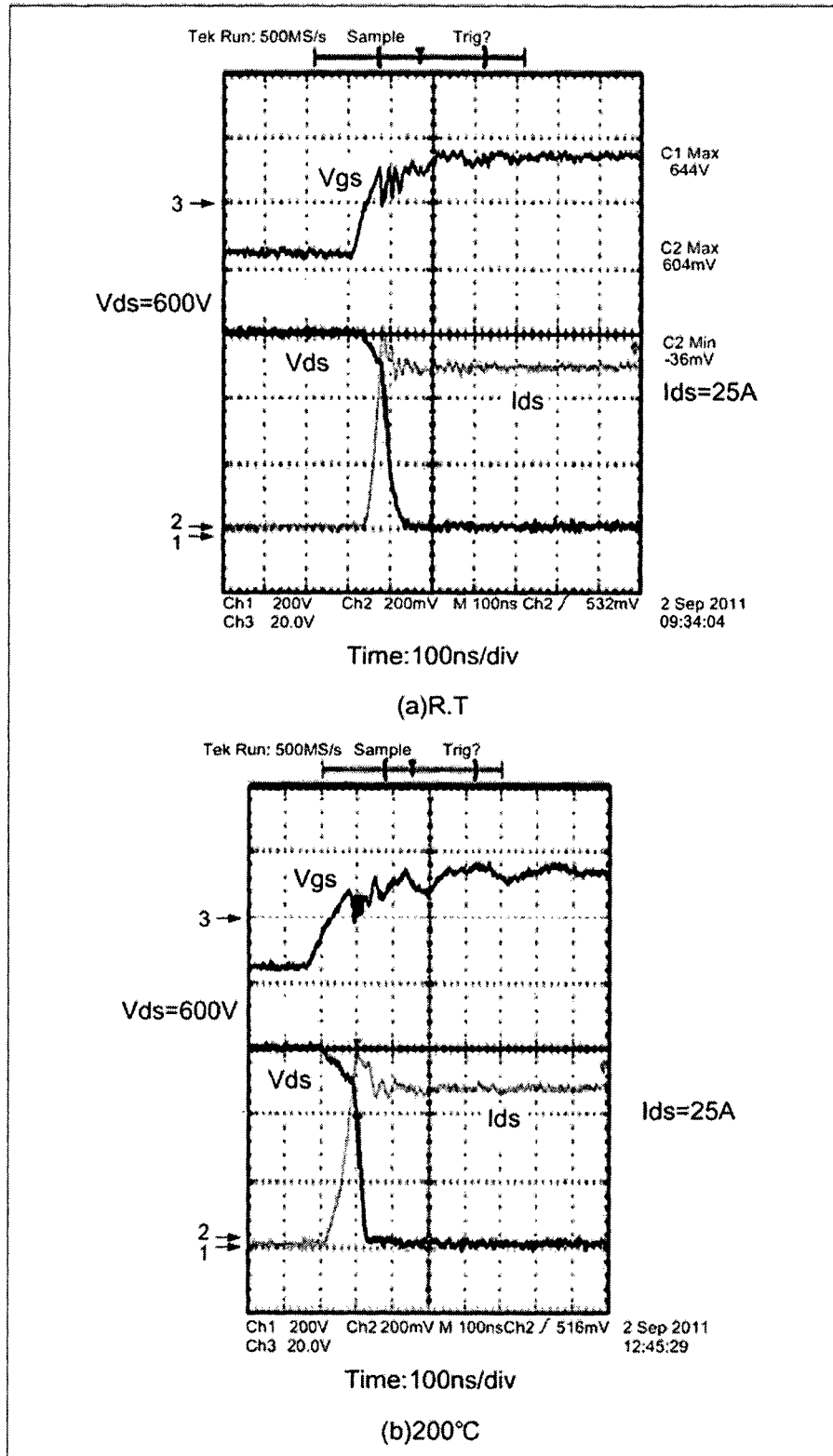


P⁺インプラ層でPチャンネル(エピ)層下の
P⁺インプラ層をつなぐ

[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/059777

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-258635 A (Mitsubishi Electric Corp.), 22 December 2011 (22.12.2011), paragraphs [0012] to [0018], [0046]; fig. 1, 3, 15 (Family: none)	1-6
Y	WO 2004/036655 A1 (National Institute of Advanced Industrial Science and Technology, Sanyo Electric Co., Ltd.), 29 April 2004 (29.04.2004), column 19, line 28 to column 22, line 22; fig. 4, 5 & JP 2011-023757 A & US 2006/0057796 A1 & EP 1566843 A1 & AU 2003275541 A	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
27 May, 2013 (27.05.13)

Date of mailing of the international search report
11 June, 2013 (11.06.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/059777

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-099714 A (Oki Semiconductor Co., Ltd.), 07 May 2009 (07.05.2009), paragraphs [0003], [0004], [0008] to [0021]; fig. 1, 3, 7, 11 & US 2009/0096020 A1	1-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L21/336, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-258635 A（三菱電機株式会社）2011.12.22, 段落【0012】-【0018】，【0046】，第1, 3, 15 図 （ファミリーなし）	1-6
Y	WO 2004/036655 A1（独立行政法人産業技術総合研究所，三洋電機株 式会社）2004.04.29，第19 欄第28 行-第22 欄第22 行，第4, 5 図 & JP 2011-023757 A & US 2006/0057796 A1 & EP 1566843 A1 & AU 2003275541 A	1-6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 5 . 2 0 1 3

国際調査報告の発送日

1 1 . 0 6 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

平野 崇

50

3657

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-099714 A (O K I セミコンダクタ株式会社) 2009.05.07, 段落【0003】 , 【0004】 , 【0008】 - 【0021】 , 第 1, 3, 7, 11 図 & US 2009/0096020 A1	1-6