(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2015 年 7 月 9 日 (09.07.2015)

WIPO | PCT

(10) 国际公布号
WO 2015/100624 A1

(51) 国际专利分类号:
H03M 13/09 (2006.01)

(21) 国际申请号: PCT/CN2013/091138

(22) 国际申请日: 2013 年 12 月 31 日 (31.12.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: **华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.)** [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: **梅峰银 (MEI, Fengyin)**; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 **杨文斌 (YANG, Wenbin)**; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: **北京同达信恒知识产权代理有限公司 (TDIP & PARTNERS)**; 中国北京市西城区裕民路 18 号北环中心 A 座 2002, Beijing 100029 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: CRC CALCULATION METHOD AND APPARATUS

(54) 发明名称 : 一种 CRC 计算方法及装置

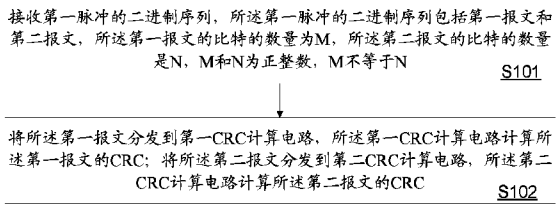


图 3 / Fig. 3

S101 RECEIVE A BINARY SEQUENCE OF A FIRST PULSE, THE BINARY SEQUENCE OF THE FIRST PULSE COMPRISES A FIRST PACKET AND A SECOND PACKET, THE NUMBER OF BITS IN THE FIRST PACKET BEING M, THE NUMBER OF BITS IN THE SECOND PACKET BEING N, M AND N BEING POSITIVE INTEGERS, AND M BEING NOT EQUAL TO N
S102 DISTRIBUTE THE FIRST PACK TO A FIRST CRC CALCULATION CIRCUIT, AND THE FIRST CRC CALCULATION CIRCUIT CALCULATES CRC OF THE FIRST PACKET; AND DISTRIBUTE THE SECOND PACKET TO A SECOND CRC CALCULATION CIRCUIT, AND THE SECOND CRC CALCULATION CIRCUIT CALCULATES CRC OF THE SECOND PACKET

(57) **Abstract**: A CRC calculation method and apparatus, which are easily applied in a scenario of a flexible broadband Ethernet. According to technical solutions provided in the embodiments of the present invention, a binary sequence of a first pulse comprises a first packet and a second packet; and the number of bits in the first packet is not equal to the number of bits in the second packet. The first pack is distributed to a first CRC calculation circuit, and the second packet is distributed to a second CRC calculation circuit; CRC of the first packet is calculated by means of the first CRC calculation circuit, and CRC of the second packet is calculated by means of the second CRC calculation circuit. If the technical solutions are applied in an application scenario of a flexible Ethernet, CRC of packets with different lengths from different senders can be separately calculated; and therefore, the technical solutions can be better used in the flexible Ethernet.

(57) 摘要:

[见续页]

WO 2015/100624 A1

一种 CRC 计算方法及装置，比较容易应用到灵活带宽以太网的场景。根据本发明实施例提供的技术方案，所述第一脉冲的二进制序列包括所述第一报文和所述第二报文。所述第一报文中的比特的数量不等于所述第二报文中的比特的数量。将所述第一报文分发到第一 CRC 计算电路。将所述第二报文分发到第二 CRC 计算电路。通过第一 CRC 计算电路计算得到所述第一报文的 CRC。通过所述第二 CRC 计算电路得到所述第二报文的 CRC。如果将上述技术方案应用到灵活以太网的上述应用场景中，则可以分别计算来自不同的发送器的不同长度报文的 CRC。因此，上述技术方案可以较好的应用在灵活以太网的场景中。

一种CRC计算方法及装置

技术领域

本发明涉及通信领域，尤其涉及一种循环冗余码（英文：cyclic redundancy code，简称：CRC）计算方法及装置。

背景技术

循环冗余校验（英文：cyclic redundancy check）是一种校验方法。在通信系统中，循环冗余校验是一种常用的错误校验方法。具体来说，源端可以根据生成多项式计算原始数据的CRC。CRC也可以称为循环冗余校验码（英文：cyclic redundancy check code）。源端在原始数据后添加CRC并向宿端发送添加了CRC的原始数据。宿端收到添加了CRC的原始数据后，可以根据CRC以及生成多项式校验原始数据在传送过程中是否发生错误。

现有技术中，接收器中设置有对应特定长度的报文的CRC计算电路。接收器收到特定长度的报文后，可以根据CRC计算电路对特定长度的报文是否发生错误进行校验。上述技术方案不能较好地适用于灵活以太网（英文：flexible ethernet）。

发明内容

本发明实施例提供了一种CRC计算方法及装置，可以较好地适用于灵活以太网。

第一方面，提供一种循环冗余校验码CRC计算方法，该方法包括：

接收第一脉冲的二进制序列，所述第一脉冲的二进制序列包括第一报文和第二报文，所述第一报文的比特的数量为M，所述第二报文的比特的数量是N，M和N为正整数，M不等于N；

将所述第一报文分发到第一CRC计算电路，所述第一CRC计算电路计算所述第一报文的CRC；

将所述第二报文分发到第二CRC计算电路，所述第二CRC计算电路计算所述第二报文的CRC。

结合第一方面，在第一种可能的实现方式中，所述第一脉冲的二进制序列还包括第三报文，所述第三报文的比特的数量为X，所述方法还包括:

根据所述第三报文生成第一二进制序列，所述第一二进制序列的比特的数量为Y，所述第一二进制序列的高X比特的值等于所述第三报文的比特的值，所述第一二进制序列的低C比特的值等于0，Y=X+C，Y、X和C为正整数;

将所述第一二进制序列分发到第三CRC计算电路，所述第三CRC计算电路计算所述第一二进制序列的CRC。

结合第一方面或者第一方面的第一种可能的实现方式，在第二种可能的实现方式中，所述第一脉冲的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B，所述方法还包括:

根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B、和G为正整数，H为大于或者等于0的整数，B小于或者等于G;

将所述第二二进制序列分发到第四CRC计算电路，所述第四CRC计算电路计算所述第二二进制序列的CRC以对所述第四CRC计算电路的CRC寄存器的值进行初始化;

接收第二脉冲的二进制序列，所述第二脉冲是所述第一脉冲的下一个脉冲，所述第二脉冲的二进制序列包括所述第四报文的低B比特;

将所述第四报文的低B比特分发到所述第四CRC计算电路;

所述第四CRC计算电路以所述第二二进制序列的CRC为所述第四CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

结合第一方面或者第一方面的第一种可能的实现方式，在第三种可能的实现方式中，所述第一脉冲的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B，所述方法还包括:

根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B和G为正整数，H为大于或者等于0的整数；

将所述第二二进制序列分发到第四CRC计算电路，所述第四CRC计算电路计算所述第二二进制序列的CRC；

接收第二脉冲的二进制序列，所述第二脉冲是所述第一脉冲的下一个脉冲，所述第二脉冲的二进制序列包括所述第四报文的低B比特；

将所述第四报文的低B比特分发到第五CRC计算电路，所述第五CRC计算电路以所述第二二进制序列的CRC为所述第五CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

结合第一方面或者第一方面的第一种至第三种可能的实现方式中的任意一种可能的实现方式，在第四种可能的实现方式中，所述第一CRC计算电路包括第一数据异或计算电路，所述第一数据异或计算电路表示为：

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为M；$P = \begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$$H=\begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$$ 为变换矩阵;

所述第二CRC计算电路包括第二数据异或计算电路，所述第二数据异或计算电路表示为:

$$CRC_D_n=\begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix}*\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为N; $P=\begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式表项矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$$H=\begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$$ 为变换矩阵。

第二方面，提供一种循环冗余校验码CRC计算装置，该装置包括:

接收单元，用于接收第一脉冲的二进制序列，所述第一脉冲的二进制序

列包括第一报文和第二报文，所述第一报文的比特的数量为M，所述第二报文的比特的数量是N，M和N为正整数，M不等于N;

调度单元，用于将所述接收单元接收的所述第一报文分发到第一CRC计算电路，将所述接收单元接收的所述第二报文分发到第二CRC计算电路;

所述第一CRC计算电路，用于计算所述调度单元分发的所述第一报文的CRC;

所述第二CRC计算电路，用于计算所述调度单元分发的所述第二报文的CRC。

结合第二方面，在第一种可能的实现方式中，所述装置还包括第三CRC计算电路，所述第一脉冲的二进制序列还包括第三报文，所述第三报文的比特的数量为X;

所述调度单元还用于:

根据所述接收单元接收的所述第三报文生成第一二进制序列，所述第一二进制序列的比特的数量为Y，所述第一二进制序列的高X比特的值等于所述第三报文的比特的值，所述第一二进制序列的低C比特的值等于0，Y=X+C，Y、X和C为正整数;

将所述第一二进制序列分发到所述第三CRC计算电路;

所述第三CRC计算电路，用于计算所述调度单元分发的所述第一二进制序列的CRC。

结合第二方面或者第二方面的第一种可能的实现方式，在第二种可能的实现方式中，所述装置还包括第四CRC计算电路，所述第一脉冲的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B;

所述调度单元还用于:

根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B、和G为正整数，H为大于或者等于0的整数，B小于或者等于G;

将所述第二二进制序列分发到所述第四CRC计算电路;

所述第四CRC计算电路，用于计算所述第二二进制序列的CRC以对所述第四CRC计算电路的CRC寄存器的值进行初始化;

所述接收单元还用于，接收第二脉冲的二进制序列，所述第二脉冲是所述第一脉冲的下一个脉冲，所述第二脉冲的二进制序列包括所述第四报文的低B比特;

所述调度单元还用于，将所述第四报文的低B比特分发到所述第四CRC计算电路;

所述第四CRC计算电路，还用于以所述第二二进制序列的CRC为所述第四CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

结合第二方面或者第二方面的第一种可能的实现方式，在第三种可能的实现方式中，所述装置还包括第四CRC计算电路以及第五CRC计算电路，所述第一脉冲的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B;

所述调度单元还用于:

根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B和G为正整数，H为大于或者等于0的整数;

将所述第二二进制序列分发到所述第四CRC计算电路;

所述第四CRC计算电路，用于根据所述调度单元分发的所述第二二进制序列计算所述第二二进制序列的CRC;

所述接收单元还用于，接收第二脉冲的二进制序列，所述第二脉冲是所述第一脉冲的下一个脉冲，所述第二脉冲的二进制序列包括所述第四报文的低B比特;

所述调度单元还用于，将所述第四报文的低B比特分发到第五CRC计算电路;

所述第五CRC计算电路，用于以所述第二二进制序列的CRC为所述第五CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

结合第二方面或者第二方面的第一种至第三种可能的实现方式中的任意一种可能的实现方式，在第四种可能的实现方式中，所述第一CRC计算电路包括第一数据异或计算电路，所述第一数据异或计算电路表示为：

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为M；$P = \begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$$H = \begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$$ 为变换矩阵；

所述第二CRC计算电路包括第二数据异或计算电路，所述第二数据异或计算电路表示为：

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为N；$P = \begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式表项矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$H = \begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$ 为变换矩阵。

第三方面，提供一种系统芯片500。所述系统芯片500可以用于执行上述第一方面或者第一方面的第一种至第四种可能的实现方式中的任意一种可能的实现方式。所述系统芯片500包括PHY510和MAC520。MAC520包括RS521、分发器522以及CRC计算电路523至CRC计算电路527。PHY510通过MII与MAC520连接。RS521与分发器522耦合。分发器522与CRC计算电路523至CRC计算电路527耦合。MAC520可以在时钟装置的驱动下进行工作。具体来说，RS521、分发器522和CRC计算电路523至CRC计算电路527在所述时钟装置的驱动下进行工作。

RS521在所述时钟装置的驱动下，在第一时钟周期内向分发器522发送了所述第一时钟周期的二进制序列。所述第一时钟周期的二进制序列包括第一

报文和第二报文。所述第一报文的比特的数量为M。所述第二报文的比特的数量是N。M和N为正整数。M不等于N。所述第一报文是以太网帧。所述第二报文是以太网帧。

分发器522在所述时钟装置的驱动下，接收到所述第一时钟周期的二进制序列。

分发器522将所述第一报文分发到第一CRC计算电路，所述第一CRC计算电路计算所述第一报文的CRC。CRC计算电路523是所述第一CRC计算电路。

分发器522将所述第二报文分发到第二CRC计算电路，所述第二CRC计算电路计算所述第二报文的CRC。CRC计算电路524是所述第二CRC计算电路。

结合第三方面，在第一种可能的实现方式中，所述第一时钟周期的二进制序列还包括第三报文，所述第三报文的比特的数量为X。

分发器522根据所述第三报文生成第一二进制序列，所述第一二进制序列的比特的数量为Y，所述第一二进制序列的高X比特的值等于所述第三报文的比特的值，所述第一二进制序列的低C比特的值等于0，Y=X+C，Y、X和C为正整数。

分发器522将所述第一二进制序列分发到第三CRC计算电路，所述第三CRC计算电路计算所述第一二进制序列的CRC。CRC计算电路525是所述第三CRC计算电路。

结合第三方面或者第三方面的第一种可能的实现方式，在第二种可能的实现方式中，所述第一时钟周期的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B。所述第四报文是以太网帧。

分发器522根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B和G为正整数。H为大于或者等于0的整数。B小于或者等于G。

分发器522将所述第二二进制序列分发到第四CRC计算电路，所述第四CRC计算电路计算所述第二二进制序列的CRC以对所述第四CRC计算电路的

CRC寄存器的值进行初始化。

分发器522接收RS521在所述时钟装置的驱动下在第二时钟周期发送的二进制序列。所述第二时钟周期是所述第一时钟周期的下一个时钟周期。所述第二时钟周期的二进制序列包括所述第四报文的低B比特。

分发器522将所述第四报文的低B比特分发到所述第四CRC计算电路。CRC计算电路526是所述第四CRC计算电路。

所述第四CRC计算电路以所述第二二进制序列的CRC为所述第四CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

结合第三方面或者第三方面的第一种可能的实现方式，在第三种可能的实现方式中，所述第一时钟周期的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B。

分发器522根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B和G为正整数。H为大于或者等于0的整数。

分发器522将所述第二二进制序列分发到第四CRC计算电路，所述第四CRC计算电路计算所述第二二进制序列的CRC。CRC计算电路526是所述第四CRC计算电路。

分发器522接收RS521在所述时钟装置的驱动下在第二时钟周期发送的二进制序列。所述第二时钟周期是所述第一时钟周期的下一个时钟周期。所述第二时钟周期的二进制序列包括所述第四报文的低B比特。

分发器522将所述第四报文的低B比特分发到第五CRC计算电路。所述第五CRC计算电路以所述第二二进制序列的CRC为所述第五CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。CRC计算电路527是所述第五CRC计算电路。

结合第三方面或者第三方面的第一种至第三种可能的实现方式中的任意一种可能的实现方式，在第四种可能的实现方式中，所述第一CRC计算电路

包括第一数据异或计算电路。所述第一数据异或计算电路表示为:

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为M; $P = \begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$H = \begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$ 为变换矩阵。

可选地，所述第二CRC计算电路包括第二数据异或计算电路，所述第二数据异或计算电路表示为:

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为N; $P=\begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式表项矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$$H=\begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$$ 为变换矩阵。

本发明实施例提供的CRC计算方案，比较容易应用到灵活带宽以太网的场景。灵活以太网中可能存在如下应用场景：一个接收器需要通过接收器的以太网接口接收多个发送器分别通过多个以太网接口发送的报文。每个发送器包括一个以太网接口。所述多个发送器与所述多个以太网接口一一对应。所述多个发送器中，不同的发送器发送的报文的长度可以不同。

根据上述技术方案，所述第一脉冲的二进制序列包括所述第一报文和所述第二报文。所述第一报文中的比特的数量不等于所述第二报文中的比特的数量。将所述第一报文分发到第一CRC计算电路。将所述第二报文分发到第二CRC计算电路。通过第一CRC计算电路计算得到所述第一报文的CRC。通过所述第二CRC计算电路得到所述第二报文的CRC。如果将上述技术方案应用到灵活以太网的上述应用场景中，则可以分别计算来自不同的发送器的不同长度报文的CRC。因此，上述技术方案可以较好的应用在灵活以太网的场

景中。

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简要介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域的普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图1为本发明实施例提供的CRC计算方案的示意图；

图2为本发明实施例提供的CRC计算结构在400GE以太网中的应用示意图；

图3为本发明实施例提供的CRC计算方法的流程示意图；

图4为本发明实施例提供的CRC计算装置的结构示意图；

图5为本发明实施例提供的MAC的结构示意图；

图6为本发明实施例提供的一种CRC计算方法的流程示意图；

图7为本发明实施例提供的一种CRC计算方法的流程示意图；

图8为本发明实施例提供的一种CRC计算方法的流程示意图；

图9为本发明实施例提供的一种CRC计算方法的流程示意图；

图10为本发明实施例提供的一种CRC计算方法的流程示意图。

具体实施方式

为了使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明作进一步地详细描述，显然，所描述的实施例仅仅是本发明一部份实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

下文对本发明实施例涉及到的部分术语进行说明：

物理层电路（英文：physical layer，简称：PHY）：所述 PHY 可以通过现

场可编程门阵列（英文：field programmable gate array，简称：FPGA）或者专用集成电路（英文：application specific integrated circuit，简称：ASIC）实现。所述 PHY 可以是网络接口卡（英文：network interface card，简称：NIC）中的部件，所述 NIC 可以是线卡（英文：line card，简称：LC）或者物理接口卡（英文：physical interface card，简称：PIC）。所述 PHY 可以通过媒体无关接口（英文：Media Independence Interface，简称：MII）连接到媒体访问控制器（英文：media access controller，简称：MAC）。

PHY 芯片（英文：MAC chip）：所述 PHY 芯片可以包括 1 个 PHY 或者多个 PHY。所述 PHY 芯片可以通过 FPGA 或者 ASIC 实现。

MAC：所述 MAC 可以通过 FPGA 或者 ASIC 实现。所述 MAC 可以包括协调子层电路（英文：reconciliation sublayer，简称：RS）、分发器（英文：dispatcher）以及至少一个 CRC 计算电路。所述 RS 与所述分发器耦合。所述分发器与所述至少一个 CRC 计算电路耦合。所述分发器可以用于接收所述 RS 输出的二进制序列，所述二进制序列中包括至少一个以太网帧（英文：ethernet frame）。所述分发器可以用于向所述至少一个 CRC 计算电路分发所述至少一个以太网帧。所述 MAC 可以在时钟装置的驱动下进行工作。所述 MAC 中的部件（例如 RS、分发器和至少一个 CRC 计算电路）也在所述时钟装置的驱动下进行工作。

MAC 芯片（英文：MAC chip）：所述 MAC 芯片可以包括 1 个 MAC 或者多个 MAC。所述 MAC 芯片可以通过 FPGA 或者 ASIC 实现。

系统芯片：所述系统芯片可以包括 1 个 MAC 和 1 个 PHY。所述系统芯片也可以包括多个 MAC 和多个 PHY。所述系统芯片中的 PHY 可以与所述系统芯片中的 MAC 耦合。所述系统芯片可以通过 FPGA 或者 ASIC 实现。

CRC 计算电路（英文：cyclic redundancy code calculating circuit）：用于计算数据的 CRC 的电路。具体来说，所述 CRC 计算电路可以根据生成多项式（英文：generator polynomial）计算所述数据的 CRC。所述数据可以是二进制序列（英文：binary sequence）。所述二进制序列可以是报文。所述 CRC 计算

电路可以包括CRC寄存器。本发明实施例提供的技术方案中，CRC计算电路计算数据的CRC时，CRC计算电路可以串行地计算所述数据的CRC，也可以并行地计算所述数据的CRC。本发明实施例提供的技术方案中，每个CRC计算电路可以对应同一个生成多项式。

接收器：所述接收器可以包括以太网接口。所述以太网接口可以包括串行器/解串器（英文：serializer/deserializer，简称：serdes）、PHY以及MAC。所述serdes与所述PHY耦合。所述PHY与所述MAC耦合。

多端口以太网设备：所述多端口以太网设备可以是以太网集线器、以太网路由器或者以太网交换机。所述多端口以太网设备包括多个端口，每个端口可以包括接收器。所述接收器中可以包括系统芯片。所述系统芯片可以包括MAC和PHY。

二进制序列的比特的值：所述二进制序列对应的二进制数（英文：binary number）的值。所述二进制数的值可以用十进制数表示。举例来说，二进制序列1010对应的二进制数是1010。二进制数1010的值等于10（十进制数）。二进制序列1010的高2比特对应的二进制数是10。二进制序列1010的高2比特的值等于2（十进制数）。二进制序列1010的低2比特对应的二进制数也是10。二进制序列1010的低2比特的值等于2（十进制数）。

本发明实施例提供的CRC计算方案，比较容易应用到灵活带宽以太网的场景。具体来说，在灵活以太网的场景中，不同报文的长度可以是不相同的。针对这种对可变长报文的应用场景，本发明实施例提供了CRC计算方法。

图3为本发明实施例提供的CRC计算方法的流程示意图。所述方法的执行主体可以是MAC、MAC芯片、系统芯片、接收器或者多端口以太网设备。参见图3，所述方法包括：

S101、接收第一脉冲的二进制序列，所述第一脉冲的二进制序列包括第一报文和第二报文，所述第一报文的比特的数量为M，所述第二报文的比特的数量是N，M和N为正整数，M不等于N。

举例来说，S101的执行主体可以是MAC中的分发器。所述第一脉冲的二

进制序列可以是所述MAC中的RS输出的。

举例来说，所述第一报文是以太网帧。所述第二报文是以太网帧。所述第一脉冲对应时钟装置的一个时钟周期。所述时钟装置用于驱动图3所示的方法的执行主体接收所述第一脉冲的二进制序列。

举例来说，所述第一报文可以是第一发送器发送的报文。所述第二报文可以是第二发送器发送的报文。具体来说，所述第一发送器通第一以太网接口发送所述第一报文。所述第二发送器通过第二以太网接口发送所述第二报文。所述第一以太网接口的类型可以不同于所述第二以太网接口的类型。例如，所述第一以太网接口可以是40吉比特以太网（英文：40 gigabit ethernet，简称：40GE）接口。所述第二以太网接口可以是100吉比特以太网（英文：100 gigabit ethernet，简称：100GE）接口。所述第一发送器可以是第一网络装置中的发送器。所述第二发送器可以是第二网络装置中的发送器。所述第一网络装置和所述第二网络装置可以是不同的网络装置。

这里的“第一脉冲”可以是任意一个脉冲。接收器在每个脉冲接收到的二进制序列的比特数量可以是相同的。比如，每个脉冲接收到的二进制序列的比特数量为1280。

在灵活以太网场景下，不同报文的长度可以是不等长的，即不同报文的二进制的比特的数量可以是不同的。通信系统可以规定报文的最小长度。比如，通信系统可以规定一个报文最少包含512个比特。

一个脉冲的二进制序列可以包括一个或多个报文，且每个报文的二进制的比特的数量可以相同也可以不同。在本流程的场景中，第一脉冲的二进制序列包括第一报文和第二报文，第一报文和第二报文的二进制序列的比特的数量不同。

S102、将所述第一报文分发到第一CRC计算电路，所述第一CRC计算电路计算所述第一报文的CRC；将所述第二报文分发到第二CRC计算电路，所述第二CRC计算电路计算所述第二报文的CRC。

举例来说，S102的执行主体可以是所述分发器。

根据一个脉冲接收到的二进制序列的比特的数量，以及通信系统规定的报文的最小长度（即报文的二进制序列的比特的数量的最小值），可以确定出一个脉冲最多可接收到的报文的数量。CRC计算电路的数量可根据一个脉冲最多可接收到的报文的数量来确定。比如，一个脉冲接收到的报文的最大数量记为：

$$N = \left\lceil \frac{P_{len}}{l} \right\rceil + 1$$

其中，P_{len}为一个脉冲接收到的二进制序列的比特的数量，l为一个报文的二进制序列的比特的数量的最小值；$\lceil \bullet \rceil$表示向上取整，即取大于或等于$\frac{P_{len}}{l}$的最小整数。

这种情况下，CRC计算电路的数量可以是上述表达式所计算出的N。

每个CRC计算电路被配置以并行地计算一定比特数量的二进制序列的CRC。比如，每个CRC计算电路均可以被配置以并行地计算N个比特的二进制序列的CRC，其中N的取值可以与一个脉冲接收到的二进制序列的比特数量相同。

再比如，如本发明实施例，第一CRC计算电路被配置以并行地计算M个比特的二进制序列的CRC，第二CRC计算电路被配置以并行地计算N个比特的二进制序列的CRC。

灵活以太网中可能存在如下应用场景：一个接收器需要通过接收器的以太网接口接收多个发送器分别通过多个以太网接口发送的报文。每个发送器包括一个以太网接口。所述多个发送器与所述多个以太网接口一一对应。所述多个发送器中，不同的发送器发送的报文的长度可以不同。

根据上述技术方案，所述第一脉冲的二进制序列包括所述第一报文和所述第二报文。所述第一报文中的比特的数量不等于所述第二报文中的比特的数量。将所述第一报文分发到第一CRC计算电路。将所述第二报文分发到第二CRC计算电路。通过第一CRC计算电路计算得到所述第一报文的CRC。通

过所述第二CRC计算电路得到所述第二报文的CRC。如果将上述技术方案应用到灵活以太网的上述应用场景中，则可以分别计算来自不同的发送器的不同长度报文的CRC。因此，上述技术方案可以较好的应用在灵活以太网的场景中。

可选地，图3所示的技术方案中，所述第一脉冲的二进制序列还可以包括第三报文，所述第三报文的比特的数量为X。

具体来说，图3所示的技术方案中还可以涉及到第三CRC计算电路。所述第三CRC计算电路被配置以并行地计算Y(Y>X)个比特的二进制序列的CRC。在这种场景下，可以对所述第三报文执行以下处理:

根据所述第三报文生成第一二进制序列，所述第一二进制序列的比特的数量为Y。所述第一二进制序列的高X比特的值等于所述第三报文的比特的值。所述第一二进制序列的低C比特的值等于0。Y=X+C。Y、X和C为正整数。

可选的，可通过对所述第三报文执行移位操作以得到所述第一二进制序列。

将所述第一二进制序列分发到所述第三CRC计算电路，所述第三CRC计算电路计算所述第一二进制序列的CRC。

举例来说，Y可以不等于M。Y可以不等于N。

可选地，图3所示的技术方案中，所述第一脉冲的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B。

举例来说，A与B的和不等于M。A与B的和不等于N。

具体来说，图3所示的技术方案中还可以涉及到第四CRC计算电路。所述第四CRC计算电路被配置以计算G个比特的二进制序列的CRC。这种场景中，可以针对所述第四报文采用以下两种方式进行处理:

方式一

根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B和

G为正整数，H为大于或者等于0的整数，B小于或者等于G。

可选的，当H为正整数时，可通过对所述第四报文的高A比特执行移位操作以得到所述第二二进制序列。当H为0时，所述第二二进制序列等于所述第四报文的高A比特。

将所述第二二进制序列分发到所述第四CRC计算电路，所述第四CRC计算电路计算所述第二二进制序列的CRC以对所述第四CRC计算电路的CRC寄存器的值进行初始化。

接收第二脉冲的二进制序列（所述第二脉冲是所述第一脉冲的下一个脉冲，所述第二脉冲的二进制序列包括所述第四报文的低B比特）。

将所述第四报文的低B比特分发到所述第四CRC计算电路。所述第四CRC计算电路以所述第二二进制序列的CRC为所述第四CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

方式二

根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B和G为正整数，H为大于或者等于0的整数。

可选的，当H为正整数时，可通过对所述第四报文的高A比特执行移位操作以得到所述第二二进制序列。当H为0时，所述第二二进制序列等于所述第四报文的高A比特。

将所述第二二进制序列分发到第四CRC计算电路，所述第四CRC计算电路计算所述第二二进制序列的CRC。

接收第二脉冲的二进制序列，所述第二脉冲是所述第一脉冲的下一个脉冲，所述第二脉冲的二进制序列包括所述第四报文的低B比特。

将所述第四报文的低B比特分发到第五CRC计算电路。

具体是所述第四CRC计算电路中的CRC寄存器向所述第五CRC计算电路中的CRC寄存器传递信息。

所述第五CRC计算电路以所述第二二进制序列的CRC为所述第五CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

其中，所述第五CRC计算电路与所述第四CRC计算电路是不同的CRC计算电路。

举例来说，所述第五CRC计算电路被配置以计算J比特的二进制序列的CRC。J是正整数。J大于或者等于B。

举例来说，所述第五CRC计算电路与所述第一CRC计算电路可以是同一个CRC计算电路。

可选地，上述实施例中的CRC计算电路包括第一数据异或计算电路。以所述第一CRC计算电路为例，所述第一数据异或计算电路表示为:

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为M; $P = \begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$H = \begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$ 为变换矩阵;

可选地，所述第二CRC计算电路包括第二数据异或计算电路，所述第二数据异或计算电路表示为：

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为N；$P = \begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式表项矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$H = \begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$ 为变换矩阵。

以上实施例仅以几种典型的应用场景为例，对本发明进行了描述。上述实施例提供的CRC计算方法，也可应用在其他应用场景中。

为了更清楚的理解本发明的上述实施例，下面以一种典型的应用场景为例进行描述。

参见图1，为本发明实施例提供的可应用于灵活以太网的CRC计算方案的示意图。如图所示，对于给定以太网系统，以太网报文的最小长度记为l（即报文的最小长度为l比特），每个脉冲接收器接收的二进制序列的比特的数量记

为P_{len}，则每个脉冲的二进制序列中最多可包含的报文的数量为：

$$N = \left\lceil \frac{P_{len}}{1} \right\rceil + 1$$

其中，$\lceil \bullet \rceil$表示向上取整，即取大于或等于$\frac{P_{len}}{1}$的最小整数。

这样，该CRC计算架构中，CRC计算电路的数量可设置为N个（如图中的Calc_CRC_1，Calc_CRC_2，…，Calc_CRC_N）。每个CRC计算电路被配置以并行地计算一定比特数量的二进制序列的CRC。

调度单元用于将一个脉冲的二进制序列中包含的报文分发到对应的CRC计算电路。一个报文的二进制序列被分发到一个CRC计算电路。调度单元可由逻辑电路实现。

如前所述，每个CRC计算电路被配置以并行地计算一定比特数量的二进制序列的CRC。优选的，调度单元在进行报文分发时，可以按照“Calc_CRC_1，Calc_CRC_2，…，Calc_CRC_N”的顺序进行分发，即总是从编号最小的CRC计算电路开始，并按照编号递增的顺序进行分发。这样，按照CRC计算电路编号从小到大的顺序， CRC计算电路能够处理的二进制序列的比特数量可递减。

以400G流量的MAC（Media Access Control，媒体访问控制）帧的应用场景为例，按照以太网的标准，最小报文长度为512比特，采用64b/66b编解码，则对齐块大小为64比特（即数据处理的最小颗粒度为64比特，也就是说最少以64个比特为单位进行数据处理），以每个脉冲的二进制序列的比特数量为1280为例，那么一个脉冲的二进制序列最多可包含4个报文，即，最多需要计算4个报文的CRC，因此，CRC计算架构中可最多设置4个CRC计算电路。

每个脉冲的二进制序列中包含的报文按序排序，比如，一个脉冲的二进制序列中包含了一个完整报文（记为报文a）和一个报文（记为报文b）的高比特位部分，则在下一个脉冲的二进制序列中的第一个报文是报文b的其余比特。每个脉冲的二进制序列包含的报文被顺序调度到对应的Calc_CRC_K

（K=1,2,3,4）进行CRC的计算。比如，第一个报文被调度到Calc_CRC_1，第二个报文被调度到Calc_CRC_2，第三个报文被调度到Calc_CRC_3，第四个报文被调度到Calc_CRC_4。

如果一个脉冲的二进制序列仅包含一个报文，且该报文的比特数量为1280，则调度到Calc_CRC_1进行CRC计算；如果一个脉冲的二进制序列仅包含两个报文，则第一个报文的比特数量最少为64，第二个报文的最大比特数量为1216（1280bit-64bit=1216bit）；如果一个脉冲的二进制序列包含三个报文，则第一个报文的比特数量最少为64，第二个报文的比特数量最少为512，则第三个报文的最大比特数量为704（1280bit-64bit-512bit=704bit）；如果一个脉冲的二进制序列包含了四个报文，则第一个报文的比特数量最少为64，第二个报文的比特数量最少为512，第三个报文的比特数量至少为512，则对于第四个报文来说仅包含该报文的高192比特（1280bit-64bit-512bi-512bit=192bit）。

根据以上情况，只要相应Calc_CRC满足相应报文的最长处理要求即可，因此每个CRC计算电路的配置如下：

Calc_CRC_1被配置以并行地计算1280个比特的二进制序列的CRC；

Calc_CRC_2被配置以并行地计算1216个比特的二进制序列的CRC；

Calc_CRC_3被配置以并行地计算704个比特的二进制序列的CRC；

Calc_CRC_4被配置以并行地计算192个比特的二进制序列的CRC。

相应的，Calc_CRC_1的数据异或网络运算部分可表示为：

$$CRC_D_{1280} = \begin{bmatrix} P & H*P & \cdots & H^{1279}*P \end{bmatrix} * \begin{bmatrix} d_{1279} \\ d_{1278} \\ \vdots \\ d_0 \end{bmatrix}$$

Calc_CRC_2的数据异或网络运算部分可表示为：

$$CRC_D_{1216} = \begin{bmatrix} P & H*P & \cdots & H^{1215}*P \end{bmatrix} * \begin{bmatrix} d_{1215} \\ d_{1214} \\ \vdots \\ d_0 \end{bmatrix}$$

Calc_CRC_3的数据异或网络运算部分可表示为:

$$CRC_D_{704} = \begin{bmatrix} P & H*P & \cdots & H^{703}*P \end{bmatrix} * \begin{bmatrix} d_{703} \\ d_{702} \\ \vdots \\ d_0 \end{bmatrix}$$

Calc_CRC_4的数据异或网络运算部分可表示为:

$$CRC_D_{192} = \begin{bmatrix} P & H*P & \cdots & H^{191}*P \end{bmatrix} * \begin{bmatrix} d_{191} \\ d_{190} \\ \vdots \\ d_0 \end{bmatrix}$$

上述400G流量的MAC帧的CRC计算结构可如图2所示。

根据以上原则，推而广之，CRC计算电路的配置原则可以是:

第x（x=1）个CRC计算电路被配置以并行地计算P_{len}个比特（P_{len}为每个脉冲的二进制序列的比特数量）的二进制序列的CRC，第x+1个CRC计算电路比第x个CRC计算电路所处理的比特数量少M比特（M为对齐块的大小）;

第y+1（2≤y≤N-1，N为CRC计算电路的数量）个CRC计算电路比第y个CRC计算电路所处理的比特数量K（K为最小帧长度）个比特。

按照以上原则对CRC计算电路进行配置的方案，仅为一种优选实现方案，并发明实施例中对CRC计算电路的配置，即一个CRC计算电路所能够处理的比特数量，不构成对本发明的限制。

本发明实施例还提供了一种能够实现图3所示的方法的装置。

参见图4，为本发明实施例提供的CRC计算装置的结构示意图。所述装置可以用于执行图3所示的方法。所述装置可以是MAC、MAC芯片、系统芯片、接收器或者多端口以太网设备。参见图4，所述装置400包括:

接收单元401，用于接收第一脉冲的二进制序列，所述第一脉冲的二进制序列包括第一报文和第二报文，所述第一报文的比特的数量为M，所述第二报文的比特的数量是N，M和N为正整数，M不等于N。

举例来说，接收单元401可以是MAC中的分发器。所述二进制序列可以是所述MAC中的RS输出的。

举例来说，所述第一报文是以太网帧。所述第二报文是以太网帧。所述第一脉冲对应时钟装置的一个时钟周期。所述时钟装置用于驱动接收单元401接收所述第一脉冲的二进制序列。

举例来说，所述第一报文可以是第一发送器发送的报文。所述第二报文可以是第二发送器发送的报文。具体来说，所述第一发送器通第一以太网接口发送所述第一报文。所述第二发送器通过第二以太网接口发送所述第二报文。所述第一以太网接口的类型可以不同于所述第二以太网接口的类型。例如，所述第一以太网接口可以是40GE接口。所述第二以太网接口可以是100GE接口。所述第一发送器可以是第一网络装置中的发送器。所述第二发送器可以是第二网络装置中的发送器。所述第一网络装置和所述第二网络装置可以是不同的网络装置。

调度单元402，用于将所述接收单元401接收的所述第一报文分发到第一CRC计算电路403，将所述接收单元401接收的所述第二报文分发到第二CRC计算电路404。

举例来说，调度单元402可以是所述分发器。

所述第一CRC计算电路403，用于计算所述调度单元402分发的所述第一报文的CRC。

具体来说，所述第一CRC计算电路403被配置以计算M个比特的二进制序列的CRC。

所述第二CRC计算电路404，用于计算所述调度单元402分发的所述第二报文的CRC。

具体来说，所述第二CRC计算电路404被配置以计算N个比特的二进制序列的CRC。

可选地，图4所示的装置中，所述装置400还包括第三CRC计算电路（图4中未示出）。所述第一脉冲的二进制序列还包括第三报文，所述第三报文的比

特的数量为X。

所述调度单元402还用于:

根据所述接收单元401接收的所述第三报文生成第一二进制序列，所述第一二进制序列的比特的数量为Y，所述第一二进制序列的高X比特的值等于所述第三报文的比特的值，所述第一二进制序列的低C比特的值等于0，Y=X+C，Y、X和C为正整数。

将所述第一二进制序列分发到所述第三CRC计算电路。

举例来说，所述调度单元402可以包括移位寄存器。所述移位寄存器可以对所述第三报文执行移位操作以生成所述第一二进制序列。

所述第三CRC计算电路，用于计算所述调度单元402分发的所述第一二进制序列的CRC。

可选地，图4所示的装置中，所述装置400还包括第四CRC计算电路（图4中未示出），所述第一脉冲的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B。

举例来说，所述第四CRC计算电路被配置以计算G个比特的二进制序列的CRC。

所述调度单元402还用于:

根据所述接收单元401接收的所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B和G为正整数，H为大于或者等于0的整数，B小于或者等于G。

举例来说，当H为正整数时，可通过对所述第四报文的高A比特执行移位操作以得到所述第二二进制序列。当H为0时，所述第二二进制序列等于所述第四报文的高A比特。

将所述第二二进制序列分发到第四CRC计算电路。

所述第四CRC计算电路，用于计算所述第二二进制序列的CRC以对所述

第四CRC计算电路的CRC寄存器的值进行初始化。

所述接收单元401还用于，接收第二脉冲的二进制序列，所述第二脉冲是所述第一脉冲的下一个脉冲，所述第二脉冲的二进制序列包括所述第四报文的低B比特。

将所述第四报文的低B比特分发到所述第四CRC计算电路。

所述第四CRC计算电路，还用于以所述调度单元402分发的所述第二二进制序列的CRC为所述第四CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

可替换地，图4所示的装置中，所述装置400还包括第四CRC计算电路（图4中未示出）以及第五CRC计算电路（图4中未示出）。所述第一脉冲的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B。

举例来说，所述第四CRC计算电路被配置以计算G个比特的二进制序列的CRC。

所述调度单元402还用于:

根据所述接收单元401接收的所述第四报文的高A比特生成第二二进制序列。所述第二二进制序列的比特的数量为G。所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值。所述第二二进制序列的低H比特的值等于0。G=A+H 。A、B和G为正整数。H为大于或者等于0的整数。

举例来说，当H为正整数时，可通过对所述第四报文的高A比特执行移位操作以得到所述第二二进制序列。当H为0时，所述第二二进制序列等于所述第四报文的高A比特。

将所述第二二进制序列分发到所述第四CRC计算电路。

所述第四CRC计算电路，用于根据所述调度单元402分发的所述第二二进制序列计算所述第二二进制序列的CRC。

所述接收单元401还用于，接收第二脉冲的二进制序列。所述第二脉冲是所述第一脉冲的下一个脉冲。所述第二脉冲的二进制序列包括所述第四报文的低B比特。

将所述第四报文的低B比特分发到所述第五CRC计算电路。

所述第五CRC计算电路，用于以所述调度单元402分发的所述第二二进制序列的CRC为所述第五CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

举例来说，所述第五CRC计算电路被配置以计算J比特的二进制序列的CRC。J是正整数。J大于或者等于B。

举例来说，所述第五CRC计算电路与所述第一CRC计算电路可以是同一个CRC计算电路。

可选地，图4所示的装置中，所述第一CRC计算电路403包括第一数据异或计算电路。所述第一数据异或计算电路表示为：

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为M。$P = \begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式矩阵。p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数。m为生成多项式的阶数。

$$H = \begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$$ 为变换矩阵。

所述第二CRC计算电路包括第二数据异或计算电路。所述第二数据异或计算电路表示为:

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为N; $P = \begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式表项矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$$H = \begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$$ 为变换矩

图5为本发明实施例提供的一种系统芯片的结构示意图。系统芯片500可以用于执行图3所示的方法。参见图5，所述系统芯片500包括PHY510（图中示为物理层电路510）和MAC520。MAC520包括RS521（图中示为协调子层电路521）、分发器522以及CRC计算电路523至CRC计算电路527。PHY510通过MII与MAC520连接。RS521与分发器522耦合。分发器522与CRC计算电路523至CRC计算电路527耦合。MAC520可以在时钟装置的驱动下进行工作。具体来说，RS521、分发器522和CRC计算电路523至CRC计算电路527在所述时钟

装置的驱动下进行工作。

RS521在所述时钟装置的驱动下，在第一时钟周期内向分发器522发送了所述第一时钟周期的二进制序列。所述第一时钟周期的二进制序列包括第一报文和第二报文。所述第一报文的比特的数量为M。所述第二报文的比特的数量是N。M和N为正整数。M不等于N。所述第一报文是以太网帧。所述第二报文是以太网帧。

分发器522在所述时钟装置的驱动下，接收到所述第一时钟周期的二进制序列。

分发器522将所述第一报文分发到第一CRC计算电路，所述第一CRC计算电路计算所述第一报文的CRC。CRC计算电路523是所述第一CRC计算电路。

分发器522将所述第二报文分发到第二CRC计算电路，所述第二CRC计算电路计算所述第二报文的CRC。CRC计算电路524是所述第二CRC计算电路。

可选地，上述技术方案中，所述第一时钟周期的二进制序列还包括第三报文，所述第三报文的比特的数量为X。

分发器522根据所述第三报文生成第一二进制序列，所述第一二进制序列的比特的数量为Y，所述第一二进制序列的高X比特的值等于所述第三报文的比特的值，所述第一二进制序列的低C比特的值等于0，Y=X+C，Y、X和C为正整数。

举例来说，所述第三报文是以太网帧。分发器522中包括移位寄存器。所述移位寄存器对所述第三报文进行移位操作以得到所述第一二进制序列。

分发器522将所述第一二进制序列分发到第三CRC计算电路，所述第三CRC计算电路计算所述第一二进制序列的CRC。CRC计算电路525是所述第三CRC计算电路。

可选地，上述技术方案中，所述第一时钟周期的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B。所述第四报文是以太网帧。

举例来说，所述第四CRC计算电路被配置以计算G个比特的二进制序列的

CRC。

分发器522根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B和G为正整数。H为大于或者等于0的整数。B小于或者等于G。

举例来说，当H为正整数时，可通过对所述第四报文的高A比特执行移位操作以得到所述第二二进制序列。当H为0时，所述第二二进制序列等于所述第四报文的高A比特。

分发器522将所述第二二进制序列分发到第四CRC计算电路，所述第四CRC计算电路计算所述第二二进制序列的CRC以对所述第四CRC计算电路的CRC寄存器的值进行初始化。

分发器522接收RS521在所述时钟装置的驱动下在第二时钟周期发送的二进制序列。所述第二时钟周期是所述第一时钟周期的下一个时钟周期。所述第二时钟周期的二进制序列包括所述第四报文的低B比特。

分发器522将所述第四报文的低B比特分发到所述第四CRC计算电路。CRC计算电路526是所述第四CRC计算电路。

所述第四CRC计算电路以所述第二二进制序列的CRC为所述第四CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

可替换地，上述技术方案中，所述第一时钟周期的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B。

举例来说，所述第四CRC计算电路被配置以计算G个比特的二进制序列的CRC。

分发器522根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B和G为正整数。H为大于或者等于0的整数。

举例来说，当H为正整数时，可通过对所述第四报文的高A比特执行移位

操作以得到所述第二二进制序列。当H为0时，所述第二二进制序列等于所述第四报文的高A比特。

分发器522将所述第二二进制序列分发到第四CRC计算电路，所述第四CRC计算电路计算所述第二二进制序列的CRC。CRC计算电路526是所述第四CRC计算电路。

分发器522接收RS521在所述时钟装置的驱动下在第二时钟周期发送的二进制序列。所述第二时钟周期是所述第一时钟周期的下一个时钟周期。所述第二时钟周期的二进制序列包括所述第四报文的低B比特。

分发器522将所述第四报文的低B比特分发到第五CRC计算电路。所述第五CRC计算电路以所述第二二进制序列的CRC为所述第五CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。CRC计算电路527是所述第五CRC计算电路。

举例来说，所述第五CRC计算电路被配置以计算J比特的二进制序列的CRC。J是正整数。J大于或者等于B。

举例来说，所述第五CRC计算电路与所述第一CRC计算电路可以是同一个CRC计算电路。

可选地，所述第一CRC计算电路包括第一数据异或计算电路。所述第一数据异或计算电路表示为：

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至

最高比特，n取值为M; $P=\begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$H=\begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$ 为变换矩阵。

可选地，所述第二CRC计算电路包括第二数据异或计算电路，所述第二数据异或计算电路表示为:

$$CRC_D_n=\begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix}*\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为N; $P=\begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式表项矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$$H=\begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$$ 为变换矩阵。

图 6 为本发明实施例提供的一种 CRC 计算方法的流程示意图。所述方法的执行主体可以是 MAC、MAC 芯片、系统芯片、接收器或者多端口以太网设备。参见图 6，所述方法包括:

S601、接收第一脉冲的二进制序列。

具体来说，所述第一脉冲的二进制序列包括第一报文。所述第一报文的比特的数量为X。

举例来说，S601的执行主体可以是MAC中的分发器。所述二进制序列可以是所述MAC中的RS输出的。

举例来说，所述第一报文是以太网帧。所述第一脉冲对应时钟装置的一个时钟周期。所述时钟装置用于驱动图6所示的方法的执行主体接收所述第一脉冲的二进制序列。

S602、根据所述第一报文生成第一二进制序列。

举例来说，S601的执行主体可以是所述分发器。所述分发器可以包括移位寄存器。所述移位寄存器可以对所述第一报文执行移位操作以得到所述第一二进制序列。

具体来说，所述第一二进制序列的比特的数量为Y，所述第一二进制序列的高X比特的值等于所述第一报文的比特的值，所述第一二进制序列的低C比特的值等于0，Y=X+C，Y、X和C为正整数。

S603、将所述第一二进制序列分发到第一CRC计算电路。

举例来说，所述第一CRC计算电路被配置以并行地计算Y比特的二进制序

列的CRC。

S604、所述第一CRC计算电路计算所述第一二进制序列的CRC。

举例来说，所述第一 CRC 计算电路对应加扰多项式。所述第一 CRC 计算电路根据所述加扰多项式计算所述第一二进制序列的 CRC。

在灵活以太网的应用场景中，以太网接口接收到的报文的比特的数量可能小于二进制序列的比特的数量。所述二进制序列是指CRC计算电路计算CRC时所述CRC对应的二进制序列。通过上述技术方案，可以计算出比特数量较少的报文的CRC。因此，上述技术方案可以较好的应用在灵活以太网的场景中。

图7为本发明实施例提供的一种CRC计算方法的流程示意图。所述方法的执行主体可以是MAC、MAC芯片、系统芯片、接收器或者多端口以太网设备。具体来说，所述方法的执行主体可以是所述MAC中的分发器以及所述MAC中的CRC计算电路。参见图7，所述方法包括:

S701、接收第一脉冲的二进制序列。

具体来说，所述第一脉冲的二进制序列包括第一报文的低 X 比特，所述第一报文的低 X 比特的最高有效位（英文：most significant bit，简称：MSB）是所述第一脉冲的二进制序列的 MSB。

本领域的技术人员可以理解: 所述低 X 比特位于所述第一脉冲的二进制序列的头部。

举例来说，S701 的执行主体可以是 MAC 中的分发器。所述第一脉冲的二进制序列可以是所述 MAC 中的 RS 输出的。

举例来说，所述第一报文是以太网帧。所述第二报文是以太网帧。所述第一脉冲对应时钟装置的一个时钟周期。所述时钟装置用于驱动图 7 所示的方法的执行主体接收所述第一脉冲的二进制序列。

S702、向第一 CRC 计算电路分发所述第一报文的低 X 比特。

举例来说，S702 的执行主体可以是所述分发器。

具体来说，所述第一脉冲的二进制序列的比特的数量为 N， N 为正整数。

举例来说，所述第一 CRC 计算电路被配置以计算 M 比特的二进制序列的 CRC。M 大于或者等于 N，M 为正整数。

S703、所述第一 CRC 计算电路计算所述第一报文的 CRC。

S703 可以通过两种方法实现。图 8 是 S703 的第一种实现方法的流程示意图。图 9 是 S703 的第二种实现方法的流程示意图。

参见图 8，S703 的第一种实现方法包括:

S801、接收第二脉冲的二进制序列。

具体来说，第二脉冲的二进制序列包括所述第一报文的高 Y 比特。X 与 Y 的和等于 M。所述第一报文的比特的数量是 X 与 Y 的和。

S802、生成第一二进制序列。

具体来说，所述第一二进制序列的比特的数量是 M。所述第一二进制序列的高 Y 比特等于所述第一报文的高 Y 比特。所述第一二进制序列的低 X 比特等于 0。举例来说，可以通过移位寄存器对所述第一报文的高 Y 比特执行移位操作以得到所述第一二进制序列。

S803、将所述第一二进制序列分发至所述第一 CRC 计算电路。

S804、所述第一 CRC 计算电路计算所述第一二进制序列的 CRC 以对所述第一 CRC 计算电路的 CRC 寄存器的值进行初始化。

S805、生成第二二进制序列。

具体来说，所述第二二进制序列的比特的数量是 M。所述第二二进制序列的高 X 比特等于所述第一报文的低 X 比特。所述第二二进制序列的低 Y 比特等于 0。举例来说，可以通过移位寄存器对所述第一报文的低 X 比特执行移位操作以得到所述第二二进制序列。

S806、将所述第二二进制序列分发至所述第一 CRC 计算电路。

S807、所述第一 CRC 计算电路以所述第一二进制序列的 CRC 为所述第一 CRC 计算电路的 CRC 寄存器的初始值计算所述第二二进制序列的 CRC。

所述第二二进制序列的 CRC 等于所述第一报文的 CRC。

参见图 9，S703 的第二种实现方法包括:

S901、接收第二脉冲的二进制序列。

具体来说，第二脉冲的二进制序列包括所述第一报文的高 Y 比特。X 与 Y 的和等于 S。S 小于 M。所述第一报文的比特的数量是 X 与 Y 的和。

S902、生成第一二进制序列。

具体来说，所述第一二进制序列的比特的数量是 M。所述第一二进制序列的高 Y 比特等于所述第一报文的高 Y 比特。所述第一二进制序列的低（M-Y）比特等于 0。举例来说，可以通过移位寄存器对所述第一报文的高 Y 比特执行移位操作以得到所述第一二进制序列。

S903、将所述第一二进制序列分发至所述第一 CRC 计算电路。

S904、所述第一 CRC 计算电路计算所述第一二进制序列的 CRC 以对所述第一 CRC 计算电路的 CRC 寄存器的值进行初始化。

S905、生成第二二进制序列。

具体来说，所述第二二进制序列的比特的数量是 M。所述第二二进制序列的高 X 比特等于所述第一报文的低 X 比特。所述第二二进制序列的低（M-X）比特等于 0。举例来说，可以通过移位寄存器对所述第一报文的低 X 比特执行移位操作以得到所述第二二进制序列。

S906、将所述第二二进制序列分发至所述第一 CRC 计算电路。

S907、所述第一 CRC 计算电路以所述第一二进制序列的 CRC 为所述第一 CRC 计算电路的 CRC 寄存器的初始值计算所述第二二进制序列的 CRC。

所述第二二进制序列的 CRC 等于所述第一报文的 CRC。

可选地，图 7 所示的技术方案中，所述第一脉冲的二进制序列包括第二报文，所述第二报文与第一报文的低 X 比特相邻。所述方法还包括：

向第二 CRC 计算电路分发所述第二报文。

所述第二 CRC 计算电路计算所述第二报文的 CRC。

举例来说，所述第二 CRC 计算电路被配置以计算 A 比特的二进制序列的 CRC。具体来说，A 大于或者等于 B。B 等于 N 减去对齐块包含的比特的数量，所述对齐块对应报文的对齐粒度，A 为正整数，B 为正整数。

下文对对齐块机制进行举例:

网络处理器（英文: network processor，简称: NP）向 MAC 发送以太网帧前，需要对以太网帧进行分块操作，从而实现以太网帧的对齐。具体来说，以太网帧被分为多个数据块，每个数据块中包含的比特的数量为 E。需要说明的是，一个数据块只能包含一个以太网帧的片段，不能包含两个或者两个以上的以太网帧的片段。举例来说，E 可以是 64，也可以是 250。如果以太网帧被执行分块操作后，以太网帧中的最后一个块中的比特的数量小于 E，则需要在最后一个块后面增加填充数据从而得到一个比特的数量为 E 的数据块。可以将添加了填充数据的数据块称为对齐块。对齐块中包含的比特的数量也是 E。E 可以用于表示报文的对齐粒度。

举例来说，所述第二报文中的比特的数量等于 P。P 小于或者等于 A。在 P 等于 A 的场景中，所述第二 CRC 计算电路可以计算所述第二报文的 CRC。在 P 小于 A 的场景中，可以对所述第二报文执行移位操作以生成新的二进制序列。所述新的二进制序列的比特的数量等于 A。所述新的二进制序列的高 P 比特等于所述第二报文。所述新的二进制序列的低（A-P）比特等于 0。所述第二 CRC 计算电路可以计算所述新的二进制序列的 CRC。所述新的二进制序列的 CRC 等于所述第二报文的 CRC。在 P 小于 A 的场景中如何计算所述第二报文的 CRC，可以参考图 6 所示的方法。

可选地，上述技术方案中，所述第一脉冲的二进制序列包括第三报文，所述第三报文与所述第二报文相邻。所述方法还包括:

向第三 CRC 计算电路分发所述第三报文。

所述第三 CRC 计算电路计算所述第三报文的 CRC。

举例来说，所述第三 CRC 计算电路被配置以计算 C 比特的二进制序列的 CRC。

具体来说，C 大于或者等于 D。D 等于 N 减去所述对齐块包含的比特的数量，并且减去最小长度的报文包含的比特的数量。C 为正整数，D 为正整数。

最小长度是指通信系统规定的报文的最小长度。举例来说，所述第一报文、

所述第二报文和所述第三报文都属于以太网帧。根据电气和电子工程师学会（英文：Institute of Electrical and Electronics Engineers，简称：IEEE）发布的802.3ba，40GE 的标准中以太网帧的最小长度是 512 比特。100GE 的标准中以太网帧的最小长度是 512 比特。

举例来说，所述第三报文的比特的数量等于 Q。Q 小于等于 C。在 Q 等于 C 的场景中，所述第三 CRC 计算电路可以计算所述第三报文的 CRC。在 Q 小于 C 的场景中，可以对所述第三报文执行移位操作以生成新的二进制序列。所述新的二进制序列的比特的数量等于 C。所述新的二进制序列的高 Q 比特等于所述第三报文。所述新的二进制序列的低（C-Q）比特等于 0。所述第三 CRC 计算电路可以计算所述新的二进制序列的 CRC。所述新的二进制序列的 CRC 等于所述第三报文的 CRC。在 Q 小于 C 的场景中如何计算所述第三报文的 CRC，可以参考图 6 所示的方法。

图 10 为本发明实施例提供的一种计算 CRC 的方法的示意图。图 10 示出了上述技术方案中的所述第一脉冲的二进制序列的格式。其他信息可以是其他报文。例如第四报文。当然，第一脉冲的二进制序列也可以不包括其他信息。另外，图 10 示出了所述第一脉冲的二进制序列与 CRC 计算电路的关系。具体来说，所述第一报文的低 X 比特被分发到所述第一 CRC 计算电路。所述第二报文被分发到所述第二 CRC 计算电路。所述第三报文被分发到所述第三 CRC 计算电路。

上述技术方案中，所述第一 CRC 计算电路被配置以计算 M 比特的二进制序列的 CRC。M 大于或者等于 N。所述第一脉冲的二进制序列的比特的数量为 N。所述第二 CRC 计算电路被配置以计算 A 比特的二进制序列的 CRC。具体来说，A 大于或者等于 B。B 等于 N 减去对齐块包含的比特的数量。所述第三 CRC 计算电路被配置以计算 C 比特的二进制序列的 CRC。C 大于或者等于 D。D 等于 N 减去所述对齐块包含的比特的数量，并且减去最小长度的报文包含的比特的数量。因此，所述第一 CRC 计算电路、所述第二 CRC 计算电路以及所述第三 CRC 计算电路需要占用的硬件电路的资源可以呈现递减

的趋势。因此，上述技术方案有助于节省硬件电路的资源。

本发明实施例提供了一种 CRC 计算电路，所述 CRC 计算电路包括图 7 所示的方法中的所述第一 CRC 计算电路、所述第二 CRC 计算电路以及所述第三 CRC 计算电路。

本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、或计算机程序产品。因此，本发明可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器、CD-ROM、光学存储器等）上实施的计算机程序产品的形式。

本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序产品的流程图和／或方框图来描述的。应理解可由计算机程序指令实现流程图和／或方框图中的每一流程和／或方框、以及流程图和／或方框图中的流程和／或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器，使得通过该计算机或其他可编程数据处理设备的处理器执行的指令可实现流程图中的一个流程或多个流程和／或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和／或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图的一个流程或多个流程和／或方框图的一个方框或多个方框中指定的功能的步骤。

尽管已描述了本发明的优选实施例，但本领域内的技术人员一旦得知了

基本创造性概念，则可对这些实施例作出另外的变更和修改。所以，所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

权 利 要 求

1、一种循环冗余校验码CRC计算方法，其特征在于，包括:

接收第一脉冲的二进制序列，所述第一脉冲的二进制序列包括第一报文和第二报文，所述第一报文的比特的数量为M，所述第二报文的比特的数量是N，M和N为正整数，M不等于N;

将所述第一报文分发到第一CRC计算电路，所述第一CRC计算电路计算所述第一报文的CRC;

将所述第二报文分发到第二CRC计算电路，所述第二CRC计算电路计算所述第二报文的CRC。

2、如权利要求1所述的方法，其特征在于，所述第一脉冲的二进制序列还包括第三报文，所述第三报文的比特的数量为X，所述方法还包括:

根据所述第三报文生成第一二进制序列，所述第一二进制序列的比特的数量为Y，所述第一二进制序列的高X比特的值等于所述第三报文的比特的值，所述第一二进制序列的低C比特的值等于0，Y=X+C，Y、X和C为正整数;

将所述第一二进制序列分发到第三CRC计算电路，所述第三CRC计算电路计算所述第一二进制序列的CRC。

3、如权利要求1或2所述的方法，其特征在于，所述第一脉冲的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B，所述方法还包括:

根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B、和G为正整数，H为大于或者等于0的整数，B小于或者等于G;

将所述第二二进制序列分发到第四CRC计算电路，所述第四CRC计算电路计算所述第二二进制序列的CRC以对所述第四CRC计算电路的CRC寄存器的值进行初始化;

接收第二脉冲的二进制序列，所述第二脉冲是所述第一脉冲的下一个脉冲，所述第二脉冲的二进制序列包括所述第四报文的低B比特;

将所述第四报文的低B比特分发到所述第四CRC计算电路;

所述第四CRC计算电路以所述第二二进制序列的CRC为所述第四CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

4、如权利要求1或2所述的方法，其特征在于，所述第一脉冲的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B，所述方法还包括:

根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B和G为正整数，H为大于或者等于0的整数;

将所述第二二进制序列分发到第四CRC计算电路，所述第四CRC计算电路计算所述第二二进制序列的CRC;

接收第二脉冲的二进制序列，所述第二脉冲是所述第一脉冲的下一个脉冲，所述第二脉冲的二进制序列包括所述第四报文的低B比特;

将所述第四报文的低B比特分发到第五CRC计算电路，所述第五CRC计算电路以所述第二二进制序列的CRC为所述第五CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

5、如权利要求1-4中任一项所述的方法，其特征在于，所述第一CRC计算电路包括第一数据异或计算电路，所述第一数据异或计算电路表示为:

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为M；$P=\begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$$H=\begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$$ 为变换矩阵；

所述第二CRC计算电路包括第二数据异或计算电路，所述第二数据异或计算电路表示为：

$$CRC_D_n=\begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix}*\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为N；$P=\begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式表项矩阵，p_{m-1}至p_0是所述第

一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$$H=\begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$$ 为变换矩阵。

6、一种循环冗余校验码CRC计算装置，其特征在于，包括:

接收单元，用于接收第一脉冲的二进制序列，所述第一脉冲的二进制序列包括第一报文和第二报文，所述第一报文的比特的数量为M，所述第二报文的比特的数量是N，M和N为正整数，M不等于N;

调度单元，用于将所述接收单元接收的所述第一报文分发到第一CRC计算电路，将所述接收单元接收的所述第二报文分发到第二CRC计算电路;

所述第一CRC计算电路，用于计算所述调度单元分发的所述第一报文的CRC;

所述第二CRC计算电路，用于计算所述调度单元分发的所述第二报文的CRC。

7、如权利要求6所述的装置，其特征在于，所述装置还包括第三CRC计算电路，所述第一脉冲的二进制序列还包括第三报文，所述第三报文的比特的数量为X;

所述调度单元还用于:

根据所述接收单元接收的所述第三报文生成第一二进制序列，所述第一二进制序列的比特的数量为Y，所述第一二进制序列的高X比特的值等于所述第三报文的比特的值，所述第一二进制序列的低C比特的值等于0，Y=X+C，Y、X和C为正整数;

将所述第一二进制序列分发到所述第三CRC计算电路;

所述第三CRC计算电路，用于计算所述调度单元分发的所述第一二进制

序列的CRC。

8、如权利要求6或7所述的装置，其特征在于，所述装置还包括第四CRC计算电路，所述第一脉冲的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B;

所述调度单元还用于:

根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B、和G为正整数，H为大于或者等于0的整数，B小于或者等于G;

将所述第二二进制序列分发到所述第四CRC计算电路;

所述第四CRC计算电路，用于计算所述第二二进制序列的CRC以对所述第四CRC计算电路的CRC寄存器的值进行初始化;

所述接收单元还用于，接收第二脉冲的二进制序列，所述第二脉冲是所述第一脉冲的下一个脉冲，所述第二脉冲的二进制序列包括所述第四报文的低B比特;

所述调度单元还用于，将所述第四报文的低B比特分发到所述第四CRC计算电路;

所述第四CRC计算电路，还用于以所述第二二进制序列的CRC为所述第四CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

9、如权利要求6或7所述的装置，其特征在于，所述装置还包括第四CRC计算电路以及第五CRC计算电路，所述第一脉冲的二进制序列还包括第四报文的高A比特，所述第四报文的比特的数量是A+B;

所述调度单元还用于:

根据所述第四报文的高A比特生成第二二进制序列，所述第二二进制序列的比特的数量为G，所述第二二进制序列的高A比特的值等于所述第四报文的高A比特的值，所述第二二进制序列的低H比特的值等于0，G=A+H，A、B和G为正整数，H为大于或者等于0的整数;

将所述第二二进制序列分发到所述第四CRC计算电路;

所述第四CRC计算电路，用于根据所述调度单元分发的所述第二二进制序列计算所述第二二进制序列的CRC;

所述接收单元还用于，接收第二脉冲的二进制序列，所述第二脉冲是所述第一脉冲的下一个脉冲，所述第二脉冲的二进制序列包括所述第四报文的低B比特;

所述调度单元还用于，将所述第四报文的低B比特分发到第五CRC计算电路;

所述第五CRC计算电路，用于以所述第二二进制序列的CRC为所述第五CRC计算电路的CRC寄存器的初始值计算所述第四报文的低B比特的CRC。

10、如权利要求6-9中任一项所述的装置，其特征在于，所述第一CRC计算电路包括第一数据异或计算电路，所述第一数据异或计算电路表示为:

$$CRC_D_n = \begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix} * \begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为M; $P = \begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$$H=\begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$$ 为变换矩阵;

所述第二CRC计算电路包括第二数据异或计算电路，所述第二数据异或计算电路表示为:

$$CRC_D_n=\begin{bmatrix} P & H*P & \cdots & H^{n-1}*P \end{bmatrix}*\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$$

其中，$\begin{bmatrix} d_{n-1} \\ d_{n-2} \\ \vdots \\ d_0 \end{bmatrix}$ 中的d_0至d_{n-1}分别是所述M比特的二进制序列的最低比特至最高比特，n取值为N; $P=\begin{bmatrix} p_{m-1} \\ \vdots \\ p_1 \\ p_0 \end{bmatrix}$ 为生成多项式表项矩阵，p_{m-1}至p_0是所述第一CRC计算电路的CRC多项式的系数，m为生成多项式的阶数，

$$H=\begin{bmatrix} p_{m-1} & 1 & 0 & \cdots & 0 & 0 \\ p_{m-2} & 0 & 1 & & & 0 \\ p_{m-3} & & & \ddots & & 0 \\ \vdots & & & & 1 & \vdots \\ p_1 & 0 & 0 & \cdots & 0 & 1 \\ p_0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}_{m*m}$$ 为变换矩阵。

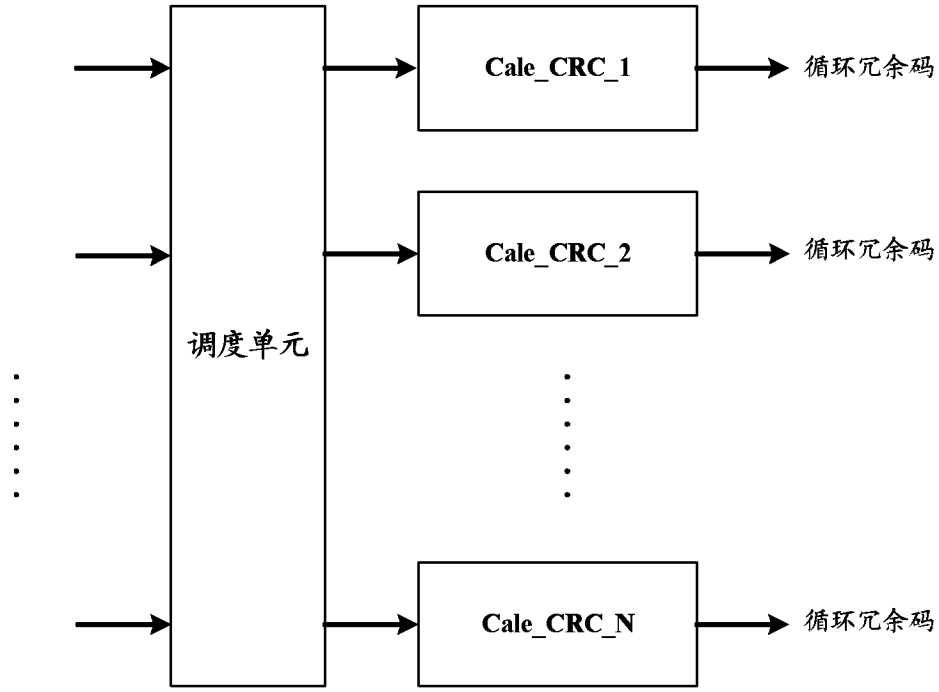


图 1

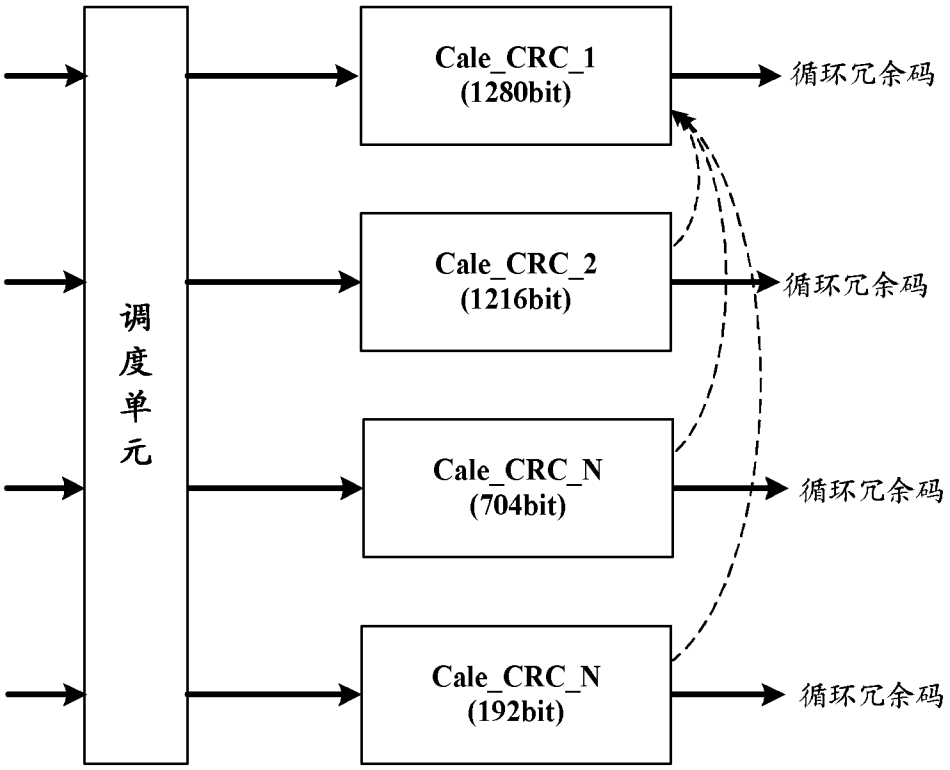

调度单元
Cale_CRC_1 (1280bit)
Cale_CRC_2 (1216bit)
Cale_CRC_N (704bit)
Cale_CRC_N (192bit)
循环冗余码
循环冗余码
循环冗余码
循环冗余码

图 2

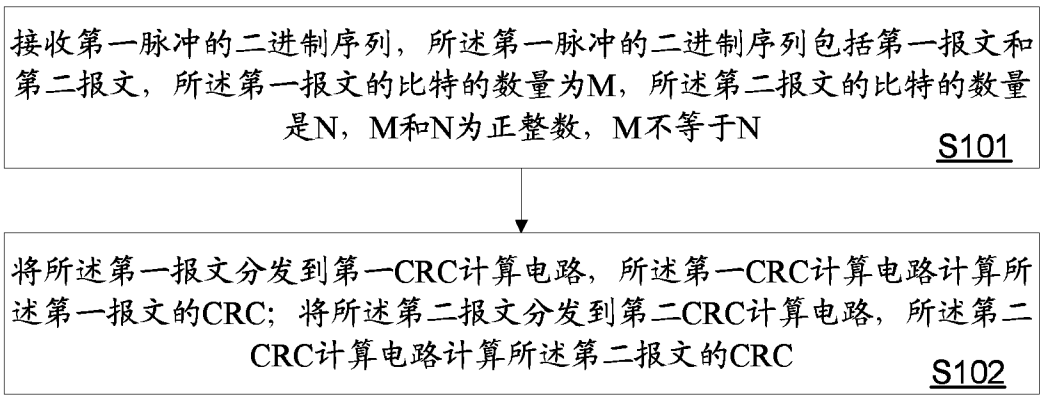

接收第一脉冲的二进制序列，所述第一脉冲的二进制序列包括第一报文和第二报文，所述第一报文的比特的数量为M，所述第二报文的比特的数量是N，M和N为正整数，M不等于N
S101
将所述第一报文分发到第一CRC计算电路，所述第一CRC计算电路计算所述第一报文的CRC；将所述第二报文分发到第二CRC计算电路，所述第二CRC计算电路计算所述第二报文的CRC
S102

图 3

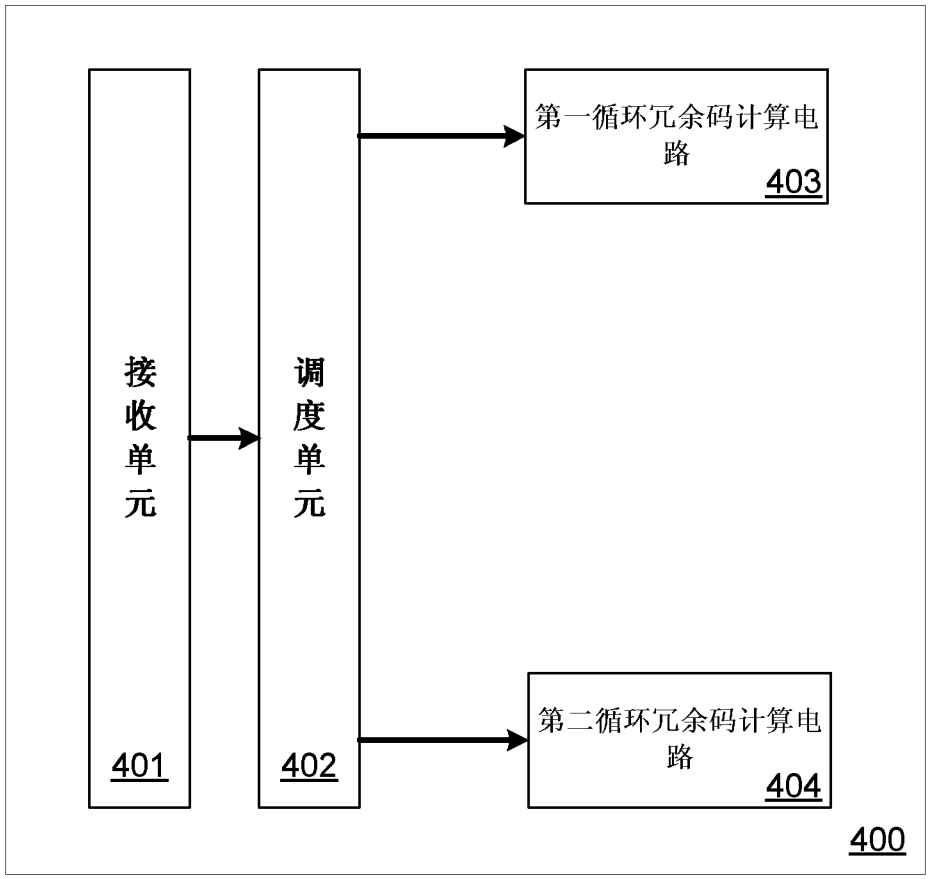


图 4

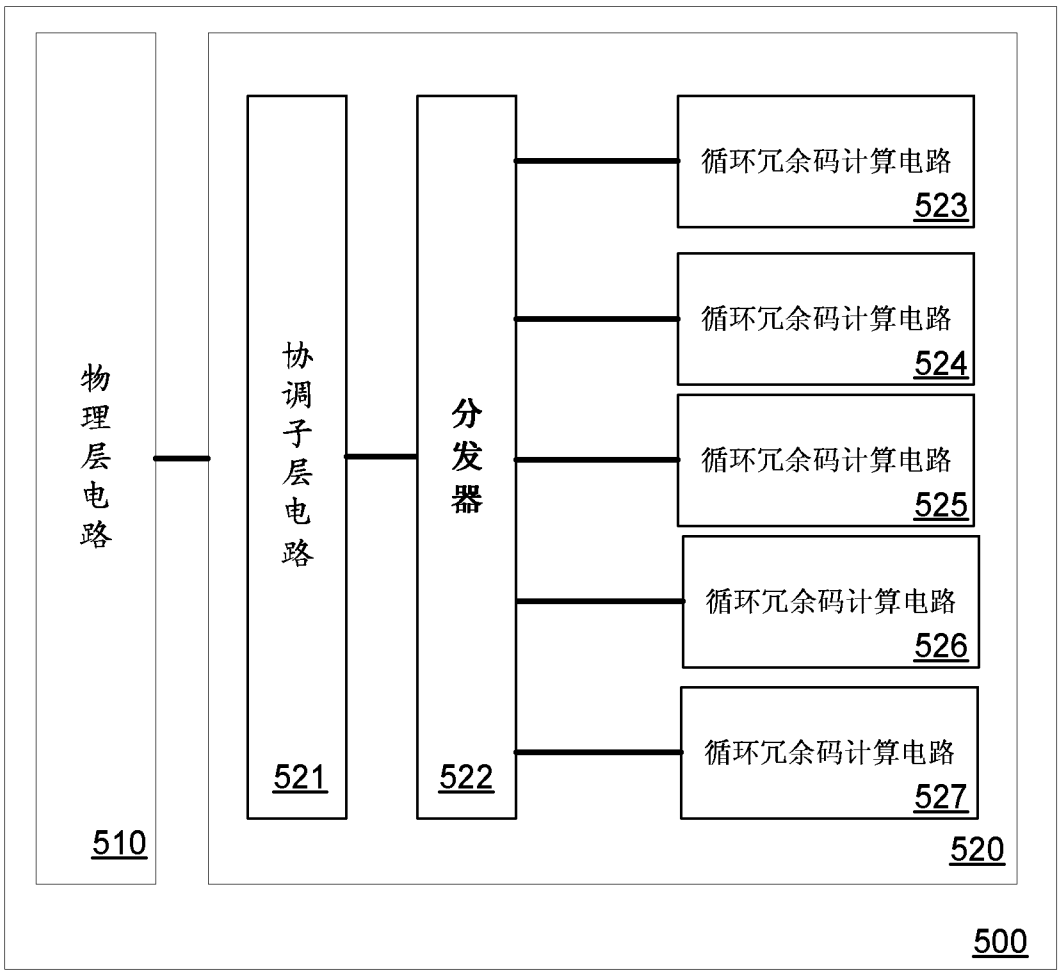

物理层电路
510
协调子层电路
521
分发器
522
循环冗余码计算电路
523
循环冗余码计算电路
524
循环冗余码计算电路
525
循环冗余码计算电路
526
循环冗余码计算电路
527
520
500

图 5

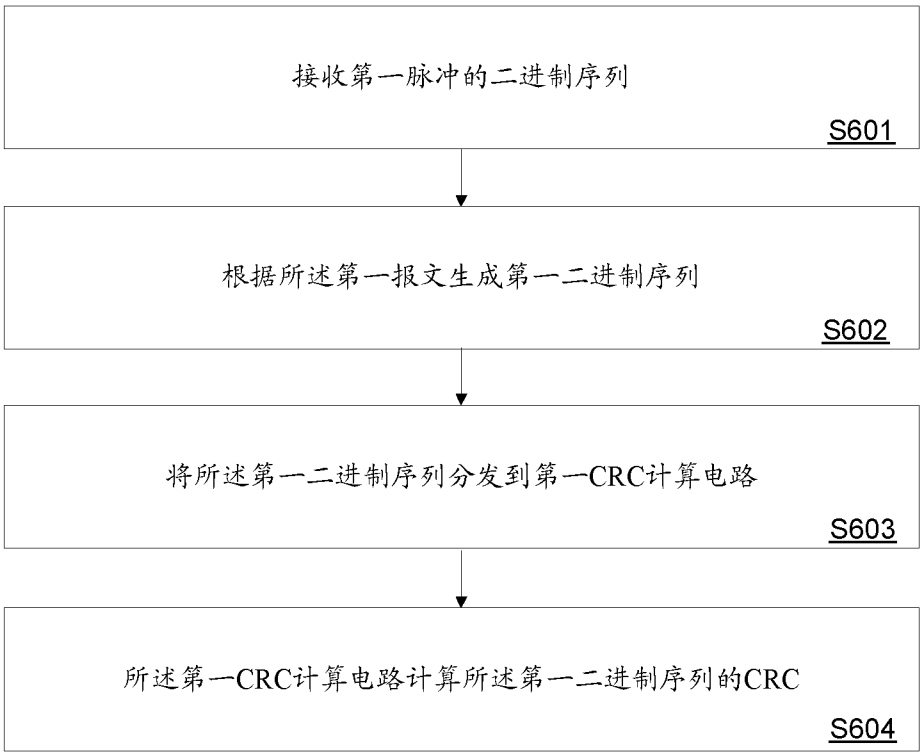

接收第一脉冲的二进制序列
S601
根据所述第一报文生成第一二进制序列
S602
将所述第一二进制序列分发到第一CRC计算电路
S603
所述第一CRC计算电路计算所述第一二进制序列的CRC
S604

图 6

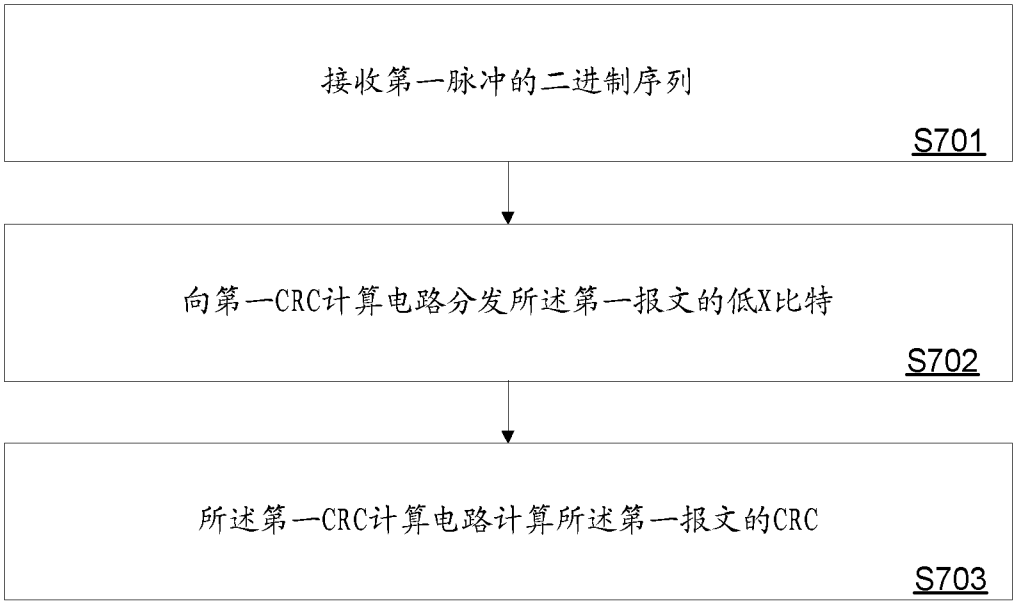

接收第一脉冲的二进制序列
S701
向第一CRC计算电路分发所述第一报文的低X比特
S702
所述第一CRC计算电路计算所述第一报文的CRC
S703

图 7


接收第二脉冲的二进制序列
S801
生成第一二进制序列
S802
将所述第一二进制序列分发至所述第一CRC计算电路
S803
所述第一CRC计算电路计算所述第一二进制序列的CRC以对所述第一CRC计算电路的CRC寄存器的值进行初始化
S804
生成第二二进制序列
S805
将所述第二二进制序列分发至所述第一CRC计算电路
S806
所述第一CRC计算电路以所述第一二进制序列的CRC为所述第一CRC计算电路的CRC寄存器的初始值计算所述第二二进制序列的CRC
S807

图 8

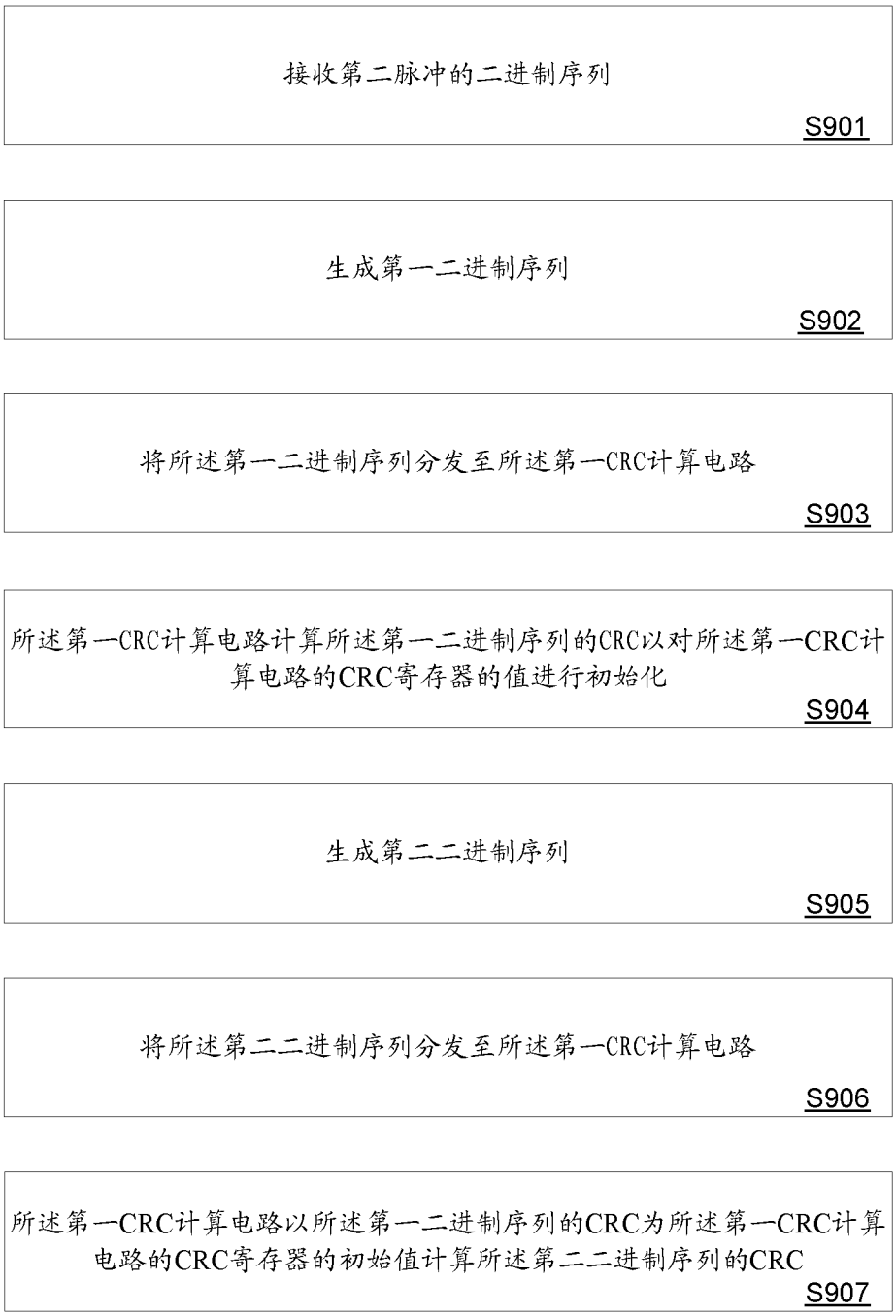

接收第二脉冲的二进制序列
S901
生成第一二进制序列
S902
将所述第一二进制序列分发至所述第一CRC计算电路
S903
所述第一CRC计算电路计算所述第一二进制序列的CRC以对所述第一CRC计算电路的CRC寄存器的值进行初始化
S904
生成第二二进制序列
S905
将所述第二二进制序列分发至所述第一CRC计算电路
S906
所述第一CRC计算电路以所述第一二进制序列的CRC为所述第一CRC计算电路的CRC寄存器的初始值计算所述第二二进制序列的CRC
S907

图 9

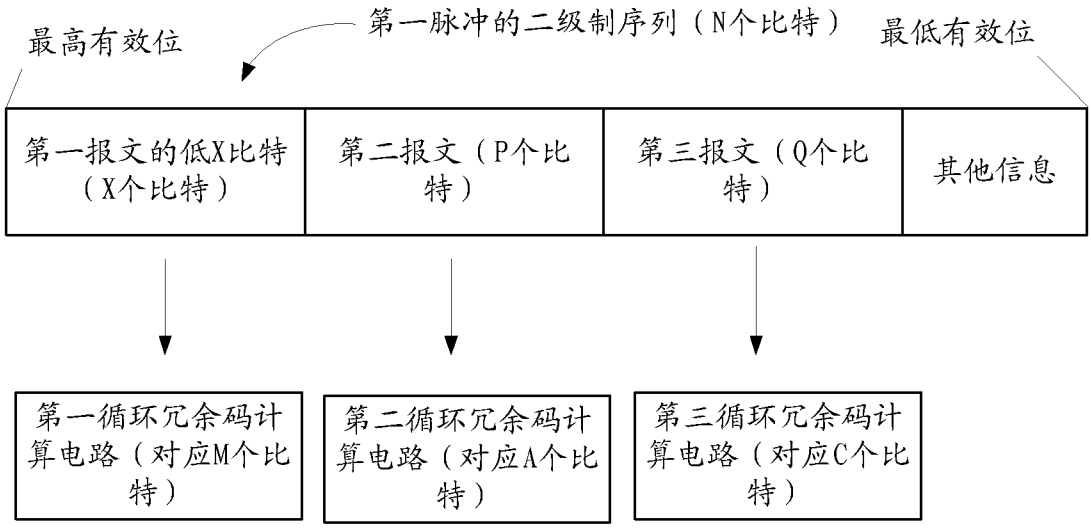

最高有效位
第一脉冲的二级制序列（N个比特）
最低有效位
第一报文的低X比特（X个比特）
第二报文（P个比特）
第三报文（Q个比特）
其他信息
第一循环冗余码计算电路（对应M个比特）
第二循环冗余码计算电路（对应A个比特）
第三循环冗余码计算电路（对应C个比特）

图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/091138

A. CLASSIFICATION OF SUBJECT MATTER

H03M 13/09 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H04L; H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS; CNTXT; CNKI; VEN: CRC, cyclic w redundancy w check, first, second, other, another, multiple, calculat+, comput+, fixed, given, settled, different, length, invariable, variable, alterable, changeless, flexible, binary, bit?, append+, add+, zero?

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101702639 A (CHENGDU HUAWEI SYMANTEC TECHNOLOGIES CO., LTD.) 05 May 2010 (05.05.2010) description, paragraphs [0029] to [0058], and figures 2 to 9	1-10
X	CN 102487282 A (SHANGHAI HUAHONG INTEGRATED CIRCUIT CO., LTD.) 06 June 2012 (06.06.2012) description, paragraphs [0015] to [0016], and figure 1	1-10
A	CN 101223700 A (MICROCHIP TECHNOLOGY INC.) 16 July 2008 (16.07.2008) the whole document	1-10
A	US 8578240 B1 (JUNIPER NETWORKS INC.) 05 November 2013 (05.11.2013) the whole document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 March 2014 (06.03.2014)	20 March 2014 (20.03.2014)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer GONG, Mei Telephone No. (86-10) 62089571

Form PCT/ISA /210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/091138

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101702639 A	05.05.2010	CN 101702639 B	19.12.2012
CN 102487282 A	06.06.2012	None	
CN 101223700 A	16.07.2008	KR 20080040706 A	08.05.2008
		WO 2007008419 A1	18.01.2007
		EP 1915823 A1	30.04.2008
		US 2007016842 A1	18.01.2007
US 8578240 B1	05.11.2013	None	

国际检索报告

国际申请号
PCT/CN2013/091138

A. 主题的分类

H03M 13/09 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H04L, H03M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CPRSABS; CNTXT; CNKI; VEN：循环冗余校验、第一、第二、另一、其他、多个、计算、固定、特定、不同、长度、不变、可变、变长、二进制、比特、补零、加零、CRC, cyclic w redundancy w check, first, second, other, another, multiple, calculat+, comput+, fixed, given, settled, different, length, invariable, variable, alterable, changeless, flexible, binary, bit?, append+, add+, zero?

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 101702639 A（成都市华为赛门铁克科技有限公司）05.5 月 2010(05.05.2010) 说明书第[0029]-[0058]段，图 2-9	1-10
X	CN 102487282 A（上海华虹集成电路有限责任公司）06.6 月 2012(06.06.2012) 说明书第[0015]-[0016]段，图 1	1-10
A	CN 101223700 A（密克罗奇普技术公司）16.7 月 2008(16.07.2008) 全文	1-10
A	US 8578240 B1（JUNIPER NETWORKS INC）05.11 月 2013(05.11.2013) 全文	1-10

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
06.3 月 2014(06.03.2014)	**20.3 月 2014 (20.03.2014)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号：　(86-10)62019451	受权官员 龚玫 电话号码：(86-10) **62089571**

国际检索报告

关于同族专利的信息

国际申请号
PCT/CN2013/091138

检索报告中引用的专利文件	公布日期	同族专利	公布日期
CN 101702639 A	05.05.2010	CN 101702639 B	19.12.2012
CN 102487282 A	06.06.2012	无	
CN 101223700 A	16.07.2008	KR 20080040706 A	08.05.2008
		WO 2007008419 A1	18.01.2007
		EP 1915823 A1	30.04.2008
		US 2007016842 A1	18.01.2007
US 8578240 B1	05.11.2013	无	