

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年06月02日；11/144,206

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明大體上係關於微處理器，且特定言之係關於分支預測微處理器。

【先前技術】

當管線微處理器等待確定是否應執行條件分支指令時，其通常使用分支預測來避免使其指令管線停止運作。分支預測機構允許該等微處理器在實際評估其分支條件之前來"推測"執行還是不執行條件分支指令。

一常用分支預測方法依賴於維護一分支歷史表，該表包括提供分支預測資訊之若干飽和計數器或其他追蹤指示器。舉例而言，一個二位元飽和計數器計數至一為11之最大值且計數至一為00之最小值，其中值11代表強執行，10代表弱執行，01代表弱不執行且00代表強不執行。基於運行時間啟發法可動態地維護該等計數器，例如微處理器追蹤過去分支行為。

因為藉由分支預測獲得之實際效能增益視分支預測準確度而定，因此對於不同指令位址範圍可使用不同計數器，以使得每個計數器之指示器狀態在一較窄指令位址範圍內更好地反映分支指令之執行/不執行行為。由於每個計數器為一相對小之指令位址範圍提供一分支預測子，因此改良之預測準確度以此方式可導致一相對大數量之計數器之使用。因此，分支歷史表可為相對大的，且編入它們之中可能需要將一有效數量之指令位址位元解碼以識別所涉及之相

對窄指令位址範圍。

維護人員延遲限制了藉由分支目標位址快取(或者,相當於,分支目標快取)之使用實現進一步分支預測效能增益之能力。該等分支目標快取保持先前識別之分支指令之指令位址,例如,先前由該微處理器提取、解碼且識別為分支指令之分支指令,且藉由將每個新提取指令之指令位址與分支目標快取內容相比較,在解碼前可檢測分支指令。一分支目標快取"命中"指示該指令位址符合一先前識別之分支,而一分支目標快取"未命中"指示該指令並非一先前識別之分支,意謂著微處理器必須等待直至指令解碼階段確定該指令是否為一分支指令。

因此,可將為分支目標快取命中之分支指令預測為執行或不執行而無需等待指令解碼。然而,使用分支歷史表作出該等預測之能力依賴在與用來檢測分支目標快取命中之時間數量相等之時間內可用之表資訊。大分支歷史表通常不能足夠快地存取以用於預測分支目標快取命中。

及時預測資訊之不可利用性使得微處理器需採取其他方法。在一個替代方法中,假設總是執行為分支目標快取命中之分支指令,意即,固定執行該"預測"。該等方法可導致一相當大數量之次數之錯誤預測。另一替代方法為使分支歷史表加速,通常藉由使其變得足夠小以使得其在指令管線之提取階段早期經存取,以使得在指令解碼之前預測資訊為可用的。然而,由於使用相同預測子(或一些預測子)來在指令位址之一較廣範圍內預測分支,故以此方式之收

縮分支歷史表通常降低了預測準確度。

【發明內容】

在一或多個實施例中，一微處理器使用一第一分支歷史表來預測為分支目標快取命中之分支指令，且使用一第二分支歷史表來預測為分支目標快取未命中之分支指令。該第一分支歷史表經配置以具有一與分支目標快取之存取速度相等之存取速度，以使得其預測資訊在微處理器之指令管線中之早期即可使用，其中分支目標快取之命中與未命中在指令管線中經檢測。因為在該管線中直至後期之前不需其預測資訊，故該第二分支歷史表不需和該第一分支歷史表一樣快。該事實使得在配置第二分支歷史表之大小與準確度時具有顯著靈活性。

微處理器可包括一分支預測電路，該分支預測電路經配置以基於將提取入該微處理器之一指令管線中之分支指令預測為執行或不執行而引導對該指令管線的自一指令快取之指令提取。該分支預測電路之一實施例包含：一分支目標快取，其經配置以為已知分支指令儲存分支目標資訊；一第一分支歷史表，其經配置以儲存第一分支預測資訊；一第二分支歷史表，其經配置以儲存第二分支預測資訊；及分支控制邏輯。該分支控制邏輯可經配置以根據為分支目標快取命中之分支指令之該第一分支預測資訊並根據為分支目標快取未命中之分支指令的該第二分支預測資訊來將分支指令預測為執行或不執行。

在一實施例中，該第一分支歷史表經配置以具有一與分

支目標快取之存取速度相等之存取速度，且該第二分支歷史表經配置以具有一與指令快取之存取速度相等之存取速度。更一般化地，該第一分支歷史表經配置以使得其分支預測資訊結合檢測分支目標快取命中(例如，在指令管線之提取階段早期)為可用的，而該第二分支歷史表經配置以使得其分支預測資訊結合識別分支指令(例如，在指令管線之解碼階段後期)為可用的。

上述微處理器可體現使用第一分支歷史表預測分支目標快取命中與使用第二分支歷史表預測分支目標快取未命中之方法之一或多個變化。例如，微處理器可經配置以根據第一分支預測資訊為分支目標快取命中作出初始預測，且其可經配置以根據第二分支預測資訊為分支目標快取命中作出對應後續預測。因此，該微處理器可經配置以根據該等初始預測引導資訊提取，且根據該等對應後續預測有條件地重引導資訊提取。意即，由於第二分支歷史表可比第一分支歷史表大(且更為準確)，因此若對應後續預測與既定初始預測不一致，則微處理器可重引導資訊提取。

此外，該微處理器可經配置以回應於將分支預測分解為分支目標快取命中與未命中而更新該第二分支預測資訊，以使得該第二分支預測資訊反映分支目標快取命中與未命中兩者之分支歷史。利用該方法，微處理器可經配置以更新作為第二分支預測資訊之一函數之第一分支預測資訊。意即，該第二分支歷史表用來反映所有經執行之分支指令之分支歷史，無論它們是否在分支目標快取中表示。

或者，該微處理器可經配置以回應於將分支預測分解為分支目標快取未命中而更新該第二分支預測資訊，且其經配置以回應於將分支預測分解為分支目標快取命中而更新該第一分支預測資訊。利用該方法，第一分支歷史表反映在快取內表示之該等分支指令之分支歷史，且第二分支歷史表反映未在快取中表示之該等分支指令之分支歷史。

【實施方式】

以非限定性實例說明，圖1說明一微處理器10，其可包含一管線精簡指令集電腦(RISC)微處理器。在所說明之實施例中，微處理器10包含輸入/輸出(I/O)電路12、一指令快取14、一資料快取16與一指令管線18，該管線包含一前端電路20、一執行單元22與一完成單元24。

在操作中，前端電路20自指令快取14提取資訊，快取14可為一機載一級(L1)快取。根據一可包括程式分支或跳躍之經定義之電腦程式流程提取該等指令。微處理器10使用分支預測來預測是否要執行或不執行條件分支，使得當遭遇條件分支指令時，微處理器通常不中斷其指令提取操作。

將經提取之資訊解碼且發給執行單元22，根據一超純量架構可實施單元22。執行單元22執行該等經發出之指令，且完成單元24收回該等經執行之資訊。完成單元24可包含一將執行結果儲存入一或多個目標檔案暫存器之回寫機構。以非限定性實例說明，執行單元22包含一整數單元26、一負載/儲存單元28與一浮點單元30。因此，前端電路20可經配置來將整數指令調度至整數單元26，將記憶體存取指

令調度至負載/儲存單元28等等。

熟習此項技術者應瞭解在執行單元22內之每個該子單元本身可包含若干連續管線階段且在執行單元22內實施之該等特定子單元可變化。實際上，熟習此項技術者應瞭解在不偏離本文揭示之分支預測方法與裝置之條件下，微處理器10之架構可顯著變化。

根據微處理器10之一個實施例來研究分支預測之一較詳細之處理，前端電路20包含若干管線階段，包括連續提取階段32與34(在圖中亦表示為FE1與FE2)、連續解碼階段36與38(在圖中亦表示為DC1與DC2)與一發出/調度階段40(在圖中亦表示為IS)。該等前端管線階段之一或多者與一分支預測電路42相結合，電路42包含分支控制邏輯44、一分支目標快取46、一第一分支歷史表48(在圖中亦表示為BHT1)與一第二分支歷史表50(在圖中亦表示為BHT2)。

提取階段32可經配置來維護一代表將提取入指令管線18之下一指令之指令位址之位址計數器。將在提取階段32中保持之值提供至指令快取14，以使得指令快取14將在特定位址處保持之實際程式指令輸出從而由解碼階段36解碼。在提取階段32中保持之值通常在每個時脈週期中更新。對於連續提取，更新該值包含將其增量至指向指令之當前序列中之下一程式指令。然而，若經提取之最後指令為一將執行之條件分支指令，那麼則連續提取為不合適的。實情為，指令提取應經重引導至分支指令之目標位址。

所以，分支預測電路42使用分支歷史資訊來預測執行還

是不執行一既定條件分支指令。可根據一或多種啟發法產生該分支資訊。以非限定性實例說明，該分支預測資訊可基於監控執行或不執行多少個最後R分支。可精化該資訊，例如藉由維護關於正向分支與反向分支之分離歷史資訊，及/或藉由維護總程式指令位址空間之子範圍之分支歷史預測子，以使得每個分支預測子反映一相對小指令位址範圍之執行/不執行行為。由於藉由每個預測子代表之分支之數量減少且推測起來其更反映了較小數量之分支之特定行為，故將每個預測子限制在一較小範圍之指令位址可提供一較準確預測子。

然而，維護一較大數量之預測子通常需要一大分支歷史表，這樣會降低該表可經存取之速度。就在指令管線18中之解碼步驟前未經識別(且因此未經預測)為分支指令而言，一較慢之存取速度並沒有問題，但對於在指令管線18中早期經識別作為分支指令之分支指令，其為有問題的，藉由分支目標快取46，其提供微處理器10在資訊經解碼之前識別一新的經提取之資訊是否為一分支指令之能力。

以非限定性實例說明，分支目標快取46可實施為一分支目標位址快取(稱為"BTAC")或實施為一分支目標指令快取(通常稱為"BTIC")。在第一種狀況下，分支目標快取46儲存先前經識別之分支指令之指令位址且儲存對應分支目標位址。在第二種狀況下，分支目標快取46儲存先前經識別之分支指令之指令位址，該等分支指令之實際目標指令，及繼該目標指令之位址後之下一指令位址。

無論如何，若一既定指令先前經提取、解碼且識別為一條條件分支指令，則其對應指令位址可儲存在分支目標快取46中。分支目標快取46因此儲存已知分支指令之指令位址，且可將每個新提取指令之指令位址與分支目標快取46中保持之位址值相比較。一比較匹配(一分支目標快取命中)意謂著該新經提取之指令為一已知分支指令，而不匹配(一分支目標快取未命中)意謂著需要指令解碼來確定該新經提取指令是否為一分支指令。

由於基於分支目標快取命中檢測而識別出分支指令之階段比基於指令解碼而識別出分支指令之階段早，因此用來預測作為分支目標快取命中之分支指令之分支預測資訊必須比用來預測為分支目標快取未命中之分支指令的分支預測資訊為更快可用的。因此，在微處理器10之至少一個實施例中，其分支預測方法包含：維護用於已知分支指令之識別之分支目標快取46，確定經提取入微處理器10之指令管線18中之分支指令是分支目標快取命中還是分支目標快取未命中，且根據儲存在第一分支歷史表48中之第一分支預測資訊預測執行或不執行為分支目標快取命中之分支指令，且根據儲存在第二分支歷史表50中之第二分支預測資訊預測執行或不執行為分支目標快取未命中之分支指令。

該方法可進一步包含配置第一分支歷史表48具有一與分支目標快取46之存取速度相等之存取速度，且配置第二分支歷史表50具有一與指令快取14之存取速度相等之存取速度，指令自快取14提取入指令管線18。通常，指令快取14

之存取速度使得實際(經提取)程式指令在合適之指令時脈週期提供至第一解碼階段36。舉例而言，可配置第一分支歷史表48與分支目標快取46在指令管線18之M週期中為可存取的，且可配置第二分支歷史表50在指令管線18之N週期中為可存取的，其中M與N為第一數目與第二數目，M小於N。

一種配置第一分支歷史表48比第二分支歷史表50快之方法包含配置第一分支歷史表48儲存之分支預測子之數量比第二分支歷史表50少，以使得在第一分支歷史表48中存取一分支預測子所花時間比在第二分支歷史表50中存取一分支預測子所花時間少。如先前所說明，儲存在分支歷史表48與50之個別預測子可包含飽和計數器，例如，二位元計數器，其提供以一具有強執行、弱執行、弱不執行與強不執行狀態之指示器之形式的分支預測資訊。然而，應理解分支歷史表48與50可採用一不同類型之計數器或採用完全不同之形式之分支預測子。

在以上概述之兩表分支預測方法之一進一步態樣中，微處理器10可經配置根據第一分支預測資訊為分支目標快取命中作出初始預測，且根據第二分支預測資訊為分支目標快取命中作出對應隨後預測。意即，微處理器10可經配置來基於使用儲存在第一分支歷史表48中之資訊作出之一初始(早期)分支預測為分支目標快取命中控制其指令提取，且若使用儲存在第二分支歷史表50中之資訊作出之對應隨後分支預測與最初預測不一致則置換該控制。

在本文中，置換較早預測可包含重引導資訊提取。例如，若執行初始預測，則分支預測電路42可將指令提取引導至指示分支目標位址，且若不執行隨後預測，則該分支預測電路繼不執行分支指令後將指令提取重引導回下一連續位址。使用隨後分支預測來有條件地重引導(置換)較早分支預測具有優點，諸如第二分支歷史表50與較小且較快之第一分支歷史表48相比，其較大且推測起來較準確。

使用以上方法，第二分支歷史表50儲存用於分支目標快取命中與分支目標快取未命中之兩者之預測資訊。同樣地，一種更新第二分支歷史表50之方法包含回應於將分支預測分解為分支目標快取命中與未命中而更新第二分支預測資訊，以使得該第二分支預測資訊反映分支目標快取命中與未命中之分支歷史。意即，關於是否實際地執行或不執行分支目標快取命中與未命中之個別分支指令，執行單元22可經配置來提供回饋至分支預測電路42，且該回饋可用於更新儲存在第二分支歷史表50中之預測資訊。反過來，儲存在第一分支歷史表48中之預測資訊可作為該(經更新)第二分支預測資訊之一函數更新。同樣地，至少可將分支目標快取命中之回饋提供至分支預測電路42，其直接用於更新第一分支歷史表48。

本文教示之兩表分支預測方法之另一實施例包含回應於將一指令位址提取入指令管線18而啟動對第一與第二分支歷史表48與50之存取，且回應於檢測出該指令位址為分支目標快取46中之一命中而中止對第二分支歷史表50之存

取。因此，微處理器10將一新指令提取入指令管線18之同時啟動對第一與第二分支歷史表48與50之存取。若該新提取指令經檢測為一分支目標快取命中，那麼由於不必要故微處理器10中止對第二分支歷史表50之存取。

在該等狀況下終止該存取可保存能量。例如，用來將來自第二分支歷史表50之分支預測結果輸出之感應放大器及/或其他輸出電路不需要加電。此外，即使中止一些數量之該等存取，根據以上方法對第二分支歷史表50之存取之啟動保證所需結果將以一及時之方式可用，意即，對第二分支歷史表50之存取在指令管線18中早期經啟動，以使得來自於第二分支歷史表50之關於分支目標快取未命中之預測結果在指令管線18中後期為就緒且可用的。

該方法容許第一分支歷史表48專門地為作為分支目標快取命中之分支指令儲存預測資訊，且容許第二分支歷史表50專門地為作為分支目標快取未命中之分支指令儲存預測資訊。同樣地，微處理器10採用之分支預測資訊更新之方法可包含回應於將分支預測分解為分支目標快取未命中而更新該第二分支預測資訊，且回應於將分支預測分解為分支目標快取命中而更新該第一分支預測資訊。

換言之，微處理器10可利用來自執行單元22之回饋來確定是實際地執行還是不執行分支指令。關於作為分支目標快取命中之分支指令之回饋可用來更新儲存在第一分支歷史表48中之預測資訊，且關於作為分支目標快取未命中之分支指令之回饋可用來更新儲存在第二分支歷史表50中之

預測資訊。以此方式將預測資訊分離改良微處理器10之預測準確度，至少達到了分支目標快取命中與未命中表現出不同執行/不執行行為之程度。

圖2提供微處理器10之一部分之一功能方塊圖，其中所說明之功能元件可經配置來進行本文教示之兩表分支預測方法。自該說明，吾人看出指令管線18之提取階段32將指令位址提供至指令快取14且至分支控制邏輯44。指令快取14使用該等位址來提取對應指令輸出至指令管線之解碼階段36，而分支控制邏輯44將每個提取位址與分支目標快取46相比較以檢測已知分支指令，意即，以識別出與一儲存在分支目標快取46中之指令位址相匹配之該等經提取之指令位址。

若分支目標快取46轉回一命中指示至分支控制邏輯44，那麼分支控制邏輯44獲得來自第一分支歷史表48之預測資訊以確定應將該分支目標快取預測為執行還是不執行。若預測指示器指示一執行預測，那麼分支控制邏輯44使提取階段32之下一提取位址由分支快取命中之分支目標位址更新，其在圖中表示為"BTA(BTC HIT)"，以指示關於一分支目標快取(BTC)命中之分支目標位址(BTA)。

為分支目標快取未命中之指令位址通過提取階段32與34順序地傳播，且對應於該等位址之指令由指令快取14提供用於在解碼階段36處解碼。在該點上，在分支目標快取46中為未命中之經解碼之分支指令經識別，且分支控制邏輯44使用來自於第二分支歷史表50之預測資訊來預測執行或

不執行分支指令。若預測為執行，則分支控制邏輯44為提取階段32提供對應分支目標位址，在圖中表示為"BTA(BTC MISS)"，以指示關於一BTC未命中之BTA。

圖3說明上述功能性之一或多個實施例之存取週期時序，其中第一分支歷史表48經配置具有一與分支目標快取46之存取速度相等之存取速度。該匹配容許微處理器10在微處理器10基於檢測分支目標快取命中而識別出分支指令之相同管線階段獲得分支預測資訊。舉例而言，分支目標快取46與第一分支歷史表48兩者在指令管線18之M週期(例如，M指令時脈週期)中為可存取的。該配置容許微處理器10繼M+1個週期後將為分支目標快取命中之分支指令之分支目標位址提供至提取階段32。

此外，第二分支歷史表50可經配置具有一存取速度，其等於指令快取14之存取速度，或等於適合於指令位址提取與對應指令之隨後解碼(藉由解碼階段36)間之延遲之任何速度。舉例而言，可配置指令快取14與第二分支歷史表50在指令管線18之N週期中為可存取的。該配置容許微處理器10繼N+1個週期後將為分支目標快取未命中之分支指令之分支目標位址提供至提取階段32。

以非限定性實例說明，M可為一個時脈週期，且N可為兩個時脈週期。因此，微處理器10使用第一分支歷史表48在兩個指令時脈週期中獲得分支目標快取命中之分支預測，與第二分支歷史表50相比，第一分支歷史表48以其所含之個別分支預測子之數量而言為相對小的。此外，微處理器

10使用第二分支歷史表50在三個指令時脈週期中獲得分支目標快取命中之分支預測。

自上述實例，吾人看出藉由使用一"小型"分支歷史表(意即，第一分支歷史表48)，微處理器10增加關於檢測為分支目標快取命中之分支指令之一預測與提取效能的優點。此外，該等效能增益並非來自於付出了維護一任意大且(推測起來)較準確之主分支歷史表之代價(意即，第二分支歷史表50)，該表可用來預測不是分支目標快取命中之分支指令，且/或用作置換小型表所作之初始預測。

同樣地，熟習此項技術者應瞭解本文揭示之兩表分支預測可發生許多變化，諸如以下方面：微處理器架構、小型分支歷史表與主分支歷史表間之相對指令週期存取時序差異、是否使用小型表專門地或初始地預測分支目標快取命中、啟發法與選來用於更新小型分支歷史表與主分支歷史表之方法、儲存在小型表與主表中之分支預測資訊之特定格式、小型表與主表之相對大小等等。更特定言之，熟習此項技術者應瞭解本發明不由上述討論或隨附圖式限制。事實上，本發明僅由下述申請專利範圍與其法定等價物限制。

【圖式簡單說明】

圖1係一微處理器之一方塊圖。

圖2係一可實施在圖1之微處理器中之指令管線的一前端電路之一方塊圖。

圖3係一圖2中說明之前端電路之一實施例之指令處理之

流程圖。

【主要元件符號說明】

10	微處理器
12	輸入/輸出電路
14	指令快取
16	資料快取
18	指令管線
20	前端電路
22	執行單元
24	完成單元
26	整數單元
28	負載/儲存單元
30	浮點單元
32, 34	提取階段
36, 38	解碼階段
40	發出/調度階段
42	分支預測電路
44	分支控制邏輯
46	分支目標快取
48	第一分支歷史表
50	第二分支歷史表

五、中文發明摘要：

本發明提供一種包括兩個分支歷史表之微處理器，其經配置以使用該等分支歷史表中之第一者來預測在一分支目標快取中為命中之分支指令，且使用該等分支歷史表中之第二者來預測在該分支目標快取中為未命中之分支指令。同樣地，該第一分支歷史表經配置以具有一與該分支目標快取之存取速度相等之存取速度，以使得其預測資訊相對於可較早發生在該微處理器之指令管線中之分支目標快取命中檢測為及時可用的。該第二分支歷史表因此僅需如與諸如在該指令管線之指令解碼階段識別分支目標快取未命中為分支指令結合之提供及時預測資訊所需之速度一樣快。

六、英文發明摘要：

十一、圖式：

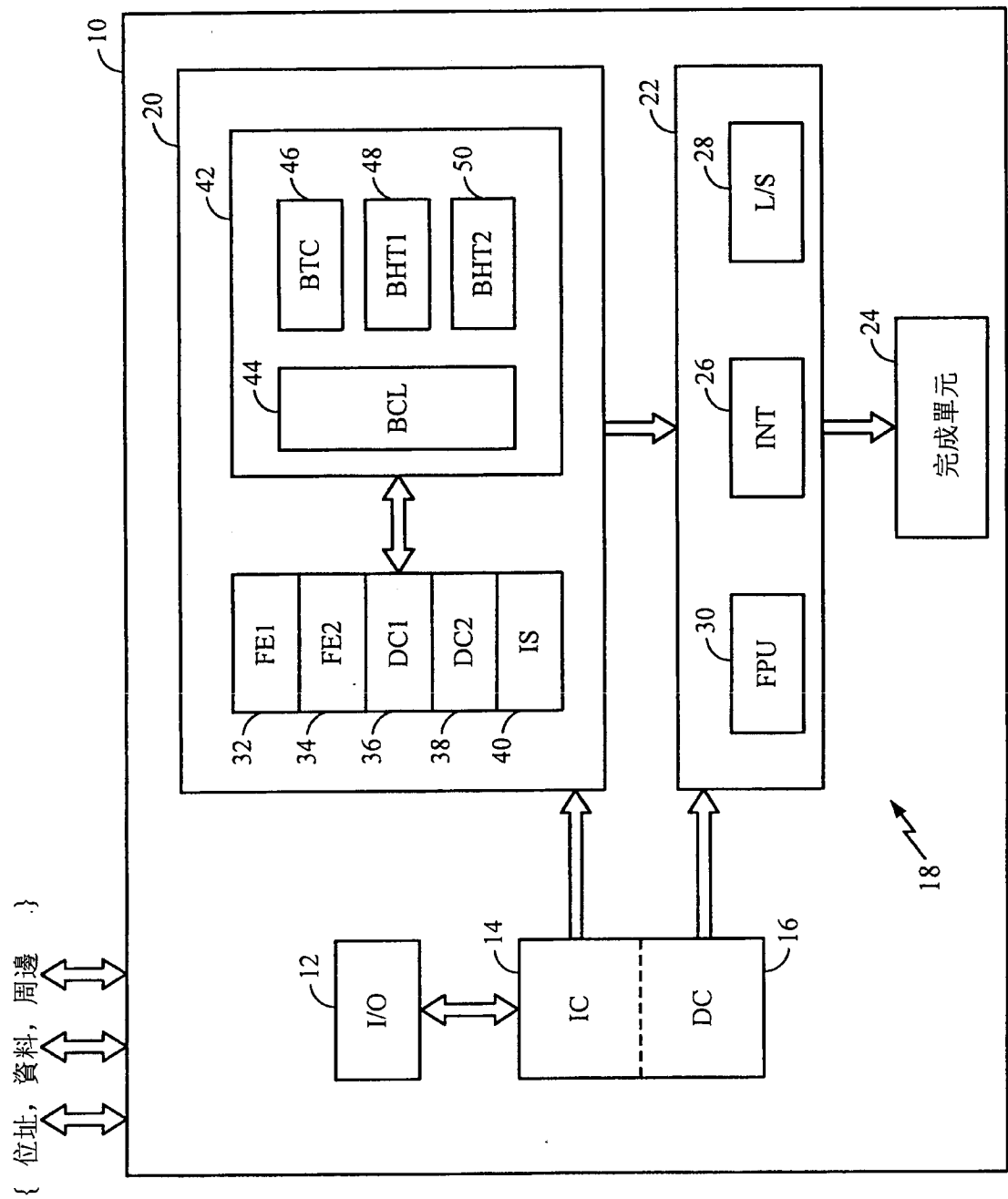
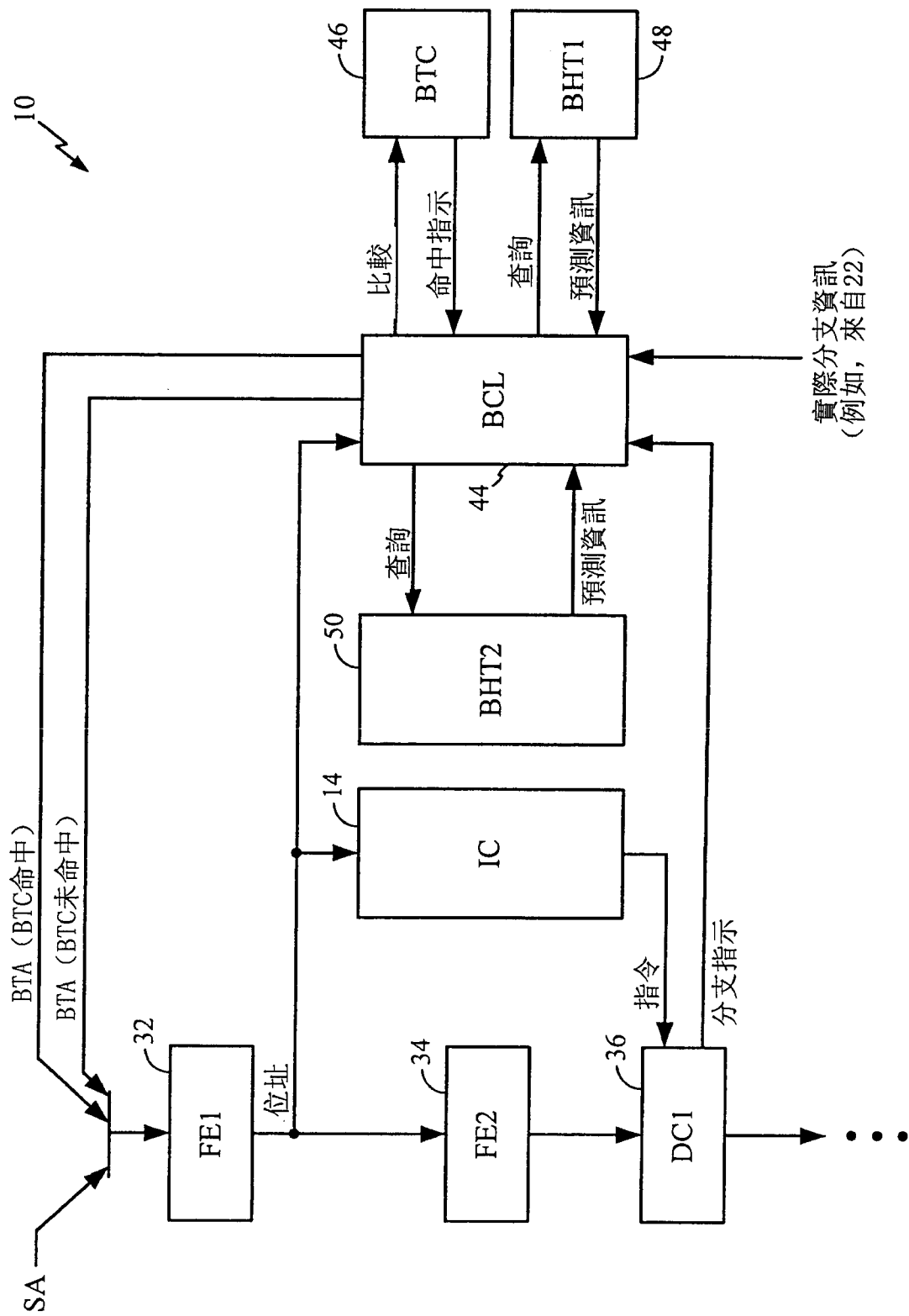


圖1



實際分支資訊
(例如, 來自22)

圖2

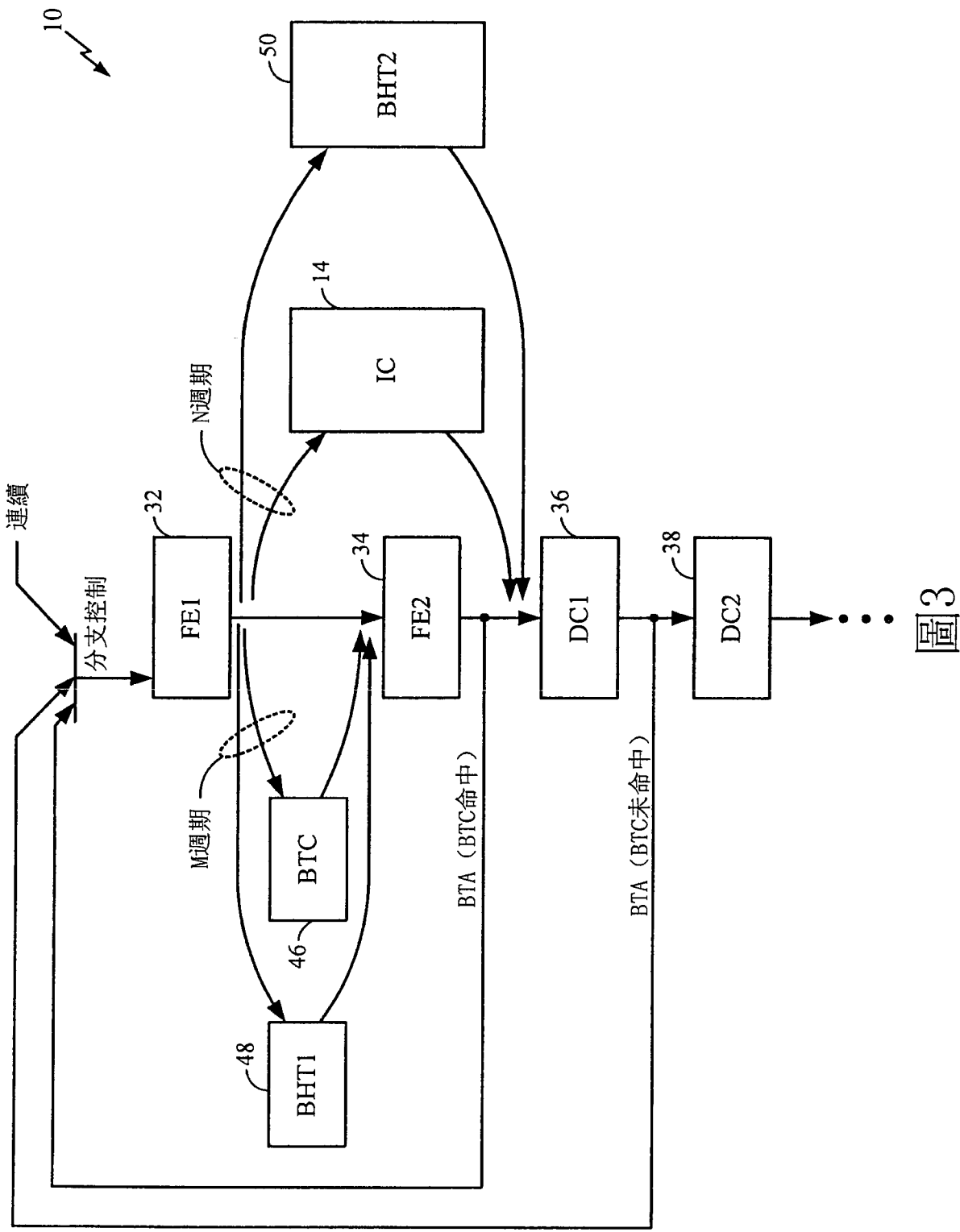


圖3

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

10	微 處 理 器
14	指 令 快 取
32, 34	提 取 階 段
36	解 碼 階 段
44	分 支 控 制 邏 輯
46	分 支 目 標 快 取
48	第 一 分 支 歷 史 表
50	第 二 分 支 歷 史 表

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

中文說明書替換頁(98年5月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※ 申請案號：095119436

※ 申請日期：95.6.1

※IPC 分類：G06F 9/38 (2006.01)

G06F 9/34 (2006.01)

一、發明名稱：(中文/英文)

用以預測分支指令之方法及微處理器

A METHOD AND MICROPROCESSOR FOR PREDICTING BRANCH
INSTRUCTIONS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商高通公司

QUALCOMM INCORPORATED

代表人：(中文/英文)

喬治 A 懷坦

WHITTEN, GEORGE A.

住居所或營業所地址：(中文/英文)

美國加州聖地牙哥市摩豪斯大道 5775 號

5775 MOREHOUSE DRIVE SAN DIEGO, CA 92121-1714 U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 湯瑪士 安佐 薩多立司
SARTORIUS, THOMAS ANDREW
2. 布萊恩 麥可 史坦波
STEMPEL, BRIAN MICHAEL
3. 傑佛瑞 泰德 布萊奇
BRIDGES, JEFFREY TODD
4. 詹姆士 諾立司 迪凡弗
DIEFFENDERFER, JAMES NORRIS
5. 羅德尼 威尼 史密斯
SMITH, RODNEY WAYNE

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.
3. 美國 U.S.A.
4. 美國 U.S.A.
5. 美國 U.S.A.

十、申請專利範圍：

1. 一種可以預測分支指令的微處理器，其包含一指令管線，該指令管線包括或結合：

一指令快取，其經配置以快取提取進入該指令管線之快取指令；

一分支目標快取，其經配置以儲存已知分支指令之分支目標資訊；

一第一分支歷史表，其經配置以儲存第一分支預測資訊；

一第二分支歷史表，其經配置以儲存第二分支預測資訊；及

分支控制邏輯，其經配置以根據分支目標快取命中之分支指令之該第一分支預測資訊及根據為分支目標快取未命中之分支指令之該第二分支預測資訊以預測分支指令為執行或不執行，其中該微處理器經配置以回應於將一指令位址提取進入該指令管線而起始對該第一與該第二分支歷史表之存取，且其進一步經配置以回應於檢測出該指令位址為一在該分支目標快取中之命中而中止對該第二分支歷史表之該存取，以避免被分支目標快取命中之分支指令對該第二分支歷史表之一全存取。

2. 如請求項1之微處理器，其中該第一分支歷史表經配置以具有一與該分支目標快取之存取速度相等之存取速度，且其中該第二分支歷史表經配置以具有一與該指令快取之存取速度相等之存取速度。

3. 如請求項1之微處理器，其中該第一分支歷史表與該分支目標快取經配置以在該指令管線之M週期中為可存取的，且其中該第二分支歷史表經配置以在該指令管線之N週期中為可存取的，其中M與N為第一數目與第二數目，M小於N。
4. 如請求項1之微處理器，其中該第一分支歷史表包含一比該第二分支歷史表數量小之分支預測子，以使得在該第一分支歷史表中存取一分支預測子所花時間比在該第二分支歷史表中存取一分支預測子所花時間少。
5. 如請求項1之微處理器，其中該微處理器經配置以根據該第一分支預測資訊為分支目標快取命中作出初始預測，且其經配置以根據該第二分支預測資訊為該分支目標快取命中作出對應隨後預測。
6. 如請求項5之微處理器，其中該微處理器經配置以根據該等初始預測來引導指令提取，且根據該等對應隨後預測有條件地再引導指令提取。
7. 如請求項6之微處理器，其中該微處理器經配置以對於一既定初始預測，若該對應隨後預測與該既定初始預測不一致則藉由重引導指令提取來有條件地重引導指令提取。
8. 如請求項1之微處理器，其中該微處理器經配置以回應於將分支預測分解為分支目標快取命中與未命中而更新該第二分支預測資訊，以使得該第二分支預測資訊反映分支目標快取命中與未命中兩者之分支歷史。

9. 如請求項8之微處理器，其中該微處理器經配置以更新作為該第二分支預測資訊之一函數之該第一分支預測資訊。
10. 如請求項1之微處理器，其中該微處理器經配置以回應於將分支預測分解為分支目標快取未命中而更新該第二分支預測資訊，且其經配置以回應於將分支預測分解為分支目標快取命中而更新該第一分支預測資訊。
11. 如請求項1之微處理器，其中該分支目標快取包含一分支目標位址快取或一分支目標指令快取中之一者。
12. 一種在一微處理器中之分支指令預測之方法：
 - 維護一可識別已知分支指令之分支目標快取；
 - 確定提取進入該微處理器之一指令管線中之分支指令是分支目標快取命中還是分支目標快取未命中；及
 - 根據儲存在一第一分支歷史表中之第一分支預測資訊以預測分支目標快取命中之分支指令為執行或不執行，且根據儲存在一第二分支歷史表中之第二分支預測資訊以預測分支目標快取未命中之分支指令為執行或不執行；及
 - 回應於將一指令位址提取進入該指令管線而起始對該第一與該第二分支歷史表之存取，且回應於檢測出該指令位址為一在該分支目標快取中之命中而中止對該第二分支歷史表之該存取，以避免被分支目標快取命中之分支指令對該第二分支歷史表之一全存取。
13. 如請求項12之方法，其進一步包含配置該第一分支歷史

表以具有一與該分支目標快取之存取速度相等之存取速度，且配置該第二分支歷史表以具有一與一指令快取之存取速度相等之存取速度，其中該指令係自該指令快取提取進入該指令管線。

14. 如請求項12之方法，其進一步包含配置該第一分支歷史表與該分支目標快取在該指令管線之M週期中成為可存取的，且配置該第二分支歷史表在該指令管線之N週期中成為可存取的，其中M與N為第一數目與第二數目且M小於N。
15. 如請求項12之方法，其進一步包含配置該第一分支歷史表以儲存一比該第二分支歷史表數量小之分支預測子，以使得在該第一分支歷史表中得以存取一分支預測子所花時間比在該第二分支歷史表中存取一分支預測子所花時間少。
16. 如請求項12之方法，其中該根據儲存在一第一分支歷史表中之第一分支預測資訊以預測分支目標快取命中之分支指令為執行或不執行係包含：根據該第一分支預測資訊為分支目標快取命中作出初始預測，且根據該第二分支預測資訊為該分支目標快取命中作出對應隨後預測。
17. 如請求項16之方法，其進一步包含根據該等初始預測引導指令提取，且根據該等對應隨後預測有條件地再引導指令提取。
18. 如請求項17之方法，其中該根據等對應隨後預測有條件地再引導指令提取係包含：對於一既定初始預測，若該

對應隨後預測與該既定初始預測不一致則再引導指令提取。

19. 如請求項12之方法，其進一步包含回應於將分支預測分解為分支目標快取命中與未命中而更新該第二分支預測資訊，以使得該第二分支預測資訊反映分支目標快取命中與未命中兩者之分支歷史。
20. 如請求項19之方法，其進一步包含更新該第一分支預測資訊以作為該第二分支預測資訊之一函數。
21. 如請求項12之方法，其進一步包含回應於將分支預測分解為分支目標快取未命中而更新該第二分支預測資訊，且回應於將分支預測分解為分支目標快取命中而更新該第一分支預測資訊。
22. 如請求項12之方法，其進一步包含將該分支目標快取配置為一分支目標位址快取與一分支目標指令快取中之一者。