



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1504802**

A 1

(51) 4 Н 03 М 3/02, 3/04

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВСЕСОЮЗНАЯ
ПАТЕНТНО-ТЕХНИЧЕСКАЯ
БИБЛИОТЕКА

(21) 4363276/24-24
(22) 13.01.88
(46) 30.08.89. Бюл. № 32
(72) А.В.Тимченко, О.Р.Пристайко
и С.В.Тимченко
(53) 621.376.56(088.8)
(56) Радиотехника, 1984, № 9, с. 56-58.

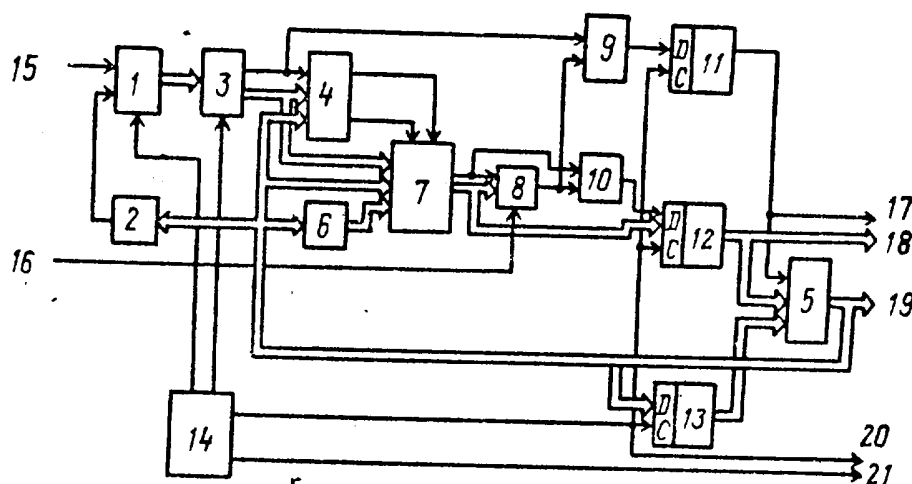
Авторское свидетельство СССР
№ 661789, кл. Н 03 М 3/02, 1977.

Авторское свидетельство СССР
№ 1425838, кл. Н 03 М 3/02, 1987.

(54) ДЕЛЬТА-МОДУЛЯТОР

(57) Изобретение относится к автоматике и вычислительной технике. Его использование в системах связи и системах слежения, где требуется быстрое вхождение в захват и высокая точность, позволяет расширить об-

ласть применения за счет переключения вида квантующей характеристики. Дельта-модулятор содержит аналого-цифровой и цифроаналоговый преобразователи 1, 2, блок 3 оперативной памяти, арифметико-логические блоки 4, 5, группу 6 элементов НЕ, блок 7 мультиплексирования, триггер 11, буферные регистры 12, 13 и блок 14 синхронизации. Благодаря введению элемента ИЛИ-НЕ 8, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 9 и элемента ИЛИ 10 обеспечивается переключение квантующей характеристики: с центральным клиппированием - для реакции на минимальные изменения входного сигнала и с центральным подавлением слабых сигналов - для улучшения условий вхождения в захват. 3 ил.



Фиг. 1

(19) **SU** (11) **1504802** **A 1**

Изобретение относится к автоматике и вычислительной технике и может быть использовано в системах связи и системах слежения, где требуется быстрое вхождение в захват и высокая точность.

Цель изобретения - расширение области применения за счет обеспечения переключения вида квантующей характеристики.

На фиг. 1 приведена блок-схема дельта-модулятора; на фиг. 2 и 3 показаны функциональные схемы соответственно арифметико-логического блока и блока мультиплексирования.

Дельта-модулятор содержит аналого-цифровой преобразователь (АЦП) 1, цифроаналоговый преобразователь (ЦАП) 2, блок 3 оперативной памяти, первый и второй арифметико-логические блоки (АЛБ) 4 и 5, группу 6 элементов ИЕ, блок 7 мультиплексирования, элемент ИЛИ-ИЕ 8, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 9, элемент ИЛИ 10, триггер 11, первый и второй буферные регистры 12 и 13 и блок 14 синхронизации. На фиг. 1 обозначены также информационный и управляющий входы 15 и 16, первый, второй и третий информационные выходы 17-19, первый и второй тактовые выходы 20 и 21.

Первый АЛБ 4 выполнен (фиг. 2) на группе 22 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, сумматоре 23, элементе ЗАПРЕТ 24 и элементе И 25. На фиг. 2 также обозначены управляющий вход 26, первые и вторые информационные входы 27 и 28, а также первый и второй выходы 29 и 30. Разрядность сумматора 23 на единицу больше разрядности третьих выходов 19 дельта-модулятора, а старший разряд входов 28 соединен с источником логического нуля.

Второй АЛБ 5 выполнен аналогично (фиг. 2), но без элементов 24 и 25, а выходами его являются выходы 31 разрядов сумматора 23.

Блок 7 мультиплексирования содержит (фиг. 3) элемент ИЛИ 32, группу 33 элементов ЗАПРЕТ, первую и вторую группы 34 и 35 элементов И и группу 36 элементов ИЛИ. На фиг. 3 обозначены также первые, вторые и третьи информационные входы 37-39, первый и второй управляющие входы 40 и 41 и выход 42.

Блок 14 синхронизации формирует на своих выходах сдвинутые последовательности импульсов.

Сущность изобретения заключается в том, что оно реализует квантующую характеристику двух типов: с центральным подавлением и центральным клиппированием слабых сигналов, причем тип характеристики легко изменяется путем подачи управляющего сигнала на один из входов элемента ИЛИ-ИЕ. Такое изменение позволяет применить дельта-модуляторы в сложных следящих системах, где требуется одновременно высокая точность слежения и быстрое вхождение в захват. Эти требования реализуются, если квантующая (переходная) характеристика в первом случае соответствует характеристике с центральным клиппированием, а во втором случае - с центральным подавлением слабых сигналов. Первый тип характеристики обеспечивает реакцию следящей системы на минимальные изменения сигнала, а второй - подавление шумовых составляющих, что может использоваться для улучшения условий и времени вхождения в захват.

Дельта-модулятор работает следующим образом.

По импульсу с первого выхода блока 14 АЦП 1 преобразует разность между входным аналоговым сигналом $U_{\text{вх}}(t)$ и аппроксимирующим напряжением U_2 на выходе ЦАП 2 в код, который записывается в блок 3 по импульсу с второго выхода блока 14. Блок 3 из выходного кода АЦП 1 формирует на первом выходе сигнал, соответствующий знаку разности входных сигналов АЦП 1, а на вторых выходах - код, соответствующий абсолютному значению указанной разности. Первый АЛБ 4 совместно с группой 6, элементами 8-10 и блоком 7 формирует на выходах последнего код абсолютного значения приращения выходного сигнала, который одновременно со знаковым разрядом на выходе элемента 9 фиксируется в регистре 12 и триггере 11 импульсов с третьего выхода блока 14 синхронизации.

Выходной сигнал триггера 11 и регистра 12 (выходы 17 и 18) является выходным сигналом дельта-модулятора в формате МДМ, а импульс с выхода 20 - тактовым выходом указанного формата. По сигналу с третьего выхода

блока 14 в регистре 13 фиксируется выходной сигнал устройства в формате ИКМ за предыдущий такт, в результате чего блок 5 из сигналов блоков 11-13 вырабатывает выходной сигнал в формате ИКМ текущего такта, который подтверждается импульсом, появляющимся на четвертом выходе блока 14 после окончания суммирования в блоке 5. Выход 21 является тактовым выходом формата ИКМ.

Рассмотрим подробно, как работает дельта-модулятор.

Примем вначале, что на управляющий вход 16 подан сигнал логической единицы. В этом случае, выходной сигнал элемента ИЛИ-НЕ 8 всегда равен логическому нулю, в результате чего выходной сигнал элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 9 соответствует сигналу на первом выходе блока 3 оперативной памяти, а сигнал на входах регистра 12 точно соответствует сигналу на выходах блока 7.

Рассмотрим работу дельта-модулятора в режиме слежения за входным сигналом $U_{вх}(t)$, величина которого не выходит за интервал $[0, U_H]$, причем нулевому значению аппроксимирующего напряжения U_2 соответствует нулевое значение входного кода ЦАП 2, а номинальному значению U_H аппроксимирующего напряжения соответствует код $S_H = 2^n - 1$ на входах преобразователя 2 разрядностью n . В этом случае в регистре 13 записано соответствующее значение кода S_0 , а в регистре 12 - абсолютное значение m -разрядного приращения ΔS_0 входного сигнала за предыдущий период дискретизации, знак которого E_0 записан в триггере 11. Из указанных сигналов блок 5 вычисляет выходной сигнал $S_1 = S_0 + \Delta S_0 \cdot E_0$ в формате ИКМ, а ЦАП 2 вырабатывает некоторую величину аппроксимирующего напряжения $U_2 \in [0, U_H]$. По импульсам с выходов блока 14 синхронизации величина разности напряжений $U_{вх} - U_2$ преобразуется блоками 1 и 3 в код, в результате чего на разрядных (вторых) выходах последнего формируется m -разрядный код ΔS_1 , соответствующий абсолютному значению $|U_{вх} - U_2|$, а на знаковом (первом) разряде блока 3 - сигнал, соответствующий знаку указанной разности:

$$E_1 = \text{sign}(U_{вх} - U_2),$$

причем знаку "плюс" соответствует сигнал логического нуля, а знаку "минус" - сигнал логической единицы.

Указанные сигналы поступают на управляющий и первые информационные входы АЛБ 4, предназначенного для определения принадлежности текущего отсчета входного сигнала интервалу $[0, U_H]$. На вторые информационные входы АЛБ 4 подается код S_1 аппроксимирующего напряжения U_2 . АЛБ 4 суммирует коды S_1 и $\Delta S_1 \cdot E_1$. Если $S_1 + \Delta S_1 \cdot E_1 < 0$, то на выходе заема (втором выходе 30) АЛБ 4 появляется сигнал логической единицы $U_{р1} = 1$ и, соответственно, если $S_1 + \Delta S_1 \cdot E_1 > S_H$, то на выходе переноса (первом выходе 29) АЛБ 4 появляется сигнал $U_{р1} = 1$. В случае, если $0 \leq S_1 + \Delta S_1 \cdot E_1 \leq S_H$, АЛБ 4 вырабатывает сигналы $U_{р1} = U_{р2} = 0$. Допустим, что в данном периоде дискретизации выполняется последнее условие. Тогда выходной код блока 7 равен $\Delta S'_1 = \Delta S_1$. Так как сигнал на управляющем входе 16 равен логической единице, то по импульсу с третьего выхода блока 14 сигналы E_1 и ΔS_1 записываются в триггер 11 и регистр 12 соответственно, а в регистре 13 фиксируется соответствующее данному периоду дискретизации значение выходного кода S_1 в формате ИКМ. В случае, если $E_1 \cdot \Delta S'_1 > 0$, то соответствующее значение напряжения U_2 увеличивается, а в случае, если $\Delta S'_1 \cdot E_1 < 0$, указанное значение уменьшается, чем обеспечивается сложение аппроксимирующего сигнала U_1 за входным сигналом $U_{вх}(t)$. Таким образом, на выходах 17 и 18 по сигналу с выхода 20 появляется значение сигнала, соответствующего знаковому разряду и приращению входного сигнала, т.е. формируется выходной сигнал в формате МДМ.

Через интервал времени, достаточный для выполнения операции суммирования в АЛБ 5, на выходе последнего формируется выходной сигнал в формате ИКМ, что подтверждается в этот момент времени импульсом на выходе 21.

Допустим, что в некотором K -м интервале дискретизации $U_{вх}(t) > U_H$. Тогда на выходе переноса АЛБ 4 появляется сигнал $U_{р1} = 1$. В этом случае при записи в регистр 12 выработанного блоком 3 значения кода ΔS_K происходит переполнение сумматора 23 в

АЛБ 5, что в итоге может привести к сбою или автоколебательному режиму работы дельта-модулятора. Для исключения переполнения блока 5 максимальное значение, которое может быть записано в регистр 12, равно дополнению ΔS_A выходного кода блока 5 до номинального S_n . Такое дополнение формируется группой 6 элементов НЕ из выходного кода АЛБ 5 путем инвертирования m младших разрядов последнего, т.е. максимальное значение дополнения равно максимальному значению кода на разрядных выходах блока 1: $\Delta S_{A_{\max}} = 2^m - 1$. Блок 7 по сигналу $U_p = 1$ переключается в положение, при котором на его выход передается выходной сигнал ΔS_A группы 6, который с учетом значения сигнала на управляющем входе 16, равного логической единице, записывается в регистр 12, чем обеспечивается отсутствие сбоя в выходном сигнале устройства: выходной сигнал в формате ИКМ равен $S_k = S_{k-1} + \Delta S_A \cdot \text{sign}(U_{\delta x} - U_2) = S_n$, а выходной сигнал в формате МДМ $\Delta S'_k = \Delta S_A \cdot \text{sign}(U_{\delta x} - U_2)$. В дальнейшем дельта-модулятор при $U_{\delta x} > U_n$ работает аналогично. В случае если в следующем периоде дискретизации $U_{\delta x} < U_n$, блок 4 формирует сигнал $U_p = 0$ и работа устройства не отличается от описанной для режима слежения за входным сигналом.

Допустим, что в j -м периоде дискретизации $U_{\delta x} < 0$. Это приводит к тому, что на выходе заема блока 4 формируется сигнал $U_p = 1$. В этом случае запись в регистр 12 выработанного блоком 3 значения кода также может привести к сбою. Для предотвращения этого максимальное значение ΔS_j , которое можно записать в регистр 12 с учетом фиксации знака $\text{sign}(U_{\delta x} - U_2)$ — минус — в триггере 11, равном выходному значению кода в формате ИКМ, сформированного сумматором 23 в АЛБ 5. В этом случае блок 7 по сигналу $U_p = 1$ переключается в положение, при котором на его выходах формируется сигнал $\Delta S'_j = S_{j-1}$, который и записывается по импульсу на третьем выходе блока 14 в регистры 12 и 13, что с учетом знакового разряда на выходе триггера 11, приводит к формированию нулевого значения выходного кода блока 5 в формате ИКМ:

$$S_j = S_{j-1} + \Delta S_j \cdot \text{sign}(U_{\delta x} - U_2) = S_{j-1} - (S_{j-1}) = 0.$$

На выходах 17 и 18 при этом формируется выходной сигнал устройства в формате МДМ, равный $-S_{j-1}$. В дальнейшем при $U_{\delta x} < 0$ дельта-модулятор работает аналогично. Если в следующие периоды дискретизации $U_{\delta x} > 0$, то сигнал $U_p = 0$ и устройство возвращается в режим слежения за входным сигналом.

Таким образом, в данном режиме выходной сигнал устройства в формате МДМ соответствует дельта-модулятору с центральным подавлением слабых сигналов и равномерным квантованием, при этом в режиме молчания на указанном выходе формируется последовательность шагов квантования выходного сигнала $\{\Delta S_r\} = \{0\}$.

Рассмотрим случай, когда на управляющий вход 16 подан сигнал логического нуля. В этом случае при нулевом значении кода на выходах блока 7 мультиплексирования на выходе элемента ИЛИ-НЕ 8 формируется сигнал логической единицы, в результате чего выходной сигнал элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 9 инвертируется по отношению к входному, т.е. изменяется знак приращения выходного сигнала, а сигнал на выходе элемента ИЛИ 10 из равной нулю становится равным единице. Из этого следует, что работа дельта-модулятора в режиме слежения за входным сигналом $U_{\delta x}(t) \in [0, U_n]$ при $\Delta S_0 \cdot E_0 \neq 0$ не отличается от описанной.

Допустим, что в некотором i -м интервале дискретизации на выходе блока 7 мультиплексирования формируется значение сигнала приращения $\Delta S_i = 0$, причем на первом (разрядном) выходе блока 3 оперативной памяти сформирован сигнал логического нуля, т.е. соответствующий знаку "плюс". Допустим также, что дельта-модулятор находится в режиме слежения за входным сигналом $U_{\delta x}(t) \in [0, U_n]$. На выходе элемента ИЛИ-НЕ 8 из выходного сигнала блока 7 формируется сигнал логической единицы, в результате этого значение знака на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 9 изменяется на противоположное ("минус"), а на выходе элемента ИЛИ 10 формируется значение приращения $\Delta S'_i = 1$. Указанные сигналы фиксируются в триггере 11 и регистре 12 по импульсу с третьего выхода блока 14 синхронизации, причем одновременно в регистре 13 фикс-

сируется соответствующее предыдущему периоду дискретизации значение выходного кода S_{j-1} в формате ИКМ. Сигналы с выходов блоков 11-13 суммируются на АЛБ 5, и если в $(i+1)$ -м интервале дискретизации значение $U_{\delta x}(t)$ не изменилось больше, чем на единицу дискретности, то на выходе регистра 12 формируется значение приращения $\Delta S_{j+1}=1$ со знаком "плюс", т.е. дельта-модулятор находится в режиме слежения за входным сигналом. Если в $(i+1)$ -м интервале дискретизации значение $U_{\delta x}(t)$ уменьшилось на одну или больше единиц дискретности, то на выходе блока 7 формируется соответствующее значение приращения и дельта-модулятор также выходит из режима слежения за входным сигналом и т.д. Аналогично формируется значение приращения $(i+1)$ -го интервала, если $U_{\delta x}(t)$ увеличивается. Идентично работает дельта-модулятор, если $U_{\delta x}(t) > U_n$. В этом случае на выходах триггера 11 и регистра 12 формируется последовательность $\{-1, 1\}$, а на выходе блока 5 - последовательность значений $\{S_n - 1, S_n\}$.

Рассмотрим случай, если в некотором j -м интервале дискретизации $U_{\delta x}(t) < 0$. В этом случае на первом выходе блока 3 формируется сигнал логической единицы, соответствующий знаку "минус", а на выходах блока 7 - значение $\Delta S_j = 0$. Поэтому в случае, как и рассмотренном, на выходе элемента ИЛИ-НЕ 8 формируется сигнал логической единицы, в результате чего знак приращения изменяется на противоположный ("плюс"), а значение $\Delta S'_j = 1$. Учитывая, что $S_{j-1} = 0$, в j -м интервале дискретизации на выходах блока 5 формируется значение $S_j = 1$ и если в $(j+1)$ -м интервале дискретизации $U_{\delta x}(t) > 0$, на выходе блока 7 формируется соответствующее значение приращения S_{j+1} и дельта-модулятор возвращается в режим слежения за входным сигналом. Если в $(j+1)$ -м интервале дискретизации $U_{\delta x}(t) < 0$, то на выходе блока 7 согласно рассмотренному случаю формируется значение $\Delta S_{j+1} = 1$ со знаком "минус" и т.д. Поэтому в последнем случае на выходах триггера 11 и регистра 12 формируется последовательность $\{+1, -1\}$, а на выходах регистра 13 - последовательность значений $\{0, 1\}$.

Таким образом, в данном режиме выходной сигнал устройства в формате МДМ соответствует дельта-модулятору с центральным клиппированием, при этом в режиме молчания на указанном выходе формируется последовательность шагов квантования входного сигнала $\{\Delta S_j \cdot E_j\} = \{1, -1\}$, причем дельта-модулятор всегда находится в режиме слежения за входным сигналом.

Сумматор 23 АЛБ 4 выполняет операцию суммирования выходного сигнала дельта-модулятора в формате ИКМ, представленного всегда в прямом n -разрядном коде, с сигналом приращения входного сигнала с выходов блока 3, представленного в прямом m -разрядном коде со знаковым разрядом. В группе 22 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ сигнал приращения преобразуется в свое $(n+1)$ -разрядное дополнение (если $\Delta S_j \cdot E_j < 0$) или передается группой 22 без изменений на первые информационные входы сумматора 23. Результат суммирования, возникающий в его $(n+1)$ -м разряде, используется для выработки сигнала переполнения (при $S_j > S_n$) и сигнала заема (при $S_j < 0$) на выходах 29 и 30.

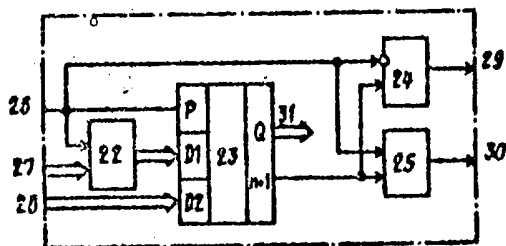
Таким образом, за счет переключения квантующей характеристики дельта-модулятор можно применять в следящих системах, обеспечивая как высокую точность слежения, так и малое время вхождения в захват. Использование одновременно двух выходов дельта-модулятора позволяет применить его в устройствах цифровой обработки сигналов в смешанном формате.

Ф о р м у л а и з о б р е т е н и я

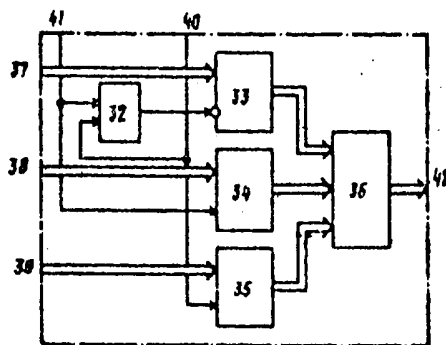
Дельта-модулятор, содержащий аналого-цифровой преобразователь, первый информационный вход которого является информационным входом дельта-модулятора, а выходы соединены с информационными входами блока оперативной памяти, первый выход которого подключен к управляющему входу первого арифметико-логического блока, первый и второй выходы которого соединены с одноименными управляющими входами блока мультиплексирования, вторые выходы блока оперативной памяти подключены к первым информационным входам первого арифметико-логического блока и блока мультиплексирования.

рования, выходы которого, кроме выхода младшего разряда, соединены с соответствующими информационными входами первого буферного регистра, триггер, выход которого подключен к управляющему входу второго арифметико-логического блока и является первым информационным выходом дельта-модулятора, выходы первого буферного регистра соединены с первыми информационными входами второго арифметико-логического блока и являются вторыми выходами дельта-модулятора, второй буферный регистр, выходы которого подключены к вторым информационным входам второго арифметико-логического блока, выходы которого соединены с информационными входами второго буферного регистра, входами цифроаналогового преобразователя, входами группы элементов НЕ, вторыми информационными входами первого арифметико-логического блока и блока мультиплексирования и являются третьими информационными выходами дельта-модулятора, блок синхронизации, первый выход которого и выход цифроаналогового преобразователя соединены соответственно с входом синхронизации и вторым информационным входом аналого-цифрового преобразователя, второй выход блока синхронизации подклю-

ративной памяти, третий выход блока синхронизации соединен с входами синхронизации триггера и буферных регистров и является первым тактовым выходом дельта-модулятора, четвертый выход блока синхронизации является вторым тактовым выходом дельта-модулятора, выходы группы элементов НЕ подключены к третьим информационным входам блока мультиплексирования, отличающийся тем, что, с целью расширения области применения путем обеспечения переключения вида квантующей характеристики, в дельта-модулятор введены элемент ИЛИ, элемент ИЛИ-НЕ и элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, первый вход которого подключен к первому выходу блока оперативной памяти, первый вход элемента ИЛИ-НЕ является управляющим входом дельта-модулятора, выход младшего разряда блока мультиплексирования соединен с первым входом элемента ИЛИ и вторым входом элемента ИЛИ-НЕ, третьи входы которого подключены к выходам остальных разрядов блока мультиплексирования, выход элемента ИЛИ-НЕ соединен с вторыми входами элементов ИЛИ и ИСКЛЮЧАЮЩЕЕ ИЛИ, выходы которых подключены соответственно к информационному входу младшего разряда первого буферного регистра и информационному входу триггера.



Фиг. 2



Фиг. 3

Редактор А.Огар

Составитель О.Ревинский

Техред А.Кравчук

Корректор Т.Палий

Заказ 5267/56

Тираж 884

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101