

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/146 (2006.01) H01L 31/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월20일 10-0603247 2006년07월13일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0101552 2003년12월31일	(65) 공개번호 (43) 공개일자	10-2005-0069443 2005년07월05일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 동부일렉트로닉스 주식회사
 서울 강남구 대치동 891-10

(72) 발명자 한창훈
 경기도이천시창전동49-1현대1차아파트101-605호

 김범식
 경기도수원시권선구권선동두산동아아파트102-1205

(74) 대리인 서천석

심사관 : 고헌석

(54) 시모스 이미지 센서 및 그 제조방법

요약

본 발명은 CMOS 이미지 센서를 구성하는 트랜지스터의 게이트 전극 하부의 액티브 영역과 소자분리막 사이의 계면에서 불순물 이온 주입으로 인한 결함 발생을 최소화할 수 있는 CMOS 이미지 센서 및 그 제조방법에 관한 것으로서,

본 발명에 따른 CMOS 이미지 센서는 복수의 트랜지스터를 구비하는 제 1 도전형의 반도체 기판;과, 상기 트랜지스터의 게이트 전극과 오버랩되는 액티브 영역;과, 상기 액티브 영역과 인접하는 소자분리막;과, 상기 액티브 영역과 소자분리막 사이에 형성된 고농도의 제 1 도전형 불순물 이온 영역을 포함하여 이루어지는 것을 특징으로 한다.

대표도

도 6

색인어

CMOS, 이미지, 센서, 포토다이오드

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 CMOS 이미지 센서의 단위화소 구조를 개략적으로 나타낸 회로도.

도 2는 종래 기술에 따른 CMOS 이미지 센서의 단위화소를 나타낸 레이아웃.

도 3a 내지 3c는 도 2의 A-A' 선에 따른 종래 기술의 공정 단면도.

도 4는 도 2의 B-B' 선에 따른 구조 단면도.

도 5는 본 발명에 따른 CMOS 이미지 센서의 단위화소를 나타낸 레이아웃.

도 6은 도 5의 C-C' 선에 따른 구조 단면도.

도 7a 내지 7c는 본 발명에 따른 CMOS 이미지 센서의 제조방법을 설명하기 위한 공정 단면도.

<도면의 주요 부분에 대한 설명>

601 : 반도체 기판 602 : 소자분리막

604 : 고농도의 제 1 도전형 불순물 이온 영역

605 : 게이트 절연막 606 : 게이트 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 CMOS 이미지 센서 및 그 제조방법에 관한 것으로서, 보다 상세하게는 CMOS 이미지 센서를 구성하는 트랜지스터의 게이트 전극 하부의 액티브 영역과 소자분리막 사이의 계면에서 불순물 이온 주입으로 인한 결함 발생을 최소화할 수 있는 CMOS 이미지 센서 및 그 제조방법에 관한 것이다.

이미지 센서는 광학 영상을 전기 신호로 변환시키는 반도체 소자로서, 크게 전하결합소자(CCD : Charge Coupled Device)와 CMOS(Complementary MOS) 이미지 센서로 구분된다. 상기 전하결합소자(CCD)는 각각의 MOS 캐패시터가 서로 매우 근접한 상태에서 전하 캐리어가 캐패시터에 저장 및 이송되는 소자이며, CMOS 이미지 센서는 제어 회로 및 신호 처리 회로를 주변회로로 사용하는 CMOS 기술을 이용하여 화소수만큼의 MOS 트랜지스터를 만들고 이것을 이용하여 출력을 검출하는 스위칭 방식을 채용하는 소자이다.

상기 전하결합소자(CCD)는 구동 방식이 복잡하고 전력소모가 많으며, 마스크 공정 스텝 수가 많기 때문에 신호 처리 회로를 CCD 칩 내에 구현할 수 없는 등의 단점이 있는바, 최근 이러한 단점을 극복하기 위하여 서브 마이크론 CMOS 제조기술을 이용한 CMOS 이미지 센서의 개발이 많이 연구되고 있다.

상기 CMOS 이미지 센서는 단위 화소 내에 포토다이오드와 MOS(MOS) 트랜지스터를 형성시켜 스위칭 방식으로 신호를 검출함으로써 이미지를 구현하게 되는데, 상술한 바와 같이 CMOS 제조 기술을 이용하므로 전력 소모가 작으며 마스크의 수도 20개 정도로 30~40개의 마스크가 필요한 CCD 공정에 비해 공정이 매우 단순하다. 이에 따라, 신호 처리 회로를 단일 칩 내에 집적할 수 있어 제품의 소형화를 통해 다양한 응용이 가능하다.

CMOS 이미지 센서의 구성을 설명하면 다음과 같다. 도 1 및 도 2는 종래 기술에 따른 CMOS 이미지 센서의 단위화소 구조를 개략적으로 나타낸 회로도 및 레이아웃이다. 참고로, CMOS 이미지 센서를 구성하는 트랜지스터의 개수는 3개 이상의 다양한 형태이나 설명의 편의상 3개의 트랜지스터로 구성되는 CMOS 이미지 센서를 중심으로 기술하기로 한다.

도 1 및 도 2에 도시한 바와 같이, CMOS 이미지 센서의 단위 화소(100)는 광감지 수단인 포토다이오드(110)와 3개의 NMOS 트랜지스터로 구성된다. 상기 3개의 트랜지스터 중 리셋 트랜지스터(Rx)(120)는 포토다이오드(110)에서 생성된 광전하를 운송하는 역할 및 신호 검출을 위해 전하를 배출하는 역할을 하고, 드라이버 트랜지스터(Dx)(130)는 소스 팔로워(source follower)로서 역할하며, 셀렉트 트랜지스터(Sx)(140)는 스위칭 및 어드레싱(addressing)을 위한 것이다.

한편, 상기 단위 화소의 이미지 센서에 있어서, 전하의 이동을 원활하게 하기 위해 상기 포토다이오드(110)가 리셋 트랜지스터(Rx)(120)의 소스 역할을 수행하도록 하고 있으며, 이를 위해 단위 화소의 이미지 센서 제조 과정에서 도 2에 도시한 바와 같이 상기 포토 다이오드(110)의 일부분을 포함한 영역에 저농도 또는 고농도의 불순물 이온을 주입하는 공정을 적용하고 있다. 상기 도 2의 A-A' 선에 따른 단면에 대한 제조 공정을 살펴보면 다음과 같다. 참고로, 도 2의 굵은 실선은 액티브 영역(160)을 나타낸다.

먼저, 도 3a에 도시한 바와 같이 쉘로우 트렌치 아이솔레이션(Shallow Trench Isolation, STI) 공정 등을 이용하여 소자분리막(121) 형성이 완료된 p형 반도체 기판(p++-sub)(101) 상에 게이트 절연막(122) 및 게이트 전극(123)을 순차적으로 형성한다. 여기서, 상기 p형 기판 내에 p형 에피층(p⁻-epi)이 미리 형성될 수 있다. 이어, 상기 기판 전면 상에 감광막을 도포한 다음, 포토리소그래피 공정을 이용하여 게이트 전극(123) 일측의 드레인 영역에 LDD 구조를 위한 저농도 불순물 영역을 정의하는 감광막 패턴(124)을 형성한다. 이 때, 상기 감광막 패턴(124)은 상기 게이트 전극을 노출시키지 않는다.

이와 같은 상태에서, 기판 전면 상에 저농도의 불순물 이온 예를 들어, n형의 불순물 이온을 주입하여 상기 기판 내부에 LDD 구조를 위한 저농도 불순물 영역(LDD n-)을 형성한다.

이어, 도 3b에 도시한 바와 같이 상기 저농도 불순물 영역(LDD n-)을 노출시키지 않는 또 다른 감광막 패턴(125)을 형성하고 이를 이온주입 마스크로 이용하여 포토다이오드를 위한 저농도의 불순물 영역(n-)을 형성한다.

그런 다음, 도 3c에 도시한 바와 같이 상기 게이트 전극(123)의 측벽에 스페이서(126)를 형성하고, 상기 n형 불순물 영역(n-) 상에 p형 불순물 영역(p⁰)을 형성하여 포토다이오드 형성 공정을 완료한다. 상기 포토다이오드가 완성된 상태에서, 고농도의 불순물 이온을 선택적으로 주입하여 상기 게이트 전극(123)의 드레인 영역에 고농도의 불순물 영역(n+)을 형성하면 상기 도 2의 A-A' 선에 따른 공정은 완료된다.

발명이 이루고자 하는 기술적 과제

종래의 CMOS 이미지 센서 제조방법에 있어서, 포토다이오드 및 확산 영역을 형성하기 위해 상기 도 2의 실선 부분에 해당하는 액티브 영역에는 여러 차례의 불순물 이온이 주입된다. 이러한 복수의 불순물 이온 주입 공정을 도 2의 B-B' 선에 따른 단면을 참고하여 보면, 도 4에 도시한 바와 같이 소자분리막에 의해 액티브 영역이 정의된 반도체 기판 상에 상기 소자분리막 및 액티브 영역 상에 게이트 절연막 및 게이트 전극이 형성된 상태에서, 불순물 이온 주입을 위한 이온 주입 마스크가 상기 게이트 전극을 포함한 기판 상에 형성되어 있다. 상기 이온 주입 마스크는 액티브 영역을 노출시키며, 이 때의 불순물 이온 주입은 LDD 구조를 위한 저농도 불순물 이온 주입(도 3a 참조), 소스/드레인 형성을 위한 고농도 불순물 이온 주입(도 3c 참조), 포토 다이오드 형성을 위한 불순물 이온 주입(도 3b 참조) 등에 해당된다.

이와 같이 이온 주입 마스크가 액티브 영역을 정의하고 상기 액티브 영역에 불순물 이온을 주입하게 되는데, 이 때 상기 액티브 영역과 접하는 소자분리막 사이의 계면(A)에 상기 불순물 이온 주입으로 인한 결함(defect)이 발생하게 된다. 이러한 이온 주입으로 인한 결함은 CMOS 이미지 센서의 단위 화소를 구성하는 모든 트랜지스터의 게이트 전극에 공통적으로 발생한다. 한편, 상기 이온 주입에 의한 결함은 전자 또는 정공 캐리어의 발생을 야기하고 상기 전자 및 정공의 재결합 장소를 제공하게 되며 누설 전류를 증가시키게 된다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, CMOS 이미지 센서를 구성하는 트랜지스터의 게이트 전극 하부의 액티브 영역과 소자분리막 사이의 계면에서 불순물 이온 주입으로 인한 결함 발생을 최소화할 수 있는 CMOS 이미지 센서 및 그 제조방법을 제공하는데 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 CMOS 이미지 센서는 복수의 트랜지스터를 구비하는 제 1 도전형의 반도체 기판; 과, 상기 트랜지스터의 게이트 전극과 오버랩되는 액티브 영역;과, 상기 액티브 영역과 인접하는 소자분리막;과, 상기 액티브 영역과 소자분리막 사이에 형성된 고농도의 제 1 도전형 불순물 이온 영역을 포함하여 이루어지는 것을 특징으로 한다.

본 발명에 따른 CMOS 이미지 센서의 제조방법은 제 1 도전형의 반도체 기판 상에 액티브 영역을 정의하는 소자분리막을 형성하는 단계;와, 상기 소자분리막의 소정 부위와 상기 액티브 영역의 소정 부위를 노출시키는 제 1 감광막 패턴을 형성하는 단계;와, 상기 기판 전면 상에 고농도의 제 1 도전형 불순물 이온을 주입하여 노출된 기판 내부에 고농도의 제 1 도전형 불순물 이온 영역을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

바람직하게는, 상기 고농도의 제 1 도전형 불순물 이온 영역을 형성한 후에, 상기 액티브 영역과 소자분리막 상에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계;와, 상기 소자분리막 및 고농도의 제 1 도전형 불순물 이온 영역이 형성된 부위를 노출시키지 않도록 제 2 감광막 패턴을 형성하는 단계를 더 포함할 수 있다.

바람직하게는, 상기 고농도의 제 1 도전형 불순물 이온 영역은 200~400Å의 폭으로 형성할 수 있다.

바람직하게는, 상기 고농도의 제 1 도전형 불순물 이온 영역은 $1E12 \sim 1E15 \text{ ions/cm}^2$ 의 농도로 주입하여 형성할 수 있다.

바람직하게는, 상기 제 1 도전형 불순물 이온은 붕소 또는 불화붕소 이온 중 어느 한 이온일 수 있다.

바람직하게는, 상기 제 1 감광막 패턴으로 노출되는 소자분리막의 폭은 50~2500Å 일 수 있다.

바람직하게는, 상기 제 2 감광막 패턴으로 인해 노출되는 영역은 LDD 구조를 위한 확산 영역, 소스/드레인 영역 또는 플로팅 확산 영역 중 어느 한 영역을 형성하기 위해 제 2 도전형의 불순물 이온이 주입되는 영역일 수 있다.

본 발명의 특징에 따르면, CMOS 이미지 센서를 구성하는 상기 복수의 게이트 전극들과 오버랩되는 액티브 영역에 있어서, 상기 각각의 게이트 전극 하부의 액티브 영역과, 상기 액티브 영역과 인접하는 소자분리막 사이의 경계에 고농도의 제 1 도전형 불순물 이온 영역(p+)을 형성함으로써, 후속의 공정을 통해 상기 액티브 영역에 제 2 도전형의 불순물 이온 주입으로 인해 상기 액티브 영역과 소자분리막 사이의 경계면에서 유발되는 전자 캐리어 발생 등의 문제점을 해결할 수 있게 된다.

이하, 도면을 참조하여 본 발명에 따른 CMOS 이미지 센서의 제조방법을 상세히 설명하기로 한다. 도 5는 본 발명에 따른 CMOS 이미지 센서의 단위 화소를 나타낸 레이아웃이고, 도 6은 도 5의 C-C' 선에 따른 단면 구조도이고, 도 7a 내지 7c는 도 4의 C-C' 선에 따른 공정 단면도이다.

먼저, 본 발명에 따른 CMOS 이미지 센서의 레이아웃을 살펴보면, 도 5에 도시한 바와 같이 단위화소의 제 1 도전형 반도체 기판이 필드 영역에 의해 액티브 영역이 정의되는데, 상기 액티브 영역은 굽은 실선의 내측 영역에 해당된다. 상기 필드 영역은 소자분리막(도시하지 않음)이 형성된 영역을 의미하며, 상기 액티브 영역의 외곽 영역에 해당된다. 또한, 상기 액티브 영역의 소정 부위와 오버랩되도록 리셋 트랜지스터(Rx)(120)의 게이트 전극, 드라이버 트랜지스터(Dx)(130)의 게이트 전극 및 셀렉트 트랜지스터(Sx)(140)의 게이트 전극이 배치된다. 그리고, 상기 액티브 영역의 일측에는 상기 소자분리막에 의해 둘러 쌓여 있는 포토다이오드(PD)가 구비된다.

상기 복수의 게이트 전극들과 오버랩되는 액티브 영역에 있어서, 상기 각각의 게이트 전극 하부의 액티브 영역과, 상기 액티브 영역과 인접하는 소자분리막 사이의 경계에는 고농도의 제 1 도전형 불순물 이온 영역(p+)(604)이 형성되어 있다.

상기 복수의 게이트 전극들과 오버랩되는 액티브 영역 및 인접하는 액티브 영역은 통상의 CMOS 이미지 센서 제조 공정에 의해 LDD 구조를 위한 확산 영역, 소스/드레인 영역 또는 플로팅 확산 영역 등을 형성하기 위한 제 2 도전형의 불순물 이온이 주입되는 영역이다.

도 5의 C-C' 선에 따른 CMOS 이미지 센서의 단면 구조를 도 6을 참조하여 살펴보면 다음과 같다. 여기서, 상기 도 5의 C-C' 선은 리셋 트랜지스터의 게이트 전극이 형성된 부위의 단면을 나타내고 있는데, 상기 리셋 트랜지스터의 게이트 전극 이외에 3T형 CMOS 이미지 센서를 구성하는 드라이브 트랜지스터의 게이트 전극, 셀렉트 트랜지스터의 게이트 전극의 단면 구조 또한, 상기 리셋 트랜지스터의 게이트 전극의 단면 구조와 동일하므로 상기 도 5의 C-C' 선에 따른 단면 구조를 중심으로 설명하기로 한다.

도 6에 도시한 바와 같이, 제 1 도전형의 반도체 기판(601) 예를 들어, p++ 형 단결정 실리콘 기판(601) 상에 p-형 에피층(p-epi)층이 형성되어 있다. 상기 반도체 기판(601)의 액티브 영역을 정의하기 위해 기판(601)의 필드 영역에 소자분리막(602)이 형성되어 있다. 상기 소자분리막(602)은 STI(Shallow Trench Isolation) 공정 또는 로코스(Local oxidation of silicon) 공정 등에 의해 형성된다. 또한, 상기 소자분리막(602)과 액티브 영역 사이의 경계면에는 고농도의 제 1 도전형 불순물 이온 영역(p+)(604)이 형성되어 있다. 상기 고농도의 제 1 도전형 불순물 이온 영역(p+)(604)의 폭은 200~400Å 정도이다.

한편, 전술한 바와 같이 상기 소자분리막(602)에 의해 정의되는 액티브 영역은 LDD 구조를 위한 확산 영역, 소스/드레인 영역 또는 플로팅 확산 영역 등을 형성하기 위한 제 2 도전형의 불순물 이온이 주입되는 영역에 해당되는데, 상기 소자분리막(602)과 액티브 영역 사이의 경계면에 개재된 상기 고농도의 제 1 도전형 불순물 이온 영역(604)의 역할은, 상기 액티브 영역으로의 제 2 도전형 불순물 이온 주입시 상기 소자분리막(602)과 액티브 영역 사이의 경계면에서의 이온 주입으로 인한 손상 즉, 결함의 발생 및 그 결함으로부터 유발되는 전자 캐리어를 포집하여 고농도의 제 1 도전형 불순물 이온 영역에 존재하는 정공 캐리어와의 재결합(recombination) 장소를 제공하는 역할을 수행하는 것이다.

이와 같은 구조를 갖는 본 발명의 CMOS 이미지 센서의 제조방법을 상세히 설명하기로 한다. 먼저, 도 7a에 도시한 바와 같이 반도체 기판(601), 예를 들어 p형 단결정 실리콘 기판(601)(p++-sub.)을 준비한다. 여기서, 상기 기판(601) 내에 p-형 에피층(p-epi)층이 미리 형성될 수 있다. 상기 p-형 에피층은 포토다이오드에서의 공핍 영역(depletion region)을 크고 깊게 형성시킴으로써 광전하를 모으기 위한 저전압 포토다이오드의 능력을 증가시키고 나아가 광감도를 개선시키는 역할을 수행한다.

이어, STI 공정 또는 로코스 공정 등을 이용하여 상기 반도체 기판(601)의 필드 영역에 소자분리막(602)을 형성함으로써 반도체 기판(601)의 액티브 영역을 정의한다. 상기 소자분리막(602)의 형성은 상기의 공정 이외에 PBL(Poly Buffer LOCOS), R-LOCOS(Recessed LOCOS) 등의 공정을 이용할 수도 있다.

상기 소자분리막(602)이 형성된 상태에서, 도 7b에 도시한 바와 같이 상기 기판(601) 전면 상에 감광막을 도포한다. 그 다음, 포토리소그래피 공정을 이용하여 상기 감광막을 선택적으로 패터닝함으로써 상기 액티브 영역 및 소자분리막(602)의 소정 부위를 노출시키는 감광막 패턴(603)을 형성한다. 이 때, 상기 감광막 패턴(603)에 의해 상기 액티브 영역과 소자분리막(602)이 접하는 양단의 소정 부위가 노출되는데, 일단을 살펴보면 상기 감광막 패턴(603)에 의해 노출되는 액티브 영역의 폭은 200~400Å 이고, 소자분리막(602)의 폭은 50~2500Å 정도이다. 이와 같은 수치는 현재 통상적으로 포토리소그래피 공정의 노광 공정에 사용되는 광원을 고려한 수치이다.

이에 대해 보다 상세히 설명하면, 상기 감광막 패턴을 형성하는 포토리소그래피 공정은 감광막의 도포, 노광, 현상 및 박리 등의 단위 공정으로 이루어지는데, 감광막의 미세 프로파일의 구현에 중요한 인자는 노광 공정이다. 노광 공정은 노광원으로서 자외선(UV) 또는 원자외선(DUV)을 이용하여 특정 부위의 감광막에 대하여 광을 쬐이는 공정인데, 최근 반도체 소자의 고집적화에 따라 상기 노광원의 파장이 갈수록 작아지고 있는 추세이다. 현재, 노광원으로 광범위하게 사용되는 I-line의 경우 파장이 365 nm 이다.

상기와 같이 노광원으로 I-line을 사용하여 감광막을 패터닝하는 경우에 파장의 폭 등의 영향에 의하여 최초 설정된 프로파일과 형성된 감광막 패턴에 있어 약 0.15μm 정도의 편차가 발생한다. 이와 같은 기술적 근거를 바탕으로, 상기 감광막 패턴에 의해 노출되는 액티브 영역 및 소자분리막(602)의 폭은 상기와 같은 I-line의 사용시 노광 편차를 고려하여 설정한 수치이다.

상기 감광막 패턴이 형성된 상태에서, 기판(601) 전면 상에 고농도의 제 1 도전형 불순물 이온을 주입한다. 이 때, 상기 제 1 도전형의 불순물 이온은 붕소(B) 또는 불화붕소(BF₂) 이온 등이 사용될 수 있으며 주입시 농도는 1E12~1E15 ions/cm²로 하는 것이 바람직하다. 상기 이온 주입에 의해 상기 소자분리막(602)과 접하는 액티브 영역의 기판(601) 내부에는 고농도의 제 1 도전형 불순물 이온 영역이 형성된다.

한편, 상기 고농도의 제 1 도전형 불순물 이온 주입 공정은 상기 액티브 영역에 LDD 구조를 위한 확산 영역, 소스/드레인 영역 또는 플로팅 확산 영역 등을 형성하기 위한 제 2 도전형의 불순물 이온이 주입되기 전에 실시되는 것이 바람직하다.

상기 고농도의 제 1 도전형 불순물 이온 영역이 형성된 상태에서, 도 7c에 도시한 바와 같이 후속의 공정을 통해 상기 액티브 영역과 소자분리막(602) 상에 걸쳐 게이트 절연막(605) 및 게이트 전극(606)이 순차적으로 형성된다. 이와 같은 상태에서, 기판(601) 전면 상에 제 2 도전형의 불순물 이온이 주입된다. 이 때, 상기 제 2 도전형의 불순물 이온 주입 공정에 사용되는 이온 주입 마스크 예를 들어, 감광막 패턴(607)은 상기 소자분리막(602) 또는 소자분리막(602) 및 상기 고농도의 제 1 도전형 불순물 이온 영역을 마스크(masking)한다.

상기 제 1 도전형 불순물 이온의 주입에 의해 상기 액티브 영역에는 LDD 구조를 위한 확산 영역, 소스/드레인 영역 또는 플로팅 확산 영역 등이 형성된다. 이 때, 상기 액티브 영역과 소자분리막(602) 사이의 경계면에 고농도의 제 1 도전형 불순물 이온 영역이 미리 형성되어 있음에 따라 상기 제 2 도전형의 불순물 이온 주입 공정시 유발되는 상기 소자분리막(602)과 액티브 영역 사이의 결합으로 인해 유발되는 전자 캐리어 등의 문제점이 상기 고농도의 제 1 도전형 불순물 이온 영역이 정공 캐리어를 공급하여 전자와 정공의 재결합을 유도함으로써 해결될 수 있게 된다.

이상과 같은 본 발명의 CMOS 이미지 센서의 제조방법은 전술한 바와 같이 도 4의 C-C' 선에 따른 단면을 기준으로 설명하였으나, CMOS 이미지 센서를 구성하는 모든 트랜지스터의 게이트 전극의 단면 구조에 동일하게 적용된다.

또한, 본 발명의 실시예는 3T형 CMOS 이미지 센서를 중심으로 설명하였으나, 액티브 영역과 소자분리막의 경계면에서의 이온 주입에 의한 기판 손상의 방지라는 기술적 사상을 구현함에 있어서 3T형 이상의 모든 CMOS 이미지 센서에 동일하게 적용할 수 있음은 물론이다.

발명의 효과

본 발명에 따른 CMOS 이미지 센서 및 그 제조방법은 다음과 같은 효과가 있다.

CMOS 이미지 센서를 구성하는 상기 복수의 게이트 전극들과 오버랩되는 액티브 영역에 있어서, 상기 각각의 게이트 전극 하부의 액티브 영역과, 상기 액티브 영역과 인접하는 소자분리막 사이의 경계에 고농도의 제 1 도전형 불순물 이온 영역(p+)을 형성함으로써, 후속의 공정을 통해 상기 액티브 영역에 제 2 도전형의 불순물 이온 주입으로 인해 상기 액티브 영역과 소자분리막 사이의 경계면에서 유발되는 전자 캐리어 발생 등의 문제점을 해결할 수 있게 된다.

(57) 청구의 범위

청구항 1.

복수의 트랜지스터를 구비하는 제 1 도전형의 반도체 기판;

상기 트랜지스터의 게이트 전극과 오버랩되는 액티브 영역;

상기 액티브 영역과 인접하는 소자분리막;

상기 게이트 전극 하부의 상기 액티브 영역과 소자분리막 사이에 형성된 고농도의 제 1 도전형 불순물 이온 영역을 포함하여 이루어지는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 2.

제 1 항에 있어서, 상기 고농도의 제 1 도전형 불순물 이온 영역의 폭은 200~400Å 인 것을 특징으로 하는 CMOS 이미지 센서.

청구항 3.

제 1 항에 있어서, 상기 액티브 영역은 LDD 구조를 위한 확산 영역, 소스/드레인 영역 또는 플로팅 확산 영역 중 어느 한 영역을 형성하기 위해 제 2 도전형의 불순물 이온이 주입되는 영역인 것을 특징으로 하는 CMOS 이미지 센서.

청구항 4.

제 1 도전형의 반도체 기판 상에 트랜지스터를 포함하는 액티브 영역을 정의하는 소자분리막을 형성하는 단계;

상기 소자분리막의 소정 부위와 상기 트랜지스터 하부의 상기 액티브 영역의 소정 부위를 노출시키는 제 1 감광막 패턴을 형성하는 단계;

상기 기판 전면 상에 고농도의 제 1 도전형 불순물 이온을 주입하여 노출된 기판 내부에 고농도의 제 1 도전형 불순물 이온 영역을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 CMOS 이미지 센서의 제조방법.

청구항 5.

제 4 항에 있어서, 상기 고농도의 제 1 도전형 불순물 이온 영역을 형성한 후에,

상기 액티브 영역과 소자분리막 상에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계;

상기 소자분리막 및 고농도의 제 1 도전형 불순물 이온 영역이 형성된 부위를 노출시키지 않도록 제 2 감광막 패턴을 형성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 CMOS 이미지 센서의 제조방법.

청구항 6.

제 4 항에 있어서, 상기 고농도의 제 1 도전형 불순물 이온 영역은 200~400Å의 폭으로 형성하는 것을 특징으로 하는 CMOS 이미지 센서의 제조방법.

청구항 7.

제 4 항에 있어서, 상기 고농도의 제 1 도전형 불순물 이온 영역은 $1E12 \sim 1E15 \text{ ions/cm}^2$ 의 농도로 주입하여 형성하는 것을 특징으로 하는 CMOS 이미지 센서의 제조방법.

청구항 8.

제 4 항에 있어서, 상기 제 1 도전형 불순물 이온은 붕소 또는 불화붕소 이온 중 어느 한 이온인 것을 특징으로 하는 CMOS 이미지 센서의 제조방법.

청구항 9.

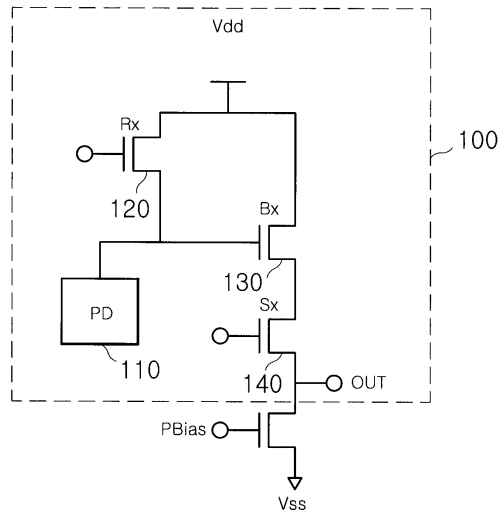
제 4 항에 있어서, 상기 제 1 감광막 패턴으로 노출되는 소자분리막의 폭은 50~2500Å 인 것을 특징으로 하는 CMOS 이미지 센서의 제조방법.

청구항 10.

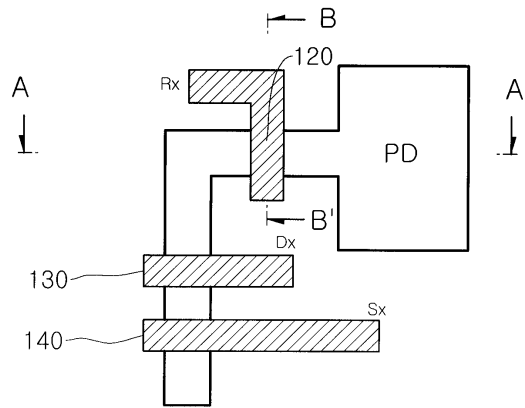
제 5 항에 있어서, 상기 제 2 감광막 패턴으로 인해 노출되는 영역은 LDD 구조를 위한 확산 영역, 소스/드레인 영역 또는 플로팅 확산 영역 중 어느 한 영역을 형성하기 위해 제 2 도전형의 불순물 이온이 주입되는 영역인 것을 특징으로 하는 CMOS 이미지 센서의 제조방법.

도면

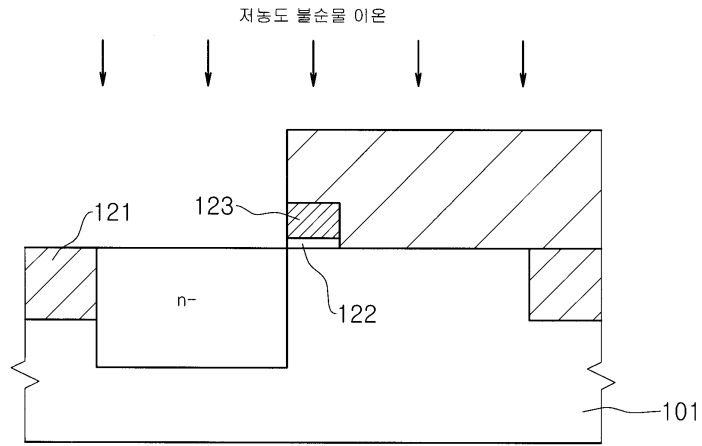
도면1



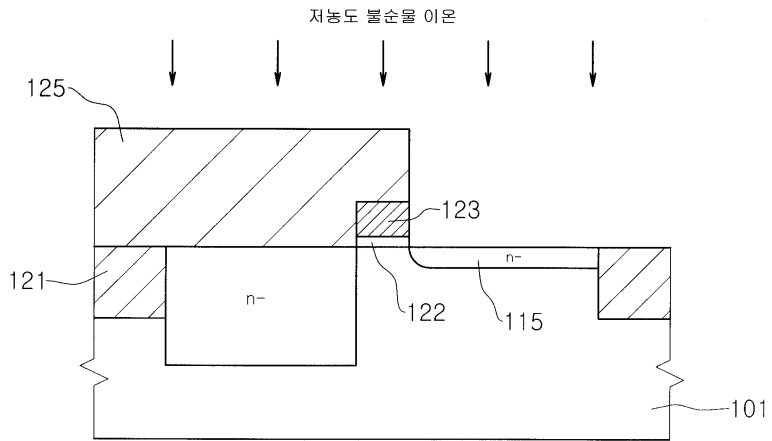
도면2



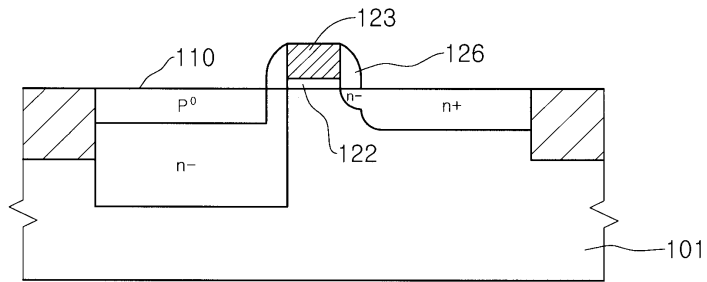
도면3a



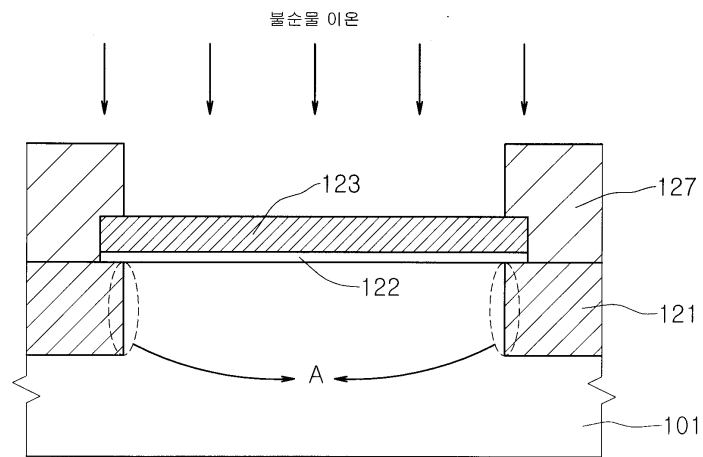
도면3b



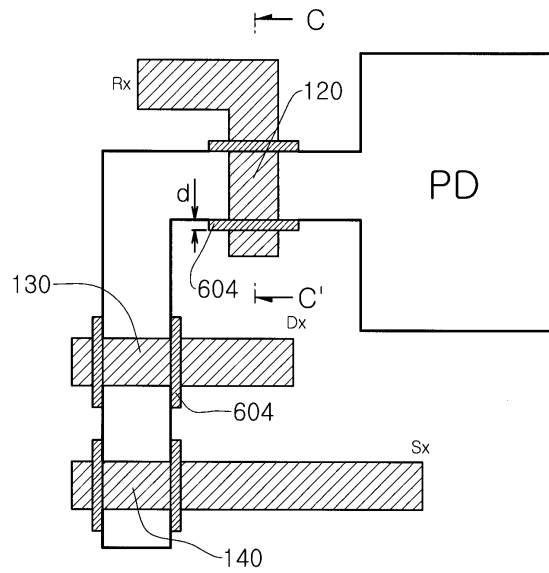
도면3c



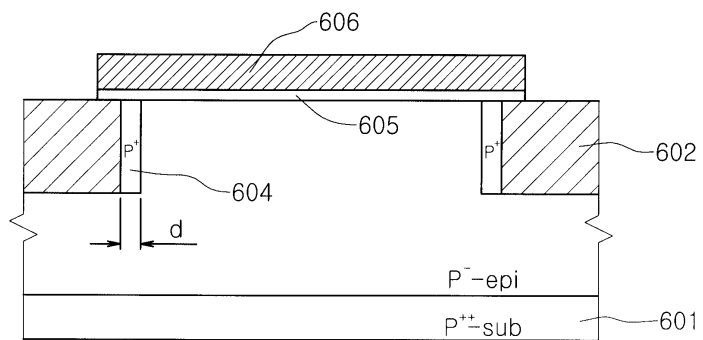
도면4



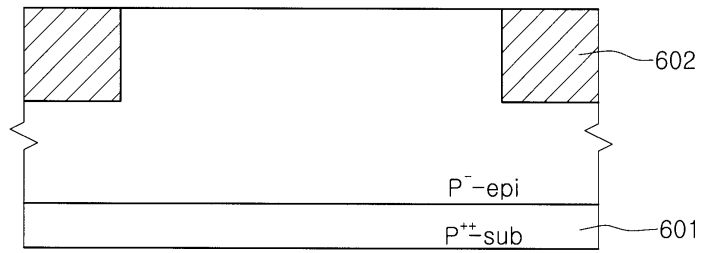
도면5



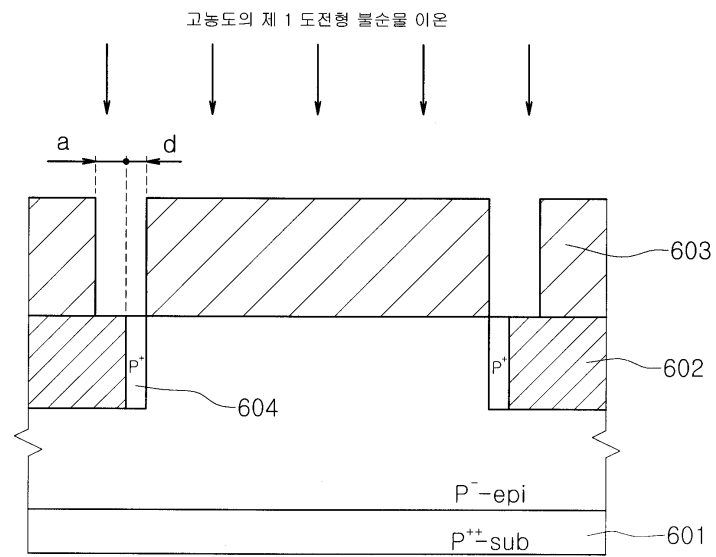
도면6



도면7a



도면7b



도면7c

