



(12) 发明专利申请

(10) 申请公布号 CN 119051663 A

(43) 申请公布日 2024. 11. 29

(21) 申请号 202411152981.1

(22) 申请日 2024.08.21

(71) 申请人 重庆吉芯科技有限公司

地址 401334 重庆市沙坪坝区凤凰镇皂角
树村临谢家院子组2号2-2室(72) 发明人 李刚 李婷 任芳 贺信 张凌睿
李飞 付东兵 俞宙 王健安(74) 专利代理机构 上海汉之律师事务所 31378
专利代理师 张双凤

(51) Int. Cl.

H03M 1/66 (2006.01)

H03K 19/0175 (2006.01)

H03K 19/20 (2006.01)

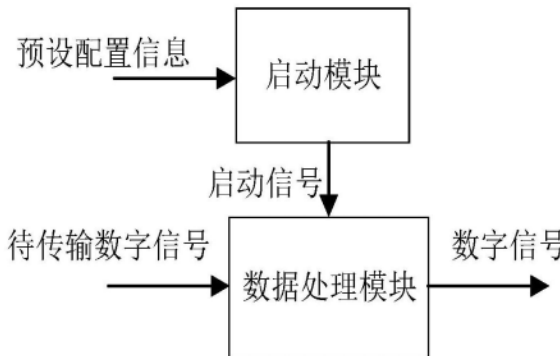
权利要求书2页 说明书10页 附图5页

(54) 发明名称

一种多通道JESD 204B接收端的数字电路

(57) 摘要

本申请提供一种多通道JESD 204B接收端的数字电路,该电路包括:启动模块、数据流处理模块,通过启动模块产生启动信号,基于外部输入的预设配置信息将数字电路的信息进行配置,启动数字电路,通过数据流处理模块接收JESD 204B发送端发送的第一预设多通道的待传输数字信号,基于预设配置信息通道连接关系传输待传输数字信号,将传输的数字信号进行信号同步后在根据数字电路的工作模式进行映射输出,得到第二预设多通道的数字信号。本申请提供的多通道JESD 204B接收端的数字电路,实现JESD 204B协议中规定的链路层,传输层数字信号处理功能,通过增加数字逻辑的方式,减少电路板走线,达到提升数字信号的传输速率。



1. 一种多通道JESD 204B接收端的数字电路,其特征在于,包括:

启动模块,用于生成启动信号,并基于预设配置信息对数字电路进行信息配置,以启动所述数字电路;

数据流处理模块,用于接收JESD 204B发送端发送的第一预设多通道的待传输数字信号;基于所述预设配置信息中预设通道连接关系将所述待传输数字信号进行信号传输,对传输后的数字信号进行信号同步处理再根据所述预设配置信息中工作模式进行映射输出,得到第二预设多通道的数字信号;

其中,所述数据流处理模块输出端的信号传输速率与所述数据流处理模块输入端的信号传输速率匹配。

2. 根据权利要求1所述的多通道JESD 204B接收端的数字电路,其特征在于,所述数据流处理模块包括:

信号输入单元,用于接收所述待传输数字信号,对每个所述待传输数字信号进行分别存储,以及对存储的数字信号进行信号传输,以输出多个的第一中间信号;

数据同步单元,用于对多个所述第一中间信号分别进行信号同步处理及数据译码,得到多个第二中间信号;

数据输出单元,用于基于所述预设配置信息中的工作模式对多个所述第二中间信号进行映射传输,得到所述第二预设多通道的数字信号。

3. 根据权利要求2所述的多通道JESD 204B接收端的数字电路,其特征在于,所述信号输入单元包括:

N个输入缓存子单元,用于对接收并缓存JESD 204B发送端发送的第一预设多通道的待传输数字信号,并将所述待传输数字信号与所述启动信号中的内部时钟信号进行关联;

数据路由子单元,用于根据所述预设配置信息中的预设通道连接关系对各个所述输入缓存子单元的数据进行信号传输,对外输出多个所述第一中间信号;

其中, $N \geq 2$,N与通道的数量相对应。

4. 根据权利要求3所述的多通道JESD 204B接收端的数字电路,其特征在于,所述数据同步单元包括:

N个码组同步子单元,用于基于多帧时钟信号对每个通道的第一中间信号进行码组同步,并基于译码结果调节码组同步的状态,以使多通道的第一中间信号进行对齐;

N个译码子单元,用于分别对N个所述码组同步子单元输出的信号进行译码,得到所述译码结果;

N个初始通道同步子单元,用于分别对N个所述译码子单元输出的信号进行初始通道同步并对齐多帧时钟的边界,得到N个所述第二中间信号。

5. 根据权利要求2所述的多通道JESD 204B接收端的数字电路,其特征在于,所述数据输出单元包括:

N个信号恢复子单元,用于分别对各个通道的第二中间信号先解扰再字符替换;

解帧映射子单元,用于基于所述工作模式对N个所述信号恢复子单元输出的信号进行对应的映射,得到所述第二预设多通道的数字信号。

6. 根据权利要求4所述的多通道JESD 204B接收端的数字电路,其特征在于,所述启动模块包括:

信息配置单元,用于接收所述预设配置信息,并基于所述预设配置信息生成所述数字电路的各个模块的配置信息;

时钟同步单元,用于基于所述外部时钟信号、多个分频信号和多个采样信号生成所述内部时钟信号和所述多帧时钟信号;

其中,所述多个采样信号的相位不同。

7.根据权利要求6所述的多通道JESD 204B接收端的数字电路,其特征在于,所述信息配置单元包括:

接收子单元,用于接收所述预设配置信息;

存储子单元,用于存储所述预设配置信息;

解析子单元,用于对所述存储子单元内的预设配置信息进行解析,得到各个模块的所述配置信息。

8.根据权利要求6所述的多通道JESD 204B接收端的数字电路,其特征在于,所述时钟同步单元包括:

同步调节子单元,用于根据所述多个采样信号确定模拟电路中模拟采样信号与所述多个分频信号的相位关系,并产生延迟信号和时钟重置信号,将所述延迟信号传输至所述模拟电路中,以进行多芯片时钟同步调节;

时钟重置子单元,用于接收所述外部时钟信号,根据所述外部时钟信号和所述时钟重置信号设置所述数字电路的内部时钟信号,并基于所述工作模式生成对应的多帧时钟信号;

边界调节子单元,用于与JESD 204B发送端进行通信,对所述多帧时钟信号的边沿进行同步,以对所述多帧时钟信号的边界进行上拉或下拉。

9.根据权利要求4所述的多通道JESD 204B接收端的数字电路,其特征在于,所述数字电路还包括监控模块,所述监控模块用于对所述数据流处理模块进行异常监控。

10.根据权利要求9所述的多通道JESD 204B接收端的数字电路,其特征在于,所述监控模块包括:

监控单元,用于对所述数字电路进行异常监控并统计异常情况;

数据流验证单元,用于基于验证码对所述信号输入单元的待传输数字信号进行数据验证,并对所述初始通道同步子单元的配置信息进行解析并验证。

一种多通道JESD 204B接收端的数字电路

技术领域

[0001] 本发明涉及数字电路领域,具体涉及一种多通道JESD 204B接收端的数字电路。

背景技术

[0002] 数模转换器(DAC)用于将数字信号转换为模拟信号;其输入是数字信号,输出是模拟信号。早期低速数模转换器的数字信号输入接口使用的是CMOS接口(Complementary MetalOxide Semiconductor);后来随着采样速度的提升,数模转换器的数字信号输入接口开始使用LVDS差分接口(Low Voltage Differential Signaling,即低电压差分信号)。但CMOS接口,LVDS差分接口在数据传输上存在一定的问题,随着数模转换器位宽的增加,电路板上走线数量会大大增加,而且每根走线的长度必须一致,做到线延迟匹配;并且大量电路板走线容易受到干扰,影响数据有效传输;随着数模转换器采样速度进一步增加,CMOS接口,LVDS接口无法完成多位数字信号的高速传输。

[0003] 因此,如何提供一种能满足高速数模转换器的数字信号输入接口进行信号输入的数字电路,是目前亟需解决的技术问题。

发明内容

[0004] 鉴于以上所述现有技术的缺点,本发明提供一种多通道JESD 204B接收端的数字电路,以解决上述技术问题中的至少之一。

[0005] 为达到上述目的及其他相关目的,本申请提供的技术方案如下。

[0006] 根据本申请实施例的一个方面,提供了一种多通道JESD 204B接收端的数字电路,包括:

[0007] 启动模块,用于生成启动信号,并基于预设配置信息对数字电路进行信息配置,以启动所述数字电路;

[0008] 数据流处理模块,用于接收JESD 204B发送端发送的第一预设多通道的待传输数字信号;基于所述预设配置信息中预设通道连接关系将所述待传输数字信号进行信号传输,对传输后的数字信号进行信号同步处理再根据所述预设配置信息中工作模式进行映射输出,得到第二预设多通道的数字信号;

[0009] 其中,所述数据流处理模块输出端的信号传输速率与所述数据流处理模块输入端的信号传输速率匹配。

[0010] 于本发明的一实施例中,所述数据流处理模块包括:信号输入单元,用于接收所述待传输数字信号,对每个所述待传输数字信号进行分别存储,以及对存储的数字信号进行信号传输,以输出多个的第一中间信号;数据同步单元,用于对多个所述第一中间信号分别进行信号同步处理及数据译码,得到多个第二中间信号;数据输出单元,用于基于所述预设配置信息中的工作模式对多个所述第二中间信号进行映射传输,得到所述第二预设多通道的数字信号。

[0011] 于本发明的一实施例中,所述信号输入单元包括:N个输入缓存子单元,用于对接

收并缓存JESD 204B发送端发送的第一预设多通道的待传输数字信号,并将所述待传输数字信号与所述启动信号中的时钟信号进行关联;数据路由子单元,用于根据所述预设配置信息中的预设通道连接关系对各个所述输入缓存子单元的数据进行信号传输,对外输出多个所述第一中间信号;其中, $N \geq 2$, N 与通道的数量相对应。

[0012] 于本发明的一实施例中,所述数据同步单元包括: N 个码组同步子单元,用于基于多帧时钟信号对每个通道的第一中间信号进行码组同步,并基于译码结果调节码组同步的状态,以使多通道的第一中间信号进行对齐; N 个译码子单元,用于分别对 N 个所述码组同步子单元输出的信号进行译码,得到所述译码结果; N 个初始通道同步子单元,用于分别对 N 个所述译码子单元输出的信号进行初始通道同步并对齐多帧时钟的边界,得到 N 个所述第二中间信号。

[0013] 于本发明的一实施例中,所述数据输出单元包括: N 个信号恢复子单元,用于分别对各个通道的第二中间信号先解扰再字符替换;解帧映射子单元,用于基于所述工作模式对 N 个所述信号恢复子单元输出的信号进行对应的映射,得到所述第二预设多通道的数字信号。

[0014] 于本发明的一实施例中,所述启动模块包括:信息配置单元,用于接收所述预设配置信息,并基于所述预设配置信息生成所述数字电路的各个模块的配置信息;时钟同步单元,用于基于所述外部时钟信号、多个分频信号和多个采样信号生成所述内部时钟信号和所述多帧时钟信号;其中,所述多个采样信号的相位不同。

[0015] 于本发明的一实施例中,所述信息配置单元包括:接收子单元,用于接收所述预设配置信息;存储子单元,用于存储所述预设配置信息;解析子单元,用于对所述存储子单元内的预设配置信息进行解析,得到各个模块的所述配置信息。

[0016] 于本发明的一实施例中,所述时钟同步单元包括:同步调节子单元,用于根据所述多个采样信号确定模拟电路中模拟采样信号与所述多个分频信号的相位关系,并产生延迟信号和时钟重置信号,将所述延迟信号传输至所述模拟电路中,以进行多芯片时钟同步调节;时钟重置子单元,用于接收所述外部时钟信号,根据所述外部时钟信号和所述时钟重置信号设置所述数字电路的内部时钟信号,并基于所述工作模式生成对应的多帧时钟信号;边界调节子单元,用于与JESD 204B发送端进行通信,对所述多帧时钟信号的边沿进行同步,以对所述多帧时钟信号的边界进行上拉或下拉。

[0017] 于本发明的一实施例中,所述数字电路还包括监控模块,所述监控模块用于对所述数据流处理模块进行异常监控。

[0018] 于本发明的一实施例中,所述监控模块包括:监控单元,用于对所述数字电路进行异常监控并统计异常情况;数据流验证单元,用于基于验证码对所述信号输入单元的待传输数字信号进行数据验证,并对所述初始通道同步子单元的配置信息进行解析并验证。

[0019] 本申请提供一种多通道JESD 204B接收端的数字电路,该电路包括:启动模块、数据流处理模块,通过启动模块产生启动信号,基于外部输入的预设配置信息将数字电路的信息进行配置,启动数字电路,通过数据流处理模块接收JESD 204B发送端发送的第一预设多通道的待传输数字信号,基于预设配置信息通道连接关系传输待传输数字信号,将传输的数字信号进行信号同步后在根据数字电路的工作模式进行映射输出,得到第二预设多通道的数字信号。本申请提供的多通道JESD 204B接收端的数字电路,实现JESD 204B协议中

规定的链路层,传输层数字信号处理功能,通过增加数字逻辑的方式,减少电路板走线,达到提升数字信号的传输速率。

[0020] 应当理解的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,并不能限制本发明。

附图说明

[0021] 此处的附图被并入说明书中并构成本说明书的一部分,示出了符合本发明的实施例,并与说明书一起用于解释本发明的原理。显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术者来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。在附图中:

[0022] 图1是本发明的一示例性实施例示出的多通道JESD 204B发送端和部分接收端在模式转换器中的位置图;

[0023] 图2是本发明的一示例性实施例示出的多通道JESD 204B部分接收端在数模转换器中的位置图;

[0024] 图3是本发明的一示例性实施例示出的多通道JESD 204B接收端的数字电路的框图;

[0025] 图4是本发明的一示例性实施例示出的多通道JESD 204B接收端的数字电路的具体结构图;

[0026] 图5是本发明的一示例性实施例示出的输入缓存子单元的内部结构图;

[0027] 图6是本发明的一示例性实施例示出的码组同步过程中状态机转换图;

[0028] 图7是本发明的一示例性实施例示出的初始通道同步过程中状态机转换图;

[0029] 图8是本发明的一示例性实施例示出的解帧映射子单元的内部结构图;

[0030] 图9是本发明的一示例性实施例示出的数字电路工作在mode0下时,帧数据到DACsamples的映射示意图;

[0031] 图10是本发明的一示例性实施例示出的数字电路工作在mode1下时,帧数据到DACsamples的映射示意图;

[0032] 图11是本发明的一示例性实施例示出的时钟同步单元与模拟电路中不同模块的连接关系图;

[0033] 图12是本发明的一示例性实施例示出的多芯片对齐后的内部时钟关系图。

具体实施方式

[0034] 以下将参照附图和优选实施例来说明本发明的实施方式,本领域技术人员可由本说明书中所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。应当理解,优选实施例仅为了说明本发明,而不是为了限制本发明的保护范围。

[0035] 需要说明的是,以下实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也

可能更为复杂。

[0036] 在下文描述中,探讨了大量细节,以提供对本发明实施例的更透彻的解释,然而,对本领域技术人员来说,可以在没有这些具体细节的情况下实施本发明的实施例是显而易见的,在其他实施例中,以方框图的形式而不是以细节的形式来示出公知的结构和设备,以避免使本发明的实施例难以理解。

[0037] 胶合逻辑是一种连接复杂逻辑电路的简单逻辑电路的统称。它通常指的是在集成电路设计中,使用较少的逻辑门或其他基本逻辑单元来连接和整合复杂的功能单元,如微处理器、存储器功能块或通信功能块等,以实现特定的电路功能。

[0038] 数模转换器(DAC)用于将数字信号转换为模拟信号;其输入是数字信号,输出是模拟信号。早期低速数模转换器的数字信号输入接口使用的是CMOS接口(Complementary MetalOxide Semiconductor);后来随着采样速度的提升,数模转换器的数字信号输入接口开始使用LVDS差分接口(Low Voltage Differential Signaling,即低电压差分信号)。但CMOS接口,LVDS差分接口在数据传输上存在一定的问题,随着数模转换器位宽的增加,电路板上走线数量会大大增加,而且每根走线的长度必须一致,做到线延迟匹配;并且大量电路板走线容易受到干扰,影响数据有效传输;随着数模转换器采样速度进一步增加,CMOS接口,LVDS接口无法完成多位数字信号的高速传输。

[0039] 在数模转换器的系统中,若采用的是JESD 204B协议接收高速的数字信号,多通道JESD204B接收端的数字电路在系统中的位置如图1-2所示。如图1所示,204B Tx framer是数据发送端,发送的是N lane的40bit位宽数据。serializer是并串转换电路,功能是将N lane的40bit数据转化为N lane的1bit高速串行数据流,每条lane最高速率为12.5Gbps,这是发送端的物理层电路。de-serializer是串并转换电路,功能是将N lane的1bit高速串行数据流转化为N lane的40bit数据。glue-logic是胶合逻辑,用于缓冲deserializer与deframer间数据传输,确保数据稳定接收。deserializer与glue-logic一起完成了JESD 204B协议中接收端部分的物理层信号处理。

[0040] 如图2所示,数字逻辑电路中包含N-lane deframer模块,FIR+assemble模块,top_clk_gen模块。其中N-lane deframer为本发明所设计的多通道JESD 204B接收端的数字电路,完成了JESD 204B协议中接收端部分的数据链路层、传输层信号处理,最终输出结果是解帧后得到的DAC samples数据。FIR+assemble模块用于抽取滤波和16合4的数据流合并。top_clk_gen模块用于数字顶层的时钟分配。

[0041] 如图2所示,FIR+assemble模块输出与clk0~clk3同步的4路16bit数据,经temperaturedecoder模块译码为4路31bit数据,再经过mux模块进行4合1操作,合并成1路31bit的数据流(速度提升4倍),最终经latch模块之后,送给数模转换器(DAC)输出。DAC工作时钟clkdac经过clkdiv模块四分为clk0~clk3,作为FIR+assemble模块的参考时钟使用,clk0~clk3相位依次相差90°。

[0042] 需要说明的是,其中N为数字电路对应的通道数量,N的取值可以是4通道、8通道和16通道。

[0043] 如图3所示,本申请提供一种多通道JESD 204B接收端的数字电路,包括:

[0044] 启动模块,用于生成启动信号,并基于预设配置信息对数字电路进行信息配置,以启动数字电路;

[0045] 数据流处理模块,用于接收JESD 204B发送端发送的第一预设多通道的待传输数字信号;基于预设配置信息中预设通道连接关系将待传输数字信号进行信号传输,对传输后的数字信号进行信号同步处理再根据预设配置信息中工作模式进行映射输出,得到第二预设多通道的数字信号;

[0046] 其中,数据流处理模块输出端的信号传输速率与数据流处理模块输入端的信号传输速率匹配。

[0047] 具体地,通过启动模块根据数字电路输入的预设配置信息进行信息匹配,使得数字电路中完成预设信息的配置,同时根据top_clk_gen模块分配的外部时钟信号,产生数字电路的启动信号;通过数据流处理模块接收glue-logic发送的N通道40bit待传输数字信号,对N通道40bit待传输数字信号进行JESD 204B接收端的数据链路层和传输层数据处理,以得到M通道16bit的数字信号。

[0048] 需要说明的是,数据流处理模块接收glue-logic发送的8条40bit待传输数字信号,当每条通道的最高bit流速率是12.5Gbps,数字电路最高工作时钟不超多312.5MHz ($12.5\text{GHz}/40=312.5\text{MHz}$)。8通道的数字电路总共最高bit流速率为 $12.5\text{Gbps} \times 8 \times (8/10) = 80\text{Gbps}$ 。基于预设配置信息数字电路输出端选择16通道16bit的接口; $16\text{bit} \times 16\text{bit} \times 312.5\text{MHz} = 80\text{Gbps}$ 。由此可见,数据处理模块的输入端信号传输速率和数据流处理模块的输出端信号传输速率相互匹配。

[0049] 详细地,数据流处理模块包括:信号输入单元,用于接收待传输数字信号,对每个待传输数字信号进行分别存储,以及对存储的数字信号进行信号传输,以输出多个的第一中间信号;数据同步单元,用于对多个第一中间信号分别进行信号同步处理及数据译码,得到多个第二中间信号;数据输出单元,用于基于预设配置信息中的工作模式对多个第二中间信号进行映射传输,得到第二预设多通道的数字信号。

[0050] 更详细地,信号输入单元包括:N个输入缓存子单元,用于对接收并缓存JESD 204B发送端发送的第一预设多通道的待传输数字信号,并将待传输数字信号与启动信号中的内部时钟信号进行关联;数据路由子单元,用于根据预设配置信息中的预设通道连接关系对各个输入缓存子单元的数据进行信号传输,对外输出多个第一中间信号;其中, $N \geq 2$,N与通道的数量相对应。具体地,如图4所示,当数字电路的硬件传输通道为8个通道时,信号输入单元包括8个输入缓存子单元,即8个input_fifo,通过8个输入缓存子单元接收8个通道deserializer送来的经过串并转换的40bit位宽数据wdata0[39:0]~wdata7[39:0];每个通道deserializer发送4路随路时钟wclk1~wclk4,4路随路时钟为wclk1是wdata[9:0],wclk2是wdata[19:10],wclk3是wdata[29:20],wclk4是wdata[39:30],8个通道共包括32个随路时钟,每路随路时钟与数字电路的内部时钟信号同频、但相位不同,随路时钟的最高频率不超过312.5MHz。如图5所示,每个输入缓存子单元内部包括4个16*10bit的fifo结构,将输入的40bit数据存储至4个FIFO结构中,8个输入缓存子单元还将随路时钟内输入的wdata[9:0],wdata[19:10],wdata[29:20],wdata[39:30]同步至数字电路内的时钟信号。如图5所示,wrst1_n至wrst4_n分别是16*10bit fifo1至16*10bit fifo4的复位信号,用于对fifo结构进行复位操作。信号输入单元包括数据路由子单元,即xbar,数据路由子单元将8个输入缓存子单元输出的fifo0_rdata~fifo7_rdata根据预设通道连接关系传输到数据路由子单元输出接口lane0_data~lane7_data的对应位置,实现8个通道数据位置的按照

预设通道连接关系的交换传输功能;数据路由子单元对外输出多个通道的第一中间信号(lane0_data~lane7_data)。

[0051] 更详细地,数据同步单元包括:N个码组同步子单元,用于基于多帧时钟信号对每个通道的第一中间信号进行码组同步,并基于译码结果调节码组同步的状态,以使多通道的第一中间信号进行对齐;N个译码子单元,用于分别对N个码组同步子单元输出的信号进行译码,得到译码结果;N个初始通道同步子单元,用于分别对N个译码子单元输出的信号进行初始通道同步并对齐多帧时钟的边界,得到N个第二中间信号。

[0052] 具体地,如图4所示,当数字电路的硬件传输通道为8个通道时,数据同步单元中包括8个码组同步子单元,即8个cgs_fsm0~cgs_fsm7。各个码组同步子单元(cgs_fsm)之间相互独立工作,码组同步子单元(cgs_fsm)根据多帧时钟信号对路由子单元输出接口输出的多个第一中间信号lane0_data~lane7_data进行码组同步,并将40bit第一中间信号的码字边界进行对齐,在第一中间信号进行码组同步时,还根据译码结果调节码组同步的状态。8个译码子单元,即8个decode_10b8b_0~decode_10b8b_7,各个译码子单元(decode_10b8b)对码组同步子单元输出的信号进行译码,将每个时钟信号处理的数据从40bit变成32bit数据。8个初始通道同步子单元,即8个ila_fsm0~ila_fsm7,各个初始通道同步子单元独立工作,每个初始通道同步子单元对对应的N个译码子单元输出的信号完成ILAS状态同步,并实现对32bit数据的多帧边界对齐。

[0053] 如图6所示,码组同步子单元的同步过程为:数字电路启动后,状态由CS_IDLE跳转到CS_INIT,检测到连续4个/K/码后,状态跳转到CS_WAIT1,然后经过CS_WAIT2、CS_WAIT3,跳转到CS_CHECK。在CS_CHECK状态进行判断,如果译码子单元的译码结果连续正确码字超过4个,则进入CS_DATA状态去持续接收后续数据,如果译码子单元的译码结果中错误码字累计超过3个,码组同步断链,则状态从CS_CHECK跳转回CS_INIT进行重新建链;若在CS_DATA状态数据接收状态,译码子单元译码的码字错误,状态立即跳转回CS_CHECK进行重新判断。

[0054] 如图7所示,初始通道同步子单元的同步过程为:经过码组同步的有效数据到达本单元时,状态由IDLE跳转到INIT,检测到/R/码后,状态跳转到ILAS状态,在此状态下接收连续4个多帧的ILAS数据,如果接收成功,状态跳转到DATA状态去接收用户数据。如果在ILAS状态发生断链,检测到连续4个/K/码重新到达,则先跳转到ILAS_CHECK状态,在ILAS_CHECK状态如果还能检查到连续4个/K/码,则跳转回INIT重新搜寻/R/码,如果没再检测到连续4个/K/码,就回到ILAS状态继续接收ILAS数据。在DATA状态,发生断链,检测到连续4个/K/码重新到达,则先跳转到DATA_CHECK状态,在DATA_CHECK状态如果还能检测到连续4个/K/码,则跳转回INIT重新搜寻/R/码,如果没再检测到连续4个/K/码,就返回DATA状态继续接收用户数据。

[0055] 详细地,数据输出单元包括:N个信号恢复子单元,用于分别对各个通道的第二中间信号先进行解扰再进行字符替换;解帧映射子单元,用于基于工作模式对N个信号恢复子单元输出的信号进行对应的映射,得到第二预设多通道的数字信号。具体地,如图4所示,信号恢复子单元包括descramble和rx_replace,通过descramble对初始通道同步子单元输出的信号进行并行解扰,以完成了 $1+x^{14}+x^{15}$ 多项式解扰,若发送数据时未对数据信号进行加扰,则不对传输的数字信号进行解扰,初始通道同步子单元输出的信号直接发送至rx_

replace,通过rx_replace对初始通道同步子单元输出的信号或者解扰后的数据完成JESD 204B协议中的字符替换功能,例如,数据发送时将20替换为A,则通过rx_replace在JESD 204B的接收端将A替换为20。数据输出单元包括解帧映射子单元,如图4所示,解帧映射子单元为tpl_map,解帧映射子单元的内部结构图如图8所示,由8个24*32bit的fifo作为弹性FIFO处理了8个通道间的信号传输延迟问题,并且8弹性FIFO能够统一在多帧时钟信号的边界(LMFC)释放,达到了确定性延迟功能,弹性FIFO的深度超过最长的LMFC(多帧时钟信号的周期)。

[0056] 若解帧映射子单元的映射方式有2种,根据工作模式,映射方式如表1所示:

[0057] 表1

[0058]

m ode	JESD2 04B Parameters	La ne No.	Frame 0	Frame 1	Frame 2	Frame 3
mode0	L = 8, M = 1, F = 1, S = 4	Lane 0 Lane 1 Lane 2 Lane 3 Lane 4 Lane 5 Lane 6 Lane 7	M0S0[15:8] M0S0[7:0] M0S1[15:8] M0S1[7:0] M0S2[15:8] M0S2[7:0] M0S3[15:8] M0S3[7:0]			
mode1	L = 8, M = 2, F = 1, S = 2	Lane 0 Lane 1 Lane 2 Lane 3 Lane 4 Lane 5 Lane 6 Lane 7	M0S0[15:8] M0S0[7:0] M0S1[15:8] M0S1[7:0] M1S0[15:8] M1S0[7:0] M1S1[15:8] M1S1[7:0]			

[0059] 当数字电路的工作模式为Mode0,帧数据映射到DAC samples的方式如图9所示,该工作模式下:L=8,M=1,F=1,S=4,根据数字电路的预设配置信息传输输入端的数字信号和输出端的数字信号映射关系。图9中一个小正方形方块代表1个byte数据。1个内部时钟信号的周期,如图9所示,当每个通道送来4bytes数据,8个通道总共32bytes数据。将第一个通道(lane0)的编号为01的byte和第二个通道(lane1)的编号为11的byte组合为DAC的第1个sample(M0S0);第三个通道(lane2)的编号为21的byte和第四个通道(lane3)的编号为31的byte组合为DAC的第2个sample(M0S1);第五个通道(lane4)的编号为41的byte和第六个通道(lane5)的编号为51的byte组合为DAC的第3个sample(M0S2);第七个通道(lane6)的编号为61的byte和第八个通道(lane7)的编号为71的byte组合为DAC的第4个sample(M0S3);后续sample的映射方式以此类推;32bytes数据总共可以组合为16个DAC samples。

[0060] 当数字电路的工作模式为Mode1,帧数据映射到DAC samples的方式如图10所示,该工作模式下:L=8,M=2,F=1,S=2。1个内部时钟信号的周期,如图10所示,将第一个通道(lane0)的编号为01的byte和第二个通道(lane1)的编号为11的byte组合为DAC的第1个sample(M0S0);第三个通道(lane2)的编号为21的byte和第四个通道(lane3)的编号为31的byte组合为DAC的第2个sample(M0S1);将第一个通道(lane0)的编号为02的byte和第二个通道(lane1)的编号为12的byte组合为DAC的第3个sample(M0S2);第三个通道(lane2)的编

号为22的byte和第四个通道(lane3)的编号为32的byte组合为DAC的第4个sample(MOS3);第五个通道(lane4)的编号为41的byte和第六个通道(lane5)的编号为51的byte组合为DAC的第5个sample(MOS0);第七个通道(lane6)的编号为61的byte和第八个通道(lane7)的编号为71的byte组合为DAC的第6个sample(MOS1);第五个通道(lane4)的编号为42的byte和第六个通道(lane5)的编号为52的byte组合为DAC的第七个sample(MOS2);第七个通道(lane6)的编号为62的byte和第八个通道(lane7)的编号为72的byte组合为DAC的第8个sample(MOS3);后续sample的映射方式以此类推;32bytes数据总共可以组合为16个DAC samples。

[0061] 需要说明的是,解帧映射子单元的映射方式不止上述所提及的两种方式,还包括JESD204B协议中的其他映射方式,数据传输的方式根据映射方式进行改变,因此,在此不再赘述其他映射方式的具体输出原理。

[0062] 详细地,启动模块包括:信息配置单元,用于接收预设配置信息,并基于预设配置信息生成数字电路的各个模块的配置信息;时钟同步单元,用于基于外部时钟信号、多个分频信号和多个采样信号生成内部时钟信号和多帧时钟信号;其中,多个采样信号的相位不同。具体地,如图4所示,通过数字电路中SPI串行接口接收预设配置信息,并通过SPI_IF将时序转换为内部寄存器读写时序,将预设配置信息进行存储,并将数据流处理模块的各个单元的配置信息发送至各个单元,也可通过上位机读取数字电路的状态标志信号;信号同步单元接收模拟电路发送的外部时钟信号、多个分频信号和多个采样信号进行时间同步,得到内部时钟信号和多帧时钟信号。

[0063] 更详细地,信息配置单元包括:接收子单元,用于接收预设配置信息;存储子单元,用于存储预设配置信息;解析子单元,用于对存储子单元内的预设配置信息进行解析,得到各个模块的配置信息。具体地,如图4所示,通过接收子单元(SPI串行接口)接收预设配置信息,并通过存储子单元(spi_if)将接收的配置信息的时序转换为内部寄存器读写时序,将预设配置信息进行存储,解析子单元包括spi_reg和cfg_glue,通过spi_reg接收存储子单元发送的读写访问请求,并对配置各个寄存器的值,cfg_glue接收spi_reg寄存器的值,对寄存器中的值进行解析,得到数据流处理模块各个单元的配置信息和参数,主要包括工作模式,L,M,N,S,F等204B协议参数,并将解析的配置信息发送至数据流处理模块的各个单元,也可通过上位机读取数字电路是否处于信号传输状态。

[0064] 更详细地,时钟同步单元包括:同步调节子单元,用于根据多个采样信号确定模拟电路中模拟采样信号与多个分频信号的相位关系,并产生延迟信号和时钟重置信号,将延迟信号传输至模拟电路中,以进行多芯片时钟同步调节;时钟重置子单元,用于接收外部时钟信号,根据外部时钟信号和时钟重置信号设置数字电路的内部时钟信号,并基于工作模式生成对应的多帧时钟信号;边界调节子单元,用于与JESD 204B发送端进行通信,对多帧时钟信号的边沿进行同步,以对多帧时钟信号的边界进行上拉或下拉。

[0065] 具体地,如图4所示,多芯片同步要求多个芯片在相同的多帧时钟信号LMFC的边界发送或者接收数据,进而要求多个芯片的时钟信号对齐,进而要求多个芯片的数字逻辑的多个分频信号clk0~clk3对齐.sysref模块与clkdiv,sysref_sample两个模块一起配合,完成了多芯片间多个分频信号clk0~clk3的对齐功能,最终达到多芯片同步的作用,多芯片同步情况如图12所示。

[0066] 如图11所示,clkdiv是模拟电路中的时钟分频单元,主要功能是将DAC工作时钟clkdac四分频为多个分频信号clk0~clk3;并且能接收同步调节子单元反馈的延迟信号sync_pulse的脉冲,根据sync_pulse中脉冲个数,将clk0~clk3延迟相应的clkdac周期个数.sysref_sample是模拟电路中的时钟采样单元,主要功能是用clk0~clk3采样外部接口输入的模拟采样信号sysref,产生多个采样信号sysref0~sysref3信号。

[0067] 同步调节子单元,即sysref,主要功能是根据接收到的多个采样信号(sysref0~sysref3),获取多个采样信号(sysref0~sysref3)的相位关系,以确定模拟采样信号sysref与多个分频信号clk0~clk3的相位关系,从而产生延时信号sync_pulse和时钟重置信号sysref_sync,送出正确个数延迟信号sync_pulse脉冲给模拟电路中的时钟分频单元,用于调整多个分频信号clk0~clk3的相位。经过调整,多颗芯片间的clk0~clk3得以同步,进而调整top_clk_gen模块中输出的外部时钟信号。

[0068] 时钟重置子单元,如图4所示,即pclk_gen,时钟重置单元接收外部时钟信号P1ck和时钟重置信号sysref_sync生成数字电路的内部时钟信号P1ck(312.5Mkz),并根据数字电路的工作模式产生多帧时钟信号LMFC,边界调节子单元,即sync_gen,边界调节子单元通过sync_n信号与JESD 204B发送端进行交互通信,边界调节子单元将8个cgs_fsm发送的sync_n信号合并在一起,以在多帧时钟信号LMFC的边界进行上拉或下拉。

[0069] 详细地,数字电路还包括监控模块,监控模块用于对数据流处理模块进行异常监控。

[0070] 更详细地,监控模块包括:监控单元,用于对数字电路进行异常监控并统计异常情况;数据流验证单元,用于基于验证码对信号输入单元的待传输数字信号进行数据验证,并对初始通道同步子单元的配置信息进行解析并验证。具体地,监控单元,如图4所示,即err_mon,用于对数字电路各个通道的错误进行监控,统计多个通道的not in table error(NIT),baddisparity error(BDE),unexpected K(UKE) character error三种错误的数量,在超出门限后发起中断,或者直接断链;数据流验证单元包括prbs_check和linkcfg_decode,通过prbs_check模块完成了各个通道的PRBS7,PRBS15,PRBS31检查,根据验证码对信号输入单元输入的数据进行验证,在数据传输中加入伪随机码,以验证数据传输是否正确。通过linkcfg_decode对初始通道同步阶段的配置信息进行解析,若解析的配置信息与预配置信息不匹配,则传输失败。

[0071] 如图4所示,数字电路还包括复位单元(rst_gen),用于接收复位信号rst_n,以对数字电路进行复位操作。

[0072] 需要说明的是,若本申请提供的是8通道的JESD 204B接收端的数字电路,待传输数字信号可以是1、2、3、4、6、8个通道工作,根据JESD 204B的协议确定,具体工作的通道数根据传输的数字信号和协议共同确定。

[0073] 本申请提供的多通道JESD 204B接收端的数字电路的工作流程如下:对整个JESD 204B系统进行上电,将JESD 204B发送端配置好,在通过信息配置单元配置好JESD 204B接收端的信息,主要是配置工作模式和协议相关参数,当存在多芯片同时工作时,通过时钟同步单元实现JESD 204B内的时钟信号和外部芯片的同步;启动数字电路,数字电路与JESD204B发送端通过sync_n进行交互,依次对传输的数字信号进行的码组同步和ILAS同步,在进入数据传输阶段,完成对数字信号的高速传输。

[0074] 本申请提供一种多通道JESD 204B接收端的数字电路,该电路包括:启动模块、数据流处理模块,通过启动模块中的预设配置信息选择数据传输通道的数量,产生启动信号,以启动数字电路,通过数据流处理模块接收JESD 204B发送端发送的待传输数字信号;基于预设配置信息中预设通道连接关系将待传输数字信号进行信号传输,对传输后的数字信号进行信号同步处理再根据预设配置信息中工作模式进行映射输出,得到数字信号,通过增加数字逻辑的方式,减少电路板走线,达到提升数字信号的传输速率;还可通过监控模块对数据流处理模块进行异常监控,在数据传输异常时,及时将异常反馈进行反馈。本申请根据数字电路的模式选择,可对不同的通道数量的数据信号进行传输,信号传输的速率高,满足高速数模转换器对数据的转换需求。

[0075] 上述实施例仅示例性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,但凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

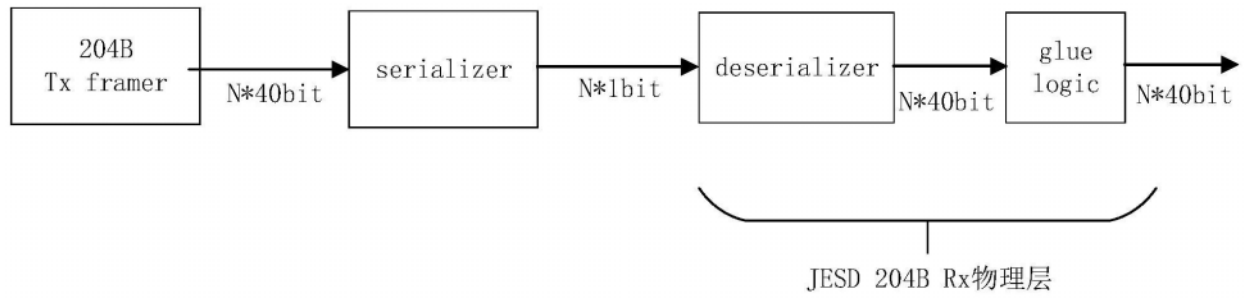


图1

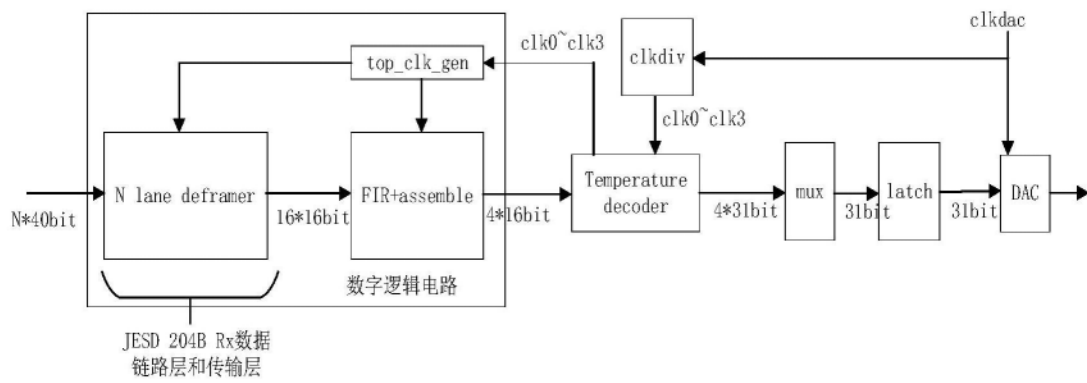


图2

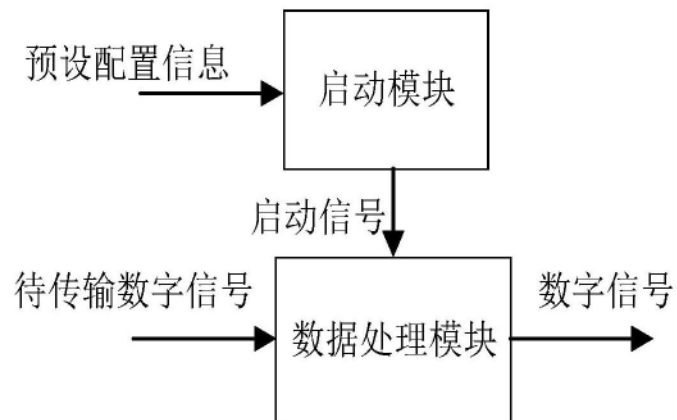


图3

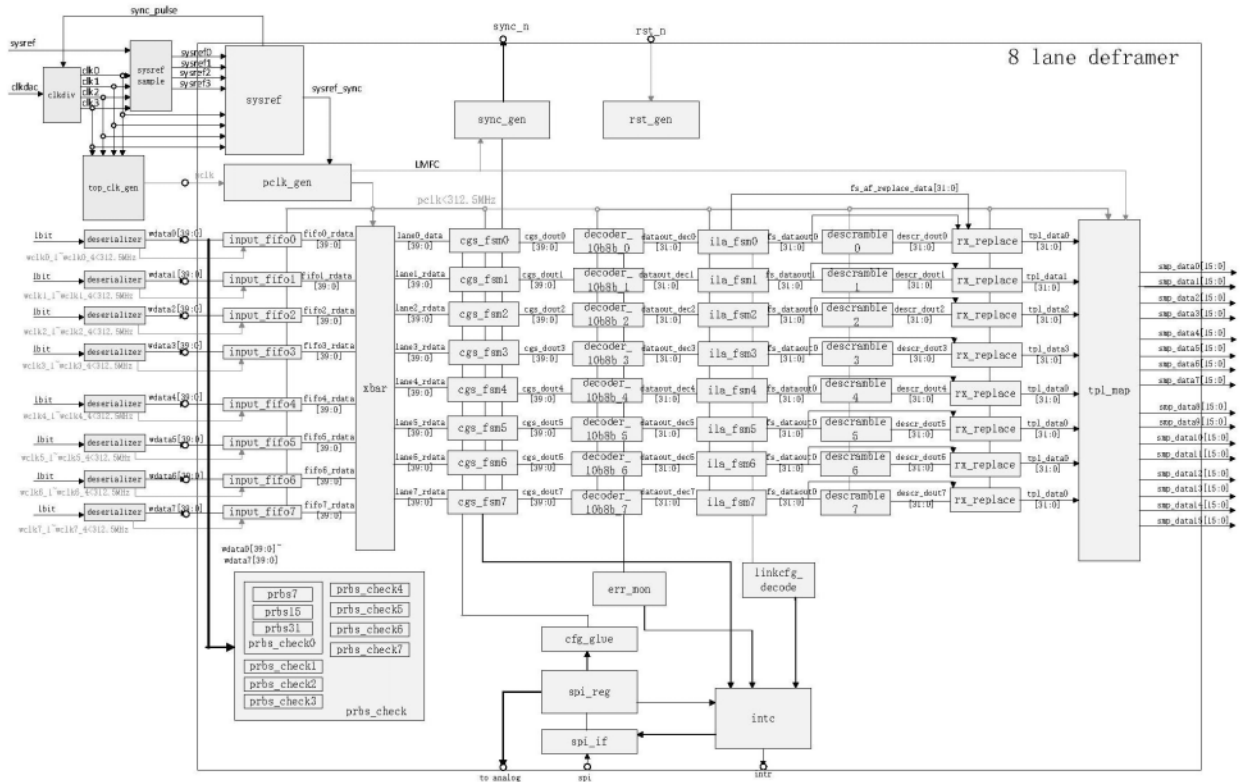


图4

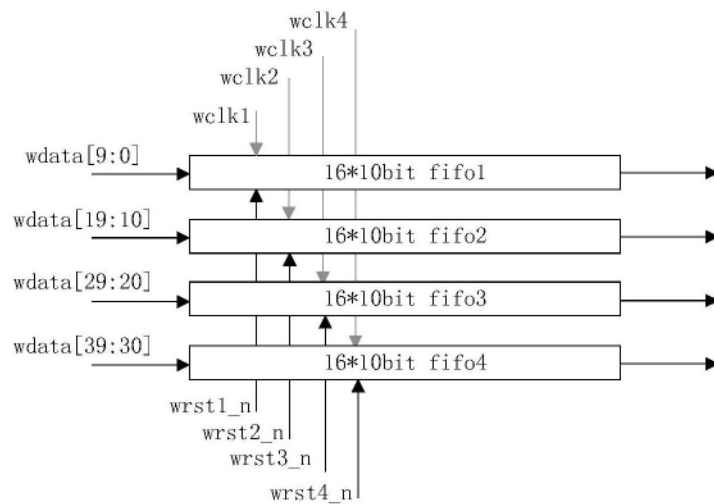


图5

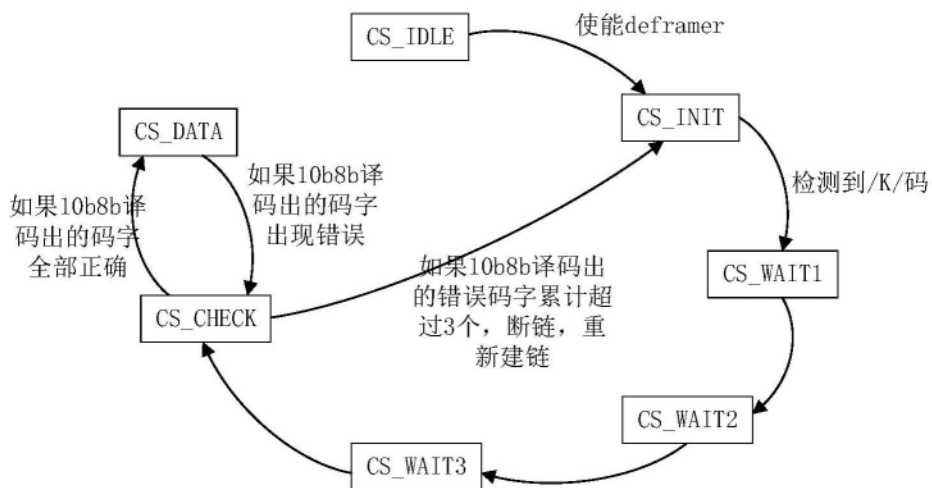


图6

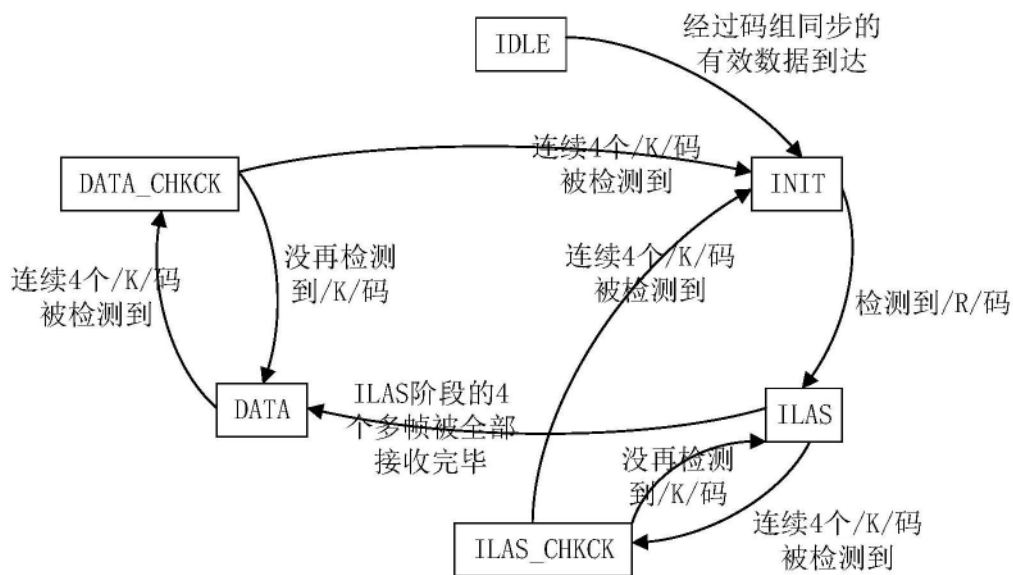


图7

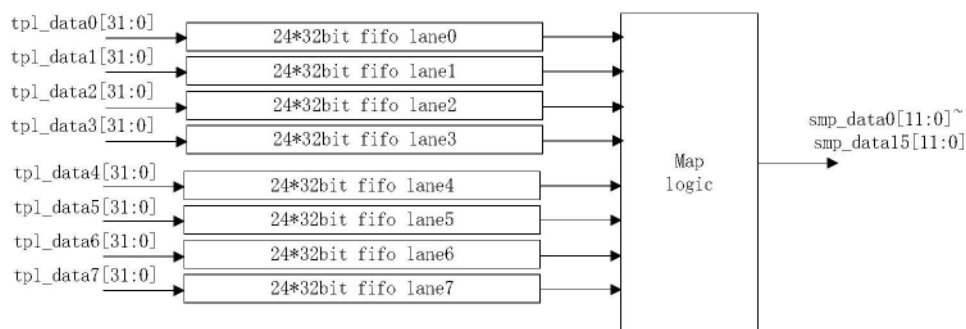


图8

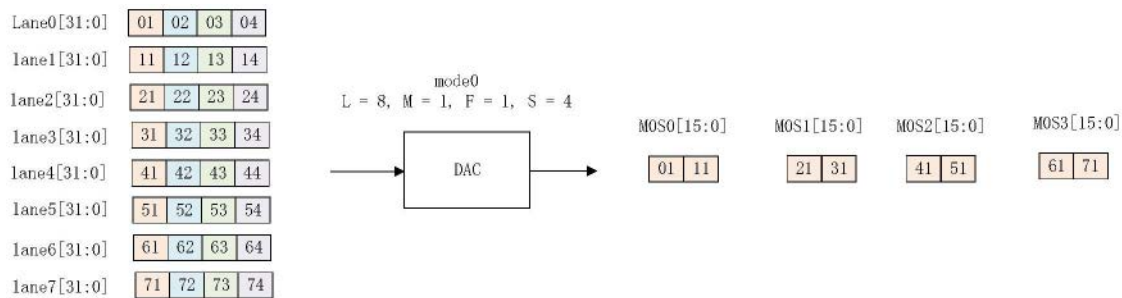


图9

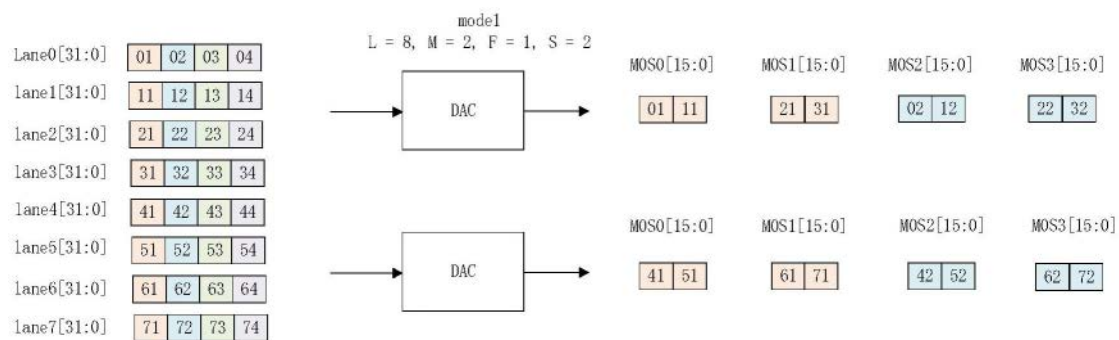


图10

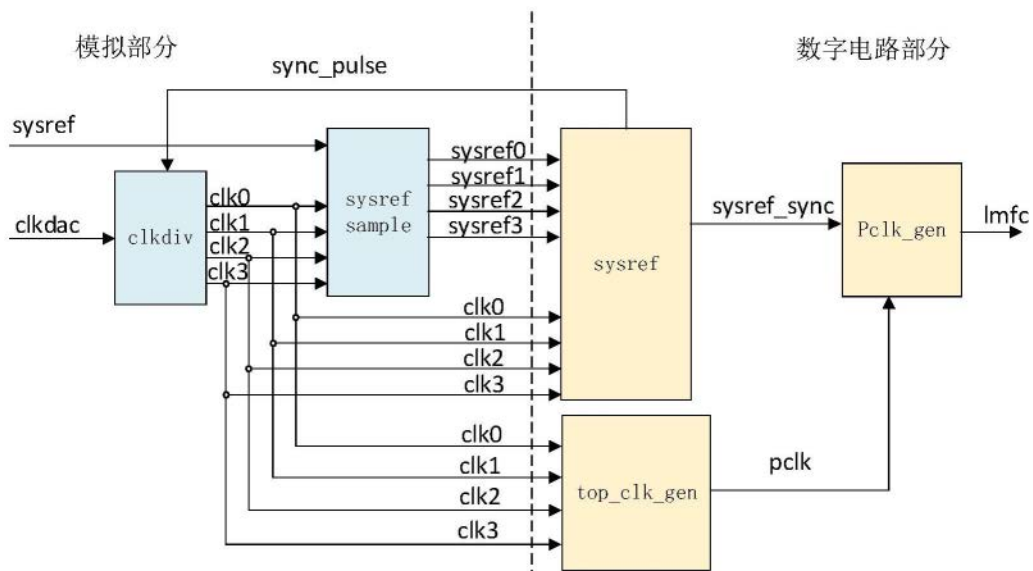


图11

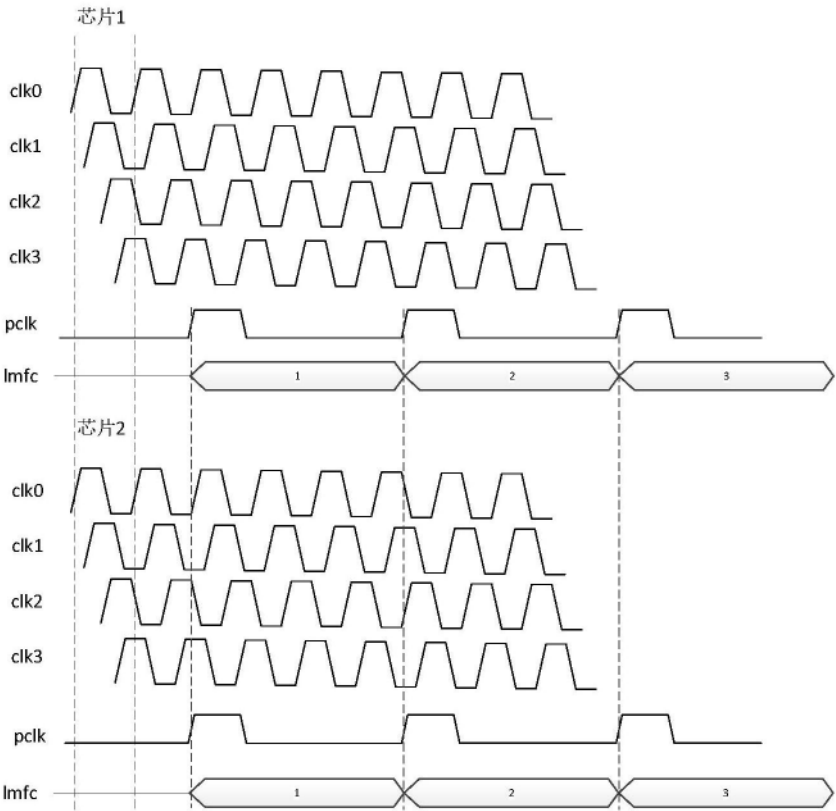


图12