



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년04월15일
 (11) 등록번호 10-1029383
 (24) 등록일자 2011년04월07일

- (51) Int. Cl.
H01L 21/335 (2006.01) *H01L 29/78* (2006.01)
- (21) 출원번호 10-2005-7008204
 (22) 출원일자(국제출원일자) 2003년10월14일
 심사청구일자 2008년10월14일
 (85) 번역문제출일자 2005년05월07일
 (65) 공개번호 10-2005-0062656
 (43) 공개일자 2005년06월23일
 (86) 국제출원번호 PCT/US2003/032662
 (87) 국제공개번호 WO 2004/044992
 국제공개일자 2004년05월27일
- (30) 우선권주장
 10/290,158 2002년11월08일 미국(US)
- (56) 선행기술조사문헌
 US06396108 B1*
 US20010036731 A1*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 어드밴스드 마이크로 디바이시즈, 인코포레이티드
 미국 캘리포니아 94088-3453 서니베일 원 에이엠
 디 플레이스 메일 스톱68
- (72) 발명자
 아흐메드 시블리 에스.
 미국 캘리포니아 95134 산 호세 엘란 빌리지 #105
 레인 350
 왕 하이홍
 미국 캘리포니아 94555 프레몬트 도나휴 테라스
 34170
 유 빈
 미국 캘리포니아 95014 쿠퍼티노 포퍼 웨이 1373
- (74) 대리인
 박장원

전체 청구항 수 : 총 8 항

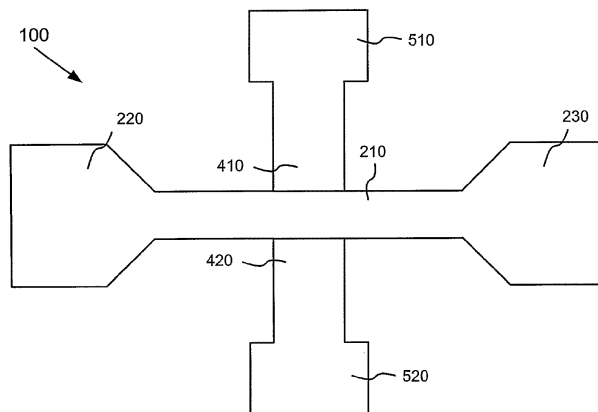
심사관 : 박근용

(54) 분리된 게이트를 가지는 더블 게이트 반도체 디바이스

(57) 요약

반도체 디바이스(100)는 기관(110) 및 상기 기관(110) 위에 형성된 절연층(120)을 포함한다. 핀(210)은 절연층(120) 위에 형성될 수 있고, 상부면 및 다수의 측면들을 포함할 수 있다. 제1 게이트(410)는 핀(210)의 측면들 중 하나에 근접한 절연층(120) 위에 형성될 수 있다. 제2 게이트(420)는 제1 게이트(410)로부터 분리된 절연층(120) 위에 형성될 수 있고, 핀(210)의 측면들 중 또 다른 하나에 근접하다.

대표도



특허청구의 범위

청구항 1

반도체 디바이스(100)로서,

기관(110)과;

상기 기관(110) 위에 형성된 절연층(120)과;

상기 절연층(120) 위에 형성되고, 상부면 및 다수의 측면들을 포함하는 전도성 핀(210)과, 여기서 상기 핀(210)은 300Å 내지 1500Å 범위 내의 두께를 가지며;

상기 핀(210)의 다수의 측면들 중 하나에 근접한 상기 절연층(120) 위에 형성된 제 1 게이트(410)와, 여기서 상기 제 1 게이트(410)는 300Å 내지 1500Å 범위 내의 두께를 가지며;

상기 절연층(120) 위에 형성되어 있고, 상기 제 1 게이트(410)로부터 분리되어 있으며, 상기 핀(210)의 다수의 측면들 중 또 다른 하나에 근접한 제 2 게이트(420)와, 여기서 상기 제 2 게이트(420)는 300Å 내지 1500Å 범위 내의 두께를 가지며; 그리고

상기 핀(210)의 다수의 측면들을 따라 각각 형성된 다수의 유전층들(310)을 포함하여 구성되고,

상기 제 1 게이트(410) 및 상기 제 2 게이트(420)는 상기 다수의 유전층들(310) 중 서로 다른 것들에 각각 근접한 것을 특징으로 하는 반도체 디바이스.

청구항 2

제1항에 있어서,

상기 제 2 게이트(420)는 상기 제 1 게이트(410)로부터 상기 핀(210)의 반대 측면에 형성되는 것을 특징으로 하는 반도체 디바이스.

청구항 3

제2항에 있어서,

상기 제 1 게이트(410) 및 상기 제 2 게이트(420)는 각각 제 1 게이트 콘택(510) 및 제 2 게이트 콘택(520)을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 핀(210)의 상부면 위에 형성된 나이트라이드 및 산화물 중 적어도 하나를 포함하는 유전층(140)을 더 포함하며, 여기서 상기 유전층(140)의 상부면, 상기 제 1 게이트(410)의 상부면, 및 상기 제 2 게이트(420)의 상부면은 실질적으로 동일평면상에 있는 것을 특징으로 하는 반도체 디바이스.

청구항 6

반도체 디바이스를 제조하는 방법으로서,

기관(110) 위에 절연층(120)을 제공하는 단계와;

상기 절연층(120) 위에 전도성 핀 구조(210)를 형성하는 단계와, 상기 핀 구조(210)는 제 1 측면, 제 2 측면, 및 상부면을 포함하며, 상기 핀 구조(210)는 300Å 내지 1500Å 범위 내의 두께를 가지고;

상기 핀 구조(210)의 종단에 소스 및 드레인 영역들(220, 230)을 형성하는 단계와;

상기 핀 구조(210) 위에 게이트 물질(320)을 증착하는 단계와, 상기 게이트 물질(310)은 상기 상부면, 상기 제

1 측면, 및 상기 제 2 측면을 둘러싸며, 상기 게이트 물질(320)은 300Å 내지 1500Å 범위 내의 두께를 가지고; 상기 핀 구조(210)의 양측에 제 1 게이트 전극(410) 및 제 2 게이트 전극(420)을 형성하기 위해 상기 게이트 물질(320)을 식각하는 단계와; 그리고

상기 핀 구조(210)에 근접한 증착된 게이트 물질(320)을 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 7

제6항에 있어서,

상기 소스 및 드레인 영역들(220, 230)을 형성하는 단계 이후, 그리고 상기 게이트 물질(320)을 증착하는 단계 이전에, 상기 핀 구조(210)의 상부면 위에 유전층(140)을 형성하는 단계를 더 포함하며,

상기 평탄화 단계는, 상기 유전층(140) 위에 어떠한 게이트 물질(320)도 남아있지 않도록 상기 게이트 물질(320)을 연마하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 8

반도체 디바이스(100)로서,

기관(110), 상기 기관(110) 위에 형성된 절연층(120), 상기 절연층(120) 위에 형성된 전도성 핀(210), 상기 전도성 핀(210)의 측면들 위에 형성된 게이트 유전층들(310), 상기 전도성 핀(210)의 상부면 위에 형성된 유전체 캡(140), 그리고 상기 절연층(120) 위에 형성되며 상기 게이트 유전층들(310) 중 하나에 근접한 상기 전도성 핀(210)의 제 1 측면 위에 배치된 제 1 게이트 전극(410)을 포함하여 구성되며,

상기 전도성 핀(210)은 300Å 내지 1500Å 범위 내의 두께를 가지고; 그리고

제 2 게이트 전극(420)이 상기 절연층(120) 위에 형성되고, 상기 제 2 게이트 전극(420)은 상기 게이트 유전층들(310) 중 또 다른 하나에 근접한 상기 전도성 핀(210)의 반대 측면 위에 배치되며, 상기 제 1 게이트 전극(410)으로부터 일정 간격 떨어져 있고, 상기 제 1 게이트 전극(410) 및 상기 제 2 게이트 전극(420) 모두 상기 유전체 캡(140) 위로 확장되지 않는 것을 특징으로 하는 반도체 디바이스.

청구항 9

삭제

청구항 10

제8항에 있어서,

상기 제 1 게이트 전극(410), 상기 제 2 게이트 전극(420), 및 상기 유전체 캡(140)의 상부면들은 실질적으로 동일 평면상에 있는 것을 특징으로 하는 반도체 디바이스.

명세서

기술분야

[0001] 본 발명은 반도체 디바이스들 및 반도체 디바이스들을 제조하는 방법들에 관한 것이다. 본 발명은 특히 더블-게이트 디바이스들에 적용가능하다.

배경기술

[0002] 최대 규모 스케일 집적 반도체 디바이스들과 연관된 높은 밀도 및 성능을 위해 점차 증가하는 요구사항들은, 100나노미터(nm) 이하의 게이트 길이, 높은 신뢰도 및 증가된 제조 처리량과 같은 디자인 특성들을 요구한다. 100nm 이하의 디자인 피쳐들의 감소는 종래 방법론의 제한요소들을 해결한다.

[0003] 예를 들어, 종래 평탄한 금속 산화물 반도체 전계 효과 트랜지스터들(MOSFET들)의 게이트 길이는 100nm 이하로 스케일되고, 소스와 드레인 사이의 과도한 누설 전류와 같은 짧은 채널 효과들과 연관된 문제점들은 점차 극복하기 어려워진다. 게다가, 이동도 감소 및 다수의 공정 문제들은 또한, 점차적으로 더 작은 디바이스 피쳐들을

포함하기 위해 종래 MOSFET들을 스케일하기 어렵게 한다. 따라서, 새로운 디바이스 구조들은 FET 성능을 향상시키기 위해 개발되고, 추가적인 디바이스 스케일링을 허용한다.

[0004] 더블-게이트 MOSFET들은, 기존의 평탄한 MOSFET들을 계승하기 위한 후보로서 고려되어 온 새로운 구조들을 나타낸다. 몇몇 양상들에서, 더블-게이트 MOSFET들은 종래 벌크 실리콘 MOSFET들보다 더 나은 특성들을 제공한다. 이러한 특성 향상들은, 종래 MOSFET들처럼 오직 채널 한 측에 게이트 전극이 있는 것과 달리, 더블-게이트 MOSFET이 채널 양측에 게이트 전극을 가짐으로써 이루어진다. 두 개의 게이트들이 존재할 때, 드레인에 의해 발생된 전계는 채널의 소스 종단으로부터 더 잘 차단(screen)된다. 또한, 두 게이트들은 단일 게이트에 비해 약 2배의 전류로 제어할 수 있고, 그에 따라 스위칭 신호가 더욱 강해진다.

[0005] FinFET은 우수한 짧은 채널 동작을 나타내는 최근 더블-게이트 구조이다. 비록 종래의 FinFET이 "더블-게이트" MOSFET들이라 언급되나, 두 게이트들은 일반적으로 물리적으로 그리고 전기적으로 연결되어 있으며, 그에 따라 논리적으로 어드레스 가능한 단일 게이트를 형성한다. FinFET은 수직 핀(fin)에서 형성된 채널을 포함한다. FinFET 구조는, 종래 평탄한 MOSFET들에 사용되는 것과 유사한 레이아웃 및 공정 기술들을 사용하여 제조될 수 있다.

발명의 상세한 설명

[0006] 본 발명의 취지에 따른 구현들은 전도성 핀에 의해 서로 효과적으로 분리되는 두 게이트들을 FinFET 디바이스에 제공한다. 상기 게이트들은 향상된 회로 디자인 유연성을 위하여 독립적으로 바이어스될 수 있다.

[0007] 본 발명의 부가적인 이점들 및 다른 특징들은 후술하는 발명의 상세한 설명에서 부분적으로 언급될 것이고, 하기의 설명을 정독하는 본 기술분야의 통상의 지식을 가진 자에게 일부 명백할 것이며, 본 발명의 실시로부터 인식할 수 있다. 본 발명의 이점들 및 특징들은 특히 첨부된 청구항들에서 지적된 바와 같이 인식되고 획득될 수 있다.

[0008] 본 발명에 따르면, 상기 및 다른 이점들은 기판 및 상기 기판 위에 형성된 절연층을 포함하는 반도체 디바이스에 의해 부분적으로 성취될 수 있다. 핀은 절연층 위에 형성될 수 있으며, 다수의 측면들 및 상부면을 포함할 수 있다. 제1 게이트는 핀의 측면들 중 하나에 근접한 절연층 위에 형성될 수 있다. 제2 게이트는 제1 게이트로부터 분리된 절연층 위에 형성될 수 있고, 상기 핀의 측면 중 다른 하나에 근접할 수 있다.

[0009] 본 발명의 다른 양상에 따르면, 반도체 디바이스를 제조하는 방법은 기판 위에 절연층을 형성하는 단계와, 상기 절연층 위에 핀 구조를 형성하는 단계를 포함한다. 상기 핀 구조는 제1측면, 제2측면, 및 상부면을 포함한다. 상기 방법은 또한, 핀 구조의 종단에 소스 및 드레인 영역들을 형성하는 단계와, 상기 핀 구조 위에 게이트 물질을 증착하는 단계를 포함한다. 상기 게이트 물질은 상부면, 제1측면 및 제2측면을 둘러싼다. 상기 게이트 물질은, 상기 핀의 양측에 제1 게이트 전극 및 제2 게이트 전극을 형성하기 위해 식각될 수 있다. 상기 증착된 게이트 물질은 상기 핀에 근접하게 평탄화될 수 있다.

[0010] 본 발명의 추가적인 양상에 따르면, 반도체 디바이스는 기판 및 상기 기판 위에 형성된 절연층을 포함할 수 있다. 전도성 핀은 절연층 위에 형성될 수 있고, 상기 게이트 유전층은 상기 전도성 핀의 측면 위에 형성될 수 있다. 제1 게이트 전극은 상기 절연층 위에 형성될 수 있다. 상기 제1 게이트 전극은 게이트 유전층들 중 하나에 근접한 전도성 핀의 제1측면 위에 배치될 수 있다. 제2 게이트 전극은 상기 절연층 위에 형성될 수 있다. 상기 제2 게이트 전극은 게이트 유전층들 중 또 다른 하나에 근접한 전도성 핀의 반대 측면 위에 배치될 수 있고, 제1 게이트 전극으로부터 일정 간격 떨어져 있을 수 있다.

[0011] 본 발명의 다른 이점들 및 특징들은 후술하는 상세한 설명들로부터 본 기술분야에서 통상의 지식을 가진 자에게 명백하게 될 것이다. 제시되고 설명된 실시예들은, 본 발명을 실시하기 위해 예상되는 최상의 모드의 실례를 제공한다. 본 발명은 본 발명으로부터 벗어남 없이 다양한 명백한 관점에서 수정될 수 있다. 따라서, 도면들은 본질적으로 예시적인 것일 뿐, 제한적인 것으로 간주되지 말아야 할 것이다.

실시예

[0021] 본 발명을 실시하기 위한 최적 실시예

[0022] 후술할 본 발명의 상세한 설명은 첨부된 도면들을 참조한다. 서로 다른 도면들에서의 동일한 도면 부호들은 동일한 또는 유사한 요소들로 간주될 수 있다. 또한, 후술할 상세한 설명은 본 발명을 제한하지 않는다. 대신, 본 발명의 범위는 첨부된 청구항들 및 그들의 균등물들에 의해 정의된다.

- [0023] 본 발명의 취지에 따른 구현들은, 더블 게이트 FinFET 디바이스들 및 그러한 디바이스들을 제조하는 방법들을 제공한다. 본 발명에 따라 형성된 FinFET 디바이스들의 게이트들은 서로 효과적으로 분리되며, 개별적으로 바이어스될 수 있다.
- [0024] 도 1은 본 발명의 실시예에 따라 형성된 반도체 디바이스(100)의 단면도를 도시한다. 도 1을 참조하면, 반도체 디바이스(100)는 실리콘 기판(110), 매립 산화물 층(120) 및 매립 산화물 층(120) 위에 형성된 실리콘 층(130)을 포함하는 실리콘 온 절연체(SOI)를 포함할 수 있다. 매립 산화물 층(120) 및 실리콘 층(130)은 종래 방식으로 기판(110) 위에 형성될 수 있다.
- [0025] 예시적인 구현으로, 매립 산화물 층(120)은 실리콘 산화물을 포함할 수 있고, 약 1000Å에서 약3000Å까지의 범위 내에서 두께를 가질 수 있다. 실리콘 층(130)은 약 300Å에서 약1500Å까지의 범위 내에서 두께를 가지는 단결정 또는 다결정 실리콘을 포함할 수 있다. 실리콘 층(130)은 이하에서 더 상세히 설명된 바와 같이, 더블 게이트 트랜지스터 디바이스에 대한 핀 구조를 형성하는데 사용된다.
- [0026] 본 발명의 취지에 따른 대안적인 구현들로서, 기판(110) 및 층(130)은 게르마늄, 또는 실리콘-게르마늄과 같은 반도체 물질들의 혼합물과 같은 다른 반도체 물질들을 포함할 수 있다. 매립 산화물 층(120)은 또한, 다른 유전 물질들을 포함할 수 있다.
- [0027] 실리콘 나이트라이드 층 또는 실리콘 산화물 층(예컨대, SiO₂)과 같은 유전층(140)은, 후속적인 식각 공정 동안 보호 캡으로서 동작하도록 실리콘 층(130) 위에 형성될 수 있다. 예시적인 구현으로, 유전층(140)은 약 150Å에서 약 600Å까지의 범위 내의 두께로 증착될 수 있다. 이어서, 포토레지스트 물질은 후속적인 공정 동안에 포토레지스트 마스크(150)를 형성하기 위하여 증착되고 패터닝될 수 있다. 포토레지스트는 종래 방식으로 증착되고 패터닝될 수 있다.
- [0028] 이어서, 반도체 디바이스(100)가 식각될 수 있고, 포토레지스트 마스크(150)가 제거될 수 있다. 예시적인 구현으로, 실리콘 층(130)은 종래 방식으로 식각될 수 있고, 핀을 형성하기 위해 매립 산화물 층(120) 위에서 식각을 종료한다. 핀 형성 후, 소스 및 드레인 영역들은 핀의 각 종단에 인접하게 형성될 수 있다. 예를 들어, 예시적인 실시예로서, 실리콘, 게르마늄, 또는 실리콘과 게르마늄의 혼합물 층은 소스 및 드레인 영역들을 형성하기 위해 종래 방식으로 증착되고, 패터닝되며, 식각될 수 있다.
- [0029] 도 2A는 그러한 방식으로 형성된 반도체(100)의 핀 구조의 평면도를 개략적으로 도시한다. 본 발명의 예시적인 실시예에 따르면, 소스 영역(220) 및 드레인 영역(230)은 매립 산화물 층(120) 위의 핀(210) 종단에 근접하게 형성될 수 있다.
- [0030] 도 2B는 본 발명의 예시적인 실시예에 따른 핀 구조의 형성을 도시하는 도 2A에서의 라인 A-A'에 따른 단면도이다. 상기 설명된 바와 같이, 유전층(140) 및 실리콘 층(130)은 핀(210)을 형성하기 위해 식각될 수 있다. 핀(210)은 실리콘(130) 및 유전체 캡(140)을 포함할 수 있다.
- [0031] 도 3은 본 발명의 예시적인 실시예에 따른 핀(210) 위에 게이트 유전층 및 게이트 물질의 형성을 도시하는 단면도이다. 유전층은 핀(210) 위에 형성될 수 있다. 예를 들어, 얇은 산화막(310)은 도 3에 도시된 바와 같이 핀(210) 위에 열적으로 성장될 수 있다. 산화막(310)은 약 10Å에서 약 50Å의 두께로 성장될 수 있고, 후속적으로 형성된 게이트 전극에 대한 유전층으로서 동작하도록 핀(210)에서 실리콘(130)의 노출된 측면들 위에 형성될 수 있다. 산화막(310)과 유사하게, 유전체 캡(140)은 핀(210)의 상부면에 전기 절연체를 제공할 수 있다.
- [0032] 게이트 물질 층(320)은 산화막(310)의 형성 후 반도체 디바이스(100) 위에 증착될 수 있다. 게이트 물질 층(320)은 후속적으로 형성된 게이트 전극들을 위한 물질을 포함할 수 있다. 예시적인 구현으로, 게이트 물질 층(320)은, 약 300Å에서 약 1500Å까지의 범위를 갖는 두께로 종래 화학 증기 증착법(CVD)을 사용하여 증착된 폴리실리콘을 포함할 수 있다. 대안적으로, 게르마늄, 또는 실리콘과 게르마늄의 혼합물과 같은 다른 반도체 물질들 또는 다양한 금속들이 게이트 물질로서 사용될 수 있다.
- [0033] 두 개의 게이트들은 리소그래피(예컨대, 포토리소그래피)에 의해 게이트 물질층(320)에서 정의될 수 있다. 게이트 물질 층(320)은 디바이스(100)의 게이트 물질 층(320)으로부터 게이트 구조를 형성하기 위해 선택적으로 식각될 수 있다. 도 3에 도시된 바와 같이 예를 들면, 그러한 방식으로 상기 게이트 구조를 형성하는 것은, 유전체 캡(140) 상부에 일부 게이트 물질(320)을 남겨둘 수 있다.
- [0034] 도 4는 본 발명의 예시적인 실시예에 따른 게이트 물질(320)을 평탄화하는 것을 도시하는 단면도이다. 과도한 게이트 물질은 반도체 디바이스(100)의 핀 영역을 평탄화하기 위하여 (예컨대, 상기 유전체 캡(140)으로부터)

제거될 수 있다. 예를 들어, 도 4에 도시된 바와 같이, 게이트 물질(즉, 층(320))이 수직 방향으로 유전체 캡(140)과 동일하거나 거의 동일하도록 화학적 기계적 연마(CMP)가 수행될 수 있다.

[0035] 도 4를 참조하며, 반도체 디바이스(100) 채널 영역의 게이트 물질층(320)은 제1 게이트(410) 및 제2 게이트(420)를 형성하기 위해 두 측면들 위에 핀(210)에 인접한다. 그러나, 핀(210)의 상부면은 유전체 캡(140)에 의해 커버된다. 상기 구조는 또한, 도 5에 도시되어 있으며, 본 발명과 일치하는 반도체 디바이스(100)의 평면도를 도시한다. 도 5에서, 제1 게이트(410) 및 제2 게이트(420)는 핀(210)에 근접하게 도시되었으나, 이를 커버하지는 않는다.

[0036] 이어서, 상기 게이트 물질 층(320)은 두 개의 게이트 전극들을 형성하기 위해 패턴되고 식각될 수 있다. 도 5에 도시된 바와 같이, 반도체 디바이스(100)는 게이트 전극들(510 및 520)을 가지는 더블 게이트 구조를 포함한다. 이하에서 더 상세히 논의된 바와 같이, 게이트 전극들(510 및 520)은 핀(210)에 의해 효과적으로 분리되고 각각 바이어스 될 수 있다. 핀(210)의 측면들을 둘러싸는 게이트 유전체(310)(도 4)는 단순성을 위하여 도 5에 도시되지 않았다.

[0037] 이어서, 소스/드레인 영역들(220 및 230)이 도핑될 수 있다. 예를 들어, n-타입 또는 p-타입 불순물들이 소스/드레인 영역(220 및 230)에 주입될 수 있다. 특정 주입 도스 및 에너지는 특정한 최종 디바이스 요구사항에 기초하여 선택될 수 있다. 본 기술분야에서 통상의 지식을 가진자는, 회로 요구사항에 기초하여 소스/드레인 주입 공정을 최적화할 수 있을 것이며, 그러한 동작들은 본 발명의 요지를 불필요하게 불명확하게 하지 않도록 이하에서 기술하지 않는다. 게다가, 측벽 스페이서들(도시하지 않음)은 특정한 회로 요구사항들에 기초하여 소스/드레인 접합들의 위치를 제어하기 위하여 소스/드레인 이온 주입 이전에 선택적으로 형성될 수 있다. 이어서, 활성 어닐링은 소스/드레인 영역들(220 및 230)을 활성화시키기 위하여 수행될 수 있다.

[0038] 도 5에 도시된 바와 같이, 게이트 전극(510) 및 게이트 전극(520)은 물리적으로 그리고 전기적으로 서로 분리된다. 본 발명의 예시적인 실시예에 따르면, 각 게이트 전극들(510 및 520)은 회로에서 사용될 때 서로 다른 전압으로 개별적으로 바이어스될 수 있다. (게이트 전극들(510 및 520)을 통해) 게이트(410 및 420)를 독립적으로 바이어싱하기 위한 성능은, 반도체 디바이스(100)를 사용하는 회로 디자인의 유연성을 향상시킨다.

[0039] 도 5에 도시된 결과적인 반도체 디바이스(100)는 제1 게이트(410) 및 제2 게이트(420)를 가지는 더블 게이트 디바이스이다. 종래의 더블 게이트 디바이스와 비교할 때, 상기 게이트 물질(320)(도3 및 도4)은 핀(210)의 두 표면에 인접하며, 반도체 디바이스(100)에 하나의 디바이스당 증가된 채널 폭을 제공한다. 상기 핀(210)은 또한, 게이트를 식각하는 동안 핀(210)을 보호하는 유전체 캡(140)을 보유할 수 있다.

[0040] 게이트들(410 및 420)은 또한 핀(210)에 의해 효과적으로 분리될 수 있고, 디바이스(100)의 특정한 회로 요구사항들에 기초하여 (각 게이트 전극들(510 및 520)을 통해) 그들의 게이트에 각각 바이어스될 수 있다. 이러한 분리된 더블 게이트 구조는 단일 게이트 연결을 포함하는 종래 FinFET들에 비해, 회로를 디자인하는 동안 향상된 유연성을 제공한다.

[0041] 따라서, 본 발명에 따르면, 더블-게이트 FinFET 디바이스는 상기 디바이스의 채널 영역에서 두 개의 분리된 게이트들로 형성된다. 바람직하게, 결과적인 구조는 우수한 짧은 채널 동작을 나타낸다. 게다가, 본 발명은 향상된 유연성을 제공하며, 종래의 공정에 쉽게 통합될 수 있다.

[0042] 다른 실시예들

[0043] 몇몇 구현들에서, FinFET의 핀에서 인장 변형율을 유도하는 것이 바람직할 것이다. 도 6A-6D는 본 발명의 다른 구현에 따른 핀에서의 인장 변형율 유도를 도시하는 단면도이다. 도 6A는 반도체 디바이스(600)의 단면도를 도시한다. 도 6A를 참조하면, 디바이스(600)는 매립 산화물(BOX) 층(610), 핀(620), 및 SiO₂ 캡(630)을 포함할 수 있다. 소자들(610-630)은 도 1-2B에 관해 상기 설명된 바와 같이 형성될 수 있다. 핀(620)은 실리콘, 게르마늄, 또는 실리콘과 게르마늄의 혼합물을 포함할 수 있다.

[0044] 두꺼운 희생 산화물 층(640)은 도 6B에 도시된 바와 같이 핀(620) 위에 열적으로 성장될 수 있다. 두꺼운(예컨대, 200-400Å) 희생 산화물 층(640)을 성장시키는 것은 핀(620)에서 인장 변형율을 유도할 수 있다. 이어서, 도 6C에 도시된 바와 같이, 희생 산화물 층(640)이 제거될 것이며, 얇은 게이트 산화물 층(650)이 성장될 것이다. 이어서, 도 6D에 도시된 바와 같이, 게이트 물질(660)은 핀(620) 위에 증착될 것이다. FinFET은 전형적인 방식으로 도 6D의 구조로부터 형성될 것이다. 그러한 FinFET 중의 같은 핀(620)은 본 기술분야에서 통상의 지식을 가진 자에 의해 인정된 핀(620)의 품질을 높이는 인장 변형율을 가질 것이다.

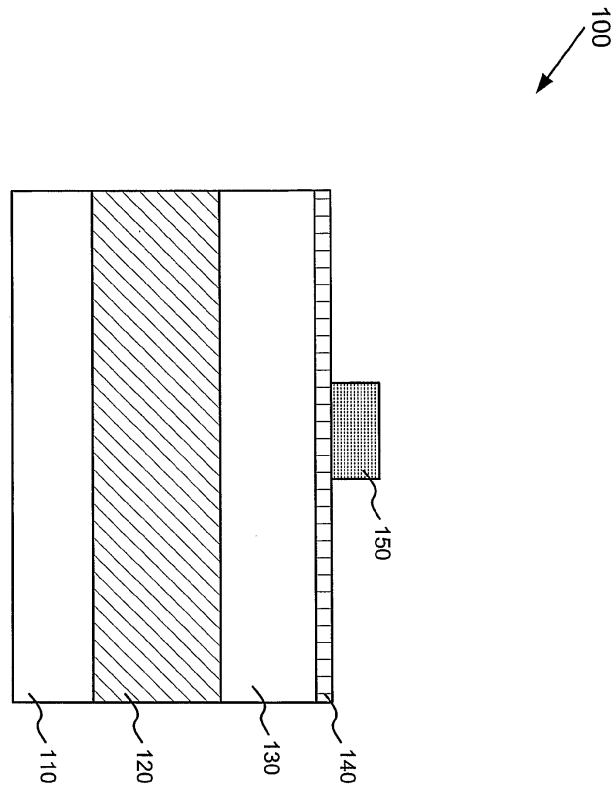
- [0045] 다른 구현들로서, 충분한 실리사이드 게이트를 가지는 FinFET이 바람직할 것이다. 그러한 FinFET은 폴리실리콘 공핍 효과를 제거하는 통합된 금속 게이트를 가질 수 있고, FinFET에 대해 적절한 문턱 전압을 갖도록 돕는다. 도 7A 및 7B는 충분한 실리사이드 게이트로 FinFET을 형성하기 위한 예시적인 공정을 도시하는 도면들이다. 도 7A를 참조하면, 디바이스(700)는 핀(710), 소스 영역(720), 및 드레인 영역(730)을 포함한다. 이러한 층들/구조들은 도 1-2B에 관해 상기 설명된 바와 같이 형성될 것이다. 도 7B에 도시된 바와 같이, 핀(710)은 실리콘 구조를 둘러싸는 게이트 산화물(750)과 상부 산화물 캡(740)을 포함할 수 있다. 핀(710)은 매립 산화물(BOX) 층(705) 위에 형성될 수 있다.
- [0046] 도 7C에 도시된 바와 같이, 얇은 폴리실리콘 층(760)이 상기 핀(710) 위에 증착될 수 있다. 이어서, 도 7D에 도시된 바와 같이, 두꺼운 하부 반사 방지(BARC) 층(770)이 증착될 수 있다. 이어서, 도 7E에서 위로부터 도시된 바와 같이 게이트 영역 및 콘택들(780)이 패턴화되고 식각될 수 있다.
- [0047] 소스 및 드레인 영역들(720 및 730)은 BARC 층(770)을 제거함 없이 이온들로 주입될 수 있다. 따라서, 사용된 불순물들은 BARC 층(770)에 의해 채널(예컨대, 핀(710))로 통과하는 것이 중단된 것이다.
- [0048] 도 7E 및 7F에 도시된 바와 같이, BARC 층(770)은 제거될 수 있고, 폴리실리콘(760)은 금속 게이트(780)를 형성하기 위해 완전히 실리사이드화될 것이다. 상기 게이트 물질(710)은 또한, 도 4에 관해 상기 언급된 것과 유사한 방식으로 평탄화될 수 있다.
- [0049] 상기 설명들에서, 본 발명의 이해를 쉽게 제공하기 위하여 특정 물질들, 구조들, 화학물들, 공정들 등과 같은 수많은 상세한 사항들이 언급된다. 그러나, 본 발명은 여기서 언급된 상세한 사항들에 의존함 없이 실시될 수 있다. 다른 예시들로, 본 발명의 요지를 불필요하게 불명확하게 하지 않도록 잘 알려진 공정 구조들은 상세히 설명되지 않았다.
- [0050] 본 발명에 따르면, 반도체 디바이스를 제조하는데 사용되는 유전층 및 전도층들은 종래 증착 기술들에 의해 증착될 수 있다. 예를 들어, 저압 CVD(LPCVD) 및 강화된 CVD(ECVD)를 포함하는 CVD 공정들의 다양한 타입들과 같은 금속화 기술들이 사용될 수 있다.
- [0051] 본 발명은 다양한 타입의 반도체 디바이스들 중 어느 하나를 형성하는데 적용할 수 있고, 그에 따라 본 발명의 요지를 불명확하게 하는 것을 피하기 위하여 상세한 사항들은 언급하지 않는다. 본 발명을 실시하는데 있어서, 종래 포토리소그래피 기술 및 식각 기술들이 사용되고, 그에 따라 그러한 기술들의 상세한 설명들이 여기서 상세히 설명되지 않았다.
- [0052] 단지 본 발명의 바람직한 실시예들 및 다양한 몇몇 예시들이 본 명세서에 제시되고 설명된다. 본 발명은 다양한 다른 조합들 및 환경들에서 사용될 수 있고, 여기서 표현된 바와 같이 진보적인 개념의 범위 내에서 수정될 수 있다는 것을 인정해야 한다.

도면의 간단한 설명

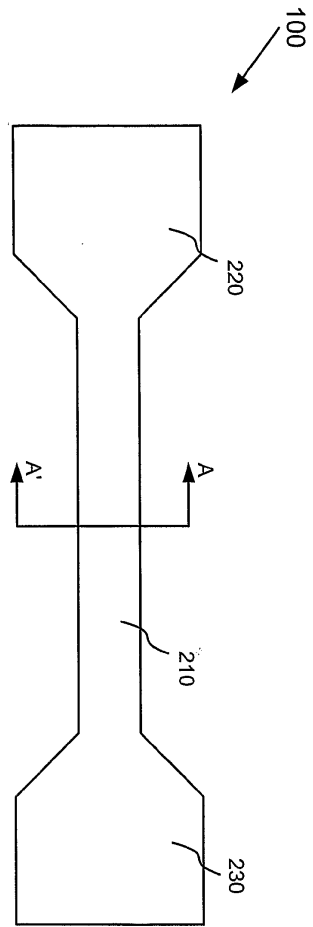
- [0012] 첨부된 도면들을 참조하며, 동일한 도면부호를 갖는 요소들은 전반에 걸쳐 동일한 요소들을 나타낸다.
- [0013] 도 1은 본 발명의 예시적인 실시예에 따른 핀을 형성하는데 사용될 수 있는 예시적인 층들을 도시한 단면도이다.
- [0014] 도 2A는 본 발명의 예시적인 실시예에 따른 핀 구조의 평면도를 개략적으로 도시한다.
- [0015] 도 2B는 본 발명의 실시예에 따른 도 2A의 핀 구조의 형태를 도시하는 단면도이다.
- [0016] 도 3은 본 발명의 예시적인 실시예에 따른 도 2B의 디바이스 위에 게이트 유전층 및 게이트 물질을 형성하는 것을 도시하는 단면도이다.
- [0017] 도 4는 본 발명의 예시적인 실시예에 따른 도 3의 게이트 물질을 평탄화하는 것을 도시하는 단면도이다.
- [0018] 도 5는 본 발명의 예시적인 실시예에 따르는, 도 4의 반도체 디바이스의 평면도를 개략적으로 도시한다.
- [0019] 도 6A-6D는 본 발명의 다른 구현에 따르는 핀에서의 인장 변형율의 유도를 도시하는 단면도이다.
- [0020] 도 7A-7F는 본 발명의 다른 구현에 따르는 FinFET에서 충분한 실리사이드 게이트의 형성을 도시하는 단면도이다.

도면

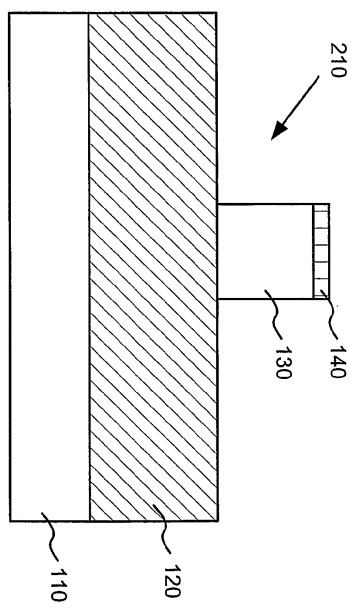
도면1



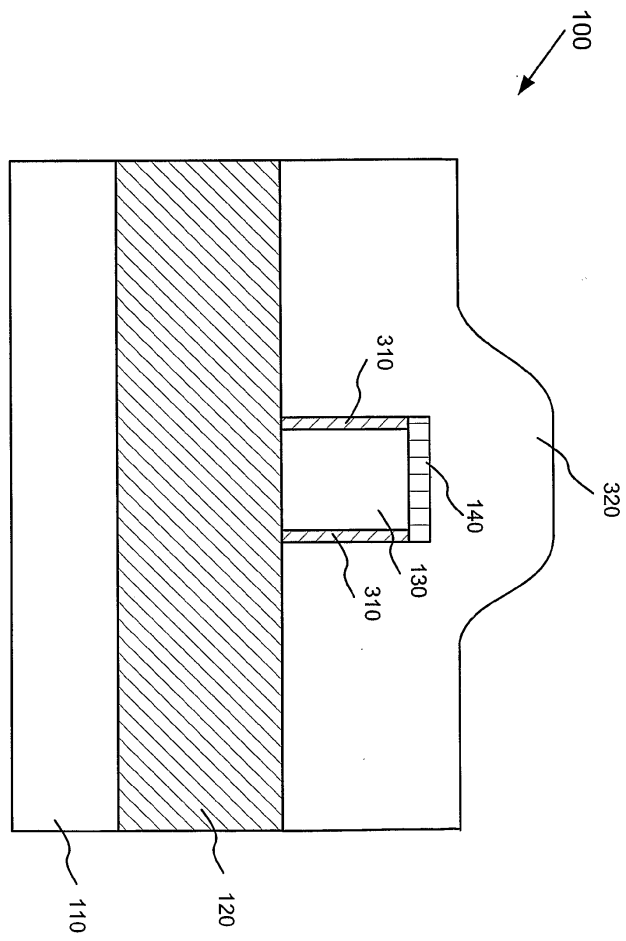
도면2A



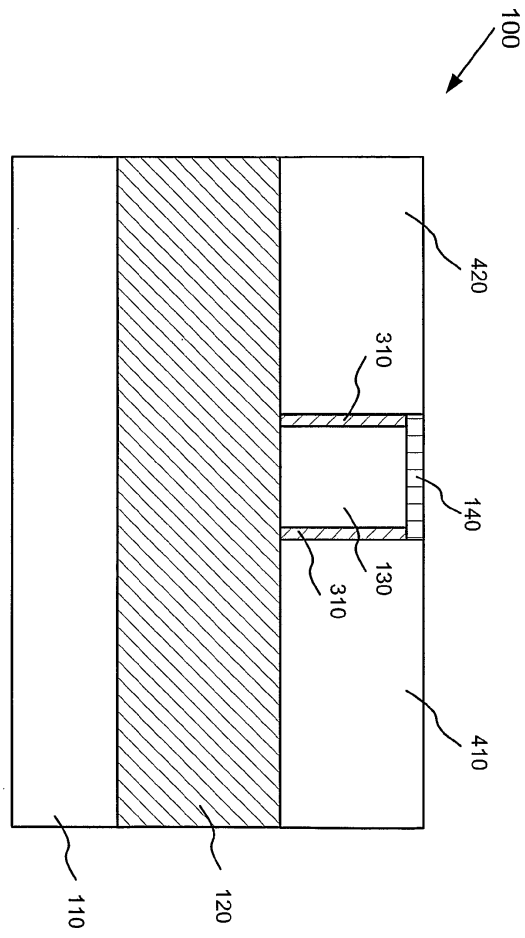
도면2B



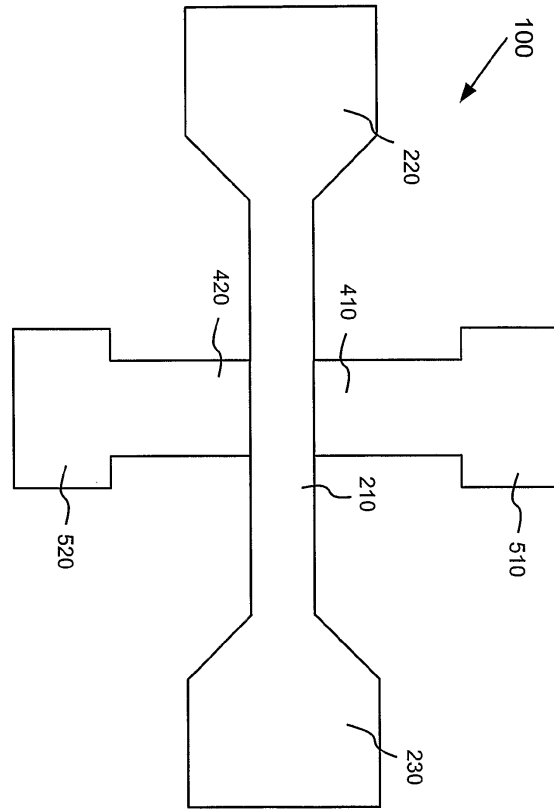
도면3



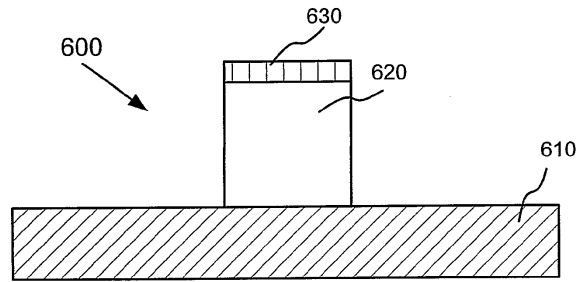
도면4



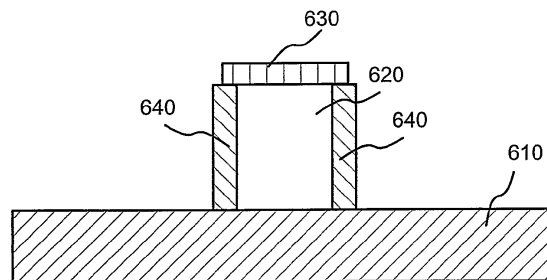
도면5



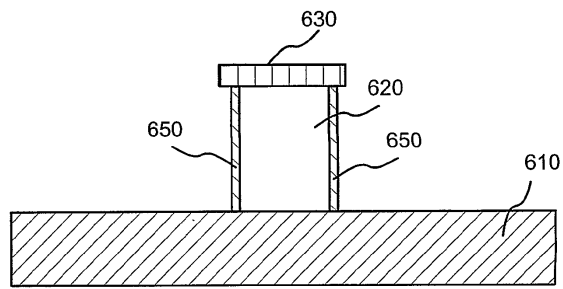
도면6A



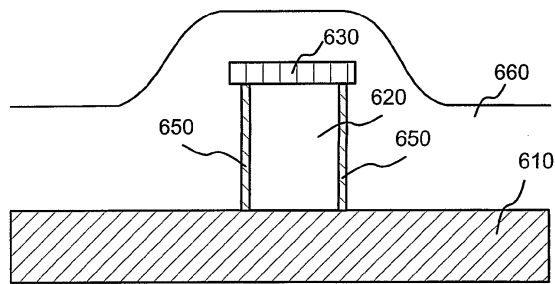
도면6B



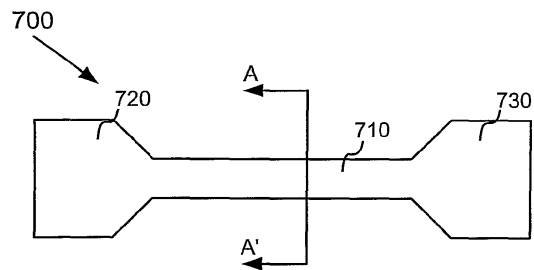
도면6C



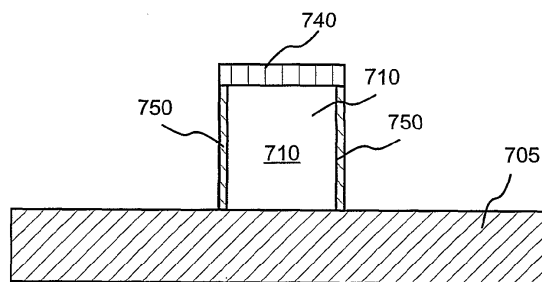
도면6D



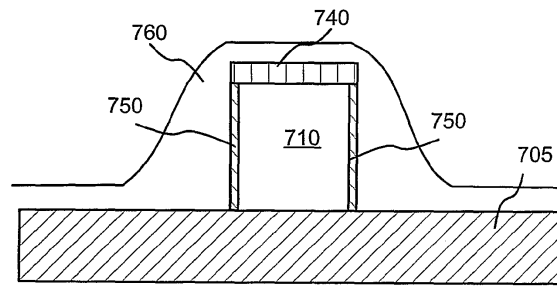
도면7A



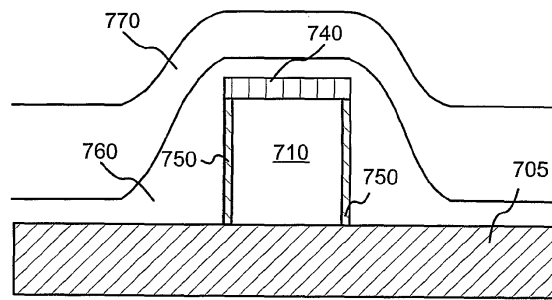
도면7B



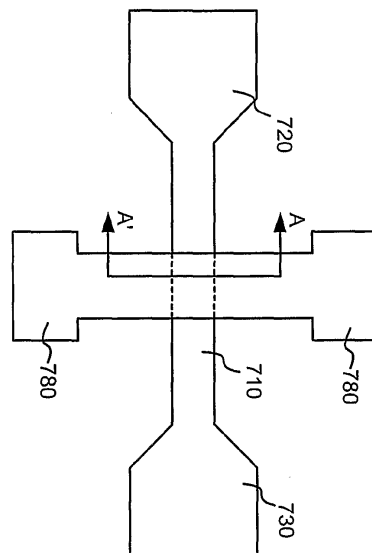
도면7C



도면7D



도면7E



도면7F

