

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4728323号
(P4728323)

(45) 発行日 平成23年7月20日(2011.7.20)

(24) 登録日 平成23年4月22日(2011.4.22)

(51) Int.Cl.

F I

H O 1 L 27/092 (2006.01)

H O 1 L 27/08 3 2 1 D

H O 1 L 21/8238 (2006.01)

H O 1 L 21/28 3 0 1 S

H O 1 L 21/28 (2006.01)

H O 1 L 29/58 G

H O 1 L 29/423 (2006.01)

H O 1 L 29/78 3 0 1 G

H O 1 L 29/49 (2006.01)

請求項の数 10 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2007-510795 (P2007-510795)
 (86) (22) 出願日 平成17年4月19日(2005.4.19)
 (65) 公表番号 特表2007-535171 (P2007-535171A)
 (43) 公表日 平成19年11月29日(2007.11.29)
 (86) 国際出願番号 PCT/US2005/013240
 (87) 国際公開番号 W02005/109493
 (87) 国際公開日 平成17年11月17日(2005.11.17)
 審査請求日 平成20年4月21日(2008.4.21)
 (31) 優先権主張番号 10/833,073
 (32) 優先日 平成16年4月28日(2004.4.28)
 (33) 優先権主張国 米国(US)

(73) 特許権者 591016172
 アドバンスト・マイクロ・ディバイシズ・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サニペール、ピー・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メイル・ストップ
 ・68 (番地なし)
 (74) 代理人 100108833
 弁理士 早川 裕司
 (74) 代理人 100132207
 弁理士 太田 昌孝

最終頁に続く

(54) 【発明の名称】 調整可能なゲート電極の仕事関数を備えたデュアルメタルのCMOSトランジスタおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

N MOS デバイス領域と P MOS デバイス領域とにゲート電極を形成するために、ゲート誘電体層上にシリコン領域を形成するステップ、

第1金属あるいは金属合金を前記N MOS デバイス領域の前記シリコン領域に堆積し、
 第2金属あるいは金属合金を前記P MOS デバイス領域の前記シリコン領域に堆積するステップ、

前記第1金属あるいは金属合金を前記N MOS デバイス領域の前記シリコン領域と反応させ、
 第1シリサイド領域上に第1金属あるいは金属合金領域が積層された第1ゲート電極構造を形成し、
 前記第2金属あるいは金属合金を前記P MOS デバイス領域の前記シリコン領域と反応させ、
 第2シリサイド領域上に第2金属あるいは金属合金領域が積層された第2ゲート電極構造を形成するようにアニールするステップ、を含み、

前記第1シリサイド領域の仕事関数は、シリコンの伝導帯の+/-0.2V内であり、
 前記第2シリコン領域の仕事関数は、シリコンの価電子帯の+/-0.2V内である、
 デュアルメタルCMOS配列を形成する方法。

【請求項2】

前記シリコン領域を形成する前記ステップは、

ゲート誘電体層上にシリコンを堆積するステップ、

シリコンスタックを形成するために前記シリコンをエッチングするステップ、および、
 前記シリコンスタックの上部だけを除去し、それにより前記シリコン領域を形成するた

10

20

めに前記シリコンスタックを部分的にエッチングするステップを含む、請求項 1 に記載の方法。

【請求項 3】

前記部分的にエッチングするステップは、エッチングステップ内のシリコンスタックの時間制御されたエッチングである、請求項 2 に記載の方法。

【請求項 4】

前記シリコンを堆積するステップは、前記ゲート誘電体層上に第 1 シリコン層を堆積するステップ、前記第 1 シリコン層上にエッチストップ層を形成するステップ、および、前記エッチストップ層上に第 2 シリコン層を形成するステップを含む、請求項 2 に記載の方法。

10

【請求項 5】

前記部分的にエッチングするステップは、前記第 2 シリコン層をエッチングし、前記エッチストップ層上でエッチングを停止させるステップ、および、前記エッチストップ層を除去するステップを含む、請求項 4 に記載の方法。

【請求項 6】

前記第 1 および第 2 シリサイド領域の相を制御することによって、前記第 1 および第 2 シリサイド領域の仕事関数を制御するステップをさらに含む、請求項 1 に記載の方法。

【請求項 7】

前記第 1 および第 2 シリサイド領域の相を制御するステップは、前記シリコン領域の厚みを制御するステップを含む、請求項 6 に記載の方法。

20

【請求項 8】

前記第 1 金属あるいは金属合金はタンタルである、請求項 1 に記載の方法。

【請求項 9】

前記第 2 金属あるいは金属合金は、ルテニウム、レニウム、あるいはコバルトのうちのいずれかである請求項 1 に記載の方法。

【請求項 10】

前記第 1 金属あるいは金属合金はタンタルであり、前記第 2 金属あるいは金属合金は、ルテニウム、レニウム、あるいはコバルトのうちの 1 つである、請求項 1 に記載の方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は半導体の製造分野に関し、より詳細には、NMOS と PMOS デバイスに異なるゲート電極を組み込むという製造プロセスに関する。

【背景技術】

【0002】

半導体産業では、通常、しきい値電圧が一致した NMOS (N 型の金属酸化物半導体) および PMOS (P 型の金属酸化物半導体) を製造することが望ましい。従来の半導体プロセスでは、NMOS と PMOS のしきい値電圧は、チャネル注入とポリシリコンゲートの選択的ドーピングとを組み合わせることにより調整される。通常、PMOS デバイスに対するしきい値電圧の調整は有効であるが、NMOS デバイスに対するしきい値電圧の調整はそれほど有効ではない。このような問題点を解決するために、デュアルメタルゲートの CMOS (相補型 MOS) トランジスタが提供されており、このトランジスタは、各々の仕事関数に基づいて選択されるゲートを形成する金属を備えている。

40

【発明の開示】

【発明が解決しようとする課題】

【0003】

従来のメタルゲートトランジスタは通常、ゲートを形成するために、金属の、あるいはポリシリコンで覆われた金属をドライエッチングすることで製造される。金属のドライエッチングを、ゲート酸化物などの極薄のゲート誘電体上に確実に正確に停止させることは難しいことから、金属のドライエッチングは非常に困難である。ドライエッチングをゲ-

50

ト酸化物上で停止させることができないと、ソース/ドレイン領域のシリコンが損失し、その結果、リーク電流が増加する。

【0004】

金属ゲートトランジスタを形成する際におけるこのような問題は、デュアルメタルゲートCMOS配列を実施しようとするると悪化する。上述したように、仕事関数としきい値とを調整するために、そのようなデュアルメタルゲートのCMOSの配列が望ましい。しかし、デュアルメタルゲートのCMOSトランジスタの形成に対して、従来のメタルゲートトランジスタの形成法を容易に応用することはできない。

【0005】

ポリシリコンデプリーション効果で損失される駆動電流を抑えるために、フルシリサイドゲートを提供することが望ましいことが知られている。しかし、フルシリサイドゲート電極を提供して駆動電流を抑える際に、各導電型デバイスのうちの1つの仕事関数が望ましくない変化をすることになる。例えば、NMOSデバイスとPMOSデバイスのポリシリコンゲート電極が完全にシリサイド化すると、ポリシリコンデプリーション効果で損失される駆動電流が抑えられることになる。しかし、NMOSデバイスのゲート電極は望ましい仕事関数になるが、PMOSデバイスのゲート電極は望ましくない仕事関数となってしまう。このことが、半導体の配列において、NMOSとPMOSデバイス双方のゲート電極を完全にシリサイド化するという有益性を制限する。

10

【0006】

さらに、フルシリサイドゲートに関して他の問題点がある。そのような問題点としては、シリサイド化の不均一性、および、ゲート酸化物誘電体層を信頼できないものにするという可能性が挙げられる。例えば、過度のシリサイド化を行うと、デバイス全体の信頼性を損ねるほどにゲート酸化物誘電体に応力を加えられることになる。

20

【0007】

フルシリサイドゲート電極を使用せずに、また、それらに伴う問題なしに、ゲート電極の仕事関数が調整可能なデュアルメタルのCMOS配列が求められている。

【課題を解決するための手段】

【0008】

上記の必要性およびその他の必要性は、基板、複数のNMOSデバイスおよび複数のPMOSデバイスを含むデュアルメタルのCMOS配列を提供する本発明の実施形態によって解決される。複数のNMOSデバイスはゲート電極を備えており、各NMOSゲート電極は基板上に第1シリサイド領域を含み、その第1シリサイド領域上に第1金属領域を含む。NMOSゲート電極の第1シリサイド領域は、シリコンの伝導帯の $+/-0.2\text{ eV}$ 内の仕事関数を有する第1シリサイドからなる。複数のPMOSデバイスはゲート電極を備えており、各PMOSゲート電極は基板上に第2シリサイド領域を含み、その第2シリサイド領域上に第2金属領域を含む。PMOSゲート電極の第2シリサイド領域は、シリコンの価電子帯の $+/-0.2\text{ V}$ 内の仕事関数を有する第2シリサイドからなる。

30

【0009】

その他の上述した必要性もまた、NMOSデバイス領域とPMOSデバイス領域にゲート電極を形成するために、ゲート誘電体上にシリコン領域を形成するステップを含む、デュアルメタルのCMOS配列を形成する方法を提供する本発明の別の形態によって解決される。シリコン領域は、NMOSデバイス領域の第1シリサイド領域、および、PMOSデバイス領域の第2シリサイド領域に変えられる。第1シリサイド領域は、シリコンの伝導帯の $+/-0.2\text{ V}$ 内の仕事関数を有する第1シリサイドからなり、第2シリサイド領域は、シリコンの価電子帯の $+/-0.2\text{ V}$ 内の仕事関数を有する第2シリサイドからなる。

40

【0010】

前述した、および、その他の本発明の特徴、形態、利点は、添付の図面と併せて以下の本発明の詳細な説明からさらに明らかになるであろう。

【発明を実施するための最良の形態】

50

【 0 0 1 1 】

本発明は、デュアルメタルのCMOSトランジスタの形成に関する課題、具体的には、シリサイド化の不均一性とゲート酸化物の信頼性に関する問題を含む、フルシリサイドゲート電極に関連づけられる課題に取り組み、解決する。本発明のある形態では、デュアルメタルのCMOS配列には、ゲート電極を有する複数のNMOSデバイスとPMOSデバイスが与えられる。各NMOSゲート電極は、基板上に第1シリサイド領域を含み、その第1シリサイド領域上に第1金属領域を含む。NMOSゲート電極の第1シリサイド領域は、シリコンの伝導帯の $+/-0.2\text{ V}$ 内の仕事関数を有する第1シリサイドからなる。各PMOSゲート電極は、基板上に第2シリサイド領域を含み、その第2シリサイド領域上に第2金属領域を含む。PMOSゲート電極の第2シリサイド領域は、シリコンの価電子帯の $+/-0.2\text{ V}$ 内の仕事関数を有する第2シリサイドからなる。従って、各ゲート電極は、一部分だけがシリサイド化されており、そのシリサイド領域にはそれぞれ、NMOSとPMOS型デバイスとが互換性があるように調整可能なシリサイドが与えられる。ある特定の実施形態では、仕事関数は2つの異なる種類の金属を用いることで調整される。例えば、シリサイド領域は、仕事関数の異なる2つの異なる金属シリサイドで形成される。別の実施形態では、ある一定のシリサイド相(silicide phases)を実現するよう、シリサイドの厚さが正確に調整され、その結果、各々のNMOSおよびPMOS型デバイスのシリサイドの仕事関数に影響を及ぼす。

10

【 0 0 1 2 】

図1は、本発明の実施形態による半導体製造プロセスの1つの段階における半導体ウェーハの一部の断面図を示す。図1に、部分的に完成した半導体デバイスを例示する。このデバイスには、例えば、シリコンで形成された基板10を含む。基板10には、P-ドープ領域12およびN-ドープ領域14を含む。基板10は、例えば、約 1×10^{16} から約 $1 \times 10^{21} \text{ ion/cm}^2$ の投与量で、N型あるいはP型ドーパントでドーパされる。

20

【 0 0 1 3 】

P-ドープ領域12とN-ドープ領域14の間をデバイスレベルで離間するのは、シャロートレンチアイソレーション(STI:Shallow Trench Isolation)構造16である。シャロートレンチアイソレーション領域16を生成するために、従来のSTI形成法を用いることができる。

30

【 0 0 1 4 】

基板10上にはゲート誘電体層18が形成される。このゲート誘電体層18は、例えば、ゲート酸化物からなり得る。本発明のある実施形態では、ゲート誘電体層18は極薄であり、例えば、厚さは約5から約30の値をとり得る。そのような薄いゲート誘電体層は、金属ドライエッチングプロセス中にダメージを受けやすいので、シリサイドプロセスはいくらかの利点を有する。しかし、フルシリサイドゲート形成プロセスは、ゲート酸化物に過度の応力を与えるおそれがある。

【 0 0 1 5 】

ゲート誘電体層18上には第1シリコン層20が形成される。この第1シリコン層20は、従来の方法で堆積されてよい。本発明のある好ましい実施形態では、この第1シリコン層は相対的に薄く、例えば、厚さは10から500の間の値をとる。ある特定の好ましい実施形態では、第1シリコン層の厚さは50から約200の間の値をとる。その他のある特定の好ましい実施形態では、第1シリコン層の厚さは約50以下の値をとる。ゲートシリサイドの厚さが相対的に薄いことにより、シリサイド化の不均一性とゲート酸化物の信頼性とを含む、フルシリサイドゲート電極によって生じる問題に関連する問題が解決される。

40

【 0 0 1 6 】

図2は、第1シリコン層20上にエッチストップ層22を形成した後の図1の構造を示している。このエッチストップ層22は、例えば、酸化物層であってよい。このエッチストップ層22を非常に薄く、例えば、約10に形成することが望ましい。そのような薄

50

い酸化物の層、あるいは、その他のエッチストップ材料の層を形成するために、いずれの適切な方法を用いることができる。例えば、600から1000の温度で酸化プロセスを用いてエッチストップ層22を形成することができる。

【0017】

エッチストップ層22を形成した後、従来の方法によって、このエッチストップ層22上に第2のシリコン層24が形成される。この第2のシリコン層24は、例えば、厚さが約700から約2000の間の値としてもよく、ある実施形態では、厚さは約1000の値をとる。

【0018】

図4は、第2シリコン層24上にハードマスク層が堆積され、その後、エッチングステップを行いシリコンスタック26を形成した後の図3の構造を示す。シリコンスタック26の各々は、シリコンスタック26の上部28の上に形成されたハードマスク30を有する。エッチングにより、シリコンスタック26の各々にシリコン領域32が形成される。ハードマスク30は、窒化シリコン、酸化シリコンなどのいずれの適切な材料であってよい。ゲート誘電体層18に至るまでエッチングを行うために、反応性イオンエッチングなどの従来の異方性エッチング技術が用いられる。

【0019】

シリコンスタック26を形成した後、ソース/ドレイン拡張注入(extension implantation)プロセスを行い、ソース/ドレイン拡張部34を生成する。従来のマスキングおよびドーピング技術を実施して、適切なドーパント投与量でNMOSデバイスおよびPMOSデバイスを別々に適切にドーピングする。ソース/ドレイン拡張部34を生成した後、スペーサ材料の堆積およびエッチングといった従来の技術により、シリコンスタック26のサイドウォールにサイドウォールスペーサ36が生成される。サイドウォールスペーサ36を形成した後、適切なマスキングおよび注入技術を用いて、NMOSデバイスとPMOSデバイスにそれぞれソース/ドレイン領域38を生成する。

【0020】

図6において、誘電体層40が既に堆積され、平坦化されている。この誘電体層40は、low-k誘電体、酸化物などの、従来のいずれの適切な誘電体であってよい。誘電体層40は、化学蒸着(CVD:Chemical Vapor Deposition)などのいずれの適切な方法によって堆積されてよい。ある実施形態では、平坦化は、例えば、化学機械研磨である。

【0021】

次に、図7に示すように、リソグラフィステップおよびマスキングステップが行われ、フォトレジスト42はPMOSデバイス46を覆い、NMOSデバイス44をさらす。リソグラフィステップ後、酸化物に対して非常に選択性を有するポリシリコンエッチングプロセスが行われる。反応性イオンエッチングなどの異方性エッチングが用いられ得る。適切なエッチング液としては、例えば、塩素およびHBrO₂あるいはSF₆などが挙げられる。図8において明らかなように、シリコンスタック26の上部28がこのエッチングプロセスにより除去される。エッチングはエッチストップ層22上で確実に停止する。これにより、シリコン領域32が保護される。

【0022】

図9において明らかなように、シリサイドスタック26の上部28のエッチングによって残されたスペースを確実に完全に充填する厚さにまで、第1金属48が堆積される。しかし、第1金属48を堆積する前に、エッチストップ層22は除去される。例えば、エッチストップ層22が酸化物の場合、緩衝酸化物エッチング(buffered oxide etch)を行い、エッチストップ層22を除去する。このエッチングは、例えば、短時間のウェットエッチングであり、周囲のサイドウォールスペーサ36にダメージを与えずに、非常に薄いエッチストップ層22を除去する。従って、本発明のある実施形態では、第1金属48は、少なくとも1000の厚さにまで堆積され、シリコンスタック26の上部28によってすでにふさがれているスペースを確実に完全に充填する。

【0023】

好ましい実施形態では、この第1金属は、シリコンと反応する場合に、シリコンの伝導帯に近い仕事関数を有するシリコンを形成する金属あるいは金属合金である。N MOS デバイス 44 の1つの適切な金属はタンタルである。しかし、本発明はタンタルに制限されることはないが、シリサイドがシリコンの伝導帯に近いその他の金属を含み得る。

【0024】

図10は、メタルCMPプロセスによって実施された、余分な第1金属48を除去した後の図9の構造を示す。第1金属48は、誘電体層40に達するまで除去される。

【0025】

メタルCMPプロセス後、高速熱アニールなどのアニーリングプロセスが用いられて、N MOS デバイス 44 の各々に第1シリサイド領域50が形成される。第1金属48として使用される金属あるいは金属合金の種類に応じて、適切な温度範囲が用いられる。そのような処理条件は当業者にとっては周知である。

【0026】

P MOS デバイスにおいて第2シリサイド領域を生成するために、図12から図16において同様の処理が行われる。従って、図12は、N MOS デバイス 44 が覆われ、P MOS デバイス 46 がさらされるリソグラフィステップを描いている。図13に示すように、エッチングプロセスにより、P MOS デバイス 46 の各々のシリコンスタック26の上部28が除去される。

【0027】

図14において明らかなように、誘電体層40上とシリコンスタック26の上部28によってすでにふさがれたスペース内に第2金属52が堆積される。しかし、第2金属52は、シリコンの価電子帯に近い仕事関数を有するシリサイドを形成する金属あるいは金属合金よりなる。換言すれば、シリサイドの仕事関数は、シリコンの価電子帯の仕事関数の $+/-0.2\text{ eV}$ 内である。具体的な材料としては、例えば、ルテニウム、レニウム、コバルトなどが挙げられ得る。本発明の範囲から逸脱することなく、第2金属52としてその他の種類の材料を用いることもできる。しかし、所望のデュアルCMOS配列の仕事関数を実現するために、そのような材料は、シリコンの価電子帯に近い仕事関数を有するシリコンから形成する必要がある。

【0028】

図16において、P MOS デバイス 46 に第2シリサイド領域54を形成するために、適切なアニール処理が行われる。アニール処理を行うための適切な温度範囲は、この第2金属52を形成している金属に応じて選択される。

【0029】

図16において明らかなように、N MOS デバイスは、シリコンの伝導帯の $+/-0.2\text{ V}$ 内の仕事関数を有する第1シリサイドからなる第1シリサイド領域50を含む。このCMOS配列はまた、シリコンの価電帯の $+/-0.2\text{ V}$ 内の仕事関数を有する第2シリサイドからなる第2シリサイド領域を備えたP MOS デバイスを有する。従って、メタルシリサイドを形成するために、異なる種類の金属あるいは金属合金を用いることによって、N MOS およびP MOS デバイス 44、46 のゲート電極の仕事関数を調整することができる。これにより、ある例では、ゲートシリサイドの厚さを50 にまで薄くすることができ、また、ある例では50 から100 の間にすることができるため、シリサイド化における不均一性、および、ゲート酸化物の信頼性などのフルシリサイドゲートに関連する数多くの問題を解決する。

【0030】

図17および図18は本発明の他の実施形態におけるあるステップを描いている。これらの実施形態では、エッチストップ層22は用いられない。その代わりに、制御されたウェットエッチングあるいはドライエッチングによってシリコンスタック26が埋め込まれ、シリサイド化の前にシリコンスタック26のポリシリコンの厚さが実質的に薄くされる。図17において、P MOS デバイス 46 はマスキングされ、N MOS デバイスのシリコンスタック26はエッチングされる。P MOS デバイス 46 においてシリコンスタック2

10

20

30

40

50

6をエッチングするために、同様の処理が行われる。しかし、本発明のある実施形態では、シリコンスタック26に残留しているシリコンの厚さが注意深く制御されて、所望の厚さにされる。ポリシリコンが薄いために、形成されるシリサイド領域の相に影響を与え、異なる導電性が示される。このような方法で、各デバイスの仕事関数を調整することができる。そのような実施形態では、同じ金属、あるいは異なる金属を用いて、第1および第2シリサイド領域50、54をそれぞれ形成することができる。これは、シリコン領域の厚さによって、最終的に形成されるシリサイドの相が制御されるからである。例えば、特定の種類のデバイスには、 CoSi などの高抵抗相シリサイドを有するゲート電極を与えてもよく、その他の種類のデバイスには、 CoSi_2 などの低抵抗相シリサイドを有するゲート電極を与えてもよい。当業者であれば、所望のシリサイド相を有し、よって、所望の仕事関数を有するように、第1および第2シリサイド領域50、54を形成するよう、シリコン領域の厚さと第1および第2金属に用いられる金属との関数として、時間や温度などのアニーリングパラメータを設定するであろう。

10

【0031】

本発明は、詳細に記載されると共に図示されたが、これらは単なる実例および例であり、制限的なものではなく、本発明の範囲は、添付された請求項の用語によってのみ制限されるものとして、明白に理解される。

【図面の簡単な説明】

【0032】

【図1】本発明によるデュアルメタルのCMOSトランジスタを製造する1つの段階における半導体ウェーハの概略的断面図。

20

【図2】本発明のある実施形態による第1シリコン層上にエッチストップ層を形成した後の図1の構造を示す説明図。

【図3】本発明の実施形態による第2シリコン層を堆積した後の図2の構造を示す説明図。

【図4】本発明の実施形態によるシリコンスタックを形成するために、ハードマスクを形成し、リソグラフィ、異方性エッチングを行った後の図3の構造を示す説明図。

【図5】本発明の実施形態によるソース/ドレイン拡張部、サイドウォールスペーサ、および、ソース/ドレイン領域を形成した後の図4の構造を示す説明図。

【図6】本発明の実施形態により、ハードマスクの除去において誘電体層を堆積し、その誘電体層を平坦化した後の図5の構造を示した説明図。

30

【図7】本発明の実施形態によるPMOSデバイスをマスクングするためのリソグラフィステップの後の図6の構造を示す説明図。

【図8】本発明の実施形態によるNMOSデバイスのシリコンスタックの上部をエッチングした後の図7の構造を示した説明図。

【図9】本発明の実施形態によりエッチストップ層を除去し、第1金属を堆積した後の図8の構造を示す説明図。

【図10】本発明の実施形態による平坦化プロセス後の図9の構造を示した説明図。

【図11】本発明の実施形態によるNMOSデバイスに第1シリサイド領域を形成するためのアニーリングステップの後の図10の構造を示す説明図。

40

【図12】本発明の実施形態によるNMOSデバイスをマスクングするためのリソグラフィステップ後の図11の構造を示した説明図。

【図13】本発明の実施形態により、PMOSデバイスのシリコンスタックの上部を除去するためのエッチングステップを実行した後の図12の構造を示す説明図。

【図14】本発明の実施形態により、PMOSデバイスのエッチストップ層を除去し、第2金属を堆積した後の図13の構造を示す説明図。

【図15】本発明の実施形態による平坦化プロセス後の図14の構造を示す説明図。

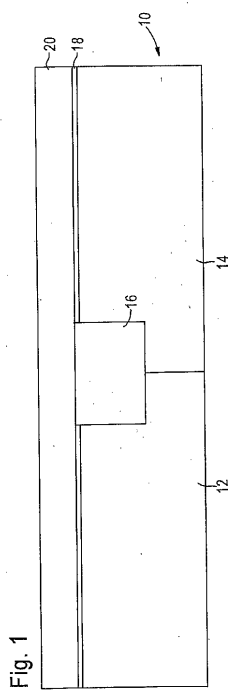
【図16】本発明の実施形態により第2シリサイド領域を形成するためのアニーリングステップの後の図15の構造を示す説明図。

【図17】製造の1つの段階における本発明の別の形態を示す説明図。

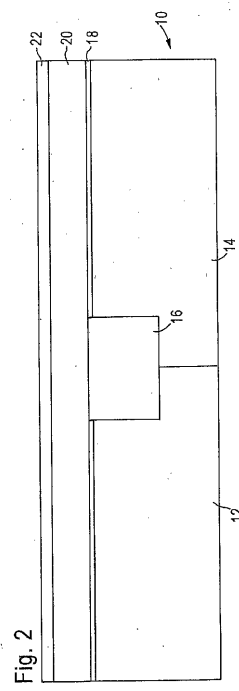
50

【図 1 8】本発明の別の実施形態による第 1 および第 2 シリサイド領域を形成した後の図 1 7 の別の実施形態を示す説明図。

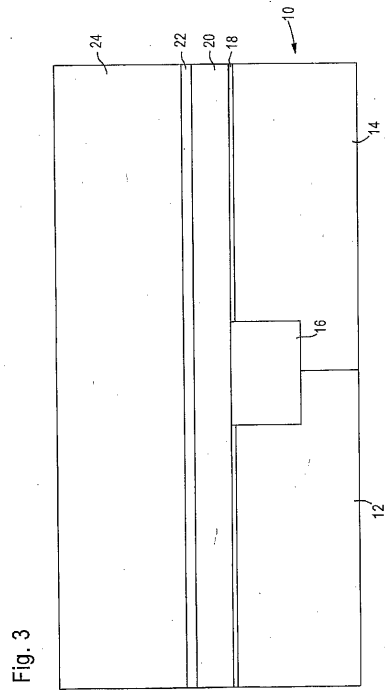
【図 1】



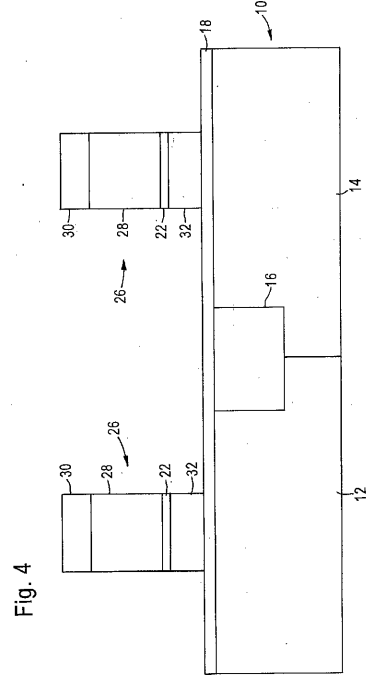
【図 2】



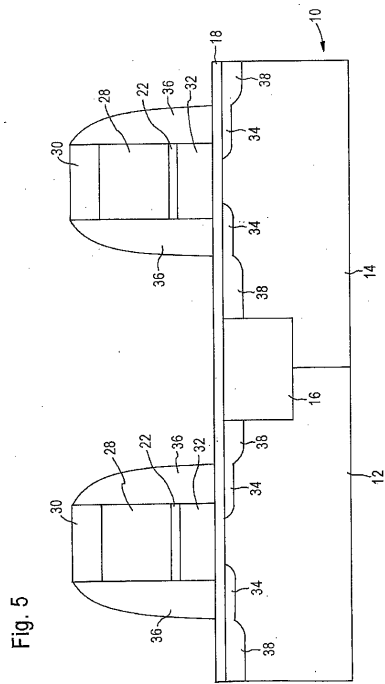
【図 3】



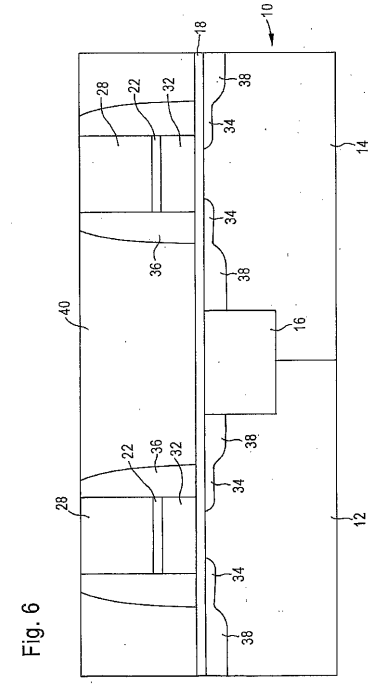
【図 4】



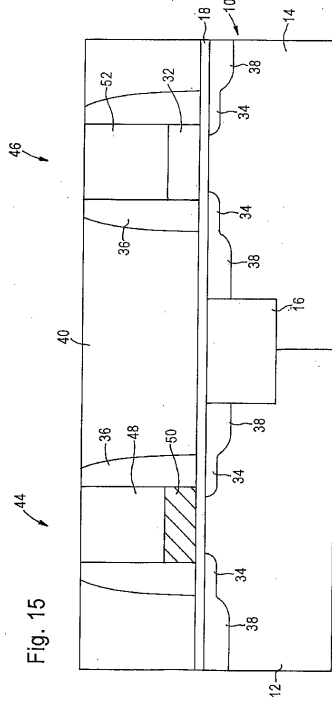
【図 5】



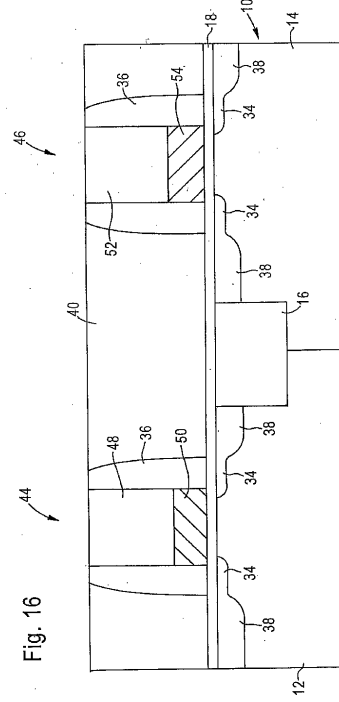
【図 6】



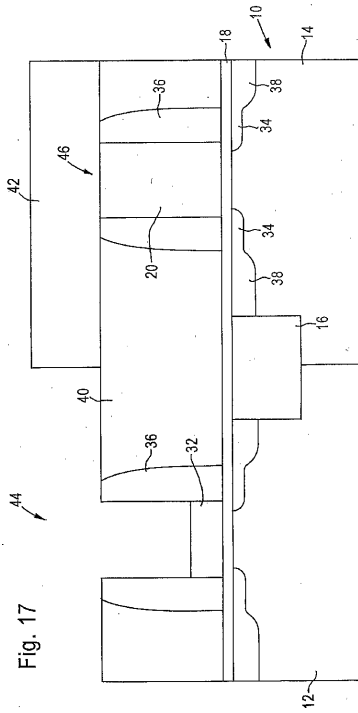
【 図 1 5 】



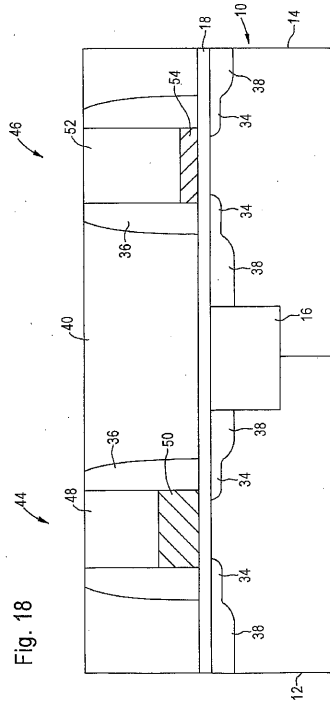
【 図 1 6 】



【 圖 1 7 】



【 図 1 8 】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/78 (2006.01)

(74)代理人 100162156

弁理士 村雨 圭介

(74)代理人 100111615

弁理士 佐野 良太

(72)発明者 ジェイムズ パン

アメリカ合衆国、ニュー ヨーク州 1 2 5 2 4、フィッシュキル、ナンバーディー、マウンテン
ビュー ノールズ ドライブ 3

(72)発明者 ミン・レン リン

アメリカ合衆国、カリフォルニア州 9 5 0 1 4、キューパーティノ、サンタ テレサ ドライブ
1 0 9 7 0

審査官 宇多川 勉

(56)参考文献 特開平 1 1 - 2 8 4 1 7 9 (J P , A)

特開 2 0 0 5 - 0 8 5 9 4 9 (J P , A)

特開 2 0 0 5 - 0 1 9 8 8 5 (J P , A)

特開 2 0 0 5 - 2 2 8 8 6 8 (J P , A)

特開 2 0 0 1 - 2 8 4 4 6 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8238

H01L 21/28

H01L 27/092

H01L 27/088

H01L 29/423

H01L 29/49

H01L 21/8238

H01L 29/78