

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 16/04

(45) 공고일자 2003년 10월 17일
(11) 등록번호 10-0397062
(24) 등록일자 2003년 08월 25일

(21) 출원번호	10-1998-0700209	(65) 공개번호	특 1999-0028907
(22) 출원일자	1998년 01월 12일	(43) 공개일자	1999년 04월 15일
번역문제출일자	1998년 01월 12일		
(86) 국제출원번호	PCT/US1996/09889	(87) 국제공개번호	WO 1997/05624
(86) 국제출원일자	1996년 06월 14일	(87) 국제공개일자	1997년 02월 13일
(81) 지정국	국내특허 : 아일랜드 알바니아 오스트레일리아 바베이도스 불가리아 브라질 캐나다 중국 체코 에스토니아 그루지야 헝가리 이스라엘 아이슬란드 일본 북한 AP AR IPO특허 : 케냐 레소토 말라위 수단 스와질랜드 케냐 EA 유라시아특허 : 아르메니아 아제르바이잔 벨라루스 키르기즈 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 오스트리아 스위스 독일 덴마크 스페인 핀란드 영국		

(30) 우선권주장 08/506,828 1995년 07월 25일 미국(US)

(73) 특허권자 어드밴티지 로직 인코퍼레이티드
미국 캘리포니아 95014 쿠퍼티노 스위트 210 타운센터 레인 20410
(72) 발명자 패니 피터 엠.
미국 캘리포니아 94040 마운틴 뷔우 아나 프리바다 1110
팅 벤자민 에스.
미국 캘리포니아 95070 사라토가 살리번 웨이 21120
마 베니
미국 캘리포니아 95070 사라토가 놀우드 드라이브 20329
(74) 대리인 정진상, 박종혁

심사관 : 김병우

(54) 프로그램가능논리디바이스용프로그램가능비휘발성양방향스위치

명세서

기술분야

<1> 본 발명은 프로그램가능 논리 디바이스를 프로그램하는 스위치에 관한 것이다. 더 상세하게, 본 발명은 프로그램가능 양방향 접속을 제공하는 스위칭 소자 및 메모리로서 비휘발성 메모리 디바이스를 사용하는 것에 관한 것이다.

배경기술

<2> 필드 프로그램가능 게이트 어레이(FPGA)와 같은 프로그램가능 논리 회로는 설계시에 명시된 적당한 논리 기능을 형성하기 위해서 둘 또는 다수의 와이어를 함께 접속하는 다수의 프로그램 제어 스위칭 소자를 필요로 한다. 앤티-퓨즈(anti-fuse) FPGA와 같은 일회용 프로그램가능 디바이스에 있어서는, 접합점(안티-퓨즈)을 고전압 및 고전류로 어닐링함으로써 저항을 매우 높은데서 매우 낮게 떨어뜨리고 따라서 앤티-퓨즈를 통해 한 와이어에서 다른 와이어로의 신호의 전도를 허용함으로써, 둘 이상의 와이어의 접속을 만들어낸다. 재프로그래밍가능 FPGA에 있어서는, 두 개의 와이어를 접속하는 하나의 전형적인 방법은 스위치로서 SRAM 제어 패스게이트(passgate)를 사용하는 것이다. SRAM은 SRAM의 출력이 대응 패스게이트를 "온" 또는 "오프"하여 패스게이트를 통해서 두 개의 와이어를 접속하는 방법으로 표준 메모리 프로그램밍 기술을 통해서 프로그램될 수 있다. 그러나, 그 소자가 전력이 다운될 때 시간마다, 비트의 상태는 그 비트를 재프로그래밍하기 위해서, 비휘발성 EEPROM 등과 같이, 스스로부터 로드(reload)되어야 한다.

<3> 프로그램가능 논리 디바이스를 프로그램하는 스위치로서 작용하는 비휘발성 메모리 소자를 사용하면 약간의 분명한 잇점을 얻을 수 있다는 것은 분명하다. 그러나, 이러한 종래의 소자는 단일 방향이고 데이터 보유 문제를 야기한다. 도 1a는 단일 방향 신호 경로를 도시하고 있는 비휘발성 메모리 스위치의 종래의 실시예를 설명하고 있다. 두 개의 n채널 비휘발성 트랜지스터는 소자의 플로팅(floating) 충전 커패시터를 포함하여 공통 게이트를 공유하고 있다. 제1 트랜지스터(10)는 메모리 저장 소자로서 사용되고 제2 트랜지스터(15)는 단일 방향 패스 게이트로서 사용된다. 스위치가 켜질 때, 점(20)에서 시작하는 신호는 인버터(22)와 제2 트랜지스터(15)를 지나서, 패스 게이트를 통하면서 떨어진 신호 레벨을 회복하는 레벨 재발생 회로소자(25)까지 간다. 그 재발생된 신호는 제2 드라이버-인버터(30)에 의해 더

증대된다.

<4> 도 1b는 소자 어레이의 다른 종래 실시예를 도시하고 여기서, 단일 방향 스위치의 논리0과 논리1은 입력의 곱셈 항을 선택적으로 만드는 단일 방향 경로에 영향을 주도록 개별적으로 제어된다. 도 1c는 프로그램가능 NOR 기능을 형성하는 비휘발성 메모리를 사용하는 종래 실시예를 설명하고 있다. 비프로그램가능 n-입력 NOR 게이트는, 서로 다른 입력 단자(IT)(50)를 입력으로 갖고 Vd(53)를 접지시킨 채 공통 곱 단자(PT)(52)를 출력으로 가진 n-채널 트랜지스터(51)의 n병렬 스테이지를 가짐으로써 형성될 수 있다. 프로그램가능의 경우에 대하여, 도 1c는, 트랜지스터(54, 55, 56)를 사용하여 공통 게이트 라인(CGL)(57), 워드 선택 라인(WSL)(58), 및 WDL(59)의 상태를 세팅함으로써, 노드(Vd)(53)가 접지나 플로팅 중 어느 하나가 되도록 프로그램될 수 있다. Vd(53)가 플로팅이라면, IT(50)는 NOR 구조에 대한 입력이 되도록 접속이 끊어진다. Vd(53)가 접지되어 있을 때, IT(50)는 NOR 입력중 하나이다. 공통 PT(52)와 개별적으로 제어된 Vd(53)가 접지나 플로팅 중 하나가 되도록 도 1c의 디바이스의 n병렬 구조를 형성함으로써 m-입력 NOR 기능이 프로그램되는데, 이때 m은 n과 같거나 작다. 그 입력 신호는 IT(50)으로 가고, NOR 기능은 대응 Vd(53)가 접지되어 있는 트랜지스터(51)에서 작동한다. m-입력 NOR의 출력 결과는 공통 PT(52)이다.

<5> 위 실시예에서 보는 바와 같이, 설명된 종래의 디바이스는 단일 방향 신호 흐름을 가진 프로그램 가능 n입력 1출력 논리기능을 형성하는데 사용된다. 추가로, 다른 문제가 종래 디바이스에 존재한다. 이 문제는 도 2 내지 도 5를 참조하여 설명될 것이다.

<6> 도 2는 일반적으로 공지된 채널 비휘발성 트랜지스터를 기호 형태로 도시하고 있다. 도 3은 기판 커패시터 모델과 플로팅 충전 커패시터를 도시하고 있는 간단한 커패시터 모델로 같은 n-채널 비휘발성 트랜지스터를 설명하고 있다. 노드(305)에서의 전압(X로 표시)은 플로팅 충전 커패시터(310)÷플로팅 충전 커패시터(310)의 커패시턴스와 기판 커패시터(315)(결합비)의 커패시턴스의 합×게이트 전압의 분수이다. 임의의 프로그래밍전에, 초기에, 모든 전압은 0이다.

<7> 도 4a에 도시된 바와 같이, 소거 모드시, 게이트는 V++프로그램 전압(Vpp)에 설정되고 전자가 소스 단자에서 플로팅 게이트 커패시터로 흐르게 되어 플로팅게이트 커패시턴(C1)상에 음전압이 생긴다. 소거 작동이 완료된 후에, 도 4b에 도시된 바와 같이, 소스와 게이트 단자는 접지되고, 충전된 플로팅 게이트 커패시터(C1)는 -5볼트이다. 실제 회로 작동에서, 게이트는 5V(또는 저전압 작동에서는 3.3V)인 Vcc에 설정된다. 5V인 경우에, 도 4c에 도시된 바와 같이, 노드 전압(405)은, 트랜지스터가 "오프" 상태에 있는 즉 트랜지스터가 비전도적이라는 것을 지시하는 -2볼트에 있다.

<8> 프로그래밍 모드시, 도 5a에 도시된 바와 같이, 게이트 단자는 접지되어 있고, 소스 단자는 V++, 프로그래밍 전압(Vpp)에 결합되어 있다. 이 모드에서, 전자 전하는 커패시터(C1)에서 소스 단자로 흐르고, 플로팅 게이트 커패시터에서 양의 전압을 초래한다. 도 5b는 C1에서의 전압이 3볼트인 것을 도시하고 있다. 모든 메모리 셀이 프로그램되는 정상 회로 작동 모드에서, 게이트 전압은 정상 전원 공급원, Vcc에 설정된다. 그 경우에 C1에서의 전압은 3볼트에 있고, 노드(505)에서의 전압은 Vcc보다 높은 6볼트에 있고, 이것은 트랜지스터가 전도적이라는 것을 지시한다. 그 상태는 Vcc보다 높은 전압을 가지기 때문에, 도 1a에 도시된 전압 레벨 재발생 회로를 가질 필요성이 없어진다. 추가 특징은 온 스테이지의 전도 저항은 더 높은 게이트 전압의 결과에 따라 낮아져서 게이트의 속도를 향상시킨다는 것이다.

<9> 상기 단일 트랜지스터 구조는 비휘발성 메모리 저장 소자 및 두 라인을 접속 또는 비접속하는 스위치 모두로서 사용될 수 있고, 소자 다이에 상당한 공간을 세이브한다. 그러나, 트랜지스터의 소스와 드레인 노드에서 프로그래밍 라인과 전달 라인의 혼합으로 인해, 이중 기능용 단일 트랜지스터를 사용할 때 문제가 있다. 더우기, 단일 트랜지스터 구조가 사용될 때, 데이터 보유력이 문제다.

<10> 패스게이트가 두 개의 커넥터를 결합하도록 전도하고 있을 때 판독 장애 문제가 일어나고 데이터 보유 문제를 야기한다. 플로팅 게이트상에 저장된 전하를 가진 비휘발성 디바이스는, 얇은 산화물로 구성된 터널 유전체(전형적으로 100 \AA 보다 적음)를 통한 바라지 않는 터널링(전하 주입)으로 인해 오랜 주기의 시간에 걸쳐서 전위 전하 손실이 발생한다. 이러한 바라지 않는 터널링은 데이터 손실의 첫 번째 원인중 하나이다. 그 산화물은 그 디바이스의 프로그래밍을 가능하게 할 정도로 얇다. 그 디바이스가 단지 메모리로서 사용될 때, 데이터 손실 가능성은 데이터 판독 작동의 지속성이 짧음에 따라 문제가 안 된다. 전형적으로, 대다수의 제조자는 정상적으로 사용하는 디바이스에 대하여 10년의 최소 데이터 보유 기간을 규정하고 있다.

<11> 그러나, 그 바라지 않는 터널링은 디바이스가 전도 모드에 있을 때의 메모리의 판독 작동시 일어날 수 있다. 필드(field)가 소스와 게이트사이의 전압차로 인해 유전체에 걸쳐서 유입된다. 메모리 셀에 대하여 이 판독 주기는 매우 짧아서 그 장애는 극미하다. 디바이스가 그 디바이스의 소스에서 드레인으로 그리고 드레인에서 소스로 신호를 전도하는 두 개의 와이어를 접속하는 데 사용하는 응용에 대하여, 장애, 그리고 그로 인한 유전체에 걸친 터널링은 짧은 주기의 시간동안 디바이스에서 상당히 감쇠시킬 수 있다.

발명의 상세한 설명

<12> 본 발명은 프로그램가능 논리 디바이스에 사용하기 위해 둘 또는 다수의 와이어를 접속한 비휘발성 메모리 디바이스를 통해서 제어된 프로그램가능 스위치로서 비휘발성 플로팅 게이트 디바이스(EEPROM 또는 플레쉬)로 구성된 비휘발성 스위치를 제공한다. 그 비휘발성 스위치는 SRAM 비트와 대응 패스게이트의 종래 사용을 대신함으로써 실리콘 영역을 감소시켜 비용을 감소시킨다.

<13> 제1실시예에서, 양방향 패스게이트 스위치는 전기적으로 소거 가능한 프로그램가능 판독 전용 메모리(EEPROM) 또는 플레쉬 메모리와 같은 기술을 이용한다. 그 스위치는 두 개의 EEPROM 또는 플레쉬 메모리 소자를 포함하고 여기서 그 소자의 플로팅 게이트는 공유되어 있다. 제1 n-채널 패스게이트 트랜지스터는 스위치의 상태를 저장하고 프로그램하는 데 사용된다. 제1 트랜지스터의 산화물은 프로그램을 쉽게 할 수 있는 얇은 산화물이다. 제2 n-채널 패스게이트 트랜지스터는 양방향 스위치로서 작용하고 여

기서 소스와 드레인 단자는 선택적으로 접속된 전달 라인에 결합되어 있다. 제2 트랜지스터 산화물은 터널링으로 인한 누설을 최소화하기 위해 두꺼운 산화물이다. 그러므로, 프로그래밍 라인과 전달 라인은 분리되고, 누설을 최소화하면서 프로그래밍 과정을 더 간단히 한다.

도면의 간단한 설명

- <14> 도 1a는 단일 방향 신호 경로를 도시하고 있는 비휘발성 메모리 스위치의 종래 실시예를 설명하고 있다. 도 1b는 논리0과 논리1이 단일 방향 신호 경로에 영향을 주도록 분리하여 제어된 다른 종래 실시예를 도시하고 있다. 도 1c는 네 개의 트랜지스터 구조를 도시한 종래 실시예를 도시하고 있다.
- <15> 도 2는 일반적으로 공지된 n-채널 비휘발성 트랜지스터를 기호 형태로 도시하고 있다.
- <16> 도 3은 플로팅 충전 커패시터와 기판 커패시터 모델 표현을 사용하여 도 2의 n-채널 비휘발성 트랜지스터를 도시하고 있다.
- <17> 도 4a는 소거 모드시의 디바이스를 설명하고 있다. 도 4b는 소거후의 디바이스를 설명하고 있다. 도 4c는 디바이스가 "오프" 상태에 있을 때 커패시터 모델을 따르는 디바이스를 도시하고 있다.
- <18> 도 5a는 프로그래밍 모드시의 디바이스를 설명하고 있다. 도 5b는 프로그래밍후의 디바이스를 설명하고 있다. 도 5c는 디바이스가 "온" 상태에 있을 때 커패시터 모델을 따르는 디바이스를 설명하고 있다.
- <19> 도 6a와 도 6b는 본 발명의 비휘발성, 양방향 스위치의 실시예를 설명하고 있다.
- <20> 도 7은 본 발명의 지침에 따라 비휘발성 양방향 스위치 어레이를 설명하고 있다.
- <21> 도 8은 확인된 스위치 온과 오프를 프로그램하는 스위치 어레이의 워드 라인과 비트 라인에 인가된 전압을 예시적으로 묘사한 표이다.

실시예

- <22> 다음 설명에서, 설명을 위해, 본 발명의 충분한 이해를 주기 위해서 다수의 세목이 설명되어 있다. 그러나, 이 특정 세목은 본 발명을 실행하기 위해 필요하지 않다는 것은 당업자에게는 분명할 것이다. 다른 실시예에서, 공지된 전기 구조와 회로는 불필요하게 본 발명을 모호하지 않게 하기 위해 볼록도 형태로 도시되어 있다.
- <23> 아래에 설명될 바와 같이, 본 발명의 비휘발성 스위치는 구성 로딩에 대하여 동반 EEPROM 또는 EEPROM 디바이스의 제거와, 동일한 공정 기술 구성 사이즈에 의한 종래의 SRAM에 대해 스위치 밀도에서 40% 또는 그 이상의 향상을 포함한 다수의 분명한 잇점을 제공한다. 또한, 본 발명의 비휘발성 스위치는 전압 재발생 회로 소자없이 향상된 양방향 접속과 데이터 보유를 포함하여 종래의 비휘발성 메모리 디바이스를 넘는 잇점을 제공한다. 본 발명의 비휘발성, 양방향 스위치가 n-채널 트랜지스터를 이용하여 설명되어 있다; 그러나, 비휘발성 트랜지스터의 다른 구성이 사용될 수 있다.
- <24> 도 6a와 도 6b는 플레쉬 메모리를 포함하여 전기적으로 소거 가능한 프로그램가능 판독 전용 메모리(EEPROM)와 같은 기술을 사용하는 비휘발성 양방향 패스게이트 스위치의 제1 실시예를 설명하고 있다.
- <25> 이 스위치는 두 개의 트랜지스터를 포함하고 여기서 두 트랜지스터의 플로팅 게이트는 공유되어 있다. 제1 n-채널 패스게이트 트랜지스터는 스위치를 프로그램하는 데 사용되고 50-110 Å의 얇은 산화물을 전형적으로 가지고 있다. 얇은 산화물은 장기간 데이터 보유를 위해 충분한 전하가 플로팅 게이트상에 놓여 있게 한다. 더욱이, 얇은 산화물은 전형적인 또는 더 낮은 EEPROM 프로그래밍 전압에서 프로그램할 수 있다. 제2 n-채널 패스게이트 트랜지스터는 매트릭스내에서 전달 라인과 같은 두 개의 전도체를 접속하는 양방향 스위치로서 작용한다. 누설을 최소화하고 데이터 보유를 향상시키기 위해 제2 트랜지스터는 전형적으로 두꺼운 산화물(약 100-500 Å)로 되어 있다.
- <26> 양방향의 비휘발성 스위치로 인해 프로그래밍 라인과 전달 라인이 분리되어 있는 구성이 된다. 프로그래밍 라인은 메모리 비트와 같은 보통의 비휘발성 트랜지스터로서 나타나는 디바이스의 제1 부분의 간단한 프로그래밍 과정을 실행하는 데 사용된다. 그 디바이스의 제2 부분은 메모리 비트에 의해 제어되고 적어도 두 개의 신호 라인을 접속하는 양방향 패스게이트 스위치로서 작용하는 두꺼운 산화물 충전 게이트 디바이스를 포함하고 있다. 결과적인 메모리-패스게이트 디바이스는 비교할 수 있는 SRAM-패스게이트 디바이스보다 상당히 더 작다. 다이 사이즈 감소에 추가로, 또한, 이 실시예는 프로그램 구성을 로드하는 동반 EEPROM/EPRAM 메모리 디바이스를 가질 필요성이 없어서 보드 공간과 소자 비용 모두가 더 절약된다.
- <27> 도 6b에 설명된 실시예를 참조하면, 프로그래밍 원도우는 [-5V, 3V]에 설정되고 여기서 C1에서의 커패시터 전압은 소거 모드시 -5볼트에서 충전되고 C1에서의 커패시터 전압은 프로그래밍 모드시 3볼트에서 충전된다. n-채널 패스게이트가 "온"일 때 X에서의 전압이 6볼트에 있으므로, 패스게이트는 필수적으로 5볼트의 전원 공급 전압 보다 높게 "충전"되고, 그래서 온-상태 저항을 감소시키고 스위칭 속도를 향상시킨다. 공유 전하와 게이트를 가진 분리 트랜지스터가 이용됨에 따라, 얇은 산화물 게이트상의 데이터 보유력은 "판독"이 두꺼운 산화물 게이트에서 일어나기 때문에 문제가 되지 않는다. 두꺼운 게이트에서는 산화물 두께로 인해 매우 적은 누설 문제가 있고 프로그램가능 스위치의 수명과 신뢰도 모두를 향상시킨다.
- <28> 상기된 바와 같이, 상기 양방향 스위치는 필드 프로그램가능 게이트 어레이(FPGA)와 같은 프로그램가능 논리 디바이스로 이용될 수 있다. 양방향 스위치는 프로그램된 기능을 실행하는 디바이스를 만들 어내는 조합 요소와 여러 논리 요소를 상호접속하는 FPGA 구조내의 전달 라인을 선택적으로 접속하는 데 사용된다. 예시적인 구조가 1995. 2. 9, PCT 출원 NO. PCT/US94/07187에 예시되어 있다.

<29>

도 7은 종래에 사용된 앞선 SRAM/패스게이트 구조를 대신하는 상기 비휘발성 양방향 스위치의 어레이를 설명하고 있다. 각각의 스위치는 두 개의 전달 라인에 결합되어 있는데, 예를 들어, 스위치(730)는 전달 라인(710, 715)에 결합되어 있다. 전달 라인(710, 715)을 접속하는 스위치를 프로그램하기 위해서, 대응 워드 라인(720)은 접지되어 있고, 대응 비트 라인(725)은 프로그램ming 전압 Vpp(예, 12볼트)에 설정되어 있다. 나머지 워드 라인은 다른 디바이스의 우연한 프로그램밍을 방지하기 위해서 충분히 높은 전압 레벨, 예를 들어, Vcc(5볼트)에 설정된다. 나머지 비트 라인은 접지된다. 일단 프로그램이 되면, 모든 워드 라인은 Vcc(예, 저전압 디바이스 경우에 5볼트 또는 3.3볼트)에 설정되고, 모든 비트 라인은 실제 처리 특성에 따라 Vcc 또는 플로트가 될 수 있는 "무조건(don't care)" 상태에 있다. 메모리 비트인 트랜지스터(705)는 (두꺼운 게이트 산화물을 가진) 프로그램가능 스위치(730)를 전도 모드에 있게 하는 "온" 상태("1")로 프로그램되어서 누설로 인한 데이터 보유 문제없이 전달 라인(710, 715) 사이의 접속부로서 기능한다.

<30>

초기에 어레이내의 모든 비트는, 선택된 워드 라인을 프로그램ming Vpp에, 모든 비트 라인을 접지에, 그리고 나머지 선택되지 않은 워드 라인을 접지에 설정함으로써 실행되는 소거 작동에 의해, "오프" 상태로 프로그램된다. 이 단계는 모든 비트가 "소거"될때까지 각각의 워드 라인에 대하여 반복된다. 일단 어레이가 오프 상태로 초기화되면, 선택 스위치는 상기 온-상태 프로그램ming 과정을 통해 원하는 상호 접속을 제공하도록 프로그램된다.

<31>

도 8은 비휘발성 스위치 어레이의 프로그램ming 시퀀스를 도시하고 있다. 도 8에서 설명된 값은, 원하는 메모리 비트에서 "1"로 기록된 것과 유사한 "온" 상태에서의 스위치의 선택적인 프로그램ming과 기록된 "0" 상태에 비유될 수 있는 "벌크(bulk) 소거" 단계에 의해 모든 비트가 "오프"가 되는 우선-제로화(first zeroing out)에 의해, 바람직하게 이용된다. 관련 메모리 비트를 프로그램함으로써 모든 프로그램가능 스위치가 원하는 "온" 또는 "오프" 상태로 설정되면, 프로그램ming 라인(워드 라인과 비트 라인)은 선택되지 않는다. 워드 라인은 Vcc에 설정되어 있고, 비트 라인은 처리 기술의 특성에 따라 Vcc 또는 플로트가 될 수 있는 "무조건" 상태에 설정된다.

<32>

본 발명은 바람직한 실시예와 결부시켜 설명되었다. 다수의 선택적인 개조와 변경 그리고 사용이 앞선 설명의 측면에서 당업자에게는 명백할 수 있다.

(57) 청구의 범위

청구항 1

비휘발성 양방향 스위치에 있어서,

제1 산화물에 의해 부분적으로 둘러싸인 플로팅 게이트의 제1 부분, 제1 단자, 제2 단자, 및 제3 단자로 구성되어 있는 제1 비휘발성 트랜지스터 소자; 및

제2 산화물에 의해 부분적으로 둘러싸인 플로팅 게이트의 제2 부분, 제4 단자, 제5 단자, 및 제6 단자로 구성되어 있는 제2 비휘발성 트랜지스터 소자를 포함하고,

상기 제1 산화물의 두께는 제1 단자와 제2 단자에 프로그램ming 전압을 인가함으로써 장기간 데이터 보유를 위해 플로팅 게이트상에 충분한 전하를 배치할 수 있을 정도로 얇고,

상기 제5 단자와 제6 단자는 각각 제1 전도체와 제2 전도체에 각각 결합되어 있고, 상기 제2 산화물의 두께는 제1 전도체와 제2 전도체를 접속하는 "온" 상태로 플로팅 게이트가 프로그램될 때에 원하지 않는 누설전류를 방지할 정도로 두꺼운 것을 특징으로 하는 비휘발성 양방향 스위치.

청구항 2

제 1 항에 있어서, 제1 산화물은 50 내지 110Å 범위의 두께를 가지고 있는 것을 특징으로 하는 비휘발성 양방향 스위치.

청구항 3

제 1 항에 있어서, 제2 산화물은 100 내지 500Å 범위의 두께를 가지고 있는 것을 특징으로 하는 비휘발성 양방향 스위치.

청구항 4

제 1 항에 있어서, 제1 단자와 제4 단자는 서로 결합되어 있는 것을 특징으로 하는 비휘발성 양방향 스위치.

청구항 5

제 1 항에 있어서, 플로팅 게이트는 프로그램ming 전압(Vpp)을 제1 단자에 인가하고 제2 단자를 접지함으로써 소거되는 것을 특징으로 하는 비휘발성 양방향 스위치.

청구항 6

제 5 항에 있어서, 플로팅 게이트는 제1 단자를 접지하고 제2 단자를 프로그램ming 전압에 설정함으로써 프로그램되는 것을 특징으로 하는 비휘발성 양방향 스위치.

청구항 7

행과 열로 배열되어 있는 비휘발성 양방향 스위치의 어레이에 있어서,

한 쌍의 전달 라인을 프로그램 가능하게 연결하고 있고, 제1 산화물에 의해 부분적으로 둘러싸인 플로팅 게이트의 제1 부분, 제1 단자, 제2 단자, 및 제3 단자로 구성된 제1 비휘발성 트랜지스터 소자 및

제2 산화물에 의해 부분적으로 둘러싸인 플로팅 게이트의 제2 부분, 제4 단자, 제5 단자, 및 제6 단자로 구성된 제2 비휘발성 트랜지스터 소자를 포함하는 각각의 스위치;

각각의 스위치의 제1 단자와 제4 단자에 각각 행으로 결합되어 있는 제1 세트의 제어 라인; 및

각각의 스위치의 제2 단자에 각각 열로 결합되어 있는 제2 세트의 제어 라인을 포함하고,

상기 제1 산화물의 두께는 제1 단자와 제2 단자에 프로그래밍 전압을 인가함으로써 장기간 데이터 보유를 위해 플로팅 게이트상에 충분한 전하를 배치할 수 있을 정도로 얇고, 상기 제5 단자와 제6 단자는 각각 제1 전도체와 제2 전도체에 결합되어 있고, 상기 제2 산화물의 두께는 한 쌍의 전도체의 제1 전도체와 제2 전도체를 접속하는 "온"상태로 플로팅 게이트가 프로그램될 때에 원하지 않는 누설전류를 방지할 정도로 두꺼운 것을 특징으로 하는 어레이.

청구항 8

제 7 항에 있어서, 제1 산화물은 50 내지 110Å 범위의 두께를 가지고 있는 것을 특징으로 하는 어레이.

청구항 9

제 7 항에 있어서, 제2 산화물은 100 내지 500Å 범위의 두께를 가지고 있는 것을 특징으로 하는 어레이.

청구항 10

제 7 항에 있어서, 제1 단자와 제4 단자가 서로 결합되어 있는 것을 특징으로 하는 어레이.

청구항 11

제 7 항에 있어서, 선택된 행의 각각의 스위치의 플로팅 게이트는, 선택된 행에 결합되어 있는 제1 세트의 제어 라인의 제1의 선택된 제어 라인에 프로그래밍 전압(Vpp)을 인가하고, 제어라인의 세트 중 선택된 제어라인을 제외한 제1 제어 라인과 제2 세트의 제어 라인을 접지함으로써, 소거되는 것을 특징으로 하는 어레이.

청구항 12

제 7 항에 있어서, 선택된 스위치의 플로팅 게이트는, 선택된 스위치의 단자에 결합된 제1 세트의 제어 라인의 선택된 제1 제어 라인을 접지하고, 선택된 스위치의 단자에 결합된 제2 세트의 제어라인의 선택된 제2 제어 라인을 프로그래밍 전압에 결합하고, 제1 세트의 제어 라인중 선택된 제1 제어 라인을 제외한 제어 라인을 선택되지 않은 디바이스의 우연한 프로그래밍을 방지하기에 충분히 높은 전압 레벨에 결합하고, 그리고 제2 세트의 제어 라인중 선택된 제2 제어 라인을 제외한 제어 라인을 접지함으로써, 프로그램되는 것을 특징으로 하는 어레이.

청구항 13

비휘발성 양방향 스위치를 작동시키는 방법에 있어서,

제1 산화물에 의해 부분적으로 둘러싸인 플로팅 게이트의 제1 부분, 제1 단자, 제2 단자, 및 제3 단자를 가지고 있는 제1 비휘발성 트랜지스터 소자로서, 상기 제1 산화물의 두께가 제1 단자와 제2 단자에 프로그래밍 전압을 인가함으로써 장기간 데이터 보유를 위해 플로팅 게이트상에 충분한 전하를 배치할 정도로 얇은 제1 비휘발성 트랜지스터 소자, 그리고 제2 산화물에 의해 부분적으로 둘러싸인 플로팅 게이트의 제2 부분, 제4 단자, 제5 단자, 및 제6 단자로 구성되어 있는 제2 비휘발성 트랜지스터 소자로서, 상기 제5 단자와 제6 단자는 각각 제1 전도체와 제2 전도체에 결합되어 있고, 상기 제2 산화물의 두께는 제1 단자와 제2 단자를 서로 결합시키는 제1 전도체와 제2 전도체를 접속하는 "온" 상태로 플로팅게이트가 프로그램될 때에 원하지 않는 누설 전류를 방지할 정도로 두꺼운 제2 비휘발성 트랜지스터 소자를 제공하는 단계;

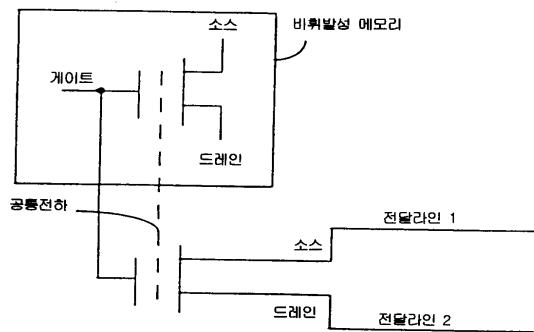
플로팅 게이트가 소거되어야 한다면, 프로그래밍 전압(Vpp)을 제1 단자에 인가하고 제2 단자를 접지하는 단계; 및

플로팅 게이트가 프로그램되어야 한다면, 제1 단자를 접지하고 제2 단자를 프로그래밍 전압에 설정하는 단계;로 구성되어 있는 것을 특징으로 하는 방법.

요약

두 개의 전도체를 접속시키는 양방향 패스게이트 스위치는 전기적으로 소거 가능한 프로그램 가능한 전용 메모리(EEPROM)와 같은 기술을 이용한다. 그 스위치는 두 개의 EEPROM 소자를 포함하고 여기서 소자의 플로팅 게이트는 공유되어 있다. 제1 실시예에서, 제1 n-채널 패스게이트 트랜지스터는 그 스위치의 상태를 저장하고 프로그램하는 데 사용된다. 제1 트랜지스터의 산화물은 프로그램을 쉽게 할 수 있는 얇은 산화물이다. 제2 n-채널 패스게이트 트랜지스터는 양방향 스위치로서 작용하고 여기서 소스와 드레인 단자는 선택적으로 접속된 전달 라인에 결합되어 있다. 제2 트랜지스터 산화물은 터널링으로 인한 누설을 최소화하는 두꺼운 산화물이다. 그러므로, 프로그래밍 라인과 전달 라인은 분리되어 있고, 프로그래밍 과정을 더 간단히 하는 반면 누설을 최소화한다.

대표도

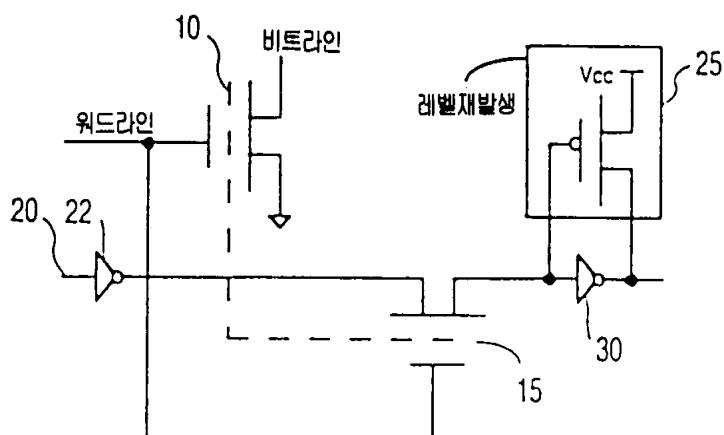


색인어

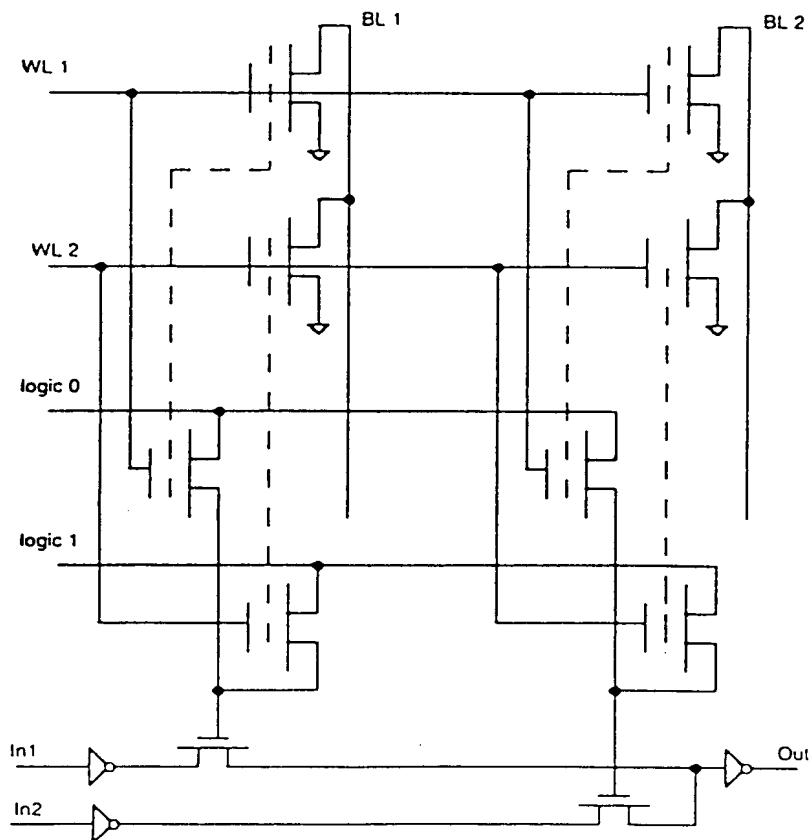
프로그램가능 논리, 양방향 스위치, 패스게이트, EEPROM, 트랜지스터.

도면

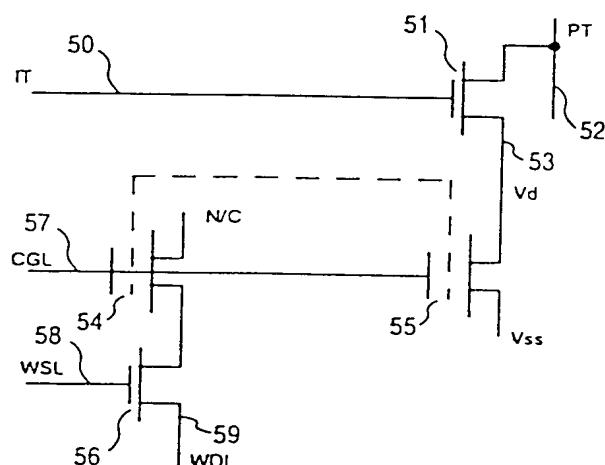
도면 1a



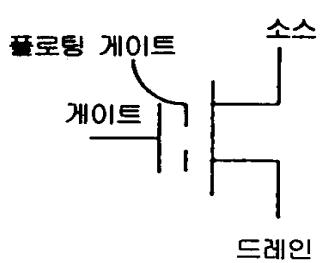
도면 1b



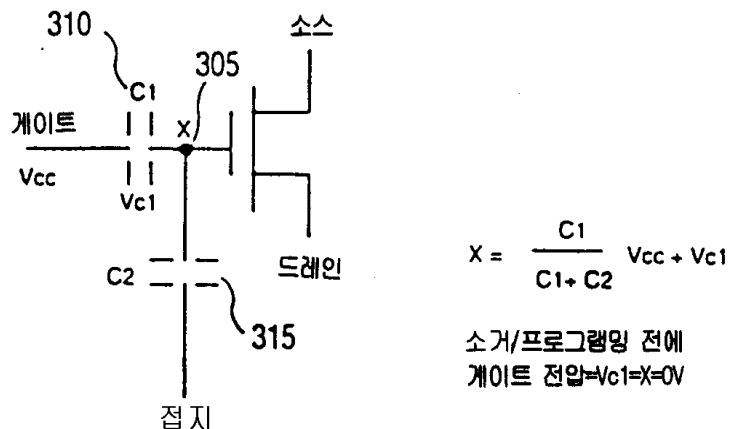
도면 1c



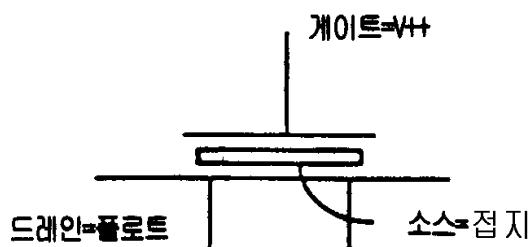
도면 2



도면3

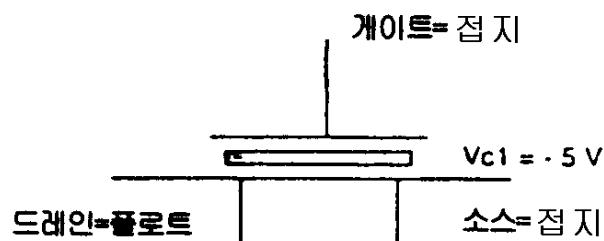


도면4a

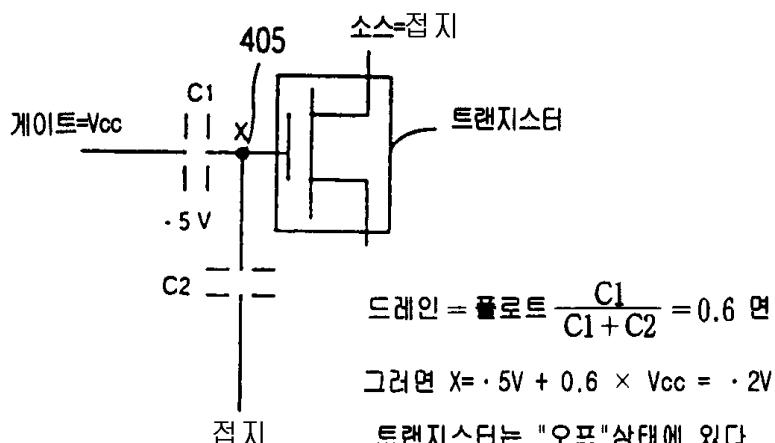


소스에서 커패시터로의 전자흐름

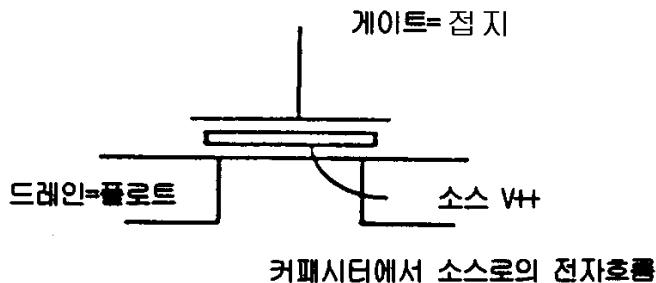
도면4b



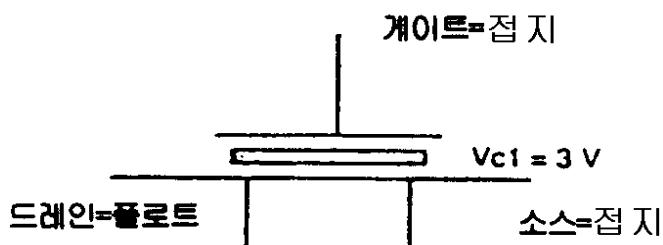
도면4c



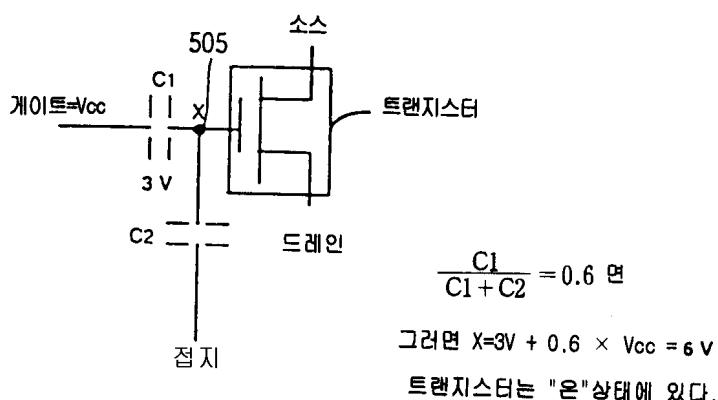
도면5a



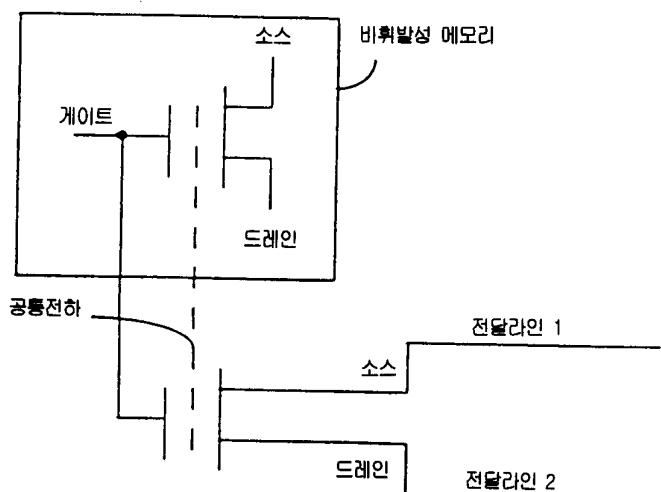
도면5b



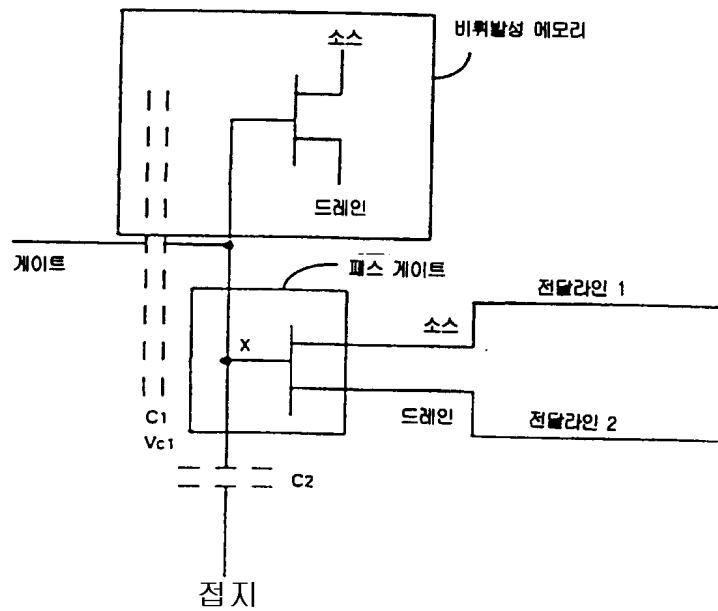
도면5c



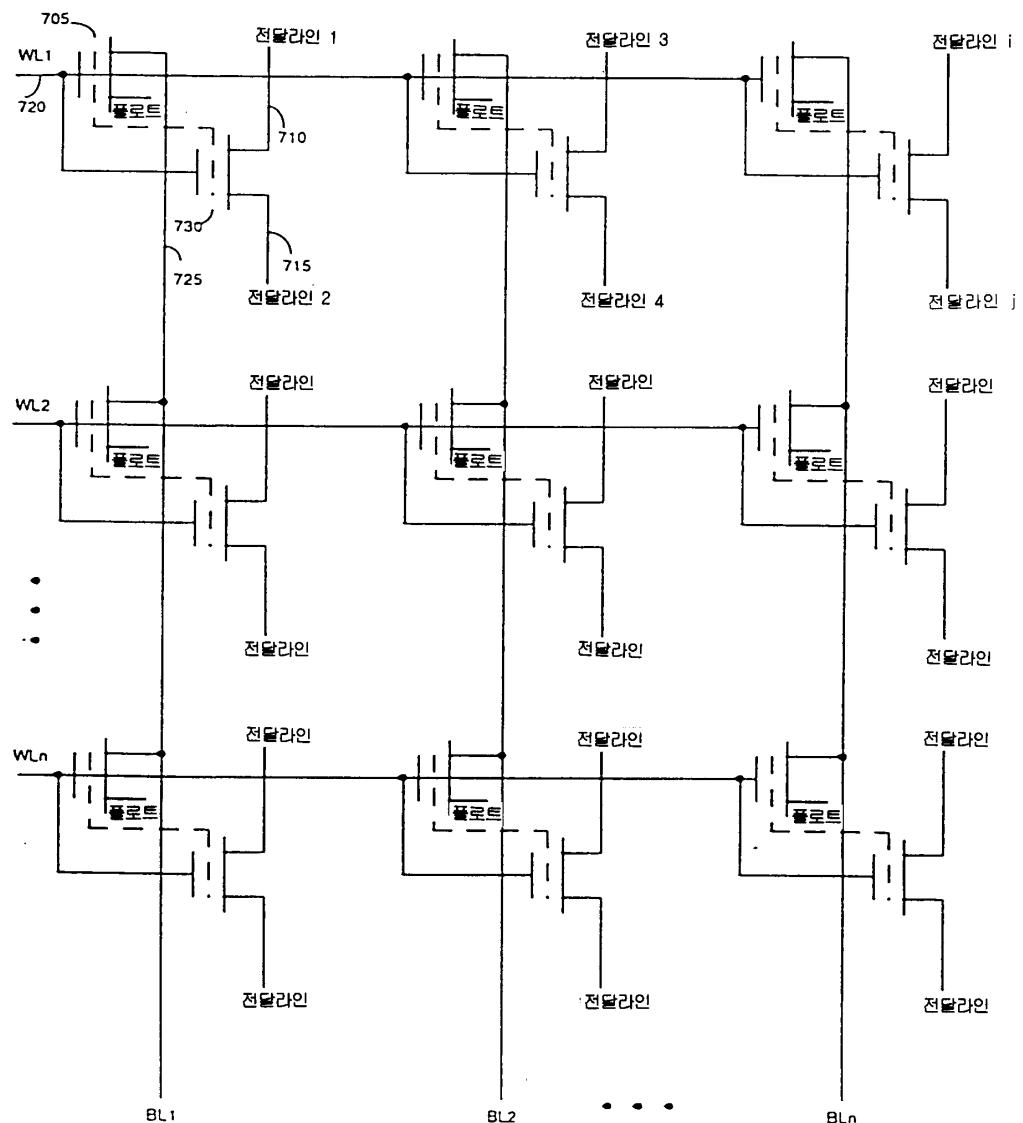
도면6a



도면6b



도면7



도면8

	워드라인(WL)	비트라인(BL)
소거모드("0"상태) 행 와이드소거		
선택라인(s) 비선택라인(s)	Vpp 접 지	접 지 접 지
프로그램모드("1"상태) 비트 와이드 프로그램		
선택워드라인 선택비트라인 비선택워드라인(s) 비선택비트라인(s)	접 지 — Vcc —	— Vpp — 접 지
자동		
비선택 라인	Vcc	..

*: 다른 디바이스에서 우연한 프로그래밍을 방지하기에
충분히 높은 전압레벨로 올려라.

**: 무조건 Vcc 또는 플로트가 될수있다.