

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5785496号
(P5785496)

(45) 発行日 平成27年9月30日(2015.9.30)

(24) 登録日 平成27年7月31日(2015.7.31)

(51) Int.Cl.		F I		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	3 O 1 S	
HO 1 L 29/78	(2006.01)	HO 1 L 21/20		
HO 1 L 21/20	(2006.01)	HO 1 L 27/08	1 O 2 B	
HO 1 L 21/8234	(2006.01)	HO 1 L 27/08	3 2 1 E	
HO 1 L 27/088	(2006.01)			

請求項の数 9 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2011-531097 (P2011-531097)
(86) (22) 出願日	平成21年10月5日(2009.10.5)
(65) 公表番号	特表2012-505547 (P2012-505547A)
(43) 公表日	平成24年3月1日(2012.3.1)
(86) 国際出願番号	PCT/US2009/059560
(87) 国際公開番号	W02010/051133
(87) 国際公開日	平成22年5月6日(2010.5.6)
審査請求日	平成24年10月5日(2012.10.5)
(31) 優先権主張番号	12/249,570
(32) 優先日	平成20年10月10日(2008.10.10)
(33) 優先権主張国	米国 (US)

(73) 特許権者	591016172
	アドバンスト・マイクロ・デバイス・インコーポレイテッド
	ADVANCED MICRO DEVICES INCORPORATED
	アメリカ合衆国、94088-3453
	カリフォルニア州、サニibel、ピィ・オウ・ボックス・3453、ワン・エイ・エム・ディ・プレイス、メール・ストップ・68 (番地なし)
(74) 代理人	100108833
	弁理士 早川 裕司
(74) 代理人	100111615
	弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】 ファセットされたシリサイドコンタクトを有する半導体デバイス及び関連する製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体デバイス(300)を製造する方法であって、
半導体材質(102)の層を有する基板(100)を提供することと、
半導体材質(102)の前記層を覆うゲート構造(112, 128)を作製することと

、
前記ゲート構造(112, 128)に隣接する半導体材質(102)の前記層内に凹部(202)を形成して、前記半導体材質(102)の{110}面に一致する露出させられた凹部表面(204)をもたらし、前記半導体材質(102)の一部を異方性エッチングすることと、

摂氏500~580度の範囲内の成長温度の下で前記凹部(202)内のフィラー半導体材質(302)をエピタキシャル成長させることによって、前記凹部(202)を少なくとも部分的に充填して、前記凹部(202)内にファセット形状半導体領域(304)を形成することとを備え、

前記ファセット形状半導体領域(304)は、2つの{111}面の交差において、前記基板(100)に対して下を向き、前記露出させられた凹部表面(204)を向いているファセット領域(306)を備えている、方法。

【請求項2】

前記凹部(202)を少なくとも部分的に充填することは、前記凹部内にその場でドーブされる半導体材質(302)をエピタキシャル成長させることを備えている請求項1の

方法。

【請求項 3】

前記凹部(202)を少なくとも部分的に充填した後に前記ファセット形状半導体領域(304)上にシリサイドコンタクト区域(308)を形成することを更に備えた請求項1の方法。

【請求項 4】

前記凹部(202)を少なくとも部分的に充填することは、応力誘起半導体材質(302)で前記凹部(202)を少なくとも部分的に充填することを備えている請求項1の方法。

【請求項 5】

半導体デバイス(200)であって、
半導体材質(102)の層と、
半導体材質(102)の前記層を覆うゲート構造(112, 128)と、
半導体材質(102)の前記層内のチャネル領域(218)であって前記ゲート構造(112, 128)の下層となるチャネル領域(218)と、
半導体材質(102)の前記層内のソース及びドレイン領域(216)であって、前記チャネル領域(218)がそれらの間に配置され、ファセット形状半導体領域(206, 306)を備えたソース及びドレイン領域(216)と、

前記ソース及びドレイン領域(216)を覆うファセット形状シリサイドコンタクト区域(210, 308, 406)と、

前記ゲート構造(112, 128)に隣接する前記半導体材質(102)の前記層に形成された凹部(202)であって、前記半導体材質(102)の{110}面に一致する凹部表面(204)を有する凹部(202)内に配置されたファセット形状半導体領域(206, 306)であって、表面に前記ファセット形状シリサイドコンタクト区域(210, 308)が形成されているファセット形状半導体領域(206, 306)と、を備え、

前記半導体デバイス(200)はPMOSトランジスタデバイスであって、
前記半導体材質(102)の前記層はシリコンゲルマニウムであって、
前記ファセット形状半導体領域は前記シリコンゲルマニウムの2つの{111}面の交差によって部分的に画定されており、

前記ファセット形状半導体領域(206, 306)が、2つの{111}面の交差において、前記基板(100)に対して下を向き、前記凹部表面(204)を向いている下向きファセット領域(306)か、2つの{111}面の交差に頂を有し、前記基板(100)に対して上を向き、前記凹部表面(204)の逆を向いている上向きファセット領域(206)のいずれかを備えている、半導体デバイス(200, 300, 400)。

【請求項 6】

半導体デバイス(200)を製造する方法であって、
半導体材質(102)の層を有する基板(100)を提供することと、
前記半導体材質(102)の前記層を覆うゲート構造(112, 128)を作製することと、

前記ゲート構造(112, 128)に隣接する半導体材質(102)の前記層内に凹部(202)を形成して、前記半導体材質(102)の{110}面に一致する露出させられた凹部表面(204)をもたらし、前記半導体材質(102)の一部を異方性エッチングすることと、

摂氏600~650度の範囲内の成長温度の下で前記凹部(202)内のフィラー半導体材質(205)をエピタキシャル成長させることによって、前記凹部(202)を少なくとも部分的に充填して、前記凹部(202)内にファセット形状半導体領域(206)を形成することとを備え、

前記ファセット形状半導体領域(206)は、2つの{111}面の交差に頂を有し、前記基板(100)に対して上を向き、前記露出させられた凹部表面(204)の逆を向

10

20

30

40

50

いている上向きファセット領域(208)を備えている、方法。

【請求項7】

前記凹部(202)を少なくとも部分的に充填することは、前記凹部内にその場でドーピングされる半導体材質(302)をエピタキシャル成長させることを備えている請求項6の方法。

【請求項8】

前記凹部(202)を少なくとも部分的に充填した後に前記ファセット形状半導体領域(206)上にシリサイドコンタクト区域(210, 308)を形成することを更に備えた請求項6の方法。

【請求項9】

前記凹部(202)を少なくとも部分的に充填することは、応力誘起半導体材質(205)で前記凹部(202)を少なくとも部分的に充填することを備えている請求項6の方法。

【発明の詳細な説明】

【技術分野】

【0001】

ここに開示される主題の実施形態は概して半導体デバイスに関連している。更に特定のには、主題の実施形態は、増大されたシリサイド対シリコン接合面積を呈するシリサイドのソース及びドレインコンタクト領域の使用に関連している。

【背景技術】

【0002】

今日の集積回路(IC)の大部分は、金属酸化物半導体電界効果トランジスタ(MOSFET又はMOSトランジスタ)として実現され得る多数の相互接続された電界効果トランジスタ(FET)を用いて実装される。MOSトランジスタはp型デバイス(即ちPMOSトランジスタ)又はn型デバイス(即ちNMOSトランジスタ)として実現され得る。また、半導体デバイスはPMOS及びNMOSトランジスタの両方を含むことができ、そしてそのようなデバイスは一般的には相補型MOS又はCMOSデバイスと称される。MOSトランジスタは、半導体基板の上に形成される制御電極としてのゲート電極と、半導体基板内に形成されそれらの間に電流が流れることのできる相隔たるソース及びドレイン領域とを含む。ソース及びドレイン領域は典型的には、ソース及びドレイン領域上に形成されるそれぞれの伝導性コンタクトを介してアクセスされる。ゲート電極、ソースコンタクト、及びドレインコンタクトに印加されるバイアス電圧が、ソース及びドレイン領域の間のゲート電極の直下の半導体基板内のチャネルを通る電流の流れを制御する。絶縁層内に形成される伝導性金属相互接続(プラグ)がゲートコンタクト、ソースコンタクト、及びドレインコンタクトにバイアス電圧を供給するために典型的に用いられる。

【0003】

より高いチップ密度への要望は、より小さな寸法でのデバイス製造が可能な製造プロセスの開発を促進してきた。デバイスがより小さくなるのに伴い、隣接しているトランジスタのゲート積層物の間のピッチ(例えばCMOS実装に対して)もまたより小さくなる。同様に、隣接しているゲート積層物の間のシリサイドコンタクト領域のために利用可能な区域は、比例的に縮小する。この利用可能な区域はまた、シリサイドコンタクトウインドウ又はシリサイドウインドウとも称される。シリサイドコンタクトウインドウが縮小するにつれて、シリサイド対シリコン接合面積の減少に起因して、対応する接触抵抗は増加する。高い接触抵抗は望ましくなく、また最新のプロセスノード技術、例えば65nm、45nm、32nm、及び他の微小スケールテクノロジーにとって大きな問題であり得る。

【0004】

90nm技術のためのシリサイドコンタクトウインドウは約180nmであり、65nm技術のためのシリサイドコンタクトウインドウは約140nmであり、45nm技術のためのシリサイドコンタクトウインドウは約90nmであり、そして32nm技術のためのシリサイドコンタクトウインドウは約60nmである。90nm技術から32nm技術

10

20

30

40

50

へ向かって進む場合、スペーサ（ゲート積層物の側壁上に形成される）のサイズは、許容可能なシリサイドコンタクトウインドウを維持するために、幾分かは減少させられ得る。しかし、32 nm技術のようなより小さいスケール技術を用いる場合、最小スペーササイズが制限され得る。このような状況においては、シリサイドコンタクトウインドウのサイズを保つことができないので、不所望に高い接触抵抗がもたらされる。例えば、90 nm技術を用いて製造される典型的なNMOSトランジスタに対する外部抵抗（接触抵抗によって影響される）は比較的低いもの（約270オーム・ μm ）であり得る一方で、32 nm技術を用いて製造される典型的なNMOSトランジスタに対する外部抵抗は、比較的高くなるであろう（約430オーム・ μm ）。より高い外部抵抗は、デバイス性能を著しく低下させ得る。

10

【発明の概要】**【発明が解決しようとする課題】****【0005】**

ここに説明される手法及び技術は、シリサイド接触抵抗及び、従ってトランジスタの外部抵抗を減少させるために利用することができる。接触抵抗の減少は、微小スケールのプロセスノード技術、例えば32 nm技術に対して特に重要であり得る。

【課題を解決するための手段】**【0006】**

上述の及び他の側面は、半導体デバイスを製造する方法の実施形態によって実施することができる。方法は、限定はしないが、半導体材質の層を有する基板を提供することと、半導体材質の層を覆うゲート構造を作製することと、ゲート構造に隣接する半導体材質の層内に凹部を形成することと、凹部を少なくとも部分的にフィラー半導体材質で充填して凹部内にファセット形状半導体領域を形成することを含む。

20

【0007】

半導体デバイスを製造する他の方法もまた提供される。この方法は半導体材質の層を有する基板を提供することによって開始する。方法は、半導体材質の層を覆うゲート構造を作製することと、ゲート構造に隣接する半導体材質の層内にファセット形状凹部を形成することと、ファセット形状凹部の露出させられた表面上にシリサイドコンタクト区域を形成することによって継続する。

【0008】

上述の及び他の側面は、半導体材質の層と、半導体材質の層を覆うゲート構造と、半導体材質の層内のチャネル領域であってゲート構造の下層となるチャネル領域と、半導体材質の層内のソース及びドレイン領域であってチャネル領域がそれらの間に配置されるソース及びドレイン領域とを含む半導体デバイスの実施形態において見出される。半導体デバイスはまた、ソース及びドレイン領域を覆うファセット形状シリサイドコンタクト区域を含む。

30

【0009】

この概要は、詳細な説明において以下に更に説明される単純化された形態にある複数の概念の選択を紹介するために提供されている。この概要は、特許請求の範囲に記載された主題の鍵となる特徴又は本質的な特徴を特定することを意図されておらず、また特許請求の範囲に記載された主題の範囲を決定する上での支援として用いられることも意図されていない。

40

【図面の簡単な説明】**【0010】**

本主題の更に完全な理解は、詳細な説明及び特許請求の範囲を以下の図面と併せて考慮して参照することによってもたらされるであろうし、図面において同様の参照番号は全図を通して同様の要素を参照する。

【0011】

【図1】 図1は半導体デバイスのゲート構造の形成を示す断面図（その1）である。

【図2】 図2は半導体デバイスのゲート構造の形成を示す断面図（その2）である。

50

【図 3】図 3 は半導体デバイスのゲート構造の形成を示す断面図（その 3）である。

【図 4】図 4 は半導体デバイスのゲート構造の形成を示す断面図（その 4）である。

【0012】

【図 5】図 5 は 3 つの隣接するゲート構造を有する半導体デバイス構造の断面図である。

【0013】

【図 6】図 6 は第 1 の実施形態に従う半導体デバイスの製造を示す断面図（その 1）である。

【図 7】図 7 は第 1 の実施形態に従う半導体デバイスの製造を示す断面図（その 2）である。

【図 8】図 8 は第 1 の実施形態に従う半導体デバイスの製造を示す断面図（その 3）である。

10

【図 9】図 9 は第 1 の実施形態に従う半導体デバイスの製造を示す断面図（その 4）である。

【図 10】図 10 は第 1 の実施形態に従う半導体デバイスの製造を示す断面図（その 5）である。

【図 11】図 11 は第 1 の実施形態に従う半導体デバイスの製造を示す断面図（その 6）である。

【0014】

【図 12】図 12 は第 2 の実施形態に従う半導体デバイスの製造を示す断面図（その 1）である。

20

【図 13】図 13 は第 2 の実施形態に従う半導体デバイスの製造を示す断面図（その 2）である。

【図 14】図 14 は第 2 の実施形態に従う半導体デバイスの製造を示す断面図（その 3）である。

【0015】

【図 15】図 15 は第 3 の実施形態に従う半導体デバイスの製造を示す断面図（その 1）である。

【図 16】図 16 は第 3 の実施形態に従う半導体デバイスの製造を示す断面図（その 2）である。

【発明を実施するための形態】

30

【0016】

以下の詳細な説明は本来的に単に例示的なものであり、本主題の実施形態又はそのような実施形態の応用及び使用を限定することは意図されていない。ここで用いられている「例示的」という語は、「例、実例、又は例証としての役目をする」を意味する。例示的なものとしてここに説明されるいかなる実施又は実装も、他の実施又は実装よりも望ましい又は有利であるものと解釈される必要はない。また、前述した技術分野、背景技術、簡単な概要又は以下の詳細な説明によって示されるいかなる表現され又は暗示される理論によっても制約されることは意図されていない。

【0017】

簡潔さを目的として、半導体デバイス製造に関連する従来技術は、ここでは詳細に説明されないことがある。また、ここに説明される種々のタスク及びプロセスステップは、ここでは詳細に説明されていない付加的なステップ又は機能性を有する更に包括的な手順又はプロセス内に組み込まれてよい。特に、半導体ベースのトランジスタの製造における種々のステップはよく知られているので、簡潔にするために、多くの従来ステップは、よく知られているプロセス詳細を提供することなしに、ここでは簡単に述べるにとどめ、あるいは完全に省略する。

40

【0018】

ここに説明される技術は、NMOSトランジスタデバイス、PMOSトランジスタデバイス、及びCMOSトランジスタデバイスを含むMOSトランジスタデバイスを製造するために利用することができる。「MOSデバイス」の用語は、金属ゲート電極及び酸化物

50

ゲート絶縁体を有するデバイスを適切に参照するが、全体を通して当該用語は、半導体基板上のゲート絶縁体（酸化物であるか他の絶縁体であるかにかかわらず）上に位置する導体ゲート電極（金属であるか他の伝導性材質であるかにかかわらず）を含むいかなる半導体デバイスをも参照するものとして用いられる。

【0019】

ここに説明される製造プロセスは、従来のプロセスと比較して増大されたシリサイドコンタクトサイズ及び低い接触抵抗をもたらす。実際には、ここに説明される製造プロセスは、同一のゲートピッチ及び同一のスペースサイズに対してシリサイドコンタクトのサイズを40パーセントまで増大させることができる（従来のプロセスと比較して）。従って、以下に説明される新しい手法は、シリサイド接触抵抗及び、従って半導体トランジスタ

10

【0020】

図1～4は半導体デバイスのゲート構造の形成を示す断面図である。製造プロセスは、半導体材質102の層を有する基板100を提供又は形成することによって開始されてよい。任意の適切な半導体材質を採用することができるが、この実施形態に対しては、半導体材質102はシリコン材質であり、この場合、「シリコン材質」の用語は、半導体産業において典型的に使用される一般的に単結晶性であって且つ比較的純粋なシリコン材質の他に、ゲルマニウム、炭素等のような他の元素が添加されたシリコンをも包含するものとして、ここでは用いられる。代替的には、半導体材質102はゲルマニウム、ガリウム

20

【0021】

図1は半導体材質102上のゲート絶縁体層104、ゲート絶縁体層104上のゲート電極材質106の層、ゲート電極材質106の層上のパッド酸化物層108、及びパッド酸化物層108上のパッド窒化物層110の形成の後の基板100を示している。結果として得られる構造は、半導体材質102を覆うゲート絶縁体層104、ゲート絶縁体層104を覆うゲート電極材質106、ゲート電極材質106を覆うパッド酸化物層108、及びパッド酸化物層108を覆うパッド窒化物層110を含む。

30

【0022】

ゲート絶縁体層104は典型的には酸化物材質、例えばシリコン酸化物から形成される。ゲート絶縁体層104は、熱的に成長させられた二酸化シリコンの層、又はシリコン酸化物、シリコン窒化物、高kゲート誘電体、例えば HfO_2 、 HfSiO_2 、 HfSiON のような堆積させられた絶縁体の層等から形成され得る。ゲート絶縁体層104は望ましくは約1～10nmの厚みを有しているが、実際の厚みは、実装されつつある回路内でのトランジスタの応用に基いて決定することができる。堆積させられた絶縁体は、例えば化学的気相堆積(CVD)、低圧化学的気相堆積(LPCVD)、プラズマ強化化学的気相堆積(PECVD)、又は原子層堆積(ALD)によって堆積させられたものであってよい。

40

【0023】

ゲート電極材質106は、限定はしないが、金属材質、多結晶シリコン材質、高誘電定数金属材質等であってよい。特定の実施形態によると、ゲート電極材質106は、非ドーブの多結晶シリコンとして堆積させられ、そして次いでイオン注入によって不純物ドーブ

50

される。一例としては、多結晶シリコンは、シランの水素還元によるLPCVDによって堆積させることができる。その後、図1に示される構造に到達するために、追加的なプロセスステップを用いることができる。例えば、ゲート電極材質106上にパッド酸化物層108が望ましい厚みまで成長させられ、そして適切な化学的気相堆積(CVD)技術を用いてパッド窒化物層110がパッド酸化物層108を覆うように堆積させられる。

【0024】

図1に示される基板100は次いでフォトリソグラフィ的にパターニングされ、そして基礎となるパッド窒化物層110、パッド酸化物層108、ゲート電極材質106、及びゲート絶縁体層104がエッチングされて半導体材質102上にゲート積層物112を形成する(図2)。ゲート積層物112は、ゲート絶縁体層104から形成されるゲート絶縁体114、ゲート電極材質106から形成されるゲート電極116、及びパッド窒化物層110から形成される窒化物キャップ118を含む。ゲート積層物112はまた、ゲート電極116と窒化物キャップ118の間のパッド酸化物120を含む。多結晶シリコンは、例えば塩素又はHBr/O₂薬品を用いる反応性イオンエッチング(RIE)によって所望のパターンでエッチングすることができ、またハードマスク及びゲート絶縁材質は、例えばCHF₃、CF₄、又はSF₆薬品でのRIEによってエッチングすることができる。

【0025】

図2に示されるプロセスにおけるステップの後に他の製造ステップ又はサブプロセスが実行されてよいが、この例は、ゲート積層物112の側壁に隣接するスペーサ122を形成することによって継続する(図3)。スペーサ122は典型的には、ゲート積層物112及び、半導体材質102の露出させられた表面を覆うように誘電体材質の層を共形的に(conformally)堆積させることによって形成される。誘電体材質はシリコン酸化物及び/又はシリコン窒化物のような適切な絶縁体であり、望ましくはシリコン窒化物である。誘電体材質は、例えば原子層堆積(ALD)、CVD、LPCVD、準大気圧(semi-atmospheric)化学的気相堆積(SACVD)、又はPECVDによる既知の方法で堆積させることができる。誘電体材質は、異方性エッチングの後にスペーサ122が後続のプロセスステップに対する適切な厚みを有して形成されるような厚みまで堆積させられる。典型的な実装においては、誘電体材質の層は、約5~50nmの厚みまで堆積させられる。例示的な実施形態によると、プロセスは誘電体材質の層の異方性エッチングへと続き、図3に示されるようにスペーサ122が形成される。誘電体材質の層は、適切なエッチング薬品を用いる例えばRIEによってエッチングすることができる。図示されるように、結果としてのスペーサ122は、それらがゲート積層物112の側壁に隣接するように形成される。

【0026】

図3に示されるプロセスにおけるステップの後に他の製造ステップ又はサブプロセスが実行されてよいが、この例は、スペーサ122の側壁に隣接する使い捨てスペーサ124を形成することによって継続する(図4)。単独では図示しないが、絶縁体材質(望ましくはスペーサ122を形成するのに用いられるのと同じ材質)の層が半導体材質102の露出させられた表面上に堆積させられ、この絶縁体材質は使い捨てスペーサ124の形成のためのエッチング停止物として機能する。絶縁体材質のこの層が形成された後、ゲート積層物112、スペーサ122、及び絶縁体材質の層を覆うように適切なスペーサ材質が共形的に堆積させられる。このスペーサ材質は望ましくはシリコン酸化物及び/又はシリコン窒化物のような絶縁体材質である(典型的には、シリコン窒化物が多結晶シリコンゲート電極と共に用いられ、そしてシリコン酸化物が高k金属ゲート電極と共に用いられる)。スペーサ材質は、例えばALD、CVD、LPCVD、SACVD、又はPECVDによる既知の方法で堆積させることができる。スペーサ材質は、異方性エッチングの後に使い捨てスペーサ124が後続のプロセスステップに対する適切な厚みを有して形成されるような厚みまで堆積させられる。典型的な実装においては、スペーサ材質は、約5~50nmの厚みまで堆積させられる。例示的な実施形態によると、プロセスはスペーサ材質

10

20

30

40

50

の層の異方性エッチングへと続き、図4に示されるように下層の絶縁体層が形成される。このステップは、適切なエッチング薬品を用いる例えばRIEを含んでいてよい。図示されるように、結果としての使い捨てスペーサ124は、残留している絶縁体材質126上に形成される。より詳細に以下で説明されるように、使い捨てスペーサ124の側壁は、特定の自己位置合わせ特徴(self-aligned features)、例えば半導体材質102内の凹部(recesses)の境界を規定するために利用することができる。

【0027】

ゲート積層物112、スペーサ122、使い捨てスペーサ124、及び絶縁体材質126の組み合わせは、図4において特定されるように、ここではゲート構造128と称されることがある。尚、図1~4は1つのゲート構造128のみの作製を示している。しかし、実用上は、半導体デバイスは、並んで互いに隣り合う複数のゲート構造128を含んでいてよい。例えば図5は上述したプロセスステップに従って形成される少なくとも3つのゲート構造128を含む1つの実施形態を示している。図5における矢印130は、隣接するゲート構造128の間のシリサイドコンタクトウインドウを表している。前述したように、シリサイドコンタクトウインドウのサイズは、微小なスケールプロセスノード技術に伴い縮小し、従って、潜在的なシリサイド対シリコンの接触面積を減少させると同時に、デバイスの接触抵抗を増大させる。

【0028】

図6~11は第1の実施形態に従う半導体デバイス200の製造を示す断面図である。以下の説明は、図5に示されるデバイス構造が既に形成されそして設けられていることを前提としている。この点において、図5に示されるデバイス構造の形成の後に他の製造ステップ又はサブプロセスが実行されてよいが、この例はエッチングステップへと続き、エッチングステップは望ましくは異方性エッチング技術を採用している。この実施形態によると、ゲート構造128に隣接する半導体材質102内に凹部202を形成するために、ゲート構造128がハードエッチングマスクとして用いられる(図6)。凹部202は、塩素又はHBr/O₂薬品のような任意の適切なエッチャント又は薬品を用いて異方的にエッチングすることができる。このエッチングステップは、所与のデバイス構造のための望ましい深さを有する凹部202を形成するように制御される。尚、凹部202は使い捨てスペーサ124によって自己位置合わせされる。ここで用いられるように、自己位置合わせ(self-aligned)は、凹部202の内に向いている側が生来的に、それらが使い捨てスペーサ124の外に向いている側によって位置合わせされるように形成されるという意味で理解されるべきである。この自己位置合わせ特性は図6において明らかであり、図6においては、使い捨てスペーサ124の垂直側壁があたかも下に向かって続いて凹部202の対応する内に向く側壁を形成しているように見える。

【0029】

この特定の実施形態はPMOSトランジスタデバイスの製造に対応している。また、この実施形態に対しては、半導体材質102は、露出させられた凹部表面204が半導体材質102の{110}面に一致するような結晶方位を有している。

【0030】

凹部202の形成の後に他の製造ステップ又はサブプロセスが実行されてよいが、この例は、フィラー(filler)半導体材質205で凹部202を少なくとも部分的に充填して凹部202内にファセット形状(facet-shaped)半導体領域206を形成することによって継続する(図7及び図8)。このステップの間、フィラー半導体材質205は、非ドーブの半導体材質又はその場でドーブされた(in situ doped)半導体材質であってよい。ここで用いられるような「その場でドーブされた」は、ホスト(host)材質が成長させられるにつれて適切なドーパントが当該ホスト材質内へ導入されることを意味する。その場でドーブされた材質は、その材質が、ドーピングを目的とした後続のイオン注入にさらされる必要がないようにここで利用され得る。この実施形態においては、フィラー半導体材質205は、凹部202内に材質を選択的にエピタキシャル成長させることによって形成される応力誘起半導体材質である。ここで説明されるようなPMOSトランジスタ注入に対して

10

20

30

40

50

は、フィラー半導体材質 205 は典型的にはシリコンゲルマニウム（ホウ素をその場でドーピングされてよい）である。一方、NMOS トランジスタ注入に対しては、フィラー半導体材質 205 は典型的にはシリコン炭素（リンをその場でドーピングされてよい）である。

【0031】

図7はファセット形状半導体領域206の形成の間におけるフィラー半導体材質205を示しており、そして図8はファセット形状半導体領域206の形成完了の後のフィラー半導体材質205を示している。尚、フィラー半導体材質205をエピタキシャル成長させるステップは、ファセット形状半導体領域206の形成（従来技術の製造プロセスを用いて従来的に形成されるような平坦領域であるよりもむしろ）を促進する特定の成長条件の下で実行される。図8を参照すると、この実施形態に対しては、各ファセット形状半導体領域206は、基板に対して上を向くファセット領域208を含む。つまり、各ファセット領域208は、その2つの隣接するゲート構造128の間に画定される区域を向いており、この向いている方向はそれぞれの凹部表面204とは反対である。これらの上を向いているファセット領域208は、フィラー半導体材質205の{110}面に対する比較的高い成長速度及びフィラー半導体材質205の{111}面に対する比較的低い成長速度を促進する成長条件に起因している。前述したように、フィラー半導体材質205の{110}面は、図8の視点から見た場合、水平面（凹部表面204によって定義される面と同様）に一致している。フィラー半導体材質205の{111}面は、{110}面に対して約45度の角度で形成される。約45度のプロファイルは図8の断面図において明らかであり、各ファセット領域208の頂は2つの{111}面の交差を表している。

10

20

【0032】

ファセット形状半導体領域206が形成される成長条件は、所望の成長特性を生じさせるように適切な状態で制御される。これらの成長条件は、限定はしないが、成長温度（ファセット形状を決定する主要な臨界的成長パラメータである）を含んでいてよい。例えば、上を向いているファセット領域208は、フィラー半導体材質205を相対的に高い成長温度（従来のエピタキシャル成長技術と比較して）でエピタキシャル成長させることによって得ることができる。特定の実施形態においては、フィラー半導体材質205は、摂氏約600～650度の範囲内の制御された成長温度で形成される。特に、これらの上を向いているファセット領域208の形成は、2つの{111}面がファセット領域208の頂で交わるときにフィラー半導体材質205が成長を停止する（又は成長速度が顕著に低下する）ことにおいて自己制御的(self-limiting)である。

30

【0033】

次いで他の製造ステップ又はサブプロセスが実行されてよいが、この例は、適切なウエットエッチングプロセスを用いて使い捨てスペーサ124及び窒化物キャップ118を除去することによって先へ進む。このウエットエッチング（典型的には、加熱リン酸を用い、加熱リン酸はシリコン窒化物のみを選択的にエッチングすると共に酸化物及びシリコンを実質的に損なうことなしに残す）は、図9に示される構造をもたらす。図示されるように、ゲート電極上の酸化物207がこの時点で露出させられる。その後、最終的なスペーサ209がシリコン酸化物及び/又はシリコン窒化物のような絶縁体材質、望ましくはシリコン窒化物から形成される。実用上は、最終的なスペーサ209は、既知の材質堆積、エッチング、及び場合によっては他のステップを用いて形成することができる。また、酸化物207が除去されて、図10に示される構造をもたらされる。酸化物207は、適切なシリサイド前洗浄(pre-clean)ウエットエッチング（例えば緩衝HF又は希釈HF）プロセスによって除去することができる。

40

【0034】

この時点で他の製造ステップ又はサブプロセスが実行されてよいが、この例は、ファセット形状半導体領域206上にシリサイドコンタクト区域210を形成することによって継続する（図11）。また、シリサイドコンタクト区域212が多結晶シリコンゲート電極上に形成されてよい。この点において、図11は幾つかの既知のプロセスステップが実

50

行された後の半導体デバイス200を示している。簡潔さのために、これらの中間ステップは詳細には説明しない。

【0035】

最終的なスペーサ209の形成の後、金属シリサイドコンタクト区域210/212を生成するために、適切なシリサイド化プロセスが実行される。例えば、シリサイド形成金属の層（図示せず）がファセット形状半導体領域206の表面上及びゲート電極の表面上に堆積させられる。シリサイド形成金属は、例えば約5～50nmの厚み、望ましくは約10nmの厚みまでスパッタリングすることによって堆積させることができる。デバイス構造は次いで、金属シリサイドコンタクト区域210/212を形成するために、例えば急速熱焼鈍によって加熱される。シリサイド形成金属は、例えばコバルト、ニッケル、レニウム、ルテニウム、若しくはパラジウム、又はこれらの合金であってよい。露出させられたシリコンに接触していないいかなるシリサイド形成金属も加熱の間に反応することはなく、従ってシリサイドを形成しない。この過剰な金属は、ウエットエッチング又は任意の適切な手順によって除去することができる。

10

【0036】

その後、PMOSトランジスタデバイスの製造を完了するために、任意の数の既知のプロセスステップが実行されてよい。そのような追加的なステップは、限定はしないが、イオン注入と、ゲート構造128及び半導体デバイス200の他の特徴を覆うように絶縁層を形成することと、その絶縁層を研磨することと、その絶縁層をパターニング及び選択的エッチングしてシリサイドコンタクト区域210/212の上方にビア（ホール）を画定することと、タングステンのような金属をビアホール内に堆積させることによって絶縁層内に伝導性プラグを形成することと、伝導性金属トレース/線を形成して伝導性プラグとの電気的な接触を確立すること（そのような伝導性金属トレース/線は典型的には半導体デバイス200の金属1（M1）層内に形成される）とを含む。

20

【0037】

半導体デバイス200の上記説明はPMOS実装に向けられているが、同様なデバイス構造はNMOS実装に対しても得ることができる。半導体デバイス200の製造の上記説明の大部分はNMOSデバイス構造にも適用される。しかし、NMOS実装に対しては、水平面（凹部表面204によって定義される面と同様）は、半導体材質102の{100}面に一致する。他の違いは、NMOS実装のためのフィラー半導体材質が典型的にはシリコン炭素（シリコンゲルマニウムであるよりはむしろ）になることである。特定の制御されたエピタキシャル成長条件下で、上を向いているファセット形状の半導体領域が形成され得る。そのような実施形態においては、ファセット形状の半導体領域の角度のある表面は、フィラー半導体材質の{111}面に一致する。

30

【0038】

図12～14は第2の実施形態に従う半導体デバイス300の製造を示す断面図である。この実施形態はPMOSトランジスタデバイスの製造に関連している。以下の説明は、図6に示されるようなデバイス構造が既に形成されそして設けられていることを前提としている。この点において、図6に示されるデバイス構造の形成の後に他の製造ステップ又はサブプロセスが実行されてよいが、この例は、フィラー半導体材質302で凹部202を少なくとも部分的に充填して凹部202内にファセット形状半導体領域304を形成することによって継続する（図12及び図13）。このステップの間、フィラー半導体材質302は、半導体デバイス200に対して上述したように、非ドーブの半導体材質又はその場でドーブされた半導体材質であってよい。この実施形態においては、フィラー半導体材質302は、凹部202内に例えばシリコンゲルマニウム又はシリコン炭素（NMOS実装に対して）のような材質を選択的にエピタキシャル成長させることによって形成される応力誘起半導体材質である。

40

【0039】

図12はファセット形状半導体領域304の形成の間におけるフィラー半導体材質302を示しており、そして図13はファセット形状半導体領域304の形成完了の後のフィ

50

ラー半導体材質 302 を示している。尚、フィラー半導体材質 302 をエピタキシャル成長させるステップは、下を向いているファセット形状半導体領域 304 の形成（従来技術の製造プロセスを用いて従来的に形成されるような平坦領域であるよりもむしろ）を促進する特定の成長条件の下で実行される。図 13 を参照すると、この実施形態に対しては、各ファセット形状半導体領域 304 は、基板に対して下を向くファセット領域 306 を含む。つまり、各ファセット領域 306 は、それぞれの凹部表面 204 の方へ向いている。これらの下を向いているファセット領域 306 は、フィラー半導体材質 302 の {111} 面に対する比較的の高い成長速度及びフィラー半導体材質 302 の {110} 面に対する比較的の低い成長速度を促進する成長条件に起因している。フィラー半導体材質 302 の {111} 面は、{110} 面に対して約 45 度の角度で形成される。約 45 度のプロファイルは図 13 の断面図において明らかであり、各ファセット領域 306 の点は 2 つの {111} 面の交差を表している。

10

【0040】

ファセット形状半導体領域 304 が形成される成長条件は、所望の成長特性を生じさせるように適切な状態で制御される。この場合、下を向いているファセット領域 306 は、フィラー半導体材質 302 を相対的に低い成長温度（従来のエピタキシャル成長技術と比較して）でエピタキシャル成長させることによって得ることができる。特定の実施形態においては、フィラー半導体材質 302 は、摂氏約 500 ~ 580 度の範囲内の制御された成長温度で形成される。特に、これらの下を向いているファセット領域 306 の形成は、2 つの {111} 面が交わって V 形状を形成するときにフィラー半導体材質 302 が成長を停止する（又は成長速度が顕著に低下する）ことにおいて自己制御的である。

20

【0041】

この時点で他の製造ステップ又はサブプロセスが実行されてよいが、この例は、ファセット形状半導体領域 304 上にシリサイドコンタクト区域 308 を形成することによって継続する（図 14）。また、シリサイドコンタクト区域 310 が多結晶シリコンゲート電極上に形成されてよい。この点において、図 14 はシリサイド化に関連するプロセスステップ（半導体デバイス 200 に対して前述したような）の完了の後の半導体デバイス 300 を示している。その後、PMOS トランジスタデバイスの製造を完了させるために幾つかの既知のプロセスステップが実行されてよい。幾つかのそのようなプロセスステップについては、半導体デバイス 200 の説明において既に言及した。

30

【0042】

実用上、上を向いているシリサイドコンタクト（図 11）は下を向いているシリサイドコンタクト（図 14）よりも望ましいであろう。このことは、上を向いているシリサイドコンタクトが、より低い接触抵抗及びチャネル領域に印加されるより高い応力の両方を提示するという事実に起因している。

【0043】

図 15 及び 16 は第 3 の実施形態に従う半導体デバイス 400 の製造を示す断面図である。この実施形態は PMOS トランジスタデバイス及び NMOS トランジスタデバイスに適用可能であり、ここでは半導体材質 102 はその {100} 面又はその {110} に方位付けられている。以下の説明は、図 5 に示されるようなデバイス構造が既に形成されそして設けられていることを前提としている。この点において、図 5 に示されるデバイス構造の形成の後に他の製造ステップ又はサブプロセスが実行されてよいが、この例はエッチングステップへと続き、エッチングステップは望ましくは異なる結晶面を異なる速度でアタックする適切なウェットエッチング薬品を採用している。この実施形態によると、ゲート構造 128 に隣接する半導体材質 102 内にファセット形状凹部 402 を形成するために、ゲート構造 128 がハードエッチングマスクとして用いられる（図 15）。

40

【0044】

ファセット形状凹部 402 は、半導体材質 102 の {111} 面を比較的低速でエッチングすると共に半導体材質 102 の {100} 面及び {110} 面を比較的的高速でエッチングする任意の適切なエッチャント又は薬品を用いることによってエッチングすることが

50

できる。特定の例示的な実施形態においては、ファセット形状凹部 402 は、水酸化カリウム (KOH) ベースのエッチャントで半導体材質 102 をエッチングすることによって形成される。代替的には (又は付加的には)、テトラメチルアンモニウムヒドロキシド (TMAH) ベースのエッチャントがこのステップのために用いられ得る。これらのエッチャントは、シリコンの {111} 表面を、{100} 面及び {110} 面を含む他の表面の面よりもはるかに低い速度でアタックする。この点に関して、KOH ベースのエッチャントは、殆どのシリコン表面の面を、シリコン表面の {111} 面のエッチング速度の約 100 倍までの速度でエッチングすることができる。同様に、TMAH ベースのエッチャントは、殆どのシリコン表面の面を、シリコン表面の {111} 面のエッチング速度の約 37 倍までの速度でエッチングすることができる。

10

【0045】

図 15 を再び参照すると、ファセット形状凹部 402 の露出させられた表面 404 は、{111} 面に一致している。従って、異なる平面的エッチング速度に起因して、エッチングステップの間、下を向いているファセット形状凹部 402 が形成される。結果としての露出させられた表面 404 は、図 15 の視点から見て水平面に対して約 45 度の角度をなしている。尚、KOH 及び TMAH ベースのエッチング溶液は、シリコン窒化物及びシリコン酸化物に対して選択的である。従って、ソース及びドレイン領域を形成するために利用される既存の NMOS 及び PMOS のプロセスステップに適合する状態で、ファセット形状凹部 402 を容易に形成することができる。

20

【0046】

この時点で他の製造ステップ又はサブプロセスが実行されてよいが、この例は、ファセット形状凹部 402 の露出させられた表面 404 上にシリサイドコンタクト区域 406 を形成することによって継続する (図 16)。また、シリサイドコンタクト区域 408 が多結晶シリコンゲート電極上に形成されてよい。この点において、図 16 はシリサイド化に関連するプロセスステップ (半導体デバイス 200 に対して前述したような) の完了の後の半導体デバイス 400 を示している。その後、半導体デバイス 400 の製造を完了させるために幾つかの既知のプロセスステップが実行されてよい。幾つかのそのようなプロセスステップについては、半導体デバイス 200 に関連して既に言及した。

【0047】

図 11 を再び参照すると、限定はしないが、完成した半導体デバイス 200 は概して、半導体材質 102 の層と、半導体材質 102 の層を覆うゲート構造 128 と、半導体材質の層内のソース及びドレイン領域 216 と、半導体材質 102 の層内のチャネル領域 218 とを含む。各チャネル領域 218 は該当するゲート構造 128 の下にあり、そして各チャネル領域 218 は、MOS トランジスタの製造、設計、及び動作に詳しい者に理解されるであろうように、該当するソース及びドレイン領域 216 の間に位置している。フィルア半導体材質 205 はソース及びドレイン領域 216 に対応してよく、そしてソース及びドレイン領域 216 を覆っているファセット形状シリサイドコンタクト区域 210 は、デバイスの動作の間に適切な電圧がソース及びドレイン領域 216 に印加されることを可能にする。上述したように、ファセット形状半導体領域 206 は、半導体材質 102 の {111} 面によって部分的に画定されている。

30

40

【0048】

図 14 及び図 16 を参照すると、完成した半導体デバイス 300 / 400 もまた、前の段落で説明したようなソース領域、ドレイン領域、及びチャネル領域を含むことになる。このように、ここに説明される種々の実施形態は、上又は下を向いてよいファセット形状のシリサイドコンタクトを利用する。また、ファセット形状のシリサイドコンタクトは、半導体材質 102 それ自身の上に形成されてよく、あるいは半導体材質 102 内に形成された凹部内に配置されるフィルア半導体材質上に形成されてよい。

【0049】

コンタクトウインドウ内で平坦に設計される従来のシリサイドコンタクトと比較して、約 45 度の角をなしているシリサイドコンタクトは、実効コンタクトサイズ (シリサイド

50

対シリコン接触面積)を約40パーセント高める。この一般的な特徴は、ここに説明される種々の実施形態で共通である。しかし、半導体デバイス400に対しては、特定のエッチングステップ及びエッチャント薬品に応じてファセット角度が変化するかもしれない。従って、実効コンタクトサイズの増加は40パーセントよりも大きいかあるいは小さいかもしれない。しかし、ここに説明されるいずれの実施形態においても、角度をなすシリサイドコンタクトは、微小なスケールノード技術、例えば32nm技術に対して望ましい。

【0050】

上述した詳細な説明においては少なくとも1つの例示的な実施形態が提示されたが、多くの変形が存在することが理解されるべきである。また、ここに説明される1つ以上の例示的な実施形態は、特許請求の範囲に記載された主題の範囲、適用可能性、又は構成を限定することを決して意図されていないことも理解されるべきである。むしろ、上述した詳細な説明は、1つ以上の説明された実施形態を実装するための有用な指針を当業者に提供するであろう。既知の均等なもの及びこの特許出願の出願時に予測され得る均等なものを含む、特許請求の範囲によって定義される範囲から逸脱することなしに、要素の機能及び配置において種々の変更がなされることが理解されるべきである。

10

【図1】

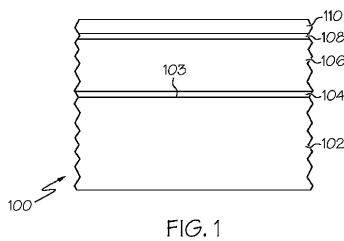


FIG. 1

【図4】

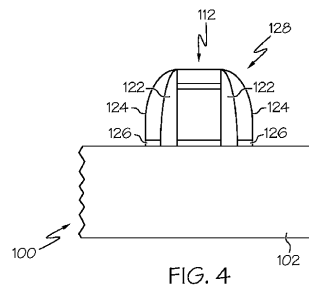


FIG. 4

【図2】

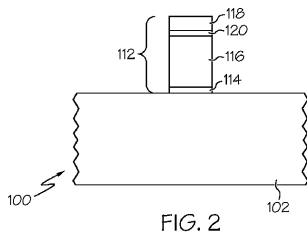


FIG. 2

【図3】

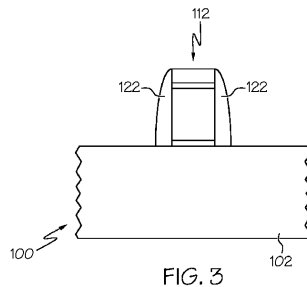


FIG. 3

【 図 5 】

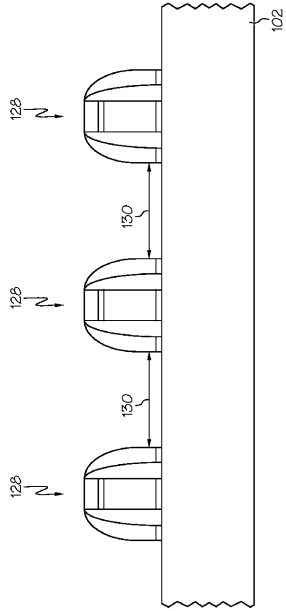


FIG. 5

【 図 6 】

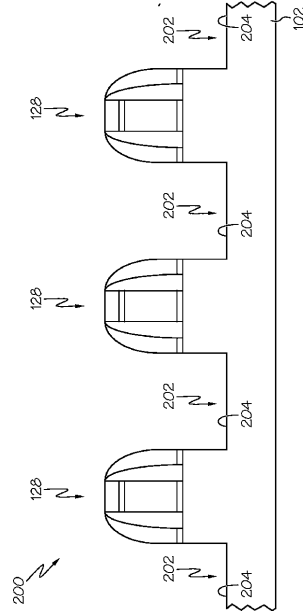


FIG. 6

【 図 7 】

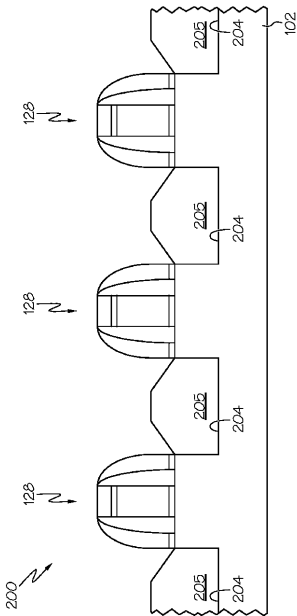


FIG. 7

【 図 8 】

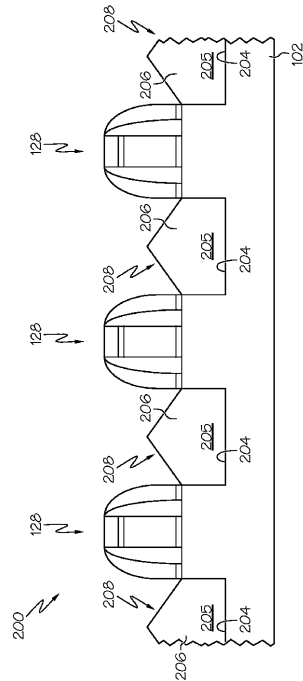


FIG. 8

【 図 9 】

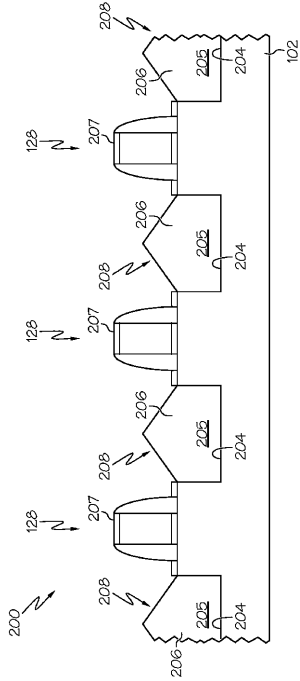


FIG. 9

【 図 10 】

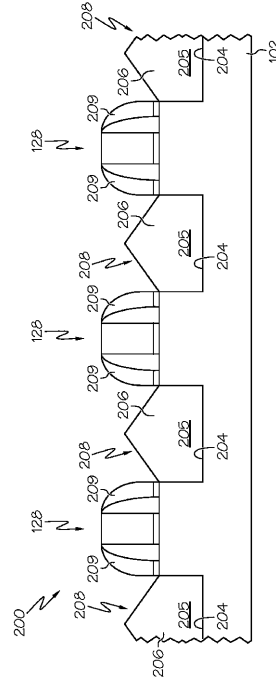


FIG. 10

【 図 11 】

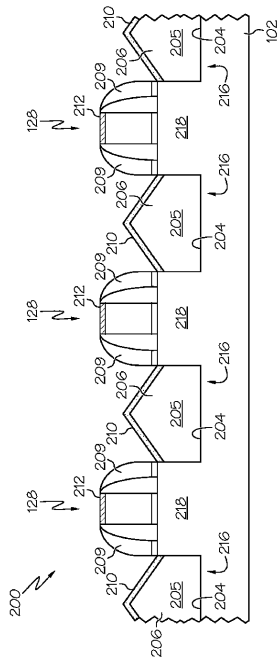


FIG. 11

【 図 12 】

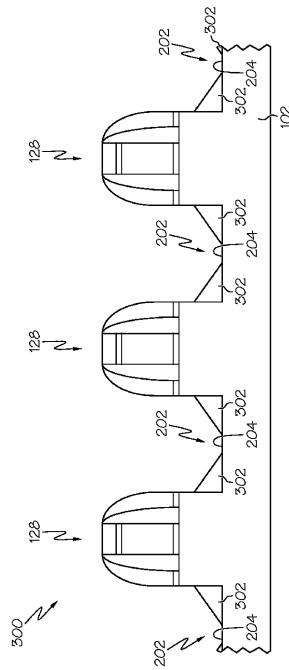


FIG. 12

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

(74)代理人 100162156

弁理士 村雨 圭介

(72)発明者 フランク ビン ヤン

アメリカ合衆国、ニュージャージー州 07430、マフア、ダイアブロ コート 424

(72)発明者 ロヒト パル

アメリカ合衆国、ニュー ヨーク州 12524、フィッシュキル、グリーンヒル ドライブ ナンバー18シー 5

(72)発明者 マイケル ハーグローブ

アメリカ合衆国、ニュー ヨーク州 12514、クリントンコーナース、フィールド ロード 98

審査官 岩本 勉

(56)参考文献 特開平08-340106(JP,A)

特開平07-183486(JP,A)

特開平05-283685(JP,A)

特開平08-167718(JP,A)

特開2006-013082(JP,A)

特開2006-186240(JP,A)

特開2007-165817(JP,A)

特表2009-542025(JP,A)

特開2006-024809(JP,A)

特開2008-010871(JP,A)

米国特許第05323053(US,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/336

H 0 1 L 29/78