

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 1 月 4 日 (04.01.2018)



(10) 国际公布号
WO 2018/000478 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01) **H01L 27/12** (2006.01)
H01L 21/77 (2006.01)

(21) 国际申请号: PCT/CN2016/090591

(22) 国际申请日: 2016 年 7 月 20 日 (20.07.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610513993.1 2016 年 7 月 1 日 (01.07.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 张卜芳 (ZHANG, Bufang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 李松杉 (LI, Songshan); 中国广

东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

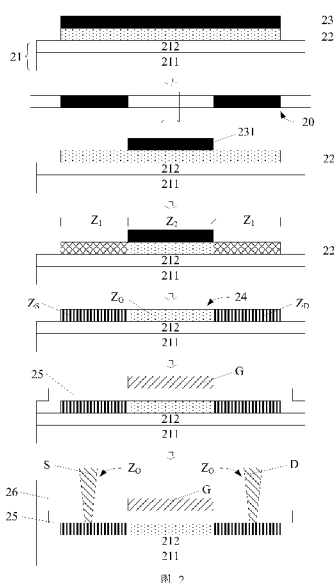
(74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: METHOD OF MANUFACTURING THIN FILM TRANSISTOR AND METHOD OF MANUFACTURING ARRAY PANEL

(54) 发明名称: 薄膜晶体管的制造方法及阵列基板的制造方法



(57) Abstract: A method of manufacturing a thin film transistor and a method of manufacturing an array panel. The method of manufacturing a thin film transistor comprises: employing a photoresist to define an area to be doped on a non-silicon layer (22) to produce crystals at a source contact area and a drain contact area. The crystals have a crystalline orientation aligning from the source contact area or the drain contact area towards a channel area. Therefore, the embodiment implements oriented crystallization, increasing a crystallization rate and crystalline uniformity, reducing an impact of a grain boundary on electron mobility and leakage currents, and enhancing electrical characteristics of a TFT.

(57) 摘要: 一种薄膜晶体管的制造方法及阵列基板的制造方法, 利用光阻限定非晶硅层 (22) 所要掺杂的区域, 使得结晶发生在源极接触区和漏极接触区, 结晶方向为从源极接触区和漏极接触区朝向沟道区, 从而尽量实现定向结晶, 提高结晶效率和结晶均一性, 减少晶界对 TFT 的电子迁移率和漏电流的影响, 改善 TFT 的电学特性。

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

薄膜晶体管的制造方法及阵列基板的制造方法

【技术领域】

本发明实施例涉及液晶显示技术领域，具体而言涉及一种薄膜晶体管的制造方法及阵列基板的制造方法。

【背景技术】

在当前的 TFT (Thin Film Transistor, 薄膜晶体管) 制造工艺中，离子植入机对沉积的非晶硅 (amorphous silicon, 简称 a-Si) 整面的进行掺杂处理，而后对掺杂有掺杂离子的非晶硅进行热退火 (Rapid Thermal Anneal, RTA) 结晶处理，从而得到 TFT 的有源层。这种结晶方法实质上是在植入掺杂离子后对非晶硅整面性的进行结晶，非晶硅颗粒的结晶方向是随机的，结晶效率和结晶均一性较低，容易出现较多的晶界，从而降低 TFT 的电子迁移率，影响 TFT 的电学特性。

【发明内容】

鉴于此，本发明提供一种薄膜晶体管的制造方法及阵列基板的制造方法，能够尽量定向结晶，提高结晶效率和结晶均一性，减少晶界对 TFT 的电子迁移率和漏电流的影响，改善 TFT 的电学特性。

本发明一实施例的薄膜晶体管的制造方法，包括：提供一基板；在基板上依次形成非晶硅层和光阻层，并利用光罩对光阻层进行图案化处理，以形成间隔设置的光阻图案；对未被光阻图案覆盖的非晶硅层进行掺杂处理，所述掺杂处理的掺杂离子包括硼离子；剥除光阻图案，并对非晶硅层进行热退火结晶处理，使得非晶硅层的经过掺杂处理的区域形成源极接触区和漏极接触区，被光阻图案覆盖的区域形成沟道区；在经过热退火结晶处理的非晶硅层上形成栅极绝缘层；在栅极绝缘层上形成栅极图案，且栅极图案位于源极接触区和漏极接触区之间且对应位于沟道区的上方。

其中，所述制造方法进一步包括：在栅极图案上形成层间介电层；在对应于源极接触区和漏极接触区的上方形成贯穿层间介电层和栅极绝缘层的接触孔；在层间介电层的对应于源极接触区和漏极接触区的上方分别形

成源极图案和漏极图案，使得源极图案和漏极图案可通过接触孔分别与源极接触区和漏极接触区电性连接。

本发明一实施例的薄膜晶体管的制造方法，包括：提供一基板；在基板上依次形成非晶硅层和光阻层，并利用光罩对光阻层进行图案化处理，以形成间隔设置的光阻图案；对未被光阻图案覆盖的非晶硅层进行掺杂处理；剥除光阻图案，并对非晶硅层进行热退火结晶处理，使得非晶硅层的经过掺杂处理的区域形成源极接触区和漏极接触区，被光阻图案覆盖的区域形成沟道区。

其中，所述制造方法还包括：在经过热退火结晶处理的非晶硅层上形成栅极绝缘层；在栅极绝缘层上形成栅极图案，且栅极图案位于源极接触区和漏极接触区之间且对应位于沟道区的上方。

其中，所述制造方法进一步包括：在栅极图案上形成层间介电层；在对应于源极接触区和漏极接触区的上方形成贯穿层间介电层和栅极绝缘层的接触孔；在层间介电层的对应于源极接触区和漏极接触区的上方分别形成源极图案和漏极图案，使得源极图案和漏极图案可通过接触孔分别与源极接触区和漏极接触区电性连接。

其中，所述在基板上依次形成非晶硅层和光阻层的步骤包括：在基板上依次形成栅极图案和栅极绝缘层；在栅极绝缘层上依次形成非晶硅层和光阻层。

其中，所述制造方法进一步包括：在经过热退火结晶处理的非晶硅层上形成层间介电层；在对应于源极接触区和漏极接触区的上方形成贯穿层间介电层的接触孔；在层间介电层的对应于源极接触区和漏极接触区的上方分别形成源极图案和漏极图案，使得源极图案和漏极图案可通过接触孔分别与源极接触区和漏极接触区电性连接。

其中，所述掺杂处理的掺杂离子包括硼离子。

本发明一实施例的阵列基板的制造方法，包括：提供一基板；在基板上依次形成非晶硅层和光阻层，并利用光罩对光阻层进行图案化处理，以形成间隔设置的光阻图案；对未被光阻图案覆盖的非晶硅层进行掺杂处理；剥除所述光阻图案，并对非晶硅层进行热退火结晶处理，使得非晶硅层的经过掺杂处理的区域形成源极接触区和漏极接触区，被光阻图案覆盖的区

域形成沟道区；在经过热退火结晶处理的非晶硅层上形成层间介电层；在对应于源极接触区和漏极接触区的上方形成贯穿所述层间介电层的第一接触孔；在层间介电层的对应于源极接触区和漏极接触区的上方分别形成源极图案和漏极图案，使得源极图案和漏极图案可通过第一接触孔分别与源极接触区和漏极接触区电性连接；在对应于漏极接触区的上方形成暴露漏极接触区的第二接触孔；在层间介电层上形成像素电极，使得像素电极可通过第二接触孔与漏极接触区电性连接。

其中，所述在经过热退火结晶处理的非晶硅层上形成层间介电层的步骤包括：在经过热退火结晶处理的非晶硅层上形成栅极绝缘层；在栅极绝缘层上形成栅极图案，且栅极图案位于源极接触区和漏极接触区之间且对应位于沟道区的上方；在栅极图案上形成层间介电层；所述在对应于源极接触区和漏极接触区的上方形成贯穿层间介电层的第一接触孔的步骤包括：在对应于源极接触区和漏极接触区的上方形成贯穿层间介电层和栅极绝缘层的第一接触孔。

其中，所述在基板上依次形成非晶硅层和光阻层的步骤包括：在基板上依次形成栅极图案和栅极绝缘层；在栅极绝缘层上依次形成非晶硅层和光阻层。

其中，所述掺杂处理的掺杂离子包括硼离子。

本发明实施例的薄膜晶体管的制造方法及阵列基板的制造方法，利用光阻图案限定非晶硅层所要掺杂的区域，即限定了仅对源极接触区和漏极接触区对应的非晶硅层进行掺杂处理，使得结晶发生在源极接触区和漏极接触区，结晶方向为从源极接触区和漏极接触区朝向沟道区，从而尽量实现定向结晶，提高结晶效率和结晶均一性，减少晶界对 TFT 的电子迁移率和漏电流的影响，改善 TFT 的电学特性。

【附图说明】

图 1 是本发明一实施例的薄膜晶体管的制造方法的流程示意图；

图 2 是基于图 1 所示的薄膜晶体管的制造方法的场景示意图；

图 3 是本发明另一实施例的薄膜晶体管的制造方法的流程示意图；

图 4 是本发明一实施例的阵列基板的制造方法的流程示意图；

图 5 是基于图 4 所示的制造方法所制得的阵列基板的结构剖视图；

图 6 是本发明另一实施例的阵列基板的制造方法的流程示意图。

【具体实施方式】

本发明实施例的目的是利用光阻图案限定非晶硅层所要掺杂的区域，即仅对源极接触区和漏极接触区进行掺杂处理，使得结晶发生在源极接触区和漏极接触区，结晶方向为从源极接触区和漏极接触区朝向沟道区，从而尽量实现定向结晶，提高结晶效率和结晶均一性，减少晶界对 TFT 的电子迁移率和漏电流的影响，改善 TFT 的电学特性。

下面结合本发明实施例中的附图，对本发明所提供的示例性的实施例的技术方案进行清楚、完整地描述。在不冲突的情况下，下述的实施例及实施例中的技术特征可以相互组合。

请参阅图 1，为本发明一实施例的薄膜晶体管的制造方法。所述薄膜晶体管的制造方法可以包括步骤 S11~S19。

S11：提供一基板。

本发明实施例的基板可以为玻璃基材、透明塑料基材、可挠式基材等透明基材。当然，所述基板也可以设置有钝化保护层，如图 2 所示，基板 21 包括衬底基材 211 和形成于衬底基材 211 上的缓冲层 212。衬底基材 211 可以为玻璃基材、透明塑料基材、可挠式基材等透明基材。缓冲层 212 作为钝化保护层，其材料包括但不限于硅氮化合物，例如 Si_3N_4 （四氮化三硅，简称氮化硅）。

S12：在基板上依次形成非晶硅层和光阻层，并利用光罩对光阻层进行图案化处理，以形成间隔设置的光阻图案。

本发明实施例可以采用例如真空蒸镀、溅射、涂覆、化学气相沉积（Chemical vapor deposition, CVD）等方法在基板 21 上形成非晶硅层 22。进一步，本实施例优选采用涂覆工艺在非晶硅层 22 上形成光阻层 23。所述光阻层 23 的材料优选为正性光阻。

图案化处理的实施方式可以为：在利用光罩 20 对光阻层 23 进行光照时，被光照射的部分可以经过显影处理被显影液去除，而未被光照射的部分经过显影处理后仍然保留，从而在非晶硅层 22 上形成间隔设置的光阻

图案 231 (图中仅示出一个)。其中,非晶硅层 22 的未被光阻图案 231 覆盖的区域 Z_1 用于形成 TFT 的源极接触区和漏极接触区,非晶硅层 22 的被光阻图案 231 覆盖的区域 Z_2 用于形成 TFT 的沟道区。

S13: 对未被光阻图案覆盖的非晶硅层进行掺杂处理。

结合图 2 所示,即为对区域 Z_1 的非晶硅层 22 进行掺杂处理。所述掺杂处理的掺杂离子包括但不限于硼 (Boron) 离子。

S14: 剥除光阻图案,并对非晶硅层进行热退火结晶处理,使得非晶硅层的经过掺杂处理的区域形成源极接触区和漏极接触区,被光阻图案覆盖的区域形成沟道区。

热退火处理使得非晶硅层 22 结晶形成 TFT 的多晶硅 (poly-Si) 半导体层 24。其中,进行掺杂处理的区域 Z_1 形成源极接触区 Z_S 和漏极接触区 Z_D ,被光阻图案覆盖的区域 Z_2 形成 TFT 的沟道区 Z_G 。

由于进行掺杂处理的区域 Z_1 的掺杂离子较多,因此结晶方向为从源极接触区 Z_S 和漏极接触区 Z_D 朝向沟道区 Z_G 。这种定向结晶能够提高结晶效率和结晶均一性,减少晶界对 TFT 的电子迁移率和漏电流的影响,改善 TFT 的电学特性。另外,结晶完成后,沟道区 Z_G 中的掺杂离子较少,电子迁移率较低,从而能够减少 TFT 的漏电流。而源极接触区 Z_S 和漏极接触区 Z_D 中的掺杂离子较多,电子迁移率较高,从而能够降低与后续形成的源极和漏极的接触阻抗。

S15: 在经过热退火结晶处理的非晶硅层上形成栅极绝缘层。

优选采用涂覆或蒸镀、溅射方式形成栅极绝缘层 (Gate Insulation Layer, GI) 25。进一步优选地,所述栅极绝缘层 25 可以包括依次形成于多晶硅半导体层 24 上的硅氧化合物层和硅氮化合物,例如 SiO_2 (二氧化硅,简称氧化硅) 和 Si_3N_4 ,从而能够进一步提高栅极绝缘层 25 的耐磨损能力和绝缘性能。

S16: 在栅极绝缘层上形成栅极图案,且栅极图案位于源极接触区和漏极接触区之间且对应位于沟道区的上方。

本发明实施例可以采用曝光、显影、刻蚀的图案化处理形成具有预定图案的栅极图案 G。

S17: 在栅极图案上形成层间介电层。

层间介电层 (Interlayer Dielectric Layer, 简称 IDL, 又称介电层) 26 覆盖栅极图案 G 以及栅极绝缘层 25。

S18: 在对应于源极接触区和漏极接触区的上方形成贯穿层间介电层和栅极绝缘层的接触孔。

请继续参阅图 2, 本实施例可以通过刻蚀方式形成所述两个接触孔 Z_O 。所述两个接触孔 Z_O 暴露源极接触区 Z_S 和漏极接触区 Z_D 的上表面, 使得后续形成的源极图案和漏极图案可通过接触孔 Z_O 分别与源极接触区 Z_S 和漏极接触区 Z_D 电性连接。

S19: 在对应于源极接触区和漏极接触区的上方分别形成源极图案和漏极图案, 使得源极图案和漏极图案可通过接触孔分别与源极接触区和漏极接触区电性连接。

源极图案 S 和漏极图案 D 的材质与栅极图案 G 的材质可以相同也可以不相同, 例如为钼 (Molybdenum, 化学式为 Mo)。

由上述可知, 本实施例的制造方法仅对未被光阻图案 231 覆盖的非晶硅层 22 进行掺杂处理, 在非晶硅层 22 结晶形成多晶硅半导体层时相当于对非晶硅层 22 进行局部结晶, 并且结晶方向为从掺杂区域朝向两侧的未掺杂区域, 从而能够提高结晶效率和结晶均一性, 减少晶界对 TFT 的电子迁移率和漏电流的影响, 改善 TFT 的电学特性。

请继续参阅图 2, 鉴于栅极图案 G 形成于沟道区 Z_G 的上方, 因此该实施例的 TFT 可视为顶栅型结构。基于前述发明目的, 本发明实施例还适用于底栅型结构的 TFT。如图 3 所示, 所述薄膜晶体管的制造方法可以包括以下步骤 S31~S39。

S31: 提供一基板。

S32: 在基板上依次形成栅极图案和栅极绝缘层。

S33: 在栅极绝缘层上依次形成非晶硅层和光阻层, 并利用光罩对光阻层进行图案化处理, 以形成间隔设置的光阻图案。

S34: 对未被光阻图案覆盖的非晶硅层进行掺杂处理。

S35: 剥除光阻图案, 并对非晶硅层进行热退火结晶处理, 使得非晶硅层的经过掺杂处理的区域形成源极接触区和漏极接触区, 被光阻图案覆盖的区域形成沟道区。

S36: 在经过热退火结晶处理的非晶硅层上形成层间介电层。

S37: 在对应于源极接触区和漏极接触区的上方形成贯穿层间介电层的接触孔。

S38: 在层间介电层的对应于源极接触区和漏极接触区的上方分别形成源极图案和漏极图案,使得源极图案和漏极图案可通过接触孔分别与源极接触区和漏极接触区电性连接。

在图 2 所述实施例的描述基础上但与其不同的是,本实施例将栅极图案和栅极绝缘层设置于非晶硅层的下方,并且接触孔仅贯穿层间介电层,而未贯穿栅极绝缘层。由于本实施例的非硅晶层也可以进行定向结晶,因此本实施例所制得的 TFT 也具有前述有益效果。

请参阅图 4,为本发明一实施例的阵列基板的制造方法。所述阵列基板的制造方法可以包括步骤 S41~S51。

S41: 提供一基板。

S42: 在基板上依次形成非晶硅层和光阻层,并利用光罩对光阻层进行图案化处理,以形成间隔设置的光阻图案。

S43: 对未被光阻图案覆盖的非晶硅层进行掺杂处理。

S44: 剥除所述光阻图案,并对非晶硅层进行热退火结晶处理,使得非晶硅层的经过掺杂处理的区域形成源极接触区和漏极接触区,被光阻图案覆盖的区域形成沟道区。

S45: 在经过热退火结晶处理的非晶硅层上形成栅极绝缘层。

S46: 在栅极绝缘层上形成栅极图案,且栅极图案位于源极接触区和漏极接触区之间且对应位于沟道区的上方。

S47: 在栅极图案上形成层间介电层。

S48: 在对应于源极接触区和漏极接触区的上方形成贯穿层间介电层和栅极绝缘层的第一接触孔。

S49: 在层间介电层的对应于源极接触区和漏极接触区的上方分别形成源极图案和漏极图案,使得源极图案和漏极图案可通过第一接触孔分别与源极接触区和漏极接触区电性连接。

S50: 在对应于漏极接触区的上方形成暴露漏极接触区的第二接触孔。

S51: 在层间介电层上形成像素电极,使得像素电极可通过第二接触孔

与漏极接触区电性连接。

本实施例的第一接触孔可视为前述图 2 所述实施例的接触孔 Z_0 。其中，步骤 S41~S49 与图 1 所述实施例的步骤 S11~S48 相同。对于相同结构元件，两实施例采用相同的标号。结合图 5 所示，步骤 S50 和 S51 所制得的第二接触孔 Z_{O2} 用于电性连接像素电极 27 和漏极接触区 Z_S 。

鉴于栅极图案 G 形成于沟道区 Z_G 的上方，因此本实施例的阵列基板可视为具有顶栅型结构的 TFT。当然，本发明实施例还可以适用于具有底栅型结构 TFT 的阵列基板。请参阅图 6，所述阵列基板的制造方法可以包括以下步骤 S61~S70。

S61: 提供一基板。

S62: 在基板上依次形成栅极图案和栅极绝缘层。

S63: 在栅极绝缘层上依次形成非晶硅层和光阻层，并利用光罩对光阻层进行图案化处理，以形成间隔设置的光阻图案。

S64: 对未被光阻图案覆盖的非晶硅层进行掺杂处理。

S65: 剥除光阻图案，并对非晶硅层进行热退火结晶处理，使得非晶硅层的经过掺杂处理的区域形成源极接触区和漏极接触区，被光阻图案覆盖的区域形成沟道区。

S66: 在经过热退火结晶处理的非晶硅层上形成层间介电层。

S67: 在对应于源极接触区和漏极接触区的上方形成贯穿层间介电层的第一接触孔。

S68: 在层间介电层的对应于源极接触区和漏极接触区的上方分别形成源极图案和漏极图案，使得源极图案和漏极图案可通过第一接触孔分别与源极接触区和漏极接触区电性连接。

S69: 在对应于漏极接触区的上方形成暴露漏极接触区的第二接触孔。

S70: 在层间介电层上形成像素电极，使得像素电极可通过第二接触孔与漏极接触区电性连接。

本实施例的第一接触孔可视为前述图 3 所述实施例的接触孔。其中，步骤 S61~S68 与图 3 所述实施例的步骤 S31~S38 相同。而本实施例的步骤 S69 和 S70 所制得的第二接触孔用于电性连接像素电极和漏极接触区。

综上所述，图 4~图 6 所述实施例制得的阵列基板，也可以实现定向结

晶，各个结构元件的材质以及所要形成的形状可参阅前述，因此具有与前述薄膜晶体管的制造方法相同的有益效果。

应理解，以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，例如各实施例之间技术特征的相互结合，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

1. 一种薄膜晶体管的制造方法，其中，所述制造方法包括：

提供一基板；

在所述基板上依次形成非晶硅层和光阻层，并利用光罩对所述光阻层进行图案化处理，以形成间隔设置的光阻图案；

对未被所述光阻图案覆盖的非晶硅层进行掺杂处理，所述掺杂处理的掺杂离子包括硼离子；

剥除所述光阻图案，并对所述非晶硅层进行热退火结晶处理，使得所述非晶硅层的经过所述掺杂处理的区域形成源极接触区和漏极接触区，被所述光阻图案覆盖的区域形成沟道区；

在经过所述热退火结晶处理的非晶硅层上形成栅极绝缘层；

在所述栅极绝缘层上形成栅极图案，且所述栅极图案位于所述源极接触区和所述漏极接触区之间且对应位于所述沟道区的上方。

2. 根据权利要求 1 所述的制造方法，其中，所述制造方法进一步包括：

在所述栅极图案上形成层间介电层；

在对应于所述源极接触区和所述漏极接触区的上方形成贯穿所述层间介电层和所述栅极绝缘层的接触孔；

在所述层间介电层的对应于所述源极接触区和所述漏极接触区的上方分别形成源极图案和漏极图案，使得所述源极图案和所述漏极图案可通过所述接触孔分别与所述源极接触区和所述漏极接触区电性连接。

3. 一种薄膜晶体管的制造方法，其中，所述制造方法包括：

提供一基板；

在所述基板上依次形成非晶硅层和光阻层，并利用光罩对所述光阻层进行图案化处理，以形成间隔设置的光阻图案；

对未被所述光阻图案覆盖的非晶硅层进行掺杂处理；

剥除所述光阻图案，并对所述非晶硅层进行热退火结晶处理，使得所述非晶硅层的经过所述掺杂处理的区域形成源极接触区和漏极接触区，被所述光阻图案覆盖的区域形成沟道区。

4. 根据权利要求 3 所述的制造方法，其中，所述制造方法还包括：

在经过所述热退火结晶处理的非晶硅层上形成栅极绝缘层;

在所述栅极绝缘层上形成栅极图案,且所述栅极图案位于所述源极接触区和所述漏极接触区之间且对应位于所述沟道区的上方。

5. 根据权利要求4所述的制造方法,其中,所述制造方法进一步包括:

在所述栅极图案上形成层间介电层;

在对应于所述源极接触区和所述漏极接触区的上方形成贯穿所述层间介电层和所述栅极绝缘层的接触孔;

在所述层间介电层的对应于所述源极接触区和所述漏极接触区的上方分别形成源极图案和漏极图案,使得所述源极图案和所述漏极图案可通过所述接触孔分别与所述源极接触区和所述漏极接触区电性连接。

6. 根据权利要求3所述的制造方法,其中,所述在所述基板上依次形成非晶硅层和光阻层的步骤包括:

在所述基板上依次形成栅极图案和栅极绝缘层;

在所述栅极绝缘层上依次形成非晶硅层和光阻层。

7. 根据权利要求6所述的制造方法,其中,所述制造方法进一步包括:

在经过所述热退火结晶处理的非晶硅层上形成层间介电层;

在对应于所述源极接触区和所述漏极接触区的上方形成贯穿所述层间介电层的接触孔;

在所述层间介电层的对应于所述源极接触区和所述漏极接触区的上方分别形成源极图案和漏极图案,使得所述源极图案和所述漏极图案可通过所述接触孔分别与所述源极接触区和所述漏极接触区电性连接。

8. 根据权利要求3所述的制造方法,其中,所述掺杂处理的掺杂离子包括硼离子。

9. 一种阵列基板的制造方法,其中,所述制造方法包括:

提供一基板;

在所述基板上依次形成非晶硅层和光阻层,并利用光罩对所述光阻层进行图案化处理,以形成间隔设置的光阻图案;

对未被所述光阻图案覆盖的非晶硅层进行掺杂处理;

剥除所述光阻图案,并对所述非晶硅层进行热退火结晶处理,使得所述非晶硅层的经过所述掺杂处理的区域形成源极接触区和漏极接触区,被

所述光阻图案覆盖的区域形成沟道区；

在经过所述热退火结晶处理的非晶硅层上形成层间介电层；

在对应于所述源极接触区和所述漏极接触区的上方形成贯穿所述层间介电层的第一接触孔；

在所述层间介电层的对应于所述源极接触区和所述漏极接触区的上方分别形成源极图案和漏极图案，使得所述源极图案和所述漏极图案可通过所述第一接触孔分别与所述源极接触区和所述漏极接触区电性连接；

在对应于所述漏极接触区的上方形成暴露所述漏极接触区的第二接触孔；

在所述层间介电层上形成像素电极，使得所述像素电极可通过所述第二接触孔与所述漏极接触区电性连接。

10. 根据权利要求 9 所述的制造方法，其中，

所述在经过所述热退火结晶处理的非晶硅层上形成层间介电层的步骤包括：

在经过所述热退火结晶处理的非晶硅层上形成栅极绝缘层；

在所述栅极绝缘层上形成栅极图案，且所述栅极图案位于所述源极接触区和所述漏极接触区之间且对应位于所述沟道区的上方；

在所述栅极图案上形成层间介电层；

所述在对应于所述源极接触区和所述漏极接触区的上方形成贯穿所述层间介电层的第一接触孔的步骤包括：

在对应于所述源极接触区和所述漏极接触区的上方形成贯穿所述层间介电层和所述栅极绝缘层的第一接触孔。

11. 根据权利要求 9 所述的制造方法，其中，所述在所述基板上依次形成非晶硅层和光阻层的步骤包括：

在所述基板上依次形成栅极图案和栅极绝缘层；

在所述栅极绝缘层上依次形成非晶硅层和光阻层。

12. 根据权利要求 9 所述的制造方法，其中，所述掺杂处理的掺杂离子包括硼离子。

1/6

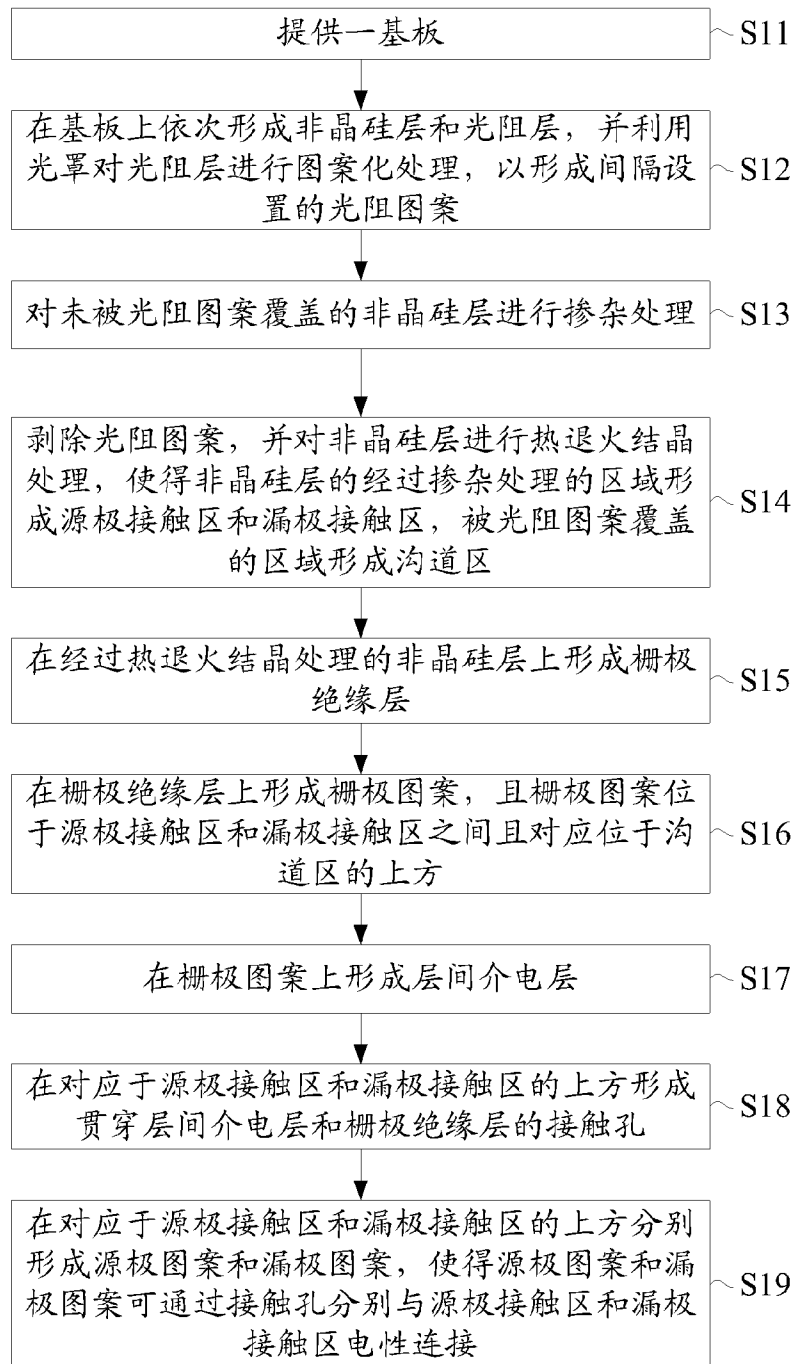


图 1

2/6

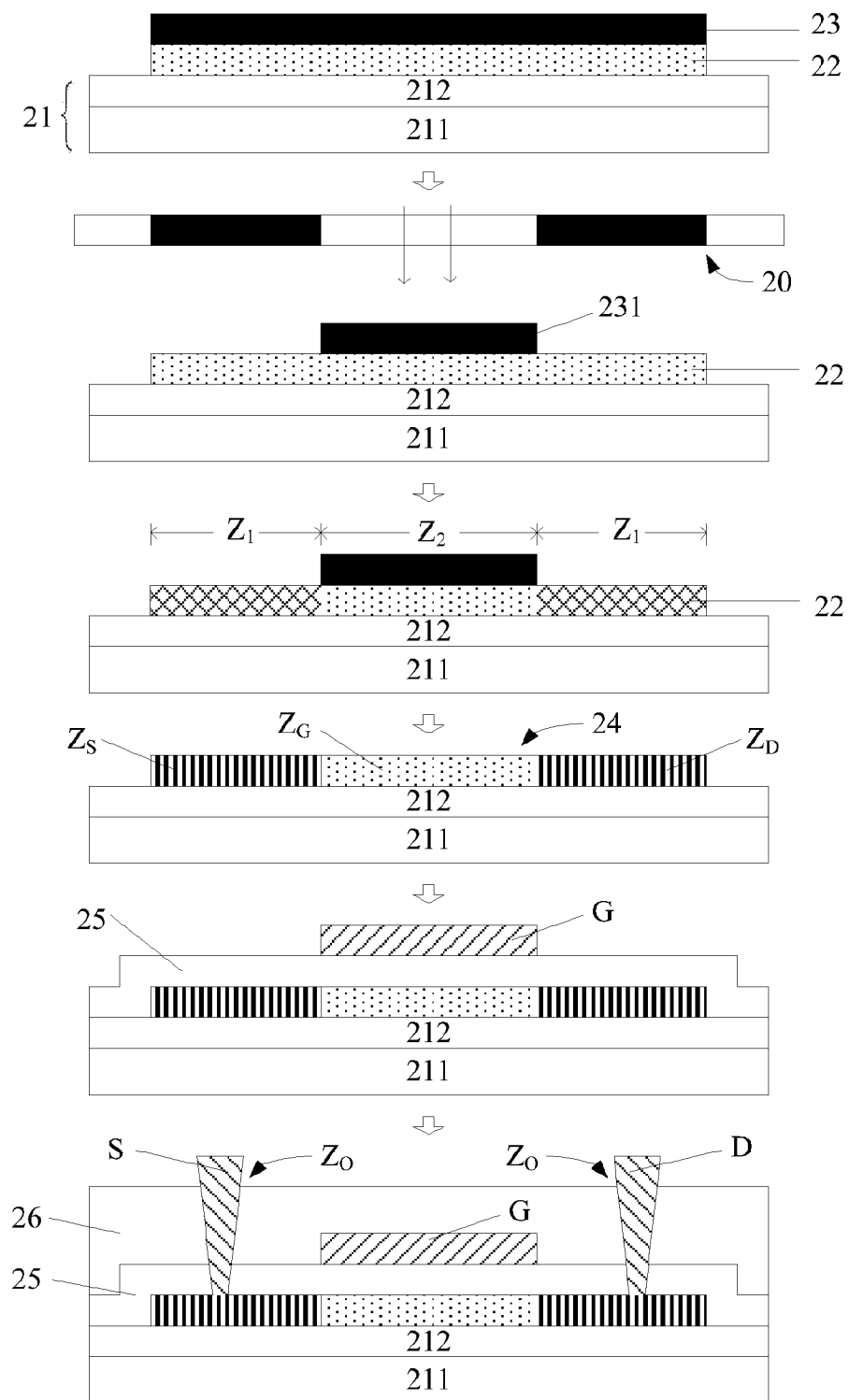


图 2

3/6

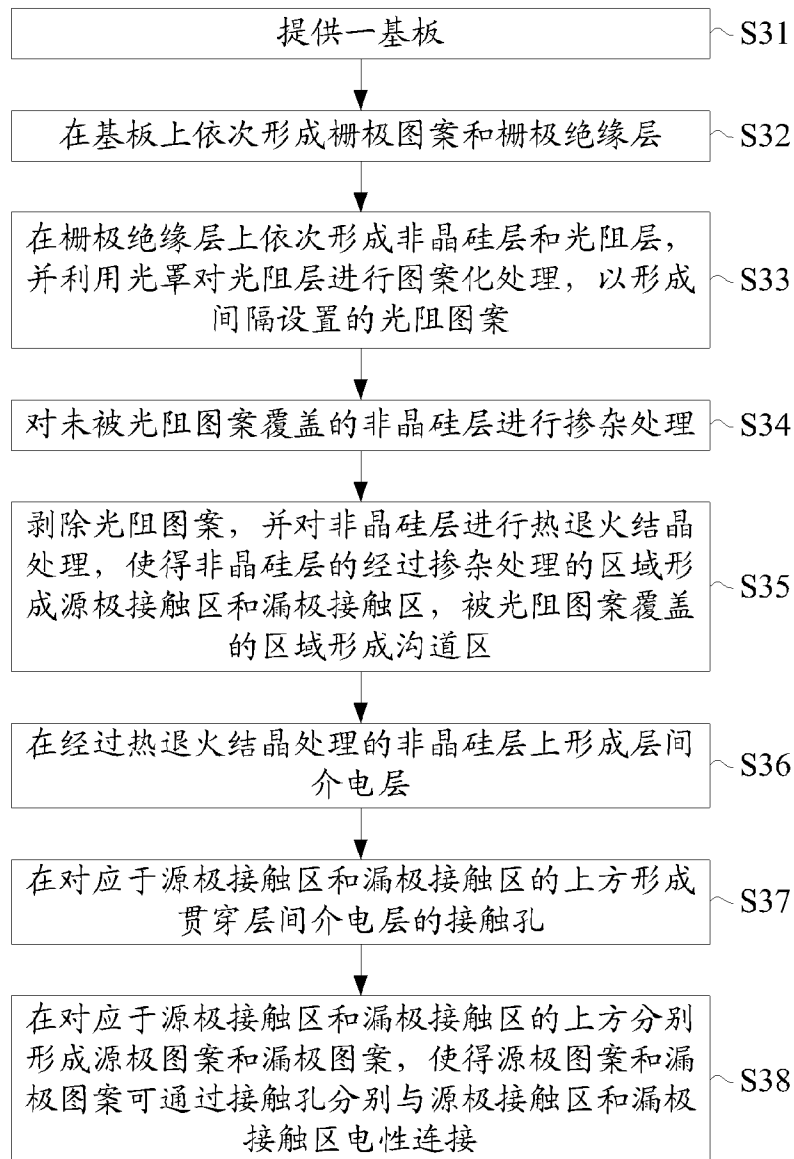


图 3

4/6

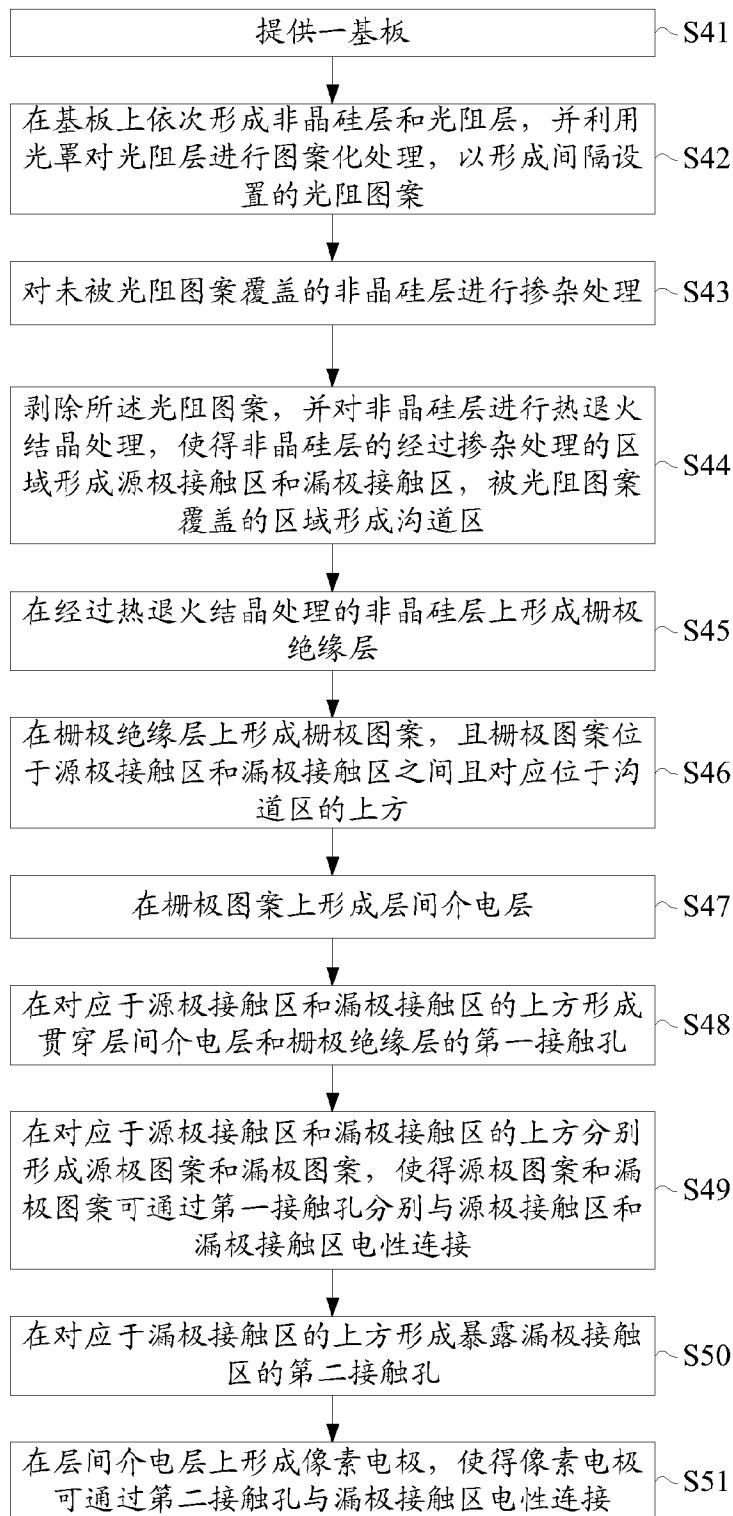


图 4

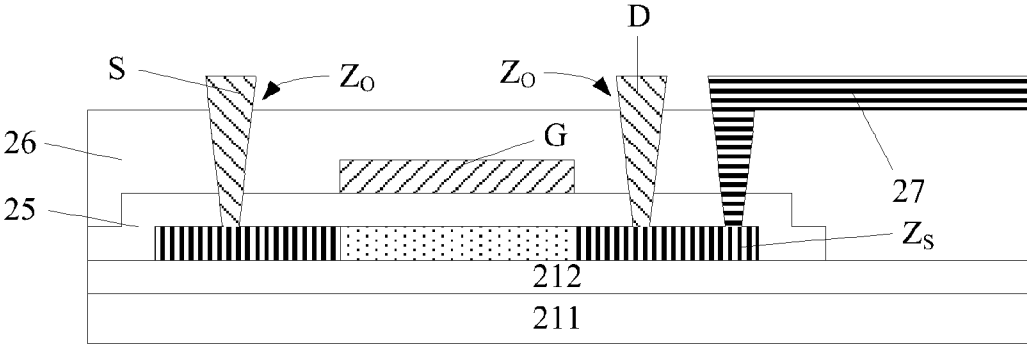


图 5

6/6

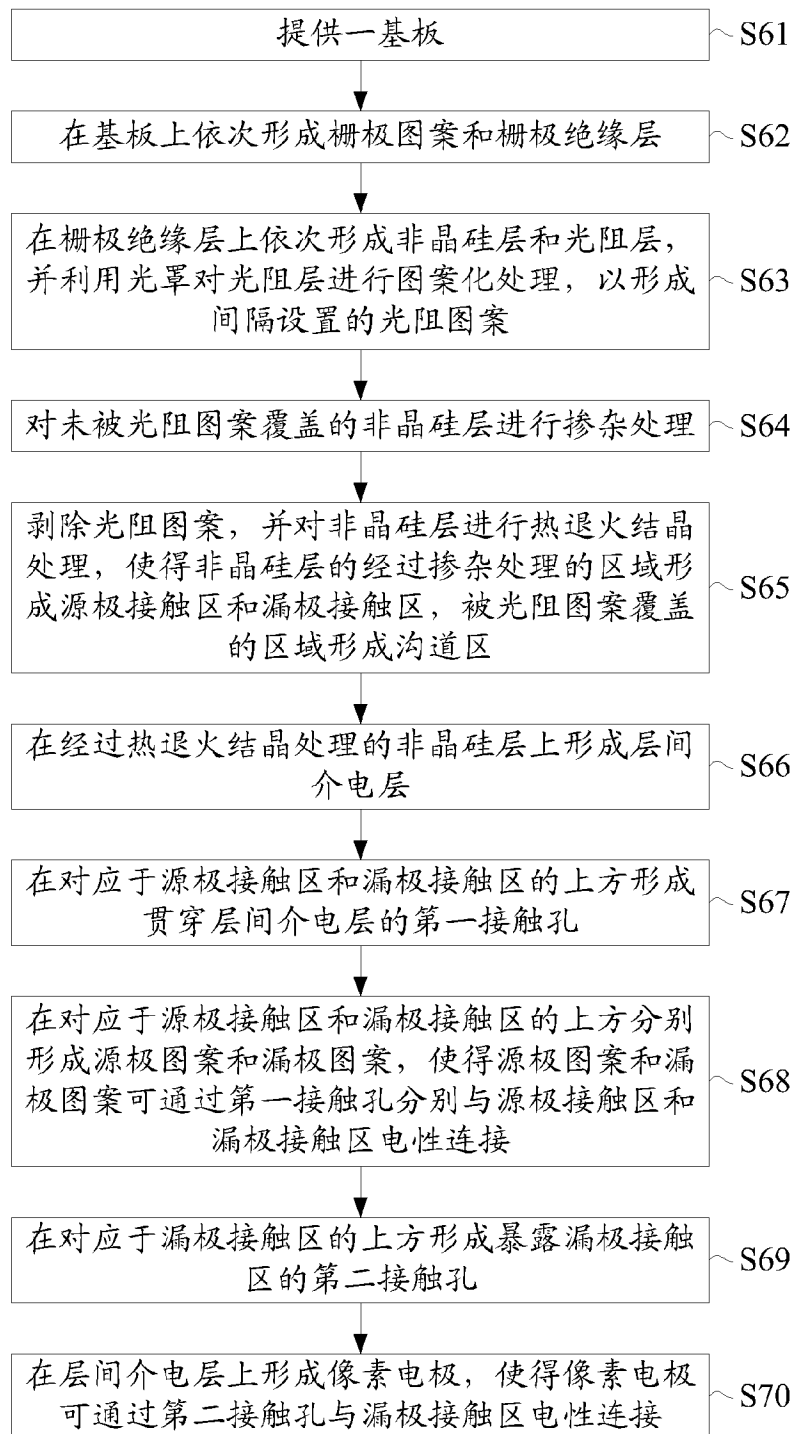


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/090591

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i; H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI; SIPOABS; CNTXT: TFT, thin film transistor, array, substrate, wafer, photoresist, silicon, dope, source, contact, drain, channel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105161459 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 16 December 2015 (16.12.2015) description, paragraphs [0058]-[0099], and figures 1-3	1-12
A	CN 104900491 A (BOE TECHNOLOGY GROUP CO., LTD.) 09 September 2015 (09.09.2015) the whole document	1-12
A	JP 2010177325 A (SEIKO EPSON CORP.) 12 August 2010 (12.08.2010) the whole document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 September 2016	Date of mailing of the international search report 10 January 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHANG, Fang Telephone No. (86-10) 62411844

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/CN2016/090591

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105161459 A	16 December 2015	None	
CN 104900491 A	09 September 2015	None	
JP 2010177325 A	12 August 2010	None	

国际检索报告

国际申请号

PCT/CN2016/090591

A. 主题的分类 H01L 21/336(2006.01)i; H01L 21/77(2006.01)i; H01L 27/12(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;DWPI;SIPOABS; CNTXT:薄膜晶体管, 阵列, 基板, 光阻, 硅, 掺杂, 源极, 接触, 漏极, 沟道, TFT, thin film transistor, array, substrate, wafer, photoresist, silicon, dope, source, contact, drain, channel																
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 105161459 A (武汉华星光电技术有限公司) 2015年 12月 16日 (2015 - 12 - 16) 说明书第[0058]-[0099]段, 附图1-3</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 104900491 A (京东方科技集团股份有限公司) 2015年 9月 9日 (2015 - 09 - 09) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>JP 2010177325 A (SEIKO EPSON CORP) 2010年 8月 12日 (2010 - 08 - 12) 全文</td> <td>1-12</td> </tr> </tbody> </table> ☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。 <table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 105161459 A (武汉华星光电技术有限公司) 2015年 12月 16日 (2015 - 12 - 16) 说明书第[0058]-[0099]段, 附图1-3	1-12	A	CN 104900491 A (京东方科技集团股份有限公司) 2015年 9月 9日 (2015 - 09 - 09) 全文	1-12	A	JP 2010177325 A (SEIKO EPSON CORP) 2010年 8月 12日 (2010 - 08 - 12) 全文	1-12	* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求														
X	CN 105161459 A (武汉华星光电技术有限公司) 2015年 12月 16日 (2015 - 12 - 16) 说明书第[0058]-[0099]段, 附图1-3	1-12														
A	CN 104900491 A (京东方科技集团股份有限公司) 2015年 9月 9日 (2015 - 09 - 09) 全文	1-12														
A	JP 2010177325 A (SEIKO EPSON CORP) 2010年 8月 12日 (2010 - 08 - 12) 全文	1-12														
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件															
国际检索实际完成的日期 2016年 9月 10日		国际检索报告邮寄日期 2017年 1月 10日														
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 章放 电话号码 (86-10)62411844														

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/090591

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	105161459	A	2015年 12月 16日	无	
CN	104900491	A	2015年 9月 9日	无	
JP	2010177325	A	2010年 8月 12日	无	

表 PCT/ISA/210 (同族专利附件) (2009年7月)