



공개특허 10-2023-0090634



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0090634
(43) 공개일자 2023년06월22일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) *H01L 21/02* (2006.01)
H01L 23/532 (2006.01)

(52) CPC특허분류
H01L 21/76832 (2013.01)
H01L 21/02126 (2013.01)

(21) 출원번호 10-2021-0179567

(22) 출원일자 2021년12월15일

심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091

(72) 발명자
황세라
경기도 이천시 부발읍 경충대로 2091

(74) 대리인
신성특허법인(유한)

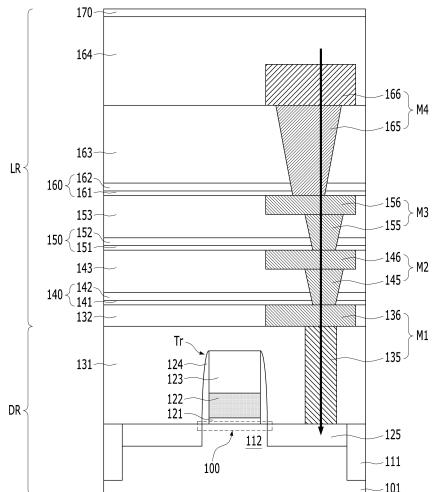
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 반도체 장치 및 그 제조방법

(57) 요 약

본 발명의 실시예들은 전기적 특성 및 신뢰성이 향상된 반도체 장치 및 그 제조 방법을 제공하는데 있다. 본 실시예에 따른 반도체 장치 제조 방법은 기판 상부에 식각정지구조물들과 저유전율층들이 교차로 적층된 절연구조물; 및 상기 절연구조물 내에 상기 기판과 전기적으로 연결되는 금속배선을 포함하고, 상기 식각정지구조물은, 수소 블로킹물질을 포함하는 제1식각정지층 및 상기 제1식각정지층 상에 형성된 제2식각정지층을 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류

H01L 21/02167 (2013.01)

H01L 21/0217 (2013.01)

H01L 23/53295 (2013.01)

명세서

청구범위

청구항 1

기판 상부에 식각정지구조물들과 저유전율층들이 교차로 적층된 절연구조물; 및
상기 절연구조물 내에 상기 기판과 전기적으로 연결되는 금속배선을 포함하고,
상기 식각정지구조물은,
수소 블로킹물질을 포함하는 제1식각정지층 및 상기 제1식각정지층 상에 형성된 제2식각정지층을 포함하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 제1식각정지층은 실리콘질화물(Si_3N_4)보다 막 내 실리콘 함량이 많은 실리콘-리치 실리콘질화물(Silicon-rich silicon nitride)을 포함하는 반도체 장치.

청구항 3

제1항에 있어서,

상기 제2식각정지층은 탄소가 함유된 실리콘질화물을 포함하는 반도체 장치.

청구항 4

제1항에 있어서,

상기 제2식각정지층은 $SiCN$ 을 포함하는 반도체 장치.

청구항 5

제1항에 있어서,

상기 제1식각정지층의 두께는 상기 제2식각정지층의 두께보다 작은 반도체 장치.

청구항 6

제1항에 있어서,

상기 식각정지구조물의 두께는 상기 저유전율층의 두께보다 작은 반도체 장치.

청구항 7

제1항에 있어서,

상기 저유전율층은 탄소 및 산소를 포함하는 실리콘산화물(SiCOH) 포함하는 반도체 장치.

청구항 8

제1항에 있어서,

상기 절연구조물 상에 수소공급층을 더 포함하는 반도체 장치.

청구항 9

제1항에 있어서,

상기 수소공급층은 HDP(High Density Plasma) 산화물 또는 실리콘질화물 또는 이들의 조합을 포함하는 반도체 장치.

청구항 10

제1항에 있어서,

상기 식각정지구조물은 상기 제2식각정지층 상부에 수소 블로킹물질을 포함하는 제3식각정지층을 더 포함하는 반도체 장치.

청구항 11

제10항에 있어서,

상기 실리콘질화물(Si_3N_4)보다 막 내 실리콘 함량이 많은 실리콘-리치 실리콘질화물(Silicon-rich silicon nitride)을 포함하는 반도체 장치.

청구항 12

제1항에 있어서,

상기 금속배선은 다층레벨 금속배선을 포함하는 반도체 장치.

청구항 13

제1항에 있어서,

상기 기판은 게이트절연층을 포함하는 트랜지스터가 구비된 반도체 장치.

청구항 14

게이트절연층을 포함하는 트랜지스터가 구비된 기판 상부에 식각정지구조물들 및 저유전율층들이 교차로 적층된 절연구조물을 형성하는 단계; 및

상기 절연구조물 내에 상기 기판과 전기적으로 연결되는 금속배선을 형성하는 단계를 포함하고,

상기 식각정지구조물은,

수소 블로킹물질을 포함하는 제1식각정지층 및 상기 제1식각정지층 상에 형성된 제2식각정지층을 포함하는 반도

체 장치 제조 방법.

청구항 15

제14항에 있어서,

상기 금속배선을 형성하는 단계 이후에,

상기 기판 표면으로의 수소 공급을 위한 열처리 공정을 진행하는 단계를 더 포함하는 반도체 장치 제조 방법.

청구항 16

제14항에 있어서,

상기 금속배선을 형성하는 단계 이후에,

상기 절연구조물 상에 수소공급층을 형성하는 단계; 및

상기 기판 표면으로의 수소 공급을 위한 열처리 공정을 진행하는 단계를 더 포함하는 반도체 장치 제조 방법.

청구항 17

제14항에 있어서,

상기 제1 및 제2식각정지층은 동일 챔버에서 인시튜(In-situ)로 형성하는 반도체 장치 제조 방법.

청구항 18

제14항에 있어서,

상기 제1식각정지층은 실리콘질화물(Si_3N_4)보다 막 내 실리콘함량이 많은 실리콘-리치 실리콘질화물(Silicon-rich silicon nitride)을 포함하는 반도체 장치 제조 방법.

청구항 19

제14항에 있어서,

상기 제2식각정지층은 탄소가 함유된 실리콘질화물을 포함하는 반도체 장치 제조 방법.

청구항 20

제14항에 있어서,

상기 제2식각정지층은 $SiCN$ 을 포함하는 반도체 장치 제조 방법.

청구항 21

제14항에 있어서,

상기 저유전율층은 탄소 및 산소를 포함하는 실리콘산화물($SiCOH$) 포함하는 반도체 장치 제조 방법.

청구항 22

제14항에 있어서,

상기 수소공급층은 HDP(High Density Plasma) 산화물 또는 실리콘질화물 또는 이들의 조합을 포함하는 반도체 장치 제조 방법.

청구항 23

제15항에 있어서,

상기 열처리 공정은 수소 또는 중수소 분위기에서 진행하는 반도체 장치 제조 방법.

청구항 24

제14항에 있어서,

상기 식각정지구조물은 상기 제2식각정지층 상에 수소 블로킹물질을 포함하는 제3식각정지층을 더 포함하는 반도체 장치 제조 방법.

청구항 25

제14항에 있어서,

상기 제1식각정지층은 실리콘질화물(Si_3N_4)보다 막 내 실리콘함량이 많은 실리콘-리치 실리콘질화물(Silicon-rich silicon nitride)을 포함하는 반도체 장치 제조 방법.

발명의 설명**기술 분야**

[0001] 본 발명은 반도체 장치 제조 방법에 관한 것으로, 상세하게는 금속간 절연층 사이에 수소 블로킹물질을 포함하는 식각정지층이 구비된 반도체 장치 제조 방법에 관한 것이다.

배경 기술

[0003] 반도체 제조 과정은 식각 공정 등을 필요로 하며, 이러한 공정은 반도체 기판의 표면에 손상을 야기한다. 반도체 장치의 고집적화 추세에 따라, 패턴들 간의 간격도 작아지게 되며, 기판의 표면 손상도 증가할 수 있다. 이로써, 반도체 기판을 이루는 실리콘의 댕글링 본드(dangling bond)가 증가하게 되며, 이는 전자의 누설전류의 소스가 되어 트랜지스터에서 누설전류 발생의 원인이 될 수 있다.

발명의 내용**해결하려는 과제**

[0005] 본 발명의 실시예들은 전기적 특성 및 신뢰성이 향상된 반도체 장치 및 그 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0007] 본 실시예에 따른 반도체 장치 제조 방법은 기판 상부에 식각정지구조물들과 저유전율층들이 교차로 적층된 절연구조물; 및 상기 절연구조물 내에 상기 기판과 전기적으로 연결되는 금속배선을 포함하고, 상기 식각정지구조

물은, 수소 블로킹물질을 포함하는 제1식각정지층 및 상기 제1식각정지층 상에 형성된 제2식각정지층을 포함할 수 있다.

[0008] 본 실시예에 따른 반도체 장치 제조 방법은 게이트절연층을 포함하는 트랜지스터가 구비된 기판 상부에 식각정지구조물들 및 저유전율층들이 교차로 적층된 절연구조물을 형성하는 단계; 및 상기 절연구조물 내에 상기 기판과 전기적으로 연결되는 금속배선을 형성하는 단계를 포함하고, 상기 식각정지구조물은, 수소 블로킹물질을 포함하는 제1식각정지층 및 상기 제1식각정지층 상에 형성된 제2식각정지층을 포함할 수 있다.

발명의 효과

[0010] 본 기술은 수소 패시베이션의 효율을 증가시켜 소자의 누설전류 특성을 개선하므로써 신뢰성을 확보할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 실시예들에 따른 반도체 장치를 도시한 도면이다.

도 2 및 도 3은 다른 실시예들에 따른 반도체 장치들을 도시한 도면들이다.

도 4a 내지 도 4g는 본 실시예에 따른 반도체 장치 제조 방법을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 명세서에서 기재하는 실시예들은 본 발명의 이상적인 개략도인 단면도, 평면도 및 블록도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다. 도면에서 표시된 구성요소의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭하며, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0014] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다.

[0015] 도 1은 본 실시예들에 따른 반도체 장치를 도시한 도면이다.

[0016] 도 1에 도시된 바와 같이, 반도체 장치는 소자영역(DR)과 배선영역(LR)을 포함할 수 있다. 소자영역(DR)은 기판(101) 및 기판(101) 상에 형성된 복수의 트랜지스터들을 포함하는 영역일 수 있다. 본 실시예에서, 소자영역(DR)은 트랜지스터(Tr)를 포함할 수 있다. 배선영역(LR)은 복수의 금속간절연층들(132, 143, 153), 복수의 식각정지구조물들(140, 150, 160), 복수의 층간절연층들(131, 163, 164) 및 다층레벨 금속배선(M1, M2, M3, M4)을 포함할 수 있다.

[0017] 기판(101)은 반도체 프로세싱에 적합한 물질일 수 있다. 기판(101)은 반도체 기판을 포함할 수 있다. 기판(101)은 실리콘을 함유하는 물질로 이루어질 수 있다. 기판(101)은 실리콘, 단결정 실리콘, 폴리실리콘, 비정질 실리콘, 실리콘 저마늄, 단결정 실리콘저마늄, 다결정 실리콘저마늄, 탄소 도핑된 실리콘, 그들의 조합 또는 그들의 다층을 포함할 수 있다. 기판(101)은 저마늄과 같은 다른 반도체 물질을 포함할 수도 있다. 기판(101)은 III/V족 반도체 기판, 예컨대 GaAs와 같은 화합물 기판을 포함할 수도 있다. 기판(101)은 SOI(Silicon On Insulator) 기판을 포함할 수도 있다.

[0018] 기판(101)은 활성영역(112)을 정의하는 소자분리층(111)을 포함할 수 있다. 활성영역(112) 상에는 게이트절연층(121), 게이트전극(122) 및 게이트하드마스크(123)의 적층구조 및 적층구조의 측벽에 형성된 게이트스페이서(124)를 포함하는 트랜지스터(Tr)가 형성될 수 있다. 트랜지스터(Tr)의 양측 기판(101)에는 불순물영역(125)이 형성될 수 있다. 불순물영역(125)은 '소스/드레인 영역'이라고 지칭될 수 있다.

[0019] 다층레벨 금속배선(M1, M2, M3, M4)은 복수의 금속간절연층들(132, 143, 153)을 관통할 수 있다. 복수의 금속간

절연층들(132, 143, 153)은 금속배선들(M1, M2, M3, M4) 간의 기생 캐패시턴스를 감소시키기 위해 저유전율을 갖는 절연물질을 포함할 수 있다. 금속간절연층들(132, 143, 153)은 '저유전율층'이라고 지칭할 수 있다. 금속간절연층들(132, 143, 153)은 실리콘산화물(SiO_2)보다 낮은 유전율을 갖는 저유전 물질을 포함할 수 있다. 예로, 실리콘산화물은 3.9 내지 4.5 정도의 유전율을 가질 수 있다. 금속간절연층들(132, 143, 153)은 3.5 이하의 유전율을 가질 수 있으며, 예를 들어, 2.0 내지 3.5의 유전율을 가질 수 있다. 예를 들어, 금속간절연층들(132, 143, 153)은 탄소 및 수소를 포함하는 실리콘산화물($SiCOH$)일 수 있다.

[0020] 층간절연층들(131, 165, 164)은 트랜지스터(Tr) 및 기판(101) 상부, 최상위 금속배선인 제4금속배선(M4)들 사이 및 그 상부에 위치할 수 있다. 층간절연층들(131, 165, 164)들은 금속간절연층들(132, 143, 153)들보다 유전율이 높은 산화물질을 포함할 수 있다. 예를 들어, 제1 및 제2층간절연층(131, 165)은 TEOS(Tetra ethyle ortho silicate) 산화물을 포함할 수 있다. 다른 실시예에서, 제1 및 제2층간절연층(131, 165)은 유전율이 3.9 내지 4.5인 실리콘산화물을 포함할 수도 있다.

[0021] 제3층간절연층(164)은 수소를 포함하는 실리콘산화물을 포함할 수 있다. 제3층간절연층(164)은 제2층간절연층(163)에 비하여 상대적으로 수소의 공급 능력이 높은 절연물질을 포함할 수 있다. 예를 들어, 제3층간절연층(164)은 HDP(High Density Plasma) 산화물을 포함할 수 있다. 제3층간절연층(164)은 '수소 패시베이션층(hydrogen passivation layer)' 또는 '수소 공급층'이라고 지칭될 수 있다. 수소 공급층을 통해 수소를 공급하는 경우, 수소 가스 분위기에서 어닐링을 진행하는 것에 비하여 수소의 확산을 차단하는 막들에 영향을 덜 받을 수 있다.

[0022] 제3층간절연층(164) 상부에는 패시베이션층(170)이 형성될 수 있다. 패시베이션층(170)은 제3층간절연층(164)과 더불어 기판(101) 표면으로 수소를 공급하기 위한 수소 공급원 역할을 할 수 있다. 패시베이션층(170)은 기판(101)으로부터 수직한 방향으로 적층된 모든 구조물들을 보호하기 위한 역할을 할 수 있다. 패시베이션층(170)은 예를 들어, 실리콘질화물을 포함할 수 있다.

[0023] 수소 패시베이션 공정시 제3층간절연층(164) 내의 수소는 기판(101)과 전기적으로 연결되는 다층레벨 금속배선(M1, M2, M3, M4)을 통해 기판(101) 표면으로 확산될 수 있다. 수소가 도달하는 기판(101)의 표면은 트랜지스터(Tr)와 기판(101) 사이의 계면(100) 일 수 있다. 따라서, 계면(100)의 트랩 사이트들(trap sites)은 확산된 수소들로 채워져 계면 트랩 밀도를 현저히 감소시킨다. 따라서, 트랜지스터의 누설 전류 특성을 향상시킬 수 있다.

[0024] 식각정지구조물들(140, 150, 160)은 층간절연층들(131, 163, 164) 및 금속간절연층들(132, 143, 153)에 대해 식각선택비를 갖는 절연물질을 포함할 수 있다. 식각정지구조물들(140, 150, 160)은 금속간절연층들(132, 143, 153) 보다 막의 밀도 및 강도가 높을 수 있다. 식각정지구조물들(140, 150, 160)은 금속간절연층들(132, 143, 153)로부터 일부 가스가 나오거나 또는 식각정지구조물들(140, 150, 160) 내로 가스가 유입되는 것을 방지할 수 있다. 즉, 식각정지구조물들(140, 150, 160)은 금속간절연층들(132, 143, 153)로부터 가스들, 예를 들어, 수소(H_2), 수증기(H_2O), 불소, 염소 등이 아웃 개성되는 것을 억제할 수 있다. 또한, 식각정지구조물들(140, 150, 160)은 금속간절연층들(132, 143, 153)로 수소 또는 수증기 등이 유입되는 것을 방지하기 위해 제공될 수 있다.

[0025] 제1식각정지구조물(140)은 제1식각정지층(141) 및 제2식각정지층(142)의 적층구조를 포함할 수 있다. 제2식각정지구조물(150)은 제3식각정지층(151) 및 제4식각정지층(152)의 적층구조를 포함할 수 있다. 제3식각정지구조물(160)은 제5식각정지층(161) 및 제6식각정지층(162)의 적층구조를 포함할 수 있다. 각 식각정지구조물(140, 150, 160)의 두께는 각 금속간절연층(111, 123, 133)의 두께보다 작을 수 있다. 각 식각정지구조물(140, 150, 160)의 두께는 각 층간절연층(131, 163, 164)의 두께보다 작을 수 있다. 제1, 제3 및 제5식각정지층(141, 151, 161)의 두께는 각각 제2, 제4 및 제6식각정지층(142, 152, 162)의 두께보다 작을 수 있다. 예를 들어, 제2식각정지층(142)의 두께가 250Å ~ 700Å 일 경우, 제1식각정지층(141)의 두께는 20Å ~ 40Å일 수 있다.

[0026] 제1, 제3 및 제5식각정지층(141, 151, 161)은 하부층 내의 수소가 열처리 등에 의해 상부층으로 확산되는 것을 방지하는 역할을 할 수 있다. 즉, 제1, 제3 및 제5식각정지층(141, 151, 161)은 기판 표면으로 수소 확산을 위한 열처리 공정시, 하부층 내의 수소가 상부로 확산되는 것을 차단하여, 제2, 제4 및 제6식각정지층(142, 152, 162)에 의해 수소가 포획(capture)되는 것을 방지할 수 있다. 결국, 제1, 제3 및 제5식각정지층(141, 151, 161)은 수소 전달 경로로의 집중을 유도하여 수소 확산을 위한 열처리 공정의 효율을 증가시킬 수 있다.

[0027] 제1, 제3 및 제5식각정지층(141, 151, 161) 각각은 수소 블로킹물질을 포함할 수 있다. 제1, 제3 및 제5식각정지층(141, 151, 161)은 화학양론적 조성을 갖는 실리콘질화물(Si_3N_4)보다 막 내 실리콘의 함량이 많은 절연물질

을 포함할 수 있다. 제1, 제3 및 제5식각정지층(141, 151, 161)은 화학양론적조성을 갖는 실리콘질화물(Si_3N_4)보다 실리콘의 함량이 많은 실리콘-리치 실리콘질화물(SRN; Silicon Rich silicon-nitride)을 포함할 수 있다. 특히, 제1, 제3 및 제5식각정지층(141, 151, 161) 각각은 별도의 증착공정이 아닌 제2, 제4 및 제6식각정지층(142, 152, 162) 각각의 증착공정시 프리 트리트먼트(pre treatment) 공정을 통해 형성될 수 있다. 제1, 제3 및 제5식각정지층(141, 151, 161) 각각은 제2, 제4 및 제6식각정지(142, 152, 162) 각각과 동일 챔버에서 인시튜(in-situ)로 형성될 수 있다.

[0028] 제2, 제4 및 제6식각정지층(142, 152, 162)은 화학양론적 조성을 갖는 실리콘질화물(Si_3N_4)보다 유전율이 낮은 절연물질을 포함할 수 있다. 제2, 제4 및 제6식각정지층(142, 152, 162)은 기본함유 실리콘질화물(NDC; Nitride Doped Carbon)을 포함할 수 있다. 제2, 제4 및 제6식각정지층(142, 152, 162)은 Si, C 및 N을 포함할 수 있다. 예를 들어, 제2, 제4 및 제6식각정지층(142, 152, 162)은 SiCN을 포함할 수 있다.

[0029] 본 실시예에서는 제1 내지 제3식각정지구조물을 도시하고 있으나, 다른 실시예로서, 제1층간절연층(131)과 제1금속간절연층(132) 사이에도 식각정지구조물이 배치될 수 있다.

[0030] 다층레벨 금속배선(M1, M2, M3, M4)은 금속배선콘택과 도전라인을 포함할 수 있다. 금속배선콘택들(135, 145, 155, 165)은 하부도전라인과 상부도전라인을 전기적으로 연결하는 역할을 할 수 있다. 제1금속배선콘택(135)은 기판(101)과 제1도전라인(136)에 양단이 접속하여, 기판(101)과 제1도전라인(136)을 전기적으로 연결할 수 있다. 제2금속배선콘택(145)은 제1도전라인(136)과 제2도전라인(146)에 양단이 접속하여, 제1도전라인(136)과 제2도전라인(146)을 전기적으로 연결할 수 있다. 제3금속배선콘택(155)은 제2도전라인(146)과 제3도전라인(156)에 양단이 접속하여, 제2도전라인(146)과 제3도전라인(156)을 전기적으로 연결할 수 있다. 제4금속배선콘택(165)은 제3도전라인(156)과 제4도전라인(166)에 양단이 접속하여, 제3도전라인(156)과 제4도전라인(166)을 전기적으로 연결할 수 있다. 각 도전라인(136, 146, 156, 166)은 각 금속배선콘택(135, 145, 155, 165)의 상부면과 접하면서 일 방향으로 연장될 수 있다. 도시하지 않았으나, 금속배선콘택(135, 145, 155, 165)들은 동일 레벨에 서로 이격 배치된 복수개가 구비될 수 있고, 각 도전라인(136, 146, 156, 166)은 동일 레벨에 배치된 복수개의 금속배선콘택들에 동시에 접속될 수 있다.

[0031] 제1 내지 제3도전라인(M1, M2, M3)은 동일한 물질을 포함할 수 있다. 예를 들어, 제1 내지 제3도전라인(M1, M2, M3)은 구리(Cu)를 포함할 수 있다. 제1 내지 제3도전라인(M1, M2, M3)과 금속간절연층들(111, 123, 133)의 계면에는 배리어층(도시 생략)이 형성될 수 있다. 배리어층은 티타늄, 티타늄질화물, 탄탈륨, 탄탈륨질화물을 포함할 수 있다.

[0032] 제4금속배선콘택(145)은 최상부에 위치하는 콘택플러그일 수 있다. 제4금속배선콘택(145)은 제1 내지 제3도전라인(M1, M2, M3)과 다른 물질을 포함할 수 있다. 제4금속배선콘택(145)은 제1 내지 제3도전라인(M1, M2, M3)보다 저항이 낮은 도전물질을 포함할 수 있다. 예를 들어, 제4금속배선콘택(145)은 텅스텐(W)을 포함할 수 있다. 제4금속배선콘택(145)과 제2층간절연층(143)의 계면에는 배리어층(도시 생략)이 형성될 수 있다. 배리어층은 텅스텐질화물을 포함할 수 있다.

[0033] 제4도전라인(146)은 최상부에 위치하는 도전라인일 수 있다. 제4도전라인(146)은 제4금속배선콘택(145) 및 제2층간절연층(143) 상에 형성될 수 있다. 제4도전라인(146)은 제4금속배선콘택(145)의 상부면과 접촉하면서 일방향으로 연장되는 형상을 가질 수 있다. 제4도전라인(146)은 제4금속배선콘택(145)보다 저항이 낮은 도전물질을 포함할 수 있다. 제4도전라인(146)은 산화에 따른 부식이 감소되는 금속물질을 포함할 수 있다. 예를 들어, 제4도전라인(146)은 알루미늄을 포함할 수 있다. 알루미늄의 경우 표면이 산화되면 산화 알루미늄이 하부의 알루미늄의 산화 피막제로 제공될 수 있다.

[0034] 반도체 장치는 제조 공정, 예컨대 산화 공정, 플라즈마 식각 공정 등 중에 단위 소자에 결함이 발생되어 전기적 특성이 저하될 수 있다. 예컨대, 단위 소자의 실리콘산화층과 실리콘 기판 사이, 게이트산화층과 기판 사이의 계면에 맹글링 본드(dangling bond)가 형성될 수 있고, 이로 인해 누설 전류가 증가되어 반도체 장치의 전기적 특성이 저하될 수 있다. 디램 반도체 장치의 경우, 데이터를 새롭게 기억시켜주는 리프레시(refresh) 방식을 사용하여 일정 주기마다 기존의 데이터를 다시 기억시키는 동작이 필요하다. 이 경우, 일정 주기를 리프레시 주기 또는 데이터 보유 시간(data retention time)이라 한다. 디램의 소모 전력을 줄이고, 동작 속도를 높이기 위해서는 데이터 보유 시간을 줄이는 것이 요구된다. 그러나 맹글링 본드와 같은 실리콘 결정의 구조적 결함에 의하여 트랜지스터들에 누설 전류가 증가되고 데이터 보유 시간 또한 감소될 수 있다.

[0035] 맹글링 본드와 같은 결함을 치유하기 위해, 최상위 금속배선(본 실시예의 제4금속배선(M4)) 상부에 제3층간절연

층(147)을 수소 공급층으로 형성하고, 열처리 공정을 통해 기판(101)과 트랜지스터(Tr)의 계면에 수소를 공급할 수 있다.

[0036] 비교예로서, 식각정지층으로 본 실시예와 유사한 두께의 화학양론적조성을 갖는 실리콘질화물(Si_3N_4)을 적용하는 경우, 전체 절연층의 유전율을 상승으로 인해 소자의 스피드 특성이 열화되는 문제점이 있다.

[0037] 이에 반해, 본 실시예는 화학양론적조성을 갖는 실리콘질화물(Si_3N_4)보다 유전율이 낮은 식각정지층을 적용하므로써 저유전율을 유지할 수 있다. 또한, 식각정지층 하부에 화학양론적조성을 갖는 실리콘질화물(Si_3N_4)보다 실리콘 함량이 많고 두께가 얇은 실리콘-리치 실리콘질화물을 식각정지층으로 적용하므로써, 유전율 증가 없이 수소 공급을 위한 열처리 공정시 하부층 내의 수소가 상부층으로 확산되는 것을 방지하고, 수소 전달 경로로의 집중을 유도하여 수소 확산을 위한 열처리 공정의 효율을 증가시킬 수 있다.

[0038] 도 2 및 도 3은 다른 실시예에 따른 반도체 장치를 도시한 도면이다. 도 2는 도 1과 다른 구조의 식각정지구조물들(240, 250, 260)을 포함한다. 도 3은 도 1과 다른 구조의 기판 및 소자영역을 포함한다. 도 2 및 도 3에 도시된 도면부호 중 도 1과 동일한 도면부호들은 도 1과 동일한 구조물들을 가리킬 수 있다. 설명의 편의를 위해, 도 1과 중복되는 도면부호들은 생략하거나 간략히 설명하기로 한다.

[0039] 도 2를 참조하면, 식각정지구조물들(240, 250, 260)은 충간절연층들(131, 163, 164) 및 금속간절연층들(132, 143, 153)에 대해 식각선택비를 갖는 절연물질을 포함할 수 있다. 식각정지구조물들(240, 250, 260)은 금속간절연층들(132, 143, 153)보다 막의 밀도 및 강도가 높을 수 있다. 식각정지구조물들(240, 250, 260)은 금속간절연층들(132, 143, 153)으로부터 일부 가스가 나오거나 또는 식각정지구조물들(240, 250, 260) 내로 가스가 유입되는 것을 방지할 수 있다. 즉, 식각정지구조물들(240, 250, 260)은 금속간절연층들(132, 143, 153)로부터 가스들, 예를 들어, 수소(H_2), 수증기(H_2O), 불소, 염소 등이 아웃 개싱되는 것을 억제할 수 있다. 또한, 식각정지구조물들(240, 250, 260)은 금속간절연층들(132, 143, 153)로 수소 또는 수증기 등이 유입되는 것을 방지하기 위해 제공될 수 있다.

[0040] 제1식각정지구조물(240)은 제1 내지 제3식각정지층(241, 243, 243)의 적층구조를 포함할 수 있다. 제2식각정지구조물(250)은 제4 내지 제6식각정지층(251, 252, 253)의 적층구조를 포함할 수 있다. 제3식각정지구조물(260)은 제7 내지 제9식각정지층(261, 262, 263)의 적층구조를 포함할 수 있다. 각 식각정지구조물(240, 250, 260)의 두께는 각 금속간절연층(111, 123, 133)의 두께보다 작을 수 있다. 각 식각정지구조물(240, 250, 260)의 두께는 각 충간절연층(131, 163, 164)의 두께보다 작을 수 있다. 제1, 제3, 제4, 제6, 제7 및 제9식각정지층(241, 243, 251, 253, 261, 263)의 두께는 제2, 제5 및 제8식각정지층(242, 252, 262)의 두께보다 작을 수 있다. 예를 들어, 제2식각정지층(242)의 두께가 250 Å ~ 700 Å 일 경우, 제1 및 제3식각정지층(241, 243)의 두께는 20 Å ~ 40 Å 일 수 있으나, 본 실시예는 이에 한정되지 않는다.

[0041] 제1, 제3, 제4, 제6, 제7 및 제9식각정지층(241, 243, 251, 253, 261, 263)은 열처리 등에 의해 하부층 또는 상부층으로부터 상부층 또는 하부층으로 확산되는 것을 방지하는 역할을 할 수 있다. 즉, 제1, 제3, 제4, 제6, 제7 및 제9식각정지층(241, 243, 251, 253, 261, 263)은 기판 표면으로의 수소 확산을 위한 열처리 공정시, 하부층 내의 수소가 상부로 확산되는 수소 아웃 개싱을 차단할 수 있다. 또한, 상부층에서 확산된 수소가 하부층으로 내려오면서 제2, 제5 및 제8식각정지층(242, 252, 262)에 의해 포획(capture)되는 것을 방지할 수 있다.

[0042] 결과적으로, 제1, 제3, 제4, 제6, 제7 및 제9식각정지층(241, 243, 251, 253, 261, 263)은 수소 아웃개싱 및 불필요한 수소 포획에 따른 수소의 손실을 방지하고, 수소 전달 경로로의 집중을 유도할 수 있다. 따라서, 기판으로의 수소 확산을 위한 열처리 공정의 효율을 증가시킬 수 있다.

[0043] 다른 실시예로서, 도시되지 않았으나, 수소 블로킹 물질을 포함하는 식각정지층은 각 금속배선(M1, M2, M3, M4)과 식각정지구조물들(240, 250, 260)의 계면에 적용될 수도 있다.

[0044] 제1, 제3, 제4, 제6, 제7 및 제9식각정지층(241, 243, 251, 253, 261, 263)각각은 수소 블로킹물질을 포함할 수 있다. 제1, 제3, 제4, 제6, 제7 및 제9식각정지층(241, 243, 251, 253, 261, 263)은 화학양론적 조성을 갖는 실리콘질화물(Si_3N_4)보다 막 내 실리콘의 함량이 많은 절연물질을 포함할 수 있다. 제1, 제3, 제4, 제6, 제7 및 제9식각정지층(241, 243, 251, 253, 261, 263)은 화학양론적조성을 갖는 실리콘질화물(Si_3N_4)보다 실리콘의 함량이 많은 실리콘-리치 질화물(SRN; Silicon Rich silicon-nitride)을 포함할 수 있다. 특히, 제1, 제3, 제4, 제6, 제7 및 제9식각정지층(241, 243, 251, 253, 261, 263)은 별도의 증착공정이 아닌 제2, 제5 및 제7식각

정지층(242, 252, 262)의 증착공정시 프리 트리트먼트(pre treatment) 공정 또는 상부 절연층의 증착공정시 프리 트리트먼트 공정을 통해 형성될 수 있다. 예컨대, 제1식각정지층(241)은 제2식각정지층(242)의 증착공정시 프리 트리트먼트 공정에 의해 형성될 수 있다. 제3식각정지층(243)은 제1금속간절연층(132)의 증착공정시 프리 트리트먼트 공정에 의해 형성될 수 있다.

[0045] 제2, 제5 및 제8식각정지층(242, 252, 262)은 화학양론적 조성을 갖는 실리콘질화물(Si_3N_4)보다 유전율이 낮은 절연물질을 포함할 수 있다. 제2, 제5 및 제8식각정지층(242, 252, 262)은 기본함유 실리콘질화물(NDC; Nitride Doped Carbon)을 포함할 수 있다. 제2, 제5 및 제8식각정지층(242, 252, 262)은 Si, C 및 N을 포함할 수 있다. 예를 들어, 제2, 제5 및 제8식각정지층(242, 252, 262)은 SiCN을 포함할 수 있다.

[0046] 본 실시예에서는 제1 내지 제3식각정지구조물을 도시하고 있으나, 다른 실시예로서, 제1층간절연층(131)과 제1 금속간절연층(132) 사이에도 식각정지구조물이 배치될 수 있다.

[0047] 도 3을 참조하면, 반도체 장치는 소자영역(DR)과 배선영역(LR)을 포함할 수 있다. 소자영역(DR)은 기판(101) 및 이에 형성된 복수의 트랜지스터들을 포함하는 영역일 수 있다. 본 발명의 반도체 장치가 메모리 장치인 경우, 소자영역(DR)은 셀 어레이 영역(R1) 및 셀 어레이 영역(R1)을 구동하기 위한 주변회로 영역(R2)을 포함할 수 있다. 셀 어레이 영역(R1)은 메모리 셀들이 배치되는 영역일 수 있다. 주변회로 영역(R2)은 워드라인 드라이버(driver), 센스 앰프(sense amplifier), 로우(row) 및 칼럼(column) 디코더들 및 제어 회로들이 배치되는 영역일 수 있다. 본 발명의 반도체 장치가 비메모리 장치인 경우, 소자영역(DR)은 셀 어레이 영역(R1)을 포함하지 않을 수도 있다.

[0048] 셀 어레이 영역(R1)은 셀 트랜지스터 영역(CS) 및 셀 트랜지스터 영역(CS) 상의 정보 저장 구조체(MS)를 포함할 수 있다. 본 발명의 반도체 메모리 장치가 디램(DRAM) 장치인 경우, 정보 저장 구조체(MS)는 캐패시터들을 포함할 수 있다. 캐패시터들은 하부전극, 유전층 및 상부전극의 적층구조를 포함할 수 있다.

[0049] 셀 트랜지스터 영역(CS)은 소자분리층(111)에 의해 정의되는 활성영역(112), 활성영역(112) 내에 형성된 워드라인들(WL) 및 활성영역(112) 상부에 형성된 비트라인(BL)들로 구성되는 단위 메모리 셀들을 포함할 수 있다. 활성영역(112)에는 워드라인들(WL)에 의해 서로 분리된 복수의 불순물 영역들이 제공될 수 있다. 평면상에서, 비트라인들(BL)은 워드라인들(WL)과 교차하는 방향으로 연장될 수 있다. 비트라인들(BL)은 비트라인콘택을 통해 기판(101)에 전기적으로 연결될 수 있다. 캐패시터들은 스토리지노드콘택을 통해 기판(101)에 전기적으로 연결될 수 있다. 본 실시예는 디램을 기준으로 설명하였으나, 본 발명의 반도체 메모리 장치는 디램에 한정되지 않으며, 상변화 물질과 같은 가변 저항체를 포함하는 메모리 장치일 수도 있다.

[0050] 주변회로 영역(R2)은 주변 트랜지스터 영역(PS)을 포함할 수 있다. 주변 트랜지스터 영역(PS)는 소자분리층(111)에 의해 정의되는 활성영역(112) 및 활성영역(112) 상에 형성된 트랜지스터를 포함할 수 있다.

[0051] 셀 어레이 영역(R1) 및 주변회로 영역(R2)의 기판(101), 셀 트랜지스터 영역(CS) 및 주변 트랜지스터 영역(PS) 상에는 복수의 금속간절연층들(132, 143, 153), 복수의 식각정지구조물들(140, 150, 160), 복수의 층간절연층들(231, 163, 164) 및 다층레벨 금속배선(M1, M2, M3, M4)을 포함할 수 있다.

[0052] 본 실시예에서는 셀 어레이 영역(R1)과 주변회로 영역(R2) 각각에 다층레벨 금속배선(M1, M2, M3, M4)을 포함하고 있으나, 다른 실시예로서, 셀 어레이 영역(R1) 또는 주변회로 영역(R2) 중 한 영역의 다층레벨 금속배선(M1, M2, M3, M4)에만 적용할 수도 있다.

[0053] 다층레벨 금속배선(M1, M2, M3, M4)은 복수의 금속간절연층들(132, 143, 153)을 관통할 수 있다. 복수의 금속간절연층들(132, 143, 153)은 금속배선들(M1, M2, M3, M4) 간의 기생 캐패시턴스를 감소시키기 위해 저유전율을 갖는 절연물질을 포함할 수 있다. 예를 들어, 금속간절연층들(132, 143, 153)은 탄소 및 수소를 포함하는 실리콘산화물($SiCOH$)일 수 있다.

[0054] 층간절연층들(231, 165, 164)은 트랜지스터(Tr) 및 기판(101) 상부, 최상위 금속배선인 제4금속배선(M4)들 사이 및 그 상부에 위치할 수 있다. 층간절연층들(231, 165, 164)들은 금속간절연층들(132, 143, 153)들보다 유전율이 높은 산화물질을 포함할 수 있다. 예를 들어, 제1 및 제2층간절연층(231, 165)은 TEOS(Tetra ethyle ortho silicate) 산화물을 포함할 수 있다. 다른 실시예에서, 제1 및 제2층간절연층(231, 165)은 유전율이 3.9 내지 4.5인 실리콘산화물을 포함할 수도 있다. 본 실시예의 제1층간절연층(231)은 소자영역(DR)의 구조에 따라 다층(230-1, 230-2)으로 형성될 수 있다.

[0055] 제3층간절연층(164)은 수소를 포함하는 실리콘산화물을 포함할 수 있다. 제3층간절연층(164)은 제2층간절연층

(163)에 비하여 상대적으로 수소의 공급 능력이 높은 절연물질을 포함할 수 있다. 예를 들어, 제3층간절연층(164)은 HDP(High Density Plasma) 산화물을 포함할 수 있다. 제3층간절연층(164)은 '수소 패시베이션층(hydrogen passivation layer)' 또는 '수소 공급층'이라고 지칭될 수 있다. 수소 공급층을 통해 수소를 공급하는 경우, 수소 가스 분위기에서 어닐링을 진행하는 것에 비하여 수소의 확산을 차단하는 막들에 영향을 덜 받을 수 있다.

[0056] 제3층간절연층(164) 상부에는 패시베이션층(170)이 형성될 수 있다. 패시베이션층(170)은 제3층간절연층(164)과 더불어 기판(101) 표면으로 수소를 공급하기 위한 수소 공급원 역할을 할 수 있다. 패시베이션층(170)은 기판(101)으로부터 수직한 방향으로 적층된 모든 구조물들을 보호하기 위한 역할을 할 수 있다. 패시베이션층(170)은 예를 들어, 실리콘질화물을 포함할 수 있다.

[0057] 수소 패시베이션 공정시 제3층간절연층(164) 내의 수소는 기판(101)과 전기적으로 연결되는 다층레벨 금속배선(M1, M2, M3, M4)을 통해 기판(101) 표면으로 확산될 수 있다. 수소가 도달하는 기판(101)의 표면은 셀 어레이 영역(R1)에서 워드라인(WL)을 구성하는 게이트절연층의 계면(D1) 및 주변회로 영역(R2)에서 주변 트랜지스터 영역(PS)과 기판(101) 사이의 계면(D2) 일 수 있다. 따라서, 각 계면(D1, D2)의 트랩 사이트들(trap sites)은 확산된 수소들로 채워져 계면 트랩 밀도를 현저히 감소시킨다. 따라서, 트랜지스터의 누설 전류 특성을 향상시킬 수 있다.

[0058] 식각정지구조물들(140, 150, 160)은 층간절연층들(131, 163, 164) 및 금속간절연층들(132, 143, 153)에 대해 식각선택비를 갖는 절연물질을 포함할 수 있다. 식각정지구조물들(140, 150, 160)은 금속간절연층들(132, 143, 153) 보다 막의 밀도 및 강도가 높을 수 있다. 식각정지구조물들(140, 150, 160)은 금속간절연층들(132, 143, 153)으로부터 일부 가스가 나오거나 또는 식각정지구조물들(140, 150, 160) 내로 가스가 유입되는 것을 방지할 수 있다. 즉, 식각정지구조물들(140, 150, 160)은 금속간절연층들(132, 143, 153)로부터 가스들, 예를 들어, 수소(H₂), 수증기(H₂O), 불소, 염소 등이 아웃 개싱되는 것을 억제할 수 있다. 또한, 식각정지구조물들(140, 150, 160)은 금속간절연층들(132, 143, 153)로 수소 또는 수증기 등이 유입되는 것을 방지하기 위해 제공될 수 있다.

[0059] 도 3의 식각정지구조물들(140, 150, 160)은 도 1의 식각정지구조물들(140, 150, 160)과 동일한 적층구조를 포함할 수 있다. 다른 실시예에서, 도 3의 식각정지구조물들(140, 150, 160)은 도 2의 식각정지구조물들(240, 250, 260)로 대체될 수도 있다.

[0060] 제1식각정지구조물(140)은 제1식각정지층(141) 및 제2식각정지층(142)의 적층구조를 포함할 수 있다. 제2식각정지구조물(150)은 제3식각정지층(151) 및 제4식각정지층(152)의 적층구조를 포함할 수 있다. 제3식각정지구조물(160)은 제5식각정지층(161) 및 제6식각정지층(162)의 적층구조를 포함할 수 있다. 각 식각정지구조물(140, 150, 160)의 두께는 각 금속간절연층(111, 123, 133)의 두께보다 작을 수 있다. 각 식각정지구조물(140, 150, 160)의 두께는 각 층간절연층(131, 163, 164)의 두께보다 작을 수 있다. 제1, 제3 및 제5식각정지층(141, 151, 161)의 두께는 각각 제2, 제4 및 제6식각정지층(142, 152, 162)의 두께보다 작을 수 있다. 예를 들어, 제2식각정지층(142)의 두께가 250Å~700Å일 경우, 제1식각정지층(141)의 두께는 20Å~40Å일 수 있다.

[0061] 제1, 제3 및 제5식각정지층(141, 151, 161)은 하부층 내의 수소가 열처리 등에 의해 상부층으로 확산되는 것을 방지하는 역할을 할 수 있다. 즉, 제1, 제3 및 제5식각정지층(141, 151, 161)은 기판 표면으로 수소 확산을 위한 열처리 공정시, 하부층 내의 수소가 상부로 확산되는 것을 차단하여, 제2, 제4 및 제6식각정지층(142, 152, 162)에 의해 수소가 포획(capture)되는 것을 방지할 수 있다. 결국, 제1, 제3 및 제5식각정지층(141, 151, 161)은 수소 전달 경로로의 집중을 유도하여 수소 확산을 위한 열처리 공정의 효율을 증가시킬 수 있다.

[0062] 제1, 제3 및 제5식각정지층(141, 151, 161) 각각은 수소 블로킹물질을 포함할 수 있다. 제1, 제3 및 제5식각정지층(141, 151, 161)은 화학양론적 조성을 갖는 실리콘질화물(Si₃N₄)보다 막 내 실리콘의 함량이 많은 절연물질을 포함할 수 있다. 제1, 제3 및 제5식각정지층(141, 151, 161)은 화학양론적조성을 갖는 실리콘질화물(Si₃N₄)보다 실리콘의 함량이 많은 실리콘-리치 실리콘질화물(SRN; Silicon Rich silicon-nitride)을 포함할 수 있다. 특히, 제1, 제3 및 제5식각정지층(141, 151, 161) 각각은 별도의 증착공정이 아닌 제2, 제4 및 제6식각정지층(142, 152, 162) 각각의 증착공정시 프리 트리트먼트(pre treatment) 공정을 통해 형성될 수 있다. 제1, 제3 및 제5식각정지층(141, 151, 161) 각각은 제2, 제4 및 제6식각정지(142, 152, 162) 각각과 동일 챔버에서 인사이트(in-situ)로 형성될 수 있다.

[0063] 제2, 제4 및 제6식각정지층(142, 152, 162)은 화학양론적 조성을 갖는 실리콘질화물(Si₃N₄)보다 유전율이 낮은

절연물질을 포함할 수 있다. 제2, 제4 및 제6식각정지층(142, 152, 162)은 카본함유 실리콘질화물(NDC; Nitride Doped Carbon)을 포함할 수 있다. 제2, 제4 및 제6식각정지층(142, 152, 162)은 Si, C 및 N을 포함할 수 있다. 예를 들어, 제2, 제4 및 제6식각정지층(142, 152, 162)은 SiCN을 포함할 수 있다.

- [0064] 다층레벨 금속배선(M1, M2, M3, M4)은 금속배선콘택과 도전라인을 포함할 수 있다.
- [0065] 도 4a 내지 도 4g는 본 실시예에 따른 반도체 장치 제조 방법을 도시한 도면이다. 도 4a 내지 도 4g는 도 1의 반도체 장치를 형성하기 위한 제조 방법을 도시하고 있으나, 도 2 및 도 3의 반도체 장치 형성방법에도 적용될 수 있다.
- [0066] 도 4a에 도시된 바와 같이, 기판(11)에 소자분리층(12) 및 활성영역(13)을 형성한다.
- [0067] 소자분리층(12)에 의해 활성영역(13)이 정의될 수 있다. 소자분리층(12)은 STI(Shallow Trench Isolation) 공정에 의해 형성될 수 있다.
- [0068] 이어서, 기판(11) 상에 트랜지스터(Tr)를 형성한다. 트랜지스터(Tr)는 도 1에 도시된 트랜지스터(Tr)와 동일한 구조를 포함할 수 있다.
- [0069] 이어서, 트랜지스터(Tr) 양측 기판에 불순물영역(14)을 형성한다. 불순물영역(14)은 '소스/드레인영역'이라고 지칭될 수 있다. 불순물영역(14)은 비소(As) 또는 인(P) 등의 N형 불순물을 포함할 수 있다.
- [0070] 이어서, 트랜지스터(Tr)를 포함하는 기판(11) 상에 제1층간절연층(15)을 형성한다. 제1층간절연층(15)의 상부면은 트랜지스터(Tr)의 상부면보다 높은 레벨에 위치할 수 있다. 예를 들어, 제1층간절연층(15)은 TEOS 산화물을 포함할 수 있다. 다른 실시예에서, 제1층간절연층(15)은 유전율이 3.9 내지 4.5인 실리콘산화물을 포함할 수도 있다.
- [0071] 이어서, 제1층간절연층(15)을 관통하여 기판(11)에 연결되는 제1금속배선콘택(21)을 형성한다. 제1금속배선콘택(21)이 연결되는 기판(11)은 불순물영역(14)일 수 있다. 후속 수소 패시베이션 공정시 제1금속배선콘택(21)을 통해 전달된 수소가 불순물영역(14)을 통해 트랜지스터(Tr)와 기판(11)의 계면(100)에 공급될 수 있다.
- [0072] 도 4b 및 도 4c에 도시된 바와 같이, 제1층간절연층(15) 및 제1금속배선콘택(21) 상에 오프닝(OP)을 포함하는 제1금속간절연층(31)을 형성한다.
- [0073] 이를 위해, 제1층간절연층(15) 및 제1금속배선콘택(21) 상에 저유전율물질층을 형성하고, 저유전율물질층 상에 도전라인 영역을 오픈시키는 마스크패턴을 형성한 후, 마스크패턴을 이용하여 저유전율물질층을 식각하는 일련의 공정을 진행할 수 있다.
- [0074] 제1금속간절연층(31)은 실리콘산화물(SiO₂)보다 낮은 유전율을 갖는 저유전 물질을 포함할 수 있다. 제1금속간절연층(31)은 '저유전율층'이라고 지칭할 수 있다. 일 예로, 실리콘산화물은 3.9 내지 4.5 정도의 유전율을 가질 수 있다. 제1금속간절연층(31)은 3.5이하의 유전율을 가질 수 있으며, 예를 들어, 2.0 내지 3.5의 유전율을 가질 수 있다. 예를 들어, 제1금속간절연층(31)은 탄소 및 수소를 포함하는 실리콘산화물(SiCOH)일 수 있다.
- [0075] 이어서, 오프닝(OP)을 캡필하는 제1도전라인(22)을 형성할 수 있다. 제1도전라인(22)은 오프닝(OP)을 포함하는 제1금속간절연층(31) 상에 도전물질을 형성하고, 제1금속간절연층(31)의 상부면이 드러나는 타겟으로 도전물질을 식각하는 일련의 공정을 통해 형성할 수 있다. 제1금속간절연층(31)과 제1도전라인(22)의 계면에는 배리어층(도시생략)이 형성될 수 있다. 제1금속배선콘택(21)과 제1도전라인(22)은 제1금속배선(M1)이라고 지칭할 수 있다.
- [0076] 도 4d 내지 도 4f에 도시된 바와 같이, 제1금속배선(M1)을 포함하는 제1금속간절연층(31) 상에 제1식각정지구조물(40)을 형성한다.
- [0077] 제1식각정지구조물(40)은 제1식각정지층(41) 및 제2식각정지층(42)의 적층구조를 포함할 수 있다. 제1식각정지층(41)의 두께는 제2식각정지층(42)의 두께보다 작을 수 있다.
- [0078] 제1식각정지층(41)은 수소 블로킹물질을 포함할 수 있다. 제1식각정지층(41)은 화학양론적 조성을 갖는 실리콘질화물(Si₃N₄)보다 막 내 실리콘의 함량이 많은 절연물질을 포함할 수 있다. 제1식각정지층(41)은 화학양론적 조성을 갖는 실리콘질화물(Si₃N₄)보다 실리콘의 함량이 많은 실리콘-리치 질화물(SRN; Silicon Rich silicon-nitride)을 포함할 수 있다. 특히, 제1식각정지층(41)은 별도의 증착공정이 아닌 제2식각정지층(42)의 증착공정 시 프리 트리트먼트(pre treatment) 공정을 통해 형성될 수 있다. 제1식각정지층(41)은 제2식각정지층(42)과 동

일 챔버에서 인시튜(in-situ)로 형성될 수 있다.

[0079] 제2식각정지층(42)은 화학양론적 조성을 갖는 실리콘질화물(Si_3N_4)보다 유전율이 낮은 절연물질을 포함할 수 있다. 제2식각정지층(42)은 카본함유 실리콘질화물(NDC; Nitride Doped Carbon)을 포함할 수 있다. 제2식각정지층(42)은 Si, C 및 N을 포함할 수 있다. 예를 들어, 제2식각정지층(42)은 SiCN을 포함할 수 있다.

[0080] 본 실시예에서는 도 1에 도시된 식각정지구조물의 구조를 도시하고 있으나, 도 2에 도시된 식각정지구조물의 구조를 적용할 수 있음은 물론이다.

[0081] 이어서, 제1식각정지구조물(40) 상에 제2금속간절연층(43)을 형성한다. 제2금속간절연층(43)은 제1금속간절연층(31)과 동일 물질을 포함할 수 있다. 제2금속간절연층(43)은 제1식각정지구조물(40)의 전체두께보다 큰 두께를 가질 수 있다.

[0082] 이어서, 제2금속간절연층(43) 및 제1식각정지구조물(40)을 식각하여 비아(V1) 및 트렌치(T1)를 형성한다.

[0083] 비아(V1)와 트렌치(T1)는 각각의 마스크를 이용한 별도의 공정으로 형성할 수 있다. 다른 실시예에서, 비아(V1)와 트렌치(T1)는 트리밍 공정을 통해 너비가 조절된 하나의 마스크를 이용한 별도의 식각 공정으로 형성할 수도 있다. 예를 들어, 비아(V1)를 형성한 후 트렌치(T1)를 형성할 수 있다. 다른 실시예에서, 트렌치(T1)를 형성한 후 비아(V1)를 형성할 수도 있다.

[0084] 도 4f 및 도 4g에 도시된 바와 같이, 비아(V1, 도 4e 참조) 및 트렌치(T1, 도 4e 참조)에 제2금속배선(M2)을 형성한다.

[0085] 제2금속배선(M2)은 비아(V1)를 매립하는 제2금속배선콘택(45)과 트렌치(T1)를 매립하는 제2도전라인(46)을 포함할 수 있다. 비아(V1) 및 트렌치(T1)와 제2금속배선(M2)의 계면에는 배리어층(도시생략)이 형성될 수 있다. 배리어층은 티타늄, 티타늄질화물, 탄탈륨, 탄탈륨질화물을 포함할 수 있다.

[0086] 제2금속배선콘택(45)과 제2도전라인(46)은 동일한 물질을 포함할 수 있다. 제2금속배선(M2)은 예를 들어, 구리(Cu)를 포함할 수 있다. 제2금속배선(M2)은 비아(V1) 및 트렌치(T1)를 매립하는 도전물질을 형성한 후, 평탄화 공정을 진행하는 다마신 공정으로 형성할 수 있다. 제2금속배선(M2)은 시드층(도시생략)을 형성한 후, 전기 도금 공정을 통해 형성될 수 있다. 전기 도금 공정 후에는 별도의 열처리 공정이 더 수행될 수도 있다.

[0087] 이어서, 도 4d, 도 4e 및 도전물질 형성 공정을 반복하여, 제2금속배선(M2)을 포함하는 제2금속간절연층(43) 상에 제3금속배선(M3)을 포함하는 제2식각정지구조물(50) 및 제3금속간절연층(53)을 형성한다.

[0088] 이어서, 제3금속간절연층(53) 상에 제3식각정지구조물(60) 및 제2층간절연층(63)을 차례로 형성한다.

[0089] 제3식각정지구조물(60)은 제1 및 제2식각정지구조물(40, 50)과 동일한 공정(도 4e 참조)을 통해 형성될 수 있다.

[0090] 제2층간절연층(63)은 제1층간절연층(15)과 동일한 물질을 포함할 수 있다. 제2층간절연층(63)은 예를 들어, TEOS(Tetra Ethyl Ortho Silicate) 산화물을 포함할 수 있다. 다른 실시예에서, 제2층간절연층(63)은 유전율이 3.9 내지 4.5인 실리콘산화물을 포함할 수 있다.

[0091] 이어서, 제2층간절연층(63) 및 제3식각정지구조물(60)을 관통하여 제3금속배선(M3)의 일부를 노출시키는 비아(V2)를 형성한다.

[0092] 이어서, 비아(V2)를 캡필하는 제4금속배선콘택(65)을 형성한다. 제4금속배선콘택(65)은 최상부에 위치하는 콘택 플러그일 수 있다. 제4금속배선콘택(65)은 제1 내지 제3금속배선(M1, M2, M3)과 다른 물질을 포함할 수 있다. 제4금속배선콘택(65)은 제1 내지 제3금속배선(M1, M2, M3)보다 저항이 낮은 도전물질을 포함할 수 있다. 예를 들어, 제4금속배선콘택(65)은 텅스텐(W)을 포함할 수 있다. 제4금속배선콘택(65)과 제2층간절연층(63)의 계면에는 배리어층(도시 생략)이 형성될 수 있다. 배리어층은 텅스텐 질화물을 포함할 수 있다.

[0093] 이어서, 제4금속배선콘택(65) 및 제2층간절연층(63) 상에 제4도전라인(66)을 형성한다. 제4금속배선콘택(65)과 제4도전라인(66)은 제4금속배선(M4)라고 지칭할 수 있다. 본 실시예에서는, 제4금속배선(M4)이 최상위 금속배선으로 도시하였으나, 이에 한정되지 않는다.

[0094] 제4도전라인(66)은 제4금속배선콘택(65)의 상부면과 접촉하면서 일방향으로 연장되는 형상을 가질 수 있다. 제4도전라인(66)은 제4금속배선콘택(65)보다 저항이 낮은 도전물질을 포함할 수 있다. 제4도전라인(66)은 산화에 따른 부식이 감소되는 금속물질을 포함할 수 있다. 예를 들어, 제4도전라인(66)은 알루미늄을 포함할 수 있다.

알루미늄의 경우 표면이 산화되면 산화 알루미늄이 하부의 알루미늄의 산화 피막제로 제공될 수 있다.

[0095] 이어서, 제2층간절연층(63) 및 제4도전라인(66) 상에 제3층간절연층(71)을 형성할 수 있다. 제3층간절연층(71)은 수소를 포함하는 실리콘산화물을 포함할 수 있다. 예를 들어, 제3층간절연층(71)은 HDP 산화물을 포함할 수 있다. 제3층간절연층(71)은 '수소 패시베이션층' 또는 '수소 공급층'이라고 지칭될 수 있다.

[0096] 이어서, 제3층간절연층(71) 상에 패시베이션층(72)을 형성할 수 있다. 패시베이션층(72)은 예를 들어, 실리콘질화물을 포함할 수 있다.

[0097] 이어서, 제3층간절연층(71) 내의 수소를 기판(11) 표면(기판(11))과 트랜지스터(Tr)의 계면(100)으로 공급하기 위한 열처리 공정(AP)을 진행한다.

[0098] 열처리 공정의 열은 패시베이션층(72) 쪽에서 가해지고, 금속배선들을 포함하는 수소 전달 경로를 통해 기판(11)으로 수소가 전달될 수 있다. 패시베이션층(72)은 열처리 공정 동안 수소 전달 경로와 반대방향으로의 수소 이탈을 방지할 수 있다.

[0099] 이상으로 해결하고자 하는 과제를 위한 다양한 실시예들이 기재되었으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자진 자라면 본 발명의 기술사상의 범위 내에서 다양한 변경 및 수정이 이루어질 수 있음을 명백하다.

부호의 설명

[0101] 101 : 기판

Tr : 트랜지스터

131, 163, 164 : 층간절연층

132, 143, 153 : 금속간절연층

M1, M2, M3, M4 : 금속배선

135, 145, 155, 165 : 금속배선콘택

136, 146, 156, 166 : 도전라인

140, 150, 160 : 식각정지구조물

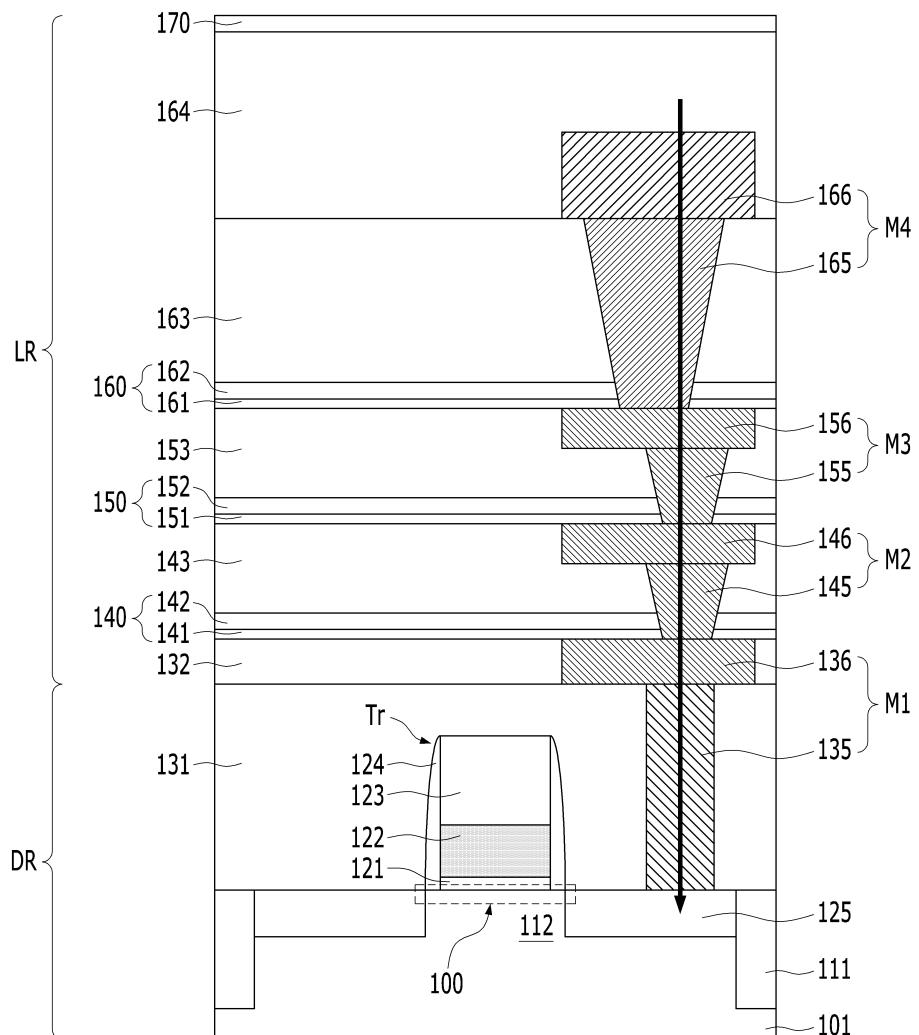
141, 151, 161 : 계면층

142, 152, 162 : 식각정지층

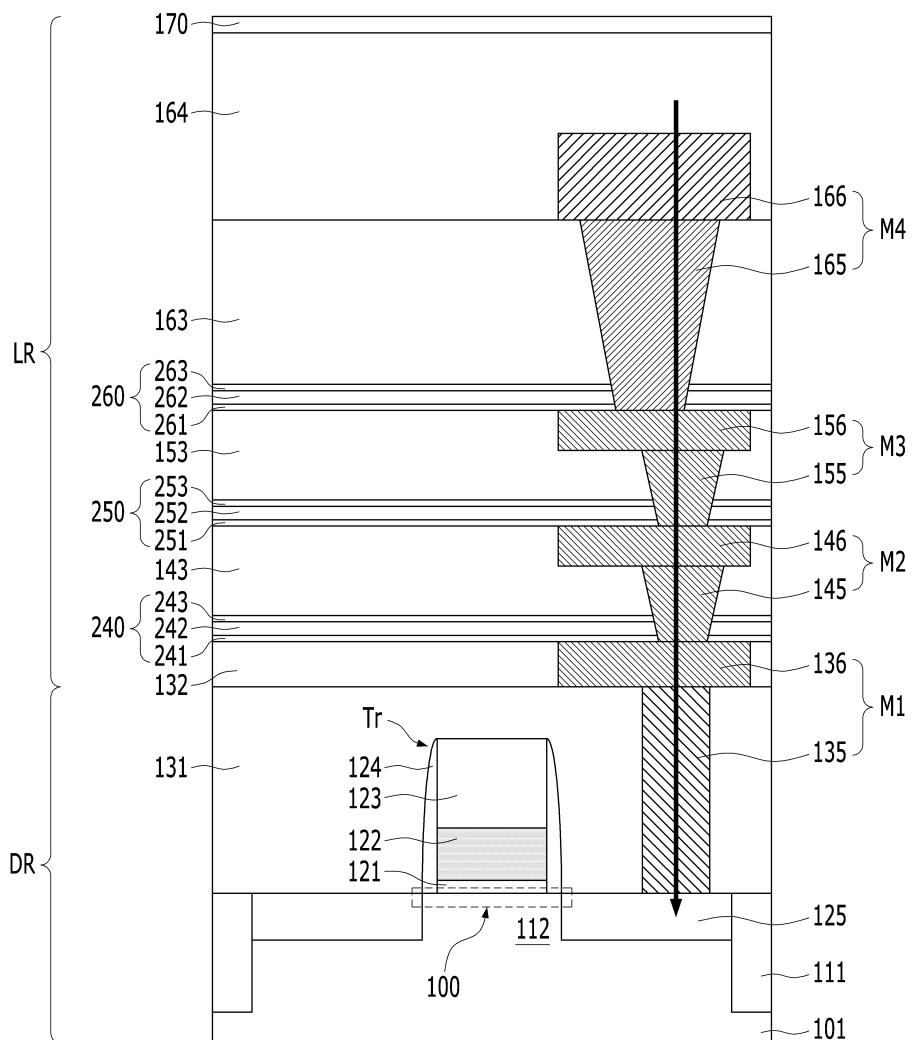
170 : 패시베이션층

도면

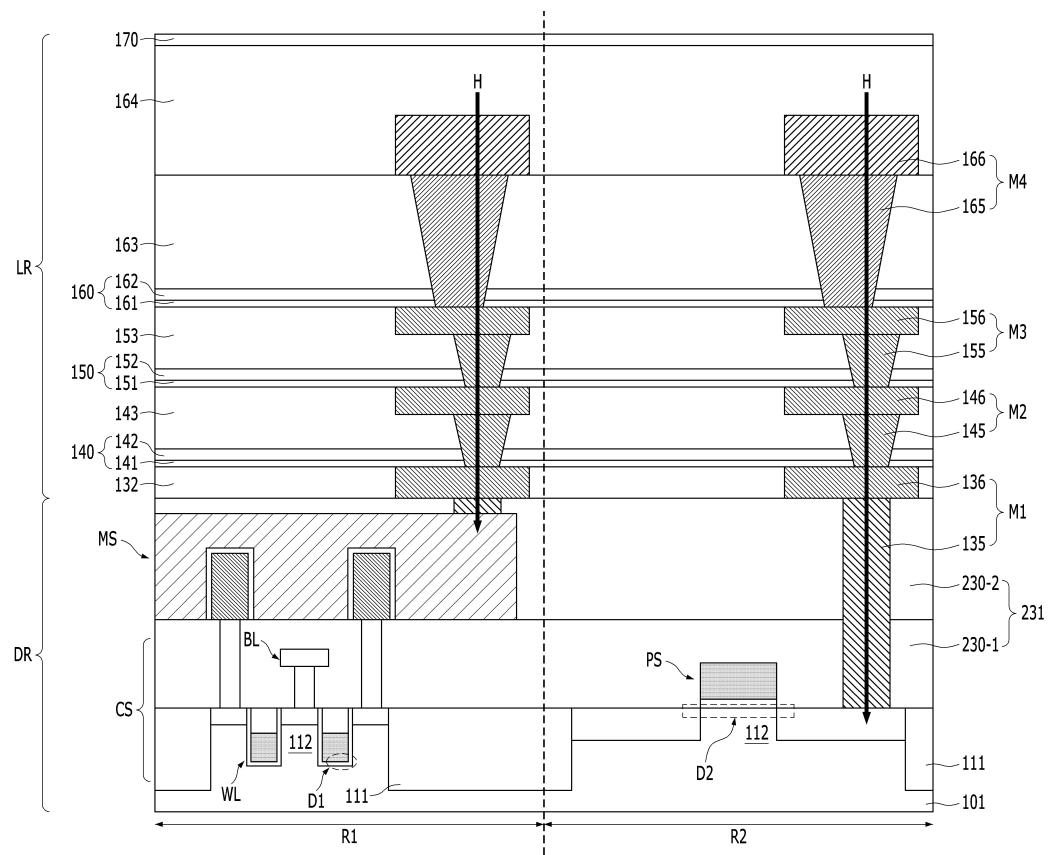
도면1



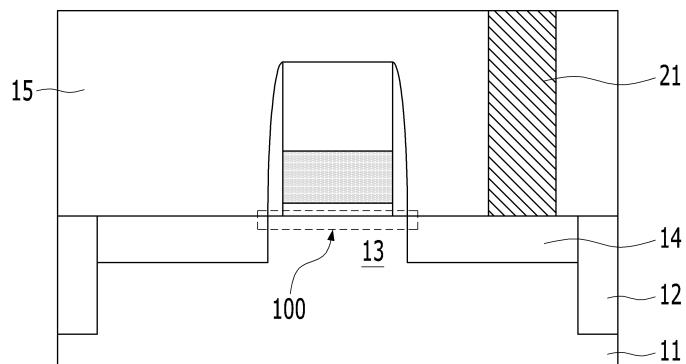
도면2



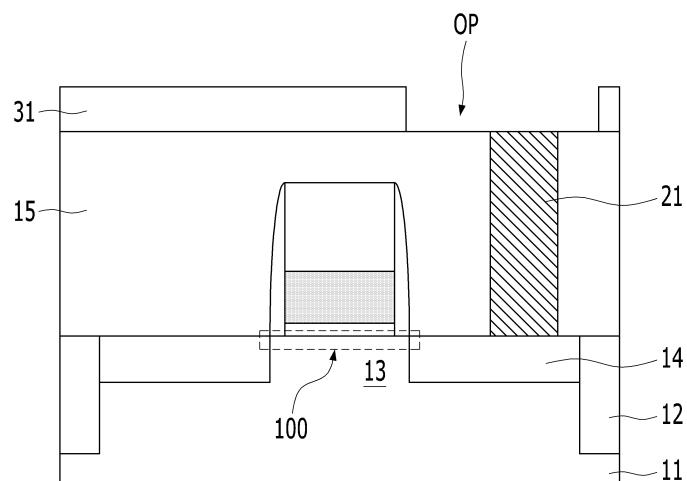
도면3



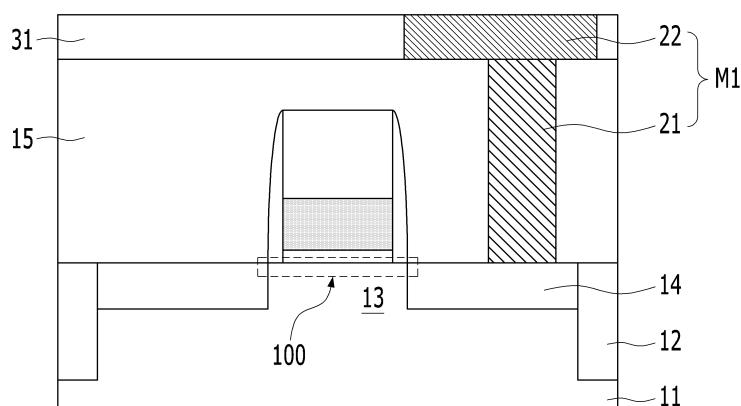
도면4a



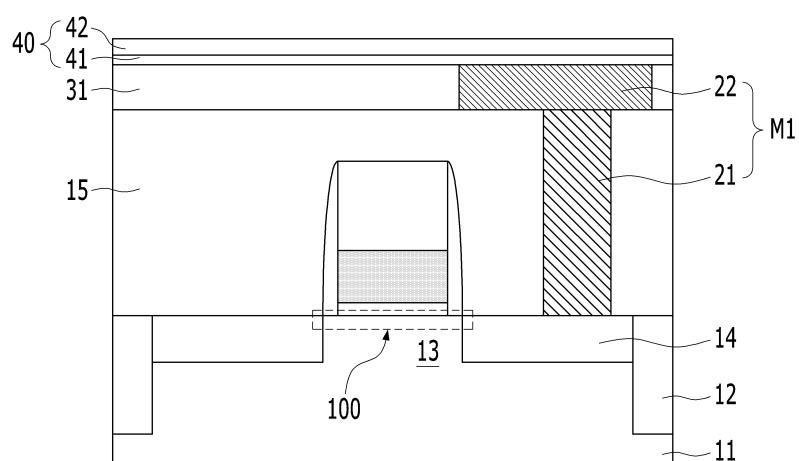
도면4b



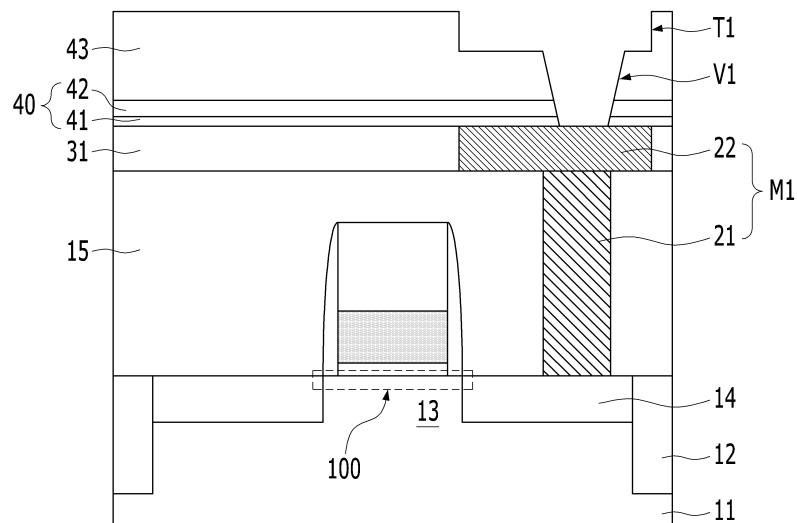
도면4c



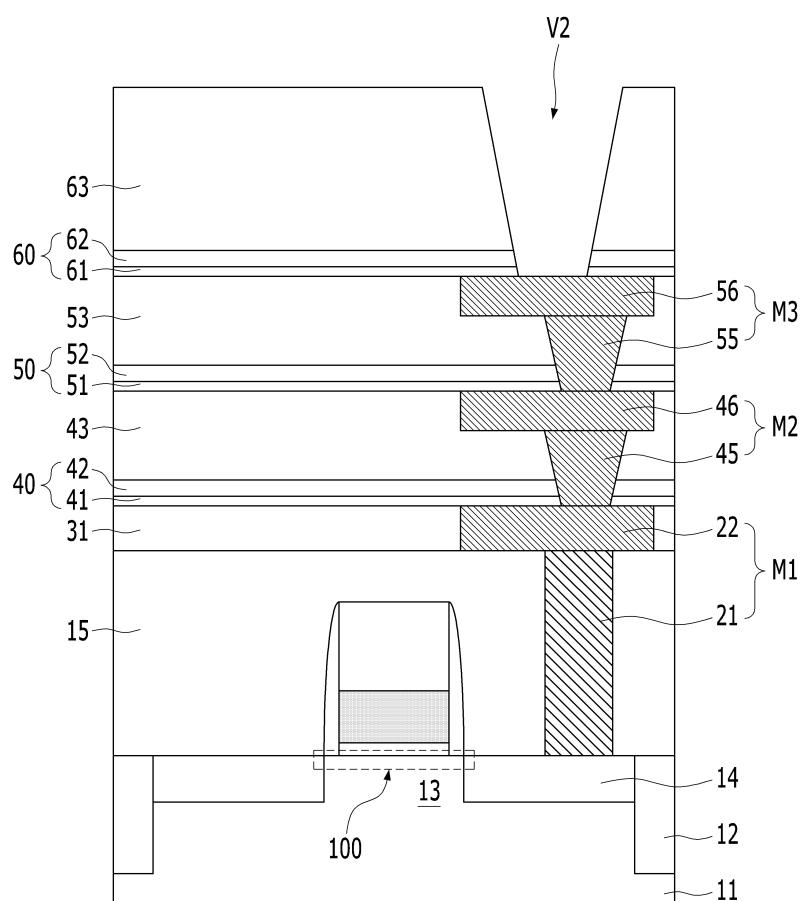
도면4d



도면4e



도면4f



도면4g

