

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04L 7/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510130485.7

[45] 授权公告日 2009年7月1日

[11] 授权公告号 CN 100508446C

[22] 申请日 2005.12.13

[21] 申请号 200510130485.7

[73] 专利权人 北京中星微电子有限公司

地址 100083 北京市海淀区学院路35号
世宁大厦15层

[72] 发明人 张怡浩

[56] 参考文献

CN1177248A 1998.3.25

US5696462A 1997.12.9

US5140612A 1992.8.18

US6493832B1 2002.12.10

数字音频信号的传输与同步. 刘勇. 现代
电视技术, 第2期. 1996

审查员 苏宁

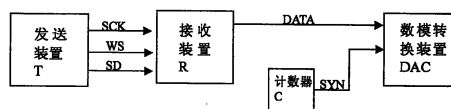
权利要求书2页 说明书5页 附图5页

[54] 发明名称

一种数字音频信号传输系统及方法

[57] 摘要

为降低音频数据传输以及播放过程中的噪音, 本发明提供了一种数字音频信号传输系统。该传输系统通过一计数器来控制系统中的数模转换装置, 从而克服了音频数据发送装置与数模转换装置工作时钟频率不一致所带来的问题, 保证所述数模转换装置的工作时钟频率与数据输入频率在整个音频数据传输以及播放过程中都能保持一定的比例关系, 从而使音频信号得到比较清晰的再现。



1. 一种数字音频信号传输系统，包括发送装置、接收装置和数模转换装置，其特征在于所述传输系统还包括一计数器；

所述发送装置向所述接收装置发送数据传输时钟信号、声道选择信号以及数字音频数据；

所述接收装置向所述数模转换装置传输经过处理的数字音频数据；

所述计数器通过计数产生一同步信号对所述数模转换装置进行控制，使得当所述计数器计数到一预定数值时，来自于所述接收装置的经过处理的数字音频数据被读入所述数模转换装置，所述预定数值与所述同步信号的频率之积等于所述数模转换装置的工作时钟频率。

2. 一种数字音频信号传输系统，包括发送装置、接收装置和数模转换装置，其特征在于所述传输系统还包括一计数器及一多路选择器；

所述发送装置向所述接收装置发送数据传输时钟信号、声道选择信号以及数字音频数据；

所述接收装置向所述数模转换装置传输经过处理的数字音频数据；

所述计数器计数到一预定数值时产生第一同步信号作为所述多路选择器的一个输入信号，所述接收装置根据所述声道选择信号产生第二同步信号作为所述多路选择器的另一个输入，所述预定数值与所述第一同步信号的频率之积等于所述数模转换装置的工作时钟频率；

所述多路选择器在输入的第一、第二同步信号中选择其中一个输出作为第三同步信号，当所述发送装置的工作时钟频率与所述数模转换装置的工作时钟频率不存在差异的时候，所述多路选择器选择所述第二同步信号作为所述第三同步信号，当所述发送装置的工作时钟频率与所述数模转换装置的工作时钟频率存在差异的时候，所述多路选择器选择所述第一同步信号作为所述第三同步信号，在所述第三同步信号的控制下，来自于所述接收装置的经过处理的数字音频数据被读入所述数模转换装置。

3. 如权利要求 1 或 2 所述的传输系统,其特征在於所述发送装置是音频解码装置。

4. 如权利要求 1 或 2 所述的传输系统,其特征在於所述接收装置是音频处理装置。

5. 如权利要求 1 或 2 所述的传输系统,其特征在於进行数字音频数据传输的总线是 I²S 总线。

6. 如权利要求 1 或 2 所述的传输系统,其特征在於数字音频数据是串行数据或是并行数据。

7. 如权利要求 1 或 2 所述的传输系统,其特征在於所述预定数值根据所述数模转换装置要求而确定。

8. 一种基於权利要求 1 所述的数字音频信号传输系统进行数字音频信号传输的方法,包括:

以数模转换装置的工作时钟频率为计数频率的计数操作;

当计数到所述预定数值时就将数字音频数据送入数模转换装置的操作。

一种数字音频信号传输系统及方法

技术领域

本发明涉及数据传输领域，特别涉及数字音频数据的传输。

技术背景

对于数字音频处理器来说，比较理想的是集音频解码、音频处理、数模转换等功能于一身，但是这种集成型的芯片通常造价很高，并且如果其中一个功能模块不能正常工作也会影响到其他装置的运行。因此，目前通常的做法是由具有音频解码或音频录制功能的发送装置，具有音频处理功能的接收装置，以及数模转换装置以及相应的总线一起组成一音频传输系统。

如图 1 所示，发送装置 T 向接收装置 R 发送数据传输时钟信号 SCK、声道选择信号 WS，以及数字音频数据 SD。经过接收装置 R 的处理，数字音频数据 DATA 被发送给数模转换装置 DAC。同时，接收装置 R 根据 WS 的变化频率（即音频数据的采样频率 F_s ）产生同步信号 SYN，并将 SYN 发送给所述数模转换装置 DAC。

如图 2A 所示，在数据传输时钟 SCK 的每一个周期内有一数字音频数据 SD 被发送给接收装置 R。声道选择信号 WS 定义了播放数字音频信号的声道，例如，当 WS 为高电平时数字音频信号将被右声道播放，当 WS 为低电平时数字音频信号将被左声道播放。如图 2B 所示，当同步信号 SYN 为高电平时数模转换装置 DAC 才读入一经过处理的音频数据 DATA，因此 SYN 的频率决定了 DAC 的数据输入频率。可见通常情况下，发送装置 T 的音频信号采样频率 F_s 与数模转换装置 DAC 的数据输入频率 F_s' 是一致的。

数模转换装置 DAC 对于同步信号 SYN 的频率即 DAC 数据输入频率 F_s' 与 DAC 的工作时钟频率 F_{mclk}' 之间的关系有着明确的要求，例如 $F_{mclk}'=256*F_s'$ ， $F_{mclk}'=384*F_s'$ ， $F_{mclk}'=512*F_s'$ 。根据不同的 DAC 和配置可以有不同的选择，

但是这种比例关系一旦固定下来，在音频播放过程中是不允许变动的。当音频数据从发送装置 T 发出时，发送装置 T 的工作频率 F_{mclk} 与音频数据采样频率 F_s 是满足上述关系的。如前所述，音频采样频率 F_s 与 DAC 的数据输入频率是一致的，因此，如果要保持上述 F_{mclk} 与 F_s 的稳定的比例关系就要求发送装置 T 和接收装置 R 的工作时钟频率必须完全相同。但是，由于发送装置 T 和接收装置 R 是两个相互独立的工作模块，因此它们的工作时钟频率不能保证完全相同，那么 F_{mclk}/F_s 将不能维持固定的值，通常是周期性的变化，这将导致 DAC 不能正确的对音频数据进行还原，并将引入大量噪音。

现有技术中解决上述问题的做法如图 3A 所示，将发送装置 T 的工作时钟信号通过接收装置 R 直接发送给数模转换装置 DAC。但是，并非所有的芯片都有足够的管脚支持该种时钟信号的直接传输。

另一种现有技术的做法如图 3B 所示，由于数据传输系统时钟信号 SCK 是由发送装置 T 的工作时钟经过分频处理得到的，因此在所述音频传输系统中增加一锁相环电路 PLL 对接收装置 R 所接收到的数据传输时钟信号 SCK 进行倍频，从而得到与所述发送装置 T 一致的工作时钟频率，并将其作为所述数模转换装置 DAC 的工作频率。但是采用所述锁相环电路 PLL 将会使得整个系统的成本大大增加。

因此，目前还没有有一种能够解决发送装置 T 工作时钟与接收装置 R 工作时钟不一致问题的低成本方案。

发明内容

本发明的目的是在不大幅提高芯片成本的前提下，解决数字音频传输过程中由于发送装置工作时钟与数模转换装置工作时钟不一致而引入大量噪音的问题。

本发明提供了一种数字音频信号传输系统，包括发送装置、接收装置和数模转换装置，还包括一计数器；所述发送装置向所述接收装置发送数据传输时钟信号、声道选择信号以及数字音频数据；所述接收装置向所述数模转换装置

传输经过处理的数字音频数据；所述计数器通过计数产生一同步信号对所述数模转换装置进行控制，当所述计数器计数到一预定数值时，来自于所述接收装置的经过处理的数字音频数据被读入所述数模转换装置。其中，所述预定数值与所述同步信号频率之积等于所述数模转换装置的工作时钟频率。

如上所述的数字音频信号传输系统还可以包括一多路选择器。其中，所述计数器通过计数产生同步信号一作为所述多路选择器的一个输入信号，所述接收装置根据声道选择信号产生同步信号二作为所述多路选择器的另一个输入；在所述多路选择器输出的同步信号三的控制下，来自于所述接收装置的经过处理的数字音频数据被读入所述数模转换装置。其中，所述预定数值与所述同步信号一频率之积等于所述数模转换装置的工作时钟频率。

前述的发送装置可以是音频解码装置，接收装置可以是音频处理装置，音频传输的总线可以是 I²S 总线，其中的数字音频数据可以是串行数据或是并行数据。另外，所述预定数值可以根据所述数模转换装置要求而确定。

本发明还提供了一种进行数字音频信号传输方法，包括：以数模转换装置的工作频率为计数频率的计数操作；以及当计数到一预定数值时就将数字音频数据送入数模转换装置的操作。

本发明技术方案在不增加芯片的管脚数目也不影响系统成本的前提下，解决了音频数据发送装置与数模转换装置工作时钟不一致而引入噪声的问题。

附图说明

图 1 是传统的数字音频信号传输系统结构图；

图 2A 是发送装置向接收装置传输的信号时序图；

图 2B 是数模转换装置数据接口工作时序图；

图 3A 是现有技术中解决发送装置工作时钟与数模转换装置工作时钟不一致的数字音频信号传输系统结构图；

图 3B 是现有技术中解决发送装置工作时钟与数模转换装置工作时钟不一致的另一种数字音频信号传输系统结构图；

图 4A 是本发明技术方案所记载的数字音频信号传输系统结构图；
图 4B 是本发明技术方案所记载的另一种数字音频信号传输系统结构图；
图 5 是采用不同技术方案所还原得到的音频信号比较图。

具体实施方式

本发明为实现前述发明目的，采用了一种新型的数字音频信号传输系统。在该传输系统中，如图 4A 所示，控制数模转换装置 DAC 读取数据的同步信号 SYN 由一个计数器 C 产生，该计数器 C 的计数频率与所述数模转换装置 DAC 的工作时钟频率 F_{mclk} 相同。当所述计数器 C 计数到某一预定的计数值时，C 就发送一个脉冲信号给数模转换装置 DAC，则 DAC 读入一音频数据 DATA。这里所述的某一预定的数值可以根据不同的 DAC 而定，例如 256、384、512 等。

本发明所记载的数字音频信号传输系统的工作过程可以通过以下的例子来进一步说明。例如所述发送装置 T 的工作时钟频率 $F_{mclk}=12.288\text{MHz}$ ，音频采样率 $F_s=48\text{KHz}$ ，它们之间的关系满足 $F_{mclk}=256*F_s$ 。但是，所述接收装置 R 及所述数模转换装置 DAC 的工作时钟频率 $F_{mclk}'=12.00\text{MHz}$ 。如果数模转换装置 DAC 的数据输入频率 F_s' 仍然保持与发送装置 T 的采样频率 F_s 一致的话，在整个音频传输过程中就会出现 $F_{mclk}'\neq 256*F_s'$ 的情况，这将导致 DAC 无法正确的对音频信号进行还原。为了解决这个问题，在原有的数字音频信号传输系统中加入了计数器 C，由 C 来负责产生控制数模转换装置 DAC 的同步信号 SYN。将计数器 C 的计数频率配置为所述数模转换装置 DAC 的工作频率 F_{mclk}' 。这样，每当计数到 256 的整数倍时，计数器 C 就向数模转换装置 DAC 发送一个脉冲，DAC 就读入一音频数据。这样，尽管发送装置 T 和接收装置 R 的工作时钟并不完全相同，在整个音频传输过程中仍然保持了 $F_{mclk}'=256*F_s'$ 的固定比例关系。

本发明的另一个实施例如图 4B 所示，在上述的计数器 C 和数模转换装置 DAC 之间增加了一个多路选择器 M。该多路选择器 M 的输入之一 SYN1 来自

所述计数器 C。该计数器 C 的计数频率配置为所述数模转换装置 DAC 的工作频率 F_{mclk}' 。所述多路选择器 M 的另一输入 SYN2 来自于所述接收装置 R, SYN2 的频率即为发送装置 T 的采样频率 F_s 。这样的音频数据传输系统结构为用户提供提供了可以选择的空间, 当发送装置 T 的工作时钟频率与数模转换装置 DAC 的工作时钟频率不存在差异的时候, 多路选择器 M 选择让 SYN2 通过; 当发送装置 T 的工作时钟频率与数模转换装置 DAC 的工作时钟频率不同的时候, 多路选择器 M 选择让 SYN1 通过并控制数模转换装置 DAC 对音频数据的读取。

图 5 为采用本发明技术方案前后的由数模转换装置 DAC 所输出的音频信号波形图。其中, 波形 1 代原始的表样本音频信号, 波形 2 代表在发送装置 T 与数模转换装置 DAC 的工作时钟频率不同的情况下, 经过 DAC 还原得到的音频信号。可以看到由于在整个音频传输过程中 F_{mclk}' 与 F_s' 的比例关系在不断变化, 因此经过 DAC 还原得到的音频信号中存在大量的噪声。波形 3 代表采用了本发明所记载的技术方案后所得到的音频信号, 可见尽管由于 DAC 的输入频率 F_s' 相较于发送装置 T 的采样频率 F_s 有一定的降低从而产生了一些音调上的微小变化及波形上的微小不连续, 但由于 F_{mclk} 与 F_{mclk}' 的差异是非常微小的, 因此所造成的这些差异都属于人耳所不能辨识的微小变化。

上述实施例中用来传输音频数据的总线可以是 I²S 总线, 也可以是其它用于音频传输的总线。音频数据 SD 可以是串行的音频数据也可以是并行的。

以上所述仅为本发明的较佳实施例而已, 并不用以限制本发明, 凡在本发明的精神和原则之内, 所作的任何修改、等同替换等, 均应包含在本发明的保护范围之内。

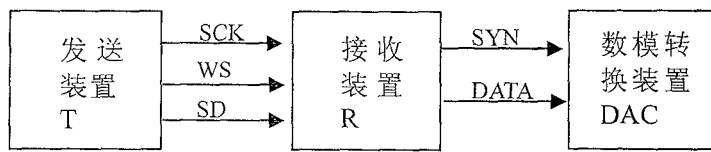


图 1

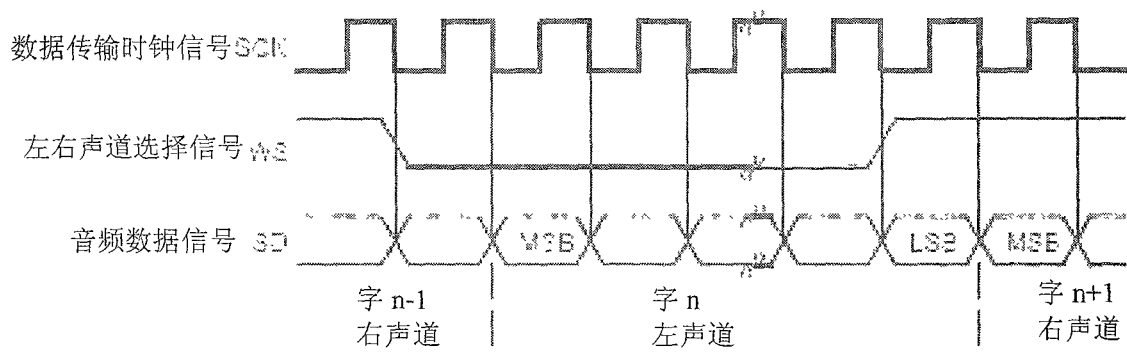


图 2 A

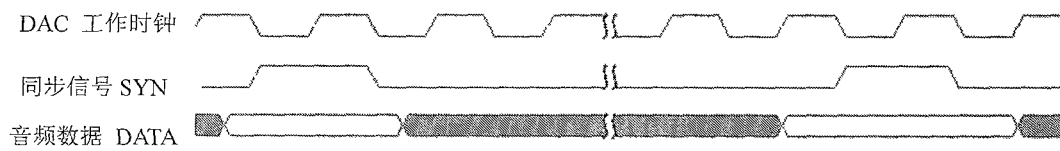


图 2 B

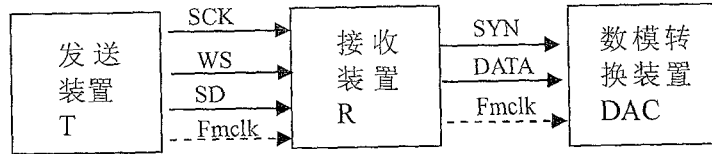


图 3 A

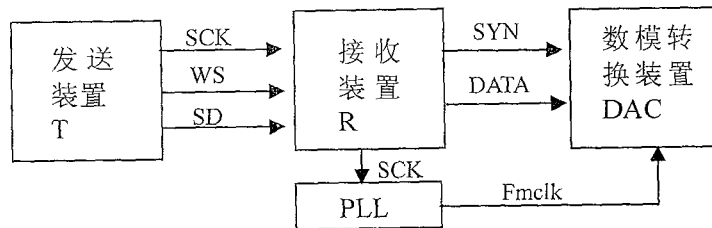


图 3 B

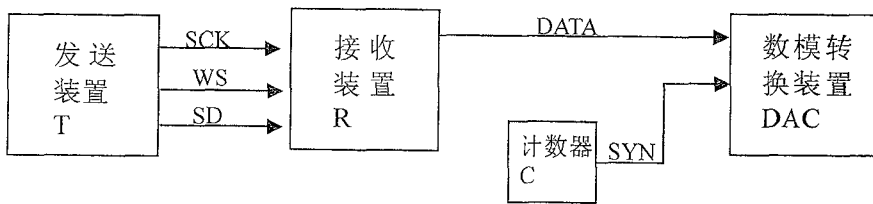


图 4 A

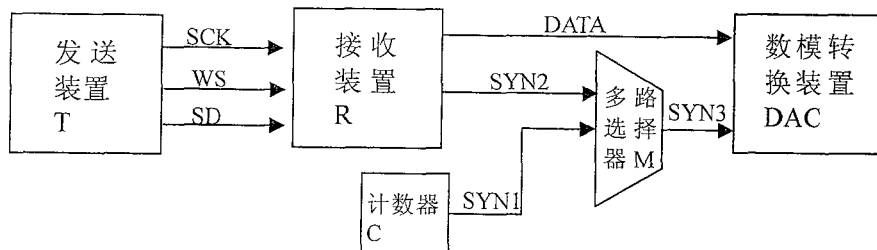


图 4 B

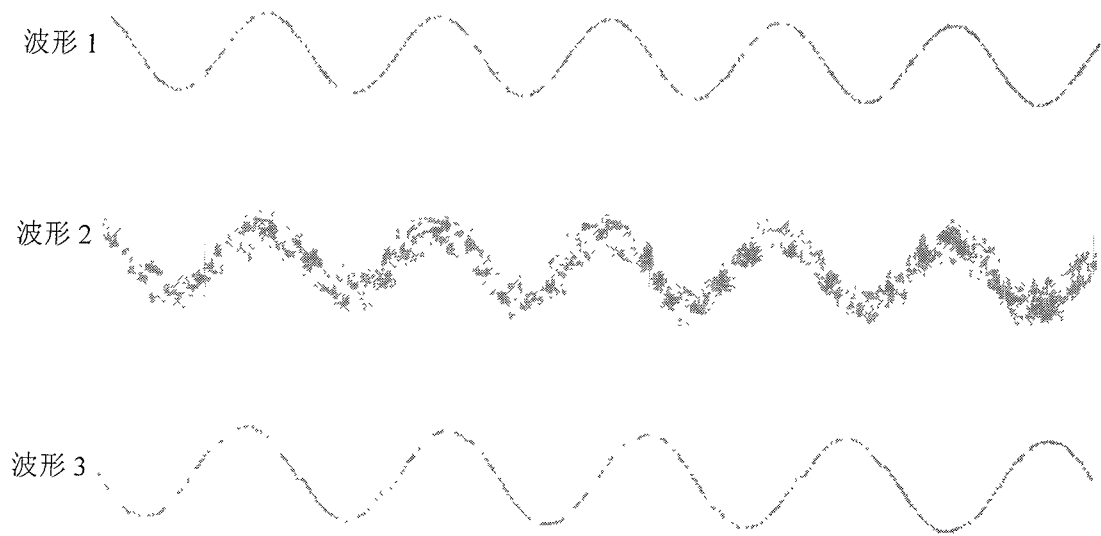


图 5