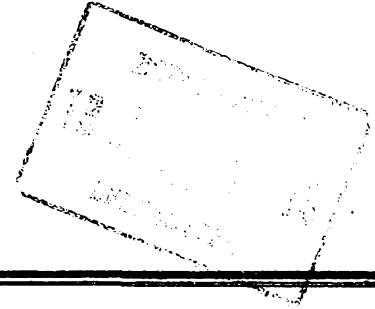




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3583179/18-24
- (22) 20.04.83
- (46) 30.09.84. Бюл. № 36
- (72) Ю. И. Буч и С. А. Бурнин
- (71) Ленинградский ордена Ленина электротехнический институт им. В. И. Ульянова (Ленина)
- (53) 681.327(088.8)
- (56) 1. Авторское свидетельство СССР № 758251, кл. G 11 C 9/00, 1978.
- 2. Авторское свидетельство СССР № 928407, кл. G 11 C 9/02, 1980 (прототип).

(54) (57) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО, содержащее генератор тактовых импульсов, первый выход которого соединен со счетным входом счетчика адресов считывания, адресные выходы которого подключены к одним из входов адресного блока, другие входы которого соединены с выходами счетчика адресов записи, блок управления, коммутаторы, группы сдвиговых регистров и группы накопителей, адресные входы которых подключены к выходам адресного блока, причем управляющие входы первых сдвиговых регистров групп соединены с первыми управляющими входами коммутаторов и прямым управляющим выходом счетчика адресов считывания, инверсный управляющий выход которого подключен к управляющим входам вторых сдвиговых регистров групп и вторым управляющим входам коммутаторов, информационные входы которых соединены с одними из выходов первого и второго сдвиговых регистров соответствующей группы, разрядные входы которых подключены к выходам накопителей одноименной группы, одни из входов блока управления соединены соответственно со вторым выходом генератора тактовых импульсов, со входом и с выходами счетчика адресов записи, одни из выходов блока управления подключены соот-

ветственно к управляющим входам адресного блока, к управляющим входам накопителей групп и к одним из входов синхронизации сдвиговых регистров групп, информационные входы первого и второго сдвиговых регистров каждой группы объединены и являются информационными входами устройства, первым управляющим входом и информационными выходами которого являются соответственно вход счетчика адресов записи и выходы коммутаторов, отличающиеся тем, что, с целью повышения быстродействия устройства, в него введены элемент И, первый и второй триггеры, первые входы которых соединены с третьим выходом генератора тактовых импульсов, в группы коммутаторов, первые и вторые управляющие входы которых подключены соответственно к прямому и к инверсному управляющим выходам счетчика адресов считывания, причем третий управляющие входы всех коммутаторов соединены с управляющим входом адресного блока и первым входом элемента И, второй вход которого подключен к выходу второго триггера, другому входу блока управления и четвертым управляющим входам всех коммутаторов, выход первого триггера соединен со вторым входом второго триггера, третий вход и выход элемента И подключены соответственно к другому выходу блока управления и к другим входам синхронизации сдвиговых регистров групп, другие выходы сдвиговых регистров каждой группы соединены с информационными входами коммутаторов одноименной группы, выходы которых подключены к информационным входам накопителей одноименной группы, кроме первого, информационный вход которого соединен с выходом соответствующего коммутатора, второй вход первого триггера является вторым управляющим входом устройства.

(19) SU (11) 1116458 A

Изобретение относится к вычислительной технике, в частности к запоминающим устройствам, и может быть использовано при построении оперативных запоминающих устройств (ОЗУ) с большой частотой выборки и записи информации, например ОЗУ, работающих в телевизионном режиме формирования изображения.

Известно запоминающее устройство, содержащее накопитель, счетчик адресов, элементы ИЛИ, через которые осуществляется коммутация адресов записи и считывания, счетчик разрядов, регистр, выходные элементы И, блок управления [1].

Недостатком этого устройства является снижение быстродействия с увеличением разрядности входной информации.

Наиболее близким к данному изобретению является запоминающее устройство, содержащее синхронизатор, соединенный с первым входом блока управления и счетным входом счетчика адреса считывания, счетчик адреса записи, счетный вход которого, а также второй вход блока управления подключены к шине управления поэлементной записи, а выходы соединены с соответствующими входами блока управления и  $n$  коммутаторами адресации, подключенными также к выходам счетчика адреса считывания и к первому выходу блока управления, входные и выходные информационные шины, группы накопителей, каждая из которых содержит  $n$  накопителей, два  $n$ -разрядных сдвиговых регистра и коммутатор, причем входы записи накопителей соединены с соответствующими  $n$  выходами блока управления, адресные входы соединены с выходами соответствующих коммутаторов адресации, разрядные входы обоих регистров подключены к информационным выходам соответствующих накопителей, а первый и второй входы синхронизации подключены ко второму и третьему выходам блока управления; информационные входы коммутатора подключены к выходам  $n$ -го разряда обоих регистров, два управляющих входа коммутатора, а также входы выбора режима первого и второго регистров подключены к одному из выходов и инверсному выходу счетчика адреса считывания соответственно, а выход коммутатора соединен с соответствующей выходной информационной шиной [2].

Недостатком данного устройства является низкое быстродействие в режиме записи, поскольку устройство не обеспечивает запись информации с такой же скоростью, как осуществляется считывание, т. е. в телевизионном режиме формирования изображения. В данном устройстве для записи кадра изображения требуется значительно больше времени, чем время кадровой развертки.

Целью изобретения является повышение быстродействия устройства в режиме записи.

Поставленная цель достигается тем, что в запоминающее устройство, содержащее генератор тактовых импульсов, первый выход которого соединен со счетным входом счетчика адресов считывания, адресные выходы которого подключены к одним из входов адресного блока, другие входы которого соединены с выходами счетчика адресов записи, блок управления, коммутаторы, группы сдвиговых регистров и группы накопителей, адресные входы которых подключены к выходам адресного блока, причем управляющие входы первых сдвиговых регистров групп соединены с первыми управляющими входами коммутаторов и прямым управляющим выходом счетчика адресов считывания, инверсный управляющий выход которого подключен к управляющим входам вторых сдвиговых регистров групп и вторым управляющим входам коммутаторов, информационные входы которых соединены с одними из выходов первого и второго сдвиговых регистров соответствующей группы, разрядные входы которых подключены к выходам накопителей одноименной группы, одни из входов блока управления соединены соответственно со вторым выходом генератора тактовых импульсов, со входом и с выходами счетчика адресов записи, одни из выходов блока управления подключены соответственно к управляющим входам адресного блока, к управляющим входам накопителей групп, к одним из входов синхронизации сдвиговых регистров групп, информационные входы первого и второго сдвиговых регистров каждой группы объединены и являются информационными входами устройства, первым управляющим входом и информационными выходами которого являются соответственно вход счетчика адресов записи и выходы коммутаторов, введены элемент И, первый и второй триггеры, первые входы которых соединены с третьим выходом генератора тактовых импульсов, и группы коммутаторов, первые и вторые управляющие входы которые подключены соответственно к прямому и к инверсному управляющим выходам счетчика адресов считывания, причем третьи управляющие входы всех коммутаторов соединены с управляющим входом адресного блока и первым входом элемента И, второй вход которого подключен к выходу второго триггера, другому входу блока управления и четвертым управляющим входам всех коммутаторов, выход первого триггера соединен со вторым входом второго триггера, третий вход и выход элемента И подключены соответственно к другому выходу блока управления и к другим входам

синхронизации сдвиговых регистров групп, другие выходы сдвиговых регистров каждой группы соединены с информационными входами коммутаторов одноименной группы, выходы которых подключены к информационным входам накопителей одноименной группы, кроме первого, информационный вход которого соединен с выходом соответствующего коммутатора, второй вход первого триггера является вторым управляющим входом устройства.

На фиг. 1 представлена структурная схема предложенного устройства; на фиг. 2 и фиг. 3 — функциональные схемы наиболее предпочтительных вариантов реализации блока управления и коммутаторов соответственно; на фиг. 4 — временные диаграммы, поясняющие работу устройства.

Устройство содержит (фиг. 1) генератор 1 тактовых импульсов, блок 2 управления, счетчик 3 адресов считывания, счетчик 4 адреса записи, адресный блок 5, группы  $6_1$ — $6_k$  (где  $k$  — число разрядов входной информации) накопителей  $7_1$ — $7_n$  (где  $n$  — целое число), группы сдвиговых регистров 8 и 9, коммутаторы  $10_1$ , группы коммутаторов  $10_2$ — $10_n$ . На фиг. 1 обозначены информационные входы  $11_1$ — $11_k$  и выходы  $12_1$ — $12_k$  устройства.

Устройство содержит также элемент И 13 первый 14 и второй 15 триггеры, управляющие входы 16 и 17.

Блок управления (фиг. 2) содержит счетчик 18, формирователи 19—22 сигналов с первого по четвертый и дешифратор-мультиплексор 23.

Каждый из коммутаторов  $10_1$ — $10_n$  содержит (фиг. 3) элемент ИЛИ 24, элемент НЕ 25, элементы И 26—29, элемент ИЛИ 30. На фиг. 1 обозначены также первые 31 и вторые 32 входы синхронизации и управляющие входы 33 регистров 8 и 9.

На фиг. 4 показаны сигналы  $a$  на входе 16; сигналы  $b$ ,  $v$  на входах 33; сигналы  $g$ ,  $d$  на входах 31 и 32 соответственно; информационные сигналы  $e$ ,  $ж$ , записываемые в регистры 8 и 9 соответственно из накопителей  $7_1$ — $7_n$ ; сигналы  $z$  на выходе  $12_1$ , сигналы  $u$  обращения к устройству, сигналы записи  $к$  на управляющих входах накопителей  $7_1$ — $7_n$ , информационные сигналы  $л$  на входе  $11_1$ , информационные сигналы  $м$  и  $н$ , продвигающиеся в регистрах 8 и 9 соответственно, сигналы  $о$  на выходах регистров 8 и 9, импульсы записи  $п$  с циклом обращения  $T_{ц}$ , формируемые дешифратором-мультиплексором 23 в режиме покадровой записи.

Устройство работает следующим образом.

Режим считывания. В режиме считывания обращение производится ко всем накопителям  $7_1$ — $7_n$  каждой группы  $6_1$ — $6_k$  (фиг. 1). Поскольку все группы накопителей работают идентично, далее рассматривается ра-

бота одной группы, например, первого разряда. Адреса считывания поступают на адресные входы накопителей  $7_1$ — $7_n$  через блок 5 и задаются счетчиком 3. Схема кодов счетчика 3 производится синхронно с разверткой телевизионного индикатора (на фиг. 1 не показан). Для этого генератор 1 формирует тактовые импульсы, поступающие на счетный вход счетчика 3, с периодом, равным длительности цикла обращения, а также импульсы строчной и кадровой синхронизации телевизионного датчика (на фиг. 1 не показан). С выходов накопителей  $7_1$ — $7_n$  информация поступает на входы регистров 8, 9. По сигналу из блока 2, поступающему в каждом цикле через элемент И 13 на входы 31 регистров 8, 9, эта информация — первые разряды соседних по строке элементов изображения — переписывается в один из регистров, например регистр 8, в зависимости от сигнала выбора режима на входах 33. Во время этого же цикла обращений с выхода другого регистра, например, регистра 9, через коммутатор  $10_1$  информация, записанная в этот регистр 9 в предыдущем цикле обращения, выталкивается на выход  $12_1$ . Продвижение этой информации по регистру 9 осуществляется импульсами, поступающими из блока 2 на вход 32 регистра 9 с периодом следования, равным  $T_{ц}/n$  (фиг. 4 д). В течение следующего цикла обращения осуществляется вывод информации, записанной в регистре 8, и запись из накопителей  $7_1$ — $7_n$  в регистр 9. Далее происходит поочередная работа обоих регистров 8, 9 на запись информации из накопителей  $7_1$ — $7_n$  и считывание ее путем сдвига. Предположим, выводится, например, информация о соседних по строке токах раstra: 110100100 ..., причем  $n = 4$ . В момент времени  $t_1$  в первый регистр 8 записывается из накопителей  $7_1$ — $7_4$  код 1101 (фиг. 4 е). В момент времени  $t_2$  происходит переключение работы регистра 8 в режим сдвига записанной информации (фиг. 4 б) и подключение через коммутатор  $10_1$  его выхода четвертого разряда к выходу  $12_1$ . В течение времени от  $t_2$  до  $t_4$  осуществляется сдвиг информации, записанной в регистр 8 (фиг. 4 в) и на выходе  $12_1$  (фиг. 4 з) формируется код 1101. В момент времени  $t_3$  при очередном обращении к накопителям  $7_1$ — $7_4$  в регистр 9 записывается код следующих четырех точек раstra — 0010 и в течение времени от  $t_4$  до  $t_5$  осуществляется ее сдвиг в регистре 9 (фиг. 4 ж) и вывод через коммутатор  $10_1$  на выход  $12_1$  (фиг. 4 з).

Режим поэлементной записи. В каждом случае после окончания вывода информации из регистра 9 (или 8) на его выходах устанавливается потенциал, соответствующий значению кода на входе  $11_1$  в данном случае — «0». Это используется в режиме поэлемент-

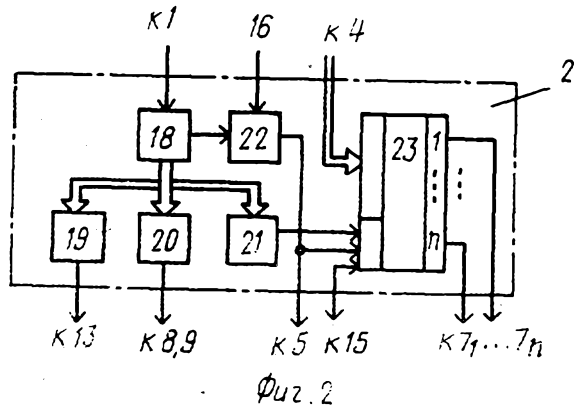
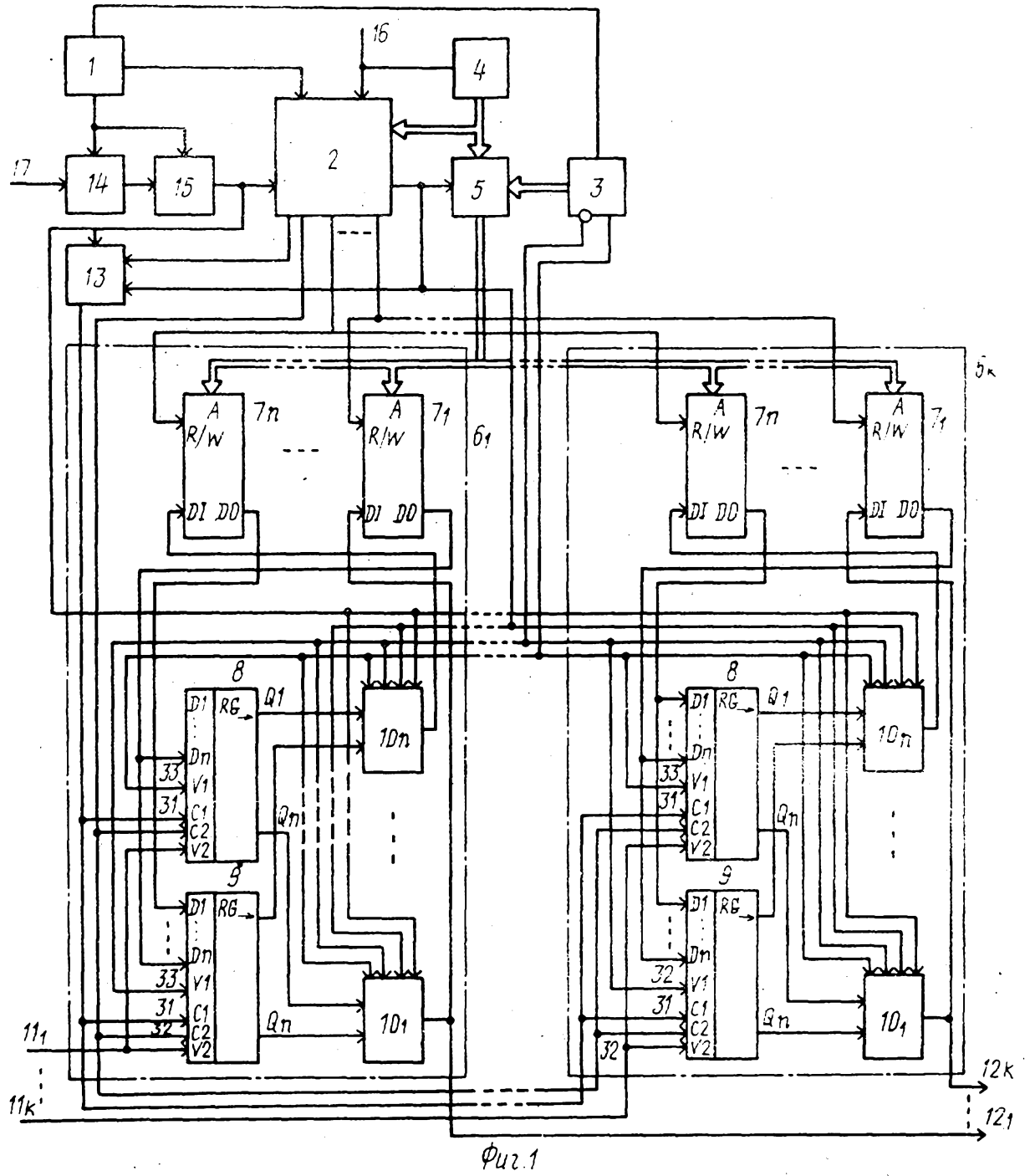
ной записи информации от медленно сканирующих датчиков (на фиг. 1 не показаны) По сигналу (фиг. 4 а), поступающему на вход 16 блока 2 и счетный вход счетчика 4, в последнем устанавливается очередной адрес. Во время очередного цикла считывания (первого после сигнала на входе 16), в блоке 2 с помощью формирователя 22 (фиг. 2) формируется одиночный импульс длительностью в один цикл обращения (фиг. 4 и). Этим импульсом переключается блок 5 и на адресные входы накопителей  $7_1—7_4$  выставляется очередной адрес записываемой информации. Так же во время этого сигнала дешифратор-мультиплексор 23 формирует импульс, поступающий на вход одного из накопителей  $7_1—7_4$  (фиг. 4 к). Выбор накопителей  $7_1—7_n$  определяется кодом младших разрядов счетчика 4, поступающим на входы дешифратора-мультиплексора 23. В этом же цикле блокируется прохождение через элемент И 13 сигнала на входы 31, вследствие чего записи информации в регистр 9 (в данном случае) с выходов накопителей  $7_1—7_n$  не происходит. Поскольку на всех выходах регистра 9 к моменту времени (фиг. 4 ж) устанавливается потенциал «0», соответствующий информации на входе  $11_1$ , то этот «0» и записывается в соответствующий из накопителей  $7_1—7_n$ . На время записи блокируется и вывод информации 1001 через коммутатор  $10_1$  на выход  $12_1$ .

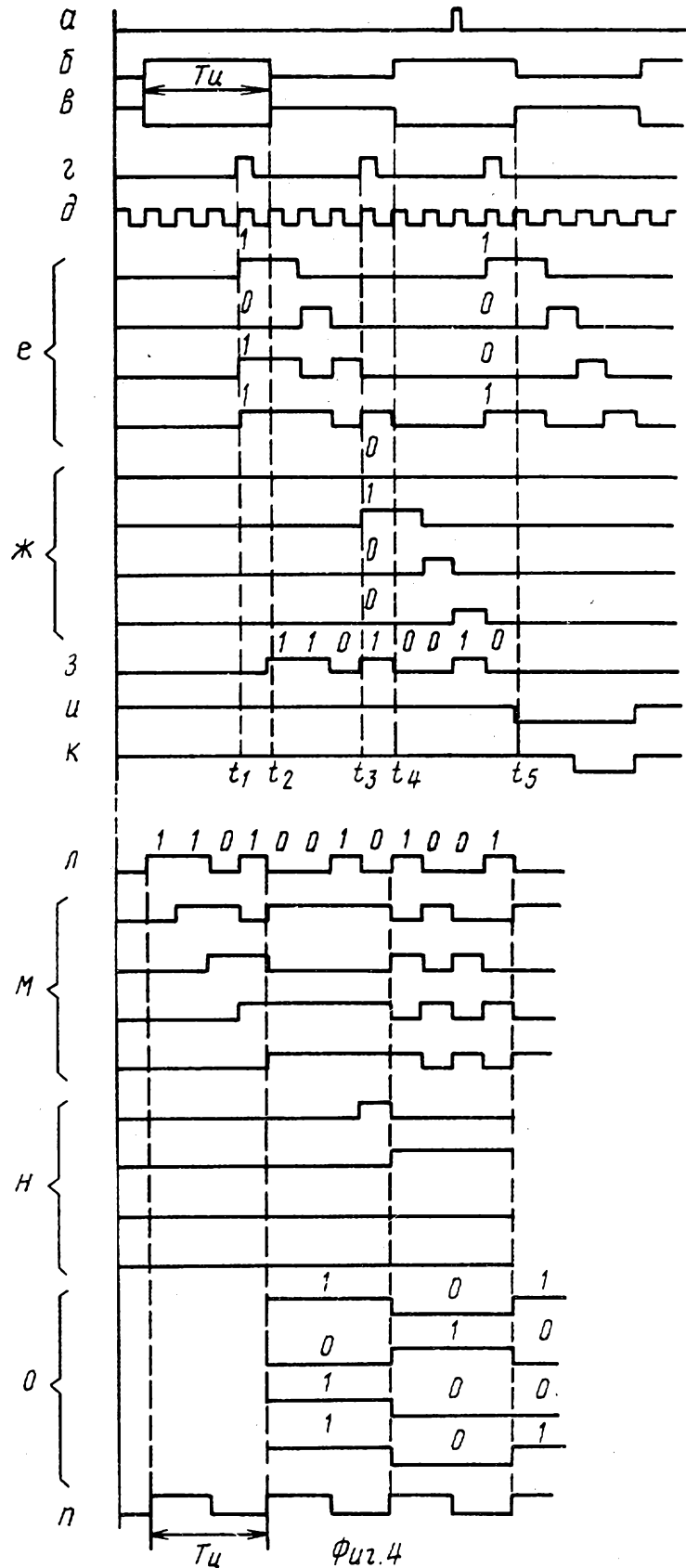
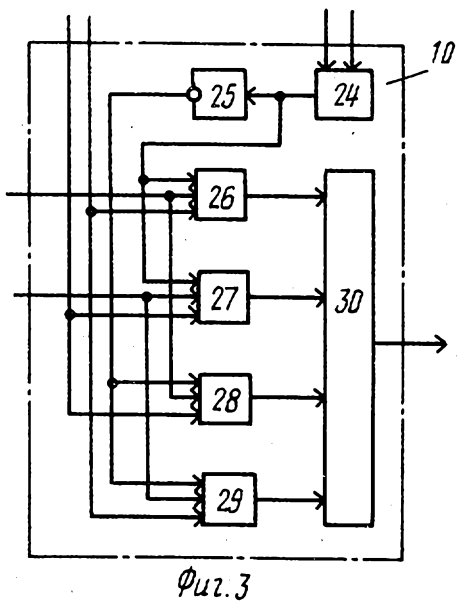
Режим покадровой записи. В режиме записи кадра изображения, когда информация на входах  $11_1—1_k$  меняется синхронно с телевизионной разверткой, устройство работает следующим образом. По сигналу, приходящему на вход 17, переключается триггер 14, который возвращается в исходное состояние кадровым синхроимпульсом, поступающим с третьего выхода генератора 1. От заднего фронта сформированного триггера 14 импульса переключается триггер 15, который возвращается в исходное состояние следующим кадровым синхроим-

пульсом, поступающим также от генератора 1. Таким образом, триггер 15 формирует импульс длительностью в один кадр, поступающий на дешифратор-мультиплексор 23, на всех выходах которого за время этого кадра формируются в каждом цикле обращения импульсы записи (фиг. 4 л), поступающие на управляющие входы всех накопителей  $7_1—7_n$ . При этом адреса накопителей  $7_1—7_n$  задаются счетчиком 3.

Предположим, например, на вход 11 поступает следующая информация с соседних по строке элементах изображения — 110100101001 (фиг. 4 л). Во время поступления первых четырех разрядов информации (1101) регистр 8 устанавливается в режим сдвига и информация, поступающая на его вход со входа  $11_1$ , продвигается по регистру 8 (фиг. 4 м). К началу следующего цикла обращения (записи) на выходах регистра 8 устанавливается поступившая ранее со входа  $11_1$  информация, которая и записывается в накопители  $7_1—7_4$ . Во время этого же цикла на выходах регистра 9 устанавливается следующая «четверка» чисел — 0010 (фиг. 4 н), которая в последующем цикле, во время которого в регистр 8 заносится следующая информация (1001), записывается в накопители  $7_1—7_4$ . Временные диаграммы сигналов, поступающих с регистров 8 и 9 через коммутаторы  $10_1—10_4$  на информационные входы накопителей  $7_1—7_4$ , представлены на фиг. 4 о. Управляющие сигналы на коммутаторы  $10_1—10_4$  поступают со счетчика 3 и триггера 15. Таким образом, в режиме покадровой записи осуществляется поочередная запись в регистры 8 и 9 информации о соседних по строке точках раstra с последующей параллельной перезаписью в накопители  $7_1—7_n$ .

В сравнении с известным устройством предложенное обладает большим быстродействием в режиме записи, что позволяет расширить область его применения и использовать в качестве датчика информации стандартные телевизионные датчики.





Редактор С. Тимохина  
Заказ 6935/40

Составитель Т. Зайцева  
Техред И. Верес  
Тираж 574

Корректор О. Луговая  
Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5  
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4