(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 1 月 5 日 (05.01.2012)

PCT

(10) 国际公布号
WO 2012/000163 A1

(51) 国际专利分类号：
H01L 29/792 (2006.01)

(21) 国际申请号： PCT/CN2010/074613

(22) 国际申请日： 2010 年 6 月 28 日 (28.06.2010)

(25) 申请语言： 中文

(26) 公布语言： 中文

(71) 申请人 (对除美国外的所有指定国)：北京大学 (PEKING UNIVERSITY) [CN/CN]; 中国北京市海淀区颐和园路 5 号，Beijing 100871 (CN)。

(72) 发明人；及

(75) 发明人/申请人 (仅对美国)：唐粕人 (TANG, Poren) [CN/CN]; 中国北京市海淀区颐和园路 5 号北京大学理科二号楼 2715 房间，Beijing 100871 (CN)。黄如 (HUANG, Ru) [CN/CN]；中国北京市海淀区颐和园路 5 号北京大学理科二号楼 2717 房间，Beijing 100871 (CN)。蔡一茂 (CAI, Yimao) [CN/CN]; 中国北京市海淀区颐和园路 5 号北京大学理科二号楼 2714 房间，Beijing 100871 (CN)。许晓燕 (XU, Xiaoyan) [CN/CN]; 半国北京市瘕淀区颐和园路 5 号北京大学理科二号楼 2714 房间，Beijing 100871 (CN)。

(74) 代理人：中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层，Beijing 100083 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 政亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: NONVOLATILE SEMICONDUCTOR MEMORY UNIT

(54) 发明名称：一种非挥发性半导体存储单元

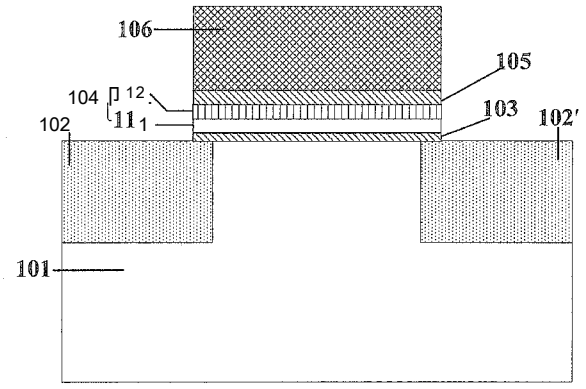


图 3/Fig.3

(57) Abstract: A nonvolatile semiconductor memory unit is provided, belonging to the technical field of the semiconductor memory. A silicon substrate (101) is provided and a source and a drain region (102, 102') is formed in the both side of the carrier channel in the upper surface of the silicon substrate (101). A tunneling oxide layer (103) is formed on the carrier channel region of the silicon substrate (101). A floating gate charge storage layer (104) is formed on the tunneling oxide layer (103). A block dielectric layer (105) is formed on the floating gate charge storage layer (104). A polysilicon control gate (106) is formed on the block dielectric layer (105). The coupling between flash units and the generation and the density of the defect in the block dielectric layer of the flash are reduced by the memory unit, and the signal window of the flash is increased and the retention performance and the reliability of the flash unit are improved. The memory unit has a wide application prospect in the high density and the high reliability storage application.

[见续页]

WO 2012/000163 A1

本国际公布：

- 包括国际检索报告(条约第21条(3))。

(57) 摘要：

一种非挥发性半导体存储单元，涉及半导体存储技术领域。提供一硅衬底（101）；于该硅衬底（101）上表而载流子沟道两侧形成源极和漏极（102，102'）；于该硅衬底（101）载流子沟道之上形成隧穿氧化层（103）；于该隧穿氧化层（103）之上形成浮栅电荷存储层（104）；于该浮栅电荷存储层（104）之上形成阻挡介电层（105）：以及于该阻档介电层（105）之上形成多晶硅控制栅极（106）。该存储单元减小了闪存单元之间的耦合，以及闪存中阻挡介电层缺陷的产生和密度，并增大闪存的信号窗口，提升了闪存单元的保持特性和可靠度，在高密度、高可靠度的存储应用中，有着广泛的应用前景。

一种非挥发性半导体存储单元

技术领域

本发明涉及半导体存储技术领域，尤其涉及一种能够改善器件工作性能和可靠度的非挥发性半导体存储单元。

发明背景

半导体存储器是各种电子设备中不可缺少的重要组成部分，而非易失性半导体存储器具有在断电情况下仍然能够保存数据的特性，因而被广泛运用于各种移动便携式设备中，如手机、笔记本和掌上电脑等。而由于近些年移动便携式电子设备的快速发展，具有非易失性的快闪存储单元（Flash Memory，又称为闪存）的需求也越来越大。技术的进步使得闪存的成本越来越低，这又反过来进一步刺激了购买和新的市场应用。目前闪存已成为发展最快的半导体存储器，并已经占据了非易失性半导体存储器的大部分市场份额。

现在市场上应用最广的闪存是基于掺杂（如硼、磷）多晶硅栅作浮置栅极（floating gate）与控制栅极（control gate）的浮栅闪存（Floating Gate Flash Memory）。当闪存编程（program）时，适当的电压加在源、漏、控制栅和衬底电极上，电子将会由沟道及源漏区穿过浮置栅极下方的隧穿氧化层进入并均匀分布于浮置栅极之中。电子进入浮置栅极可分为两种情况，一种是热电子注入，另一种是量子隧穿。浮栅闪存由于具有与传统 CMOS 工艺兼容、结构简单等优点，得到迅猛发展。但是随着闪存单元尺寸的急剧缩小，浮栅闪存的等比例缩小面临巨大挑战，特别是进入 45nm 技术节点以后，浮栅闪存单元之间的距离缩小，单元之间的干扰加重，对存储器的可靠性带来严重影响。此外，浮栅闪存的存储电荷在多晶硅浮栅中连续分布，当隧穿氧化层（即二氧化硅）中有泄漏通道时，浮栅上所有存储电子都可能从这个通道丢失，造成信息丢失，

器件可靠性下降。

分离陷阱（Discrete Trap）闪存技术近来受到极大关注和研究，它是利用作为电荷存储层的氮化硅中的分离陷阱来存储电荷。陷阱的能级在电荷存储层中是分离且受限的，存储的电荷不能自由移动，这样存储电荷受氧化层缺陷及泄漏通道的影响小。然而，分离陷阱闪存的技术尚在研发之中，器件还面临擦除饱和，保持特性不够等一系列可靠性问题。所以目前的主流方案是继续优化和发展传统的浮栅闪存技术。

对于浮栅闪存而言，为了降低单元之间的耦合串扰（disturb），需设法减小浮置多晶硅栅的厚度，或者增大闪存单元之间的距离，而增大闪存单元之间的距离会使得存储密度下降，这与闪存技术的发展是相悖的，所以只能通过减小浮置多晶硅栅的厚度来减小串扰。

然而，若采用的浮置栅极厚度太小，也会带来可靠性的问题。如图1所示，闪存单元在编程或擦除时电子一般经热注入或隧穿注入到浮栅，注入到浮栅的电子具有高能量，这些电子经过薄体浮栅后能量损失小，所以到达阻挡介质层时仍具有较高的能量，高能电子能够引起阻挡介电层产生介电层缺陷，使得单元亚阈斜率变差，最终导致闪存性能的退化，产生如图2所示的闪存亚阈特性变差，电荷泄漏和信号窗口缩小的问题。图2中虚线是指产生介电层缺陷后器件亚阈的斜率，可以发现闪存亚阈的斜率变差，而且电荷通过缺陷的泄漏导致信号窗口（AV_{TH}）的缩小。这些缺陷还会进一步导致影响浮栅上阻挡介电层的质量，使闪存电荷从阻挡介电层泄漏的几率增大，直接影响到闪存单元的电荷保持特性。

因此，如何进一步减小对器件中浮置多晶硅栅阻挡介电层的损伤和缺陷，提高器件的可靠度，是一个刻不容缓亟需解决的问题。

发明内容

（一）要解决的技术问题

有鉴于此，本发明的主要目的是提供一种非挥发性半导体存储单元，以减小对器件中浮置多晶硅栅和介质层的损伤和缺陷，降低通过缺

陷的泄漏电流，减小信号窗口的缩小，并增强器件的保持特性，提高器件的可靠度。

（二）技术方案

为达到上述目的，本发明提供了一种非挥发性半导体存储单元，包括：

硅衬底；

形成于该硅衬底上表面载流子沟道两侧的源极和漏极；

形成于该硅衬底上表面载流子沟道之上的隧穿氧化层；

形成于该隧穿氧化层之上的浮栅电荷存储层；

形成于该浮栅电荷存储层之上的阻挡介电层；以及

形成于该阻挡介电层之上的多晶硅控制栅极。

上述方案中，所述隧穿氧化层用于增强所述浮栅电荷存储层与所述硅衬底之间的吸附力，并与硅衬底形成小缺陷密度的界面。

上述方案中，所述浮栅电荷存储层由混合材质的浮栅叠置而成，包括：

第一多晶硅浮栅；以及

第一金属浮栅，叠置于该第一多晶硅浮栅之上。

上述方案中，所述浮栅电荷存储层进一步包括第二多晶硅浮栅，形成于该第一金属浮栅之上。

上述方案中，所述浮栅电荷存储层进一步包括第二金属浮栅，形成于该第一多晶硅浮栅之下。

上述方案中，所述阻挡介电层采用高介电常数的介电材料构成，用于防止所述浮栅电荷存储层所存储电荷的泄漏。所述高介电常数的介电材料采用氧化铝、五氧化二钽、氧化铪、铪氧化硅和二氧化钛中的任意一种材料，或者采用氧化铝、五氧化二钽、氧化铪、铪氧化硅和二氧化钛中的至少两种材料。

上述方案中，所述阻挡介电层采用二氧化硅/氮化硅/二氧化硅（ONO）三层结构，所述浮栅电荷存储层采用多晶硅浮栅/金属浮栅/多

晶硅浮栅三层结构。

上述方案中，所述浮栅电荷存储层由混合材质的浮栅叠置而成，包括：

第三金属浮栅；以及

第三多晶硅浮栅，叠置于该第三金属浮栅之上。

上述方案中，所述浮栅电荷存储层进一步包括第四金属浮栅，形成于该第三多晶硅浮栅之上。

上述方案中，所述浮栅电荷存储层进一步包括第四多晶硅浮栅，形成于该第三金属浮栅之下。

上述方案中，所述金属浮栅采用钨 W、钽 Ta、钒 V、铬 Cr、镍 Ni、钴 Co、钛 Ti、氮化铪 HfN、氮化钽 TaN 和氮化钛 TiN 中的任意一种材料。

上述方案中，所述多晶硅浮栅或金属浮栅均采用超薄结构，其各自的厚度均为 3nm~40nm。

（三）有益效果

从上述技术方案可以看出，本发明具有以下有益效果：

1、本发明提供的这种非挥发性半导体存储单元，是一种薄体混合浮栅结构闪存，减小了闪存单元之间的耦合，以及闪存中阻挡介电层缺陷的产生和密度，并增大闪存的信号窗口，提升了闪存的保持特性和可靠度，在未来高密度、高可靠度的存储应用中，有着明显优势和广泛的应用前景。

2、本发明提供的这种非挥发性半导体存储单元，由于采用薄体浮栅结构和高介电常数的阻挡层介电材料，所以能够减小闪存单元浮栅之间的耦合，防止由于电荷耦合产生误读，同时具有较高的耦合电压耦合到浮栅上，提高了闪存的编程/擦除速度。

3、本发明提供的这种非挥发性半导体存储单元，由于采用混合的薄体浮栅，所以降低了高能电子对闪存阻挡介电层的损伤，使得存储的电荷不会经阻挡介电层中的缺陷泄漏掉，提高了器件的保持特性及可靠

度。

附图简要说明

图 1 是高能的热注入或者隧穿电子引起闪存性能退化的能带结构示意图；

图 2 是闪存介电层缺陷引起闪存信号窗口缩小示意图；

图 3 是依照本发明第一实施例的非挥发性半导体存储单元的结构示意图；

图 4 是依照本发明第二实施例的非挥发性半导体存储单元的结构示意图；

图 5 是依照本发明第三实施例的非挥发性半导体存储单元的结构示意图；

图 6 是依照本发明实施例的制作非挥发性半导体存储单元的工艺流程图。

实施本发明的方式

为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。

对于超薄浮栅出现的可靠性变差的问题，使用金属浮栅是一种较佳的解决方案，因为金属浮栅的电子自由程短，隧穿的电子经过金属栅极时能量经过散射损失，这样就没有高能的电子再进入闪存的阻挡介电层，减小了对闪存阻挡介电层的损伤。本发明提供的非挥发性半导体存储单元，即快闪存储单元结构，正是在电荷存储层嵌入金属浮栅，依靠金属浮栅减小散射，使得电子能量减小，这样来提高单元的可靠性。

如图 3 所示，图 3 是依照本发明第一实施例的非挥发性半导体存储单元的结构示意图。其中的参考标号如下：101 硅衬底，102 源极，102' 漏极，103 隧穿氧化层，104 浮栅电荷存储层，105 阻挡介电层，106 多

晶硅控制栅极，111 多晶硅浮栅，112 金属浮栅。图 3 所示的该非挥发性半导体存储单元结构包括硅衬底 101、源极 102 和漏极 102'、隧穿氧化层 103、浮栅电荷存储层 104、阻挡介电层 105 和多晶硅控制栅极 106。其中，在硅衬底 101 上表面载流子沟道之上自下而上依次为隧穿氧化层 103、浮栅电荷存储层 104、阻挡介电层 105 和多晶硅控制栅极 106，源极 102 和漏极 102'分别形成于该硅衬底 101 上表面载流子沟道的两侧，隧穿氧化层 103 形成于该硅衬底 101 上表面的载流子沟道之上，浮栅电荷存储层 104 形成于该隧穿氧化层 103 之上，阻挡介电层 105 形成于该浮栅电荷存储层 104 之上，多晶硅控制栅极 106 形成于该阻挡介电层 105 之上。

请再参照图 3，浮栅电荷存储层 104 由混合材质的浮栅叠置而成，包含有一层超薄的多晶硅浮栅 111 和一层叠置于该多晶硅浮栅 111 之上的超薄的金属浮栅 112。该浮栅电荷存储层 104 利用多晶硅浮栅构成下层浮栅，即多晶硅浮栅 111，该下层浮栅具有良好的工艺兼容性，与其下方的隧穿氧化层 103 之间具有良好的粘合性和界面特性，并能很好地控制边缘效应的影响。同时浮栅电荷存储层 104 采用耐高温的金属材质构成上层浮栅，即金属浮栅 112，该上层浮栅能够吸收进入到下层多晶硅浮栅的高能电子的能量，从而减小对闪存阻挡介电层的损伤，降低界面态密度和泄漏电流，提升闪存单元的可靠度。

位于浮栅电荷存储层 104 下方的隧穿氧化层 103，用于增强浮栅电荷存储层 104 与硅衬底 101 之间的吸附力，并且隧穿氧化层与硅衬底之间能够形成良好的界面，缺陷密度极小。

位于浮栅电荷存储层 104 上方的阻挡介电层 105，其作用是防止浮栅电荷存储层 104 存储的电荷泄漏到栅极或其他地方。为了提高控制栅极到浮栅体的耦合系数，阻挡介电层 105 可以采用高介电常数的介电材料构成，而且目前的金属栅-高介电常数介电层工艺能够在金属浮栅与高介电常数阻挡介电层之间形成较好的界面。

当然，阻挡介电层 105 也可以采用一般闪存常用的从下至上的二氧化硅/氮化硅/二氧化硅介电层 (ONO) 结构，但是，由于在金属浮栅上

生长高质量的 ONO 介电层结构，该生长工艺复杂，且易于在界面产生大量结构缺陷和界面态等，导致器件的可靠性特别是信息的保持性能变差，所以若阻挡介电层 105 采用从下至上的二氧化硅/氮化硅/二氧化硅介电层结构，上述快闪存储器结构可以修正为图 4 所示的结构。

如图 4 所示，图 4 是依照本发明第二实施例的非挥发性半导体存储单元的结构示意图。其中的参考标号如下：101 硅衬底，102 源极，102' 漏极，103 隧穿氧化层，104 浮栅电荷存储层，105 阻挡介电层，106 多晶硅控制栅极，211 多晶硅浮栅，212 金属浮栅，213 多晶硅浮栅。相对图 3 所示结构，图 4 的结构是在金属浮栅 212 之上再淀积一层多晶硅浮栅层 213，这时浮栅电荷存储层 104 由多晶硅浮栅/金属浮栅/多晶硅浮栅三层材质构成。相对图 3 所示结构，此结构由于浮栅电荷存储层 104 的顶层是由多晶硅浮栅材质构成，这样浮栅电荷存储层 104 上生长 ONO 阻挡介电层与常规闪存生长的工艺一样，工艺容易实现，而且浮栅层与 ONO 阻挡介电层之间的界面密度低，缺陷少，有利于电荷断电时的长时间保持，减小了因缺陷增加带来的可靠度降低的风险。

随着闪存器件继续按比例缩小，向着高密度高可靠性发展，闪存器件在短沟长下的性能退化已越来越成为器件继续縮小尺寸的严重障碍。隧穿氧化层 103 采用介电常数过低的二氧化硅，严重影响闪存器件的短沟特性，使得闪存器件的亚阈斜率过大，亚阈泄漏电流大。故此，在进一步缩小单元尺寸时，为提升器件的亚阈斜率，改善器件性能，需要引入高介电常数的介电材质构成隧穿氧化层，此时该采用高介电常数的介电材质构成隧穿氧化层一般被称为隧穿介电层。

对于采用高介电常数隧穿介电层的闪存而言，图 3 所示的结构是在高介电常数介电层生长多晶硅浮栅，在图 3 所示的存储单元结构的基础上，为了进一步降低工艺的复杂度，减少界面缺陷的产生而避免存储信息的泄露，本发明还提出了用于高介电常数隧穿氧化层的混合多晶和金属浮栅的闪存结构，如图 5 所示，图 5 是依照本发明第三实施例的非挥发性半导体存储单元的结构示意图。其中的参考标号如下：101 硅衬底，102 源极，102' 漏极，103' 隧穿介电层，104 浮栅电荷存储层，105 阻挡

介电层，106 多晶硅控制栅极，311 金属浮栅，312 多晶硅浮栅。

图 5 是在形成多晶硅浮栅 312 之前，在多晶硅浮栅 312 下方先形成一层薄金属浮栅 311，两者共同构成浮栅电荷存储层 104。这种结构在高介电常数 (高 K) 隧穿介电层 103' 上首先生长金属浮栅，与高 K 栅介质，金属栅的工艺近似，容易实现，并有利于减小高 K 隧穿介电层 103' 与电荷存储层 104 之间的界面缺陷，降低界面态密度，并且金属浮栅也能够有效减小高能电子的能量，防止高能电子对阻挡介电层的损伤。

优选地，为了更好的改善浮栅电荷存储层 104 与阻挡介电层 105 之间的界面特性，还可以在图 5 所示结构的多晶硅浮栅 312 上在沉积一层金属浮栅材料，这时浮栅电荷存储层 104 由金属浮栅/多晶硅浮栅/金属浮栅三层材质构成。此结构的优点是顶层金属栅可以进一步减小高能电子的能量，并能够减小浮栅电荷存储层与阻挡介电层之间的界面的缺陷密度，提高闪存单元的可靠度。

上述的高介电常数材料是指介电常数比二氧化硅/氮化硅 ($Si0_2/Si_3N_4$) 高的介电材质，这些高介电常数材料可以是氧化铝 ($A1_20_3$)，五氧化二钽 (Ta_20_5)，氧化铪 ($Hf0_2$)，铪氧化硅 ($HfSi_xO_y$)，二氧化钛 ($Ti0_2$) 等材质或其混合物。考虑到工艺兼容性，上述的金属浮栅可采用耐高温的金属材质，如钨 (W)、钽 (Ta)、钒 (V)、铬 (Cr)、镍 (Ni)、钴 (Co)、钛 (Ti)、氮化鉿 (HfN)、氮化钽 (TaN) 和氮化钛 (TiN) 等。

此外，在工艺实现时金属可以与多晶硅浮栅发生化学反应，构成稳定的金属硅化物浮栅如硅化钛 (TiSi)，硅化镍 (Ni_xSi_y) 等用做电荷存储层。为了减小单元之间的耦合，所述的多晶硅浮栅和金属浮栅都采用超薄结构，其各自的厚度均为 3nm～40nm。

为了更加清楚的描述本发明提供的非挥发性半导体存储单元，以下结合图 3 至图 5 所示的非挥发性半导体存储单元结构，对本发明提供的非挥发性半导体存储单元的制作工艺进行详细描述。

如图 6 所示，图 6 是依照本发明实施例的制作非挥发性半导体存储单元的工艺流程图。请结合图 3，该工艺首先选择一衬底 101，在该硅

衬底 101 之上采用氧化生长、化学气相淀积 (CVD) 或原子层沉积 (ALD) 等方法形成 SiO_2 材料的隧穿氧化层 103; 接着，在该隧穿氧化层 103 之上采用 CVD 、ALD 或者溅射等方法形成浮栅电荷存储层 104; 然后，在该浮栅电荷存储层 104 之上采用 CVD 、ALD 或者溅射等方法形成阻挡介电层 105; 然后，在该阻挡介电层 105 之上采用 CVD 、ALD 或者溅射等方法形成多晶硅控制栅极 106; 最后，刻蚀 106、105、104 形成栅叠层线条，并在栅线条两侧离子注入，注入的重掺杂离子在栅线条下方的沟道两侧形成源极 102 和漏极 102'。

在上述形成浮栅电荷存储层 104 的步骤中，是先在该隧穿氧化层 103 之上采用 CVD 、ALD 或者溅射等方法形成一层超薄的多晶硅浮栅 111，然后再在该多晶硅浮栅 111 之上采用电子束蒸发、ALD 或者溅射等方法形成一层超薄的金属浮栅 112。其中，该多晶硅浮栅 111 具有良好的工艺兼容性，与其下方的隧穿氧化层 103 之间具有良好的粘合性和界面特性，并能很好地控制边缘效应的影响。该金属浮栅 112 能够吸收进入到下层多晶硅浮栅的高能电子的能量，从而减小对闪存阻挡介电层的损伤，降低界面态密度和泄漏电流，提升闪存单元的可靠度。

优选地，请结合图 4，为了使浮栅电荷存储层 104 与阻挡介电层 105 之间具有良好的界面，减小了因缺陷增加带来的可靠度降低的风险，本发明在多晶硅浮栅之上形成一层超薄的金属浮栅之后，在金属浮栅 212 之上再淀积一层多晶硅浮栅层 213，这时浮栅电荷存储层 104 由多晶硅浮栅/金属浮栅/多晶硅浮栅三层材质构成。此结构由于浮栅电荷存储层 104 的顶层是由多晶硅浮栅材质构成，这样浮栅电荷存储层 104 与阻挡介电层 105 之间的界面与常规闪存的一样，工艺上更易控制，并且能够使浮栅电荷存储层 104 与阻挡介电层 105 之间具有良好的界面，减小了因缺陷增加带来的可靠度降低的风险。

优选地，请结合图 5，为了降低浮栅电荷存储层 104 与隧穿介电层 103' 之间的界面缺陷密度，并进一步减小高能电子的能量防止高能电子对阻挡介电层的损伤，在浮栅电荷存储层 104 与隧穿介电层 103' 之间的界面采用由高介电常数 (高 K) 介电层和金属浮栅构成。此时，在上述

形成浮栅电荷存储层 104 的步骤中，是先在该隧穿介电层 103'之上采用电子束蒸发、CVD 、ALD 或者溅射等方法形成一层薄金属浮栅 311，然后再在该薄金属浮栅 311 之上采用 CVD 、ALD 或者溅射等方法形成一层多晶硅浮栅 312。该薄金属浮栅 311 与该多晶硅浮栅 312 共同构成浮栅电荷存储层 104。

优选地，在图 5 所示结构的基础上，为了更好的改善浮栅电荷存储层 104 与阻挡介电层 105 之间的界面特性，还可以在该多晶硅浮栅 312 上在沉积一层金属浮栅材料，这时浮栅电荷存储层 104 由金属浮栅/多晶硅浮栅/金属浮栅三层材质构成。此结构的优点是顶层金属栅可以进一步减小高能电子的能量，并能够减小浮栅电荷存储层与阻挡介电层之间的界面的缺陷密度，提高闪存单元的可靠度。

因此，本发明所提出的薄体混合浮栅结构闪存，减小了闪存单元之间的耦合，以及闪存中阻挡介电层缺陷的产生和密度，并增大闪存的信号窗口，提升了闪存单元的保持特性和可靠度，在未来高密度、高可靠度的存储应用中，有着明显优势和广泛的应用前景。

以上所述的具体实施例，详细描述了本发明所提供的快闪存储器的结构，本领域的技术人员应当理解，以上所述仅为本发明的具体实施例而已，并不用于限制本发明，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权利要求书

1、一种非挥发性半导体存储单元，其特征在于，包括：

硅衬底；

形成于该硅衬底上表面载流子沟道两侧的源极和漏极；

形成于该硅衬底上表面载流子沟道之上的隧穿氧化层；

形成于该隧穿氧化层之上的浮栅电荷存储层；

形成于该浮栅电荷存储层之上的阻挡介电层；以及

形成于该阻挡介电层之上的多晶硅控制栅极。

2、根据权利要求1所述的非挥发性半导体存储单元，其特征在于，所述隧穿氧化层用于增强所述浮栅电荷存储层与所述硅衬底之间的吸附力，并与硅衬底形成小缺陷密度的界面。

3、根据权利要求1所述的非挥发性半导体存储单元，其特征在于，所述浮栅电荷存储层由混合材质的浮栅叠置而成，包括：

第一多晶硅浮栅；以及

第一金属浮栅，叠置于该第一多晶硅浮栅之上。

4、根据权利要求3所述的非挥发性半导体存储单元，其特征在于，所述浮栅电荷存储层进一步包括第二多晶硅浮栅，形成于该第一金属浮栅之上。

5、根据权利要求3所述的非挥发性半导体存储单元，其特征在于，所述浮栅电荷存储层进一步包括第二金属浮栅，形成于该第一多晶硅浮栅之下。

6、根据权利要求1所述的非挥发性半导体存储单元，其特征在于，所述阻挡介电层采用高介电常数的介电材料构成，用于防止所述浮栅电荷存储层所存储电荷的泄漏。

7、根据权利要求6所述的非挥发性半导体存储单元，其特征在于，所述高介电常数的介电材料采用氧化铝、五氧化二钽、氧化铪、铪氧化硅和二氧化钛中的任意一种材料，或者采用氧化铝、五氧化二钽、氧化铪、铪氧化硅和二氧化钛中的至少两种材料。

8、根据权利要求 1所述的非挥发性半导体存储单元，其特征在于，所述阻挡介电层采用二氧化硅/氮化硅/二氧化硅 (ONO) 三层结构，所述浮栅电荷存储层采用多晶硅浮栅/金属浮栅/多晶硅浮栅三层结构。

9、根据权利要求 1所述的非挥发性半导体存储单元，其特征在于，所述浮栅电荷存储层由混合材质的浮栅叠置而成，包括：

第三金属浮栅；以及

第三多晶硅浮栅，叠置于该第三金属浮栅之上。

10、根据权利要求 9所述的非挥发性半导体存储单元，其特征在于，所述浮栅电荷存储层进一步包括第四金属浮栅，形成于该第三多晶硅浮栅之上。

11、根据权利要求 9所述的非挥发性半导体存储单元，其特征在于，所述浮栅电荷存储层进一步包括第四多晶硅浮栅，形成于该第三金属浮栅之下。

12、根据权利要求 3、4、5、8、9、10 或 11 中任一项所述的非挥发性半导体存储单元，其特征在于，所述金属浮栅采用钨 W、钽 Ta、钒 V、铬 Cr、镍 Ni、钴 Co、钛 Ti、氮化給 HfN 、氮化钽 TaN 和氮化钛 TiN 中的任意一种材料。

13、根据权利要求 3、4、5、8、9、10 或 11 中任一项所述的非挥发性半导体存储单元，其特征在于，所述多晶硅浮栅或金属浮栅均采用超薄结构，其各自的厚度均为 3nm～40nm。

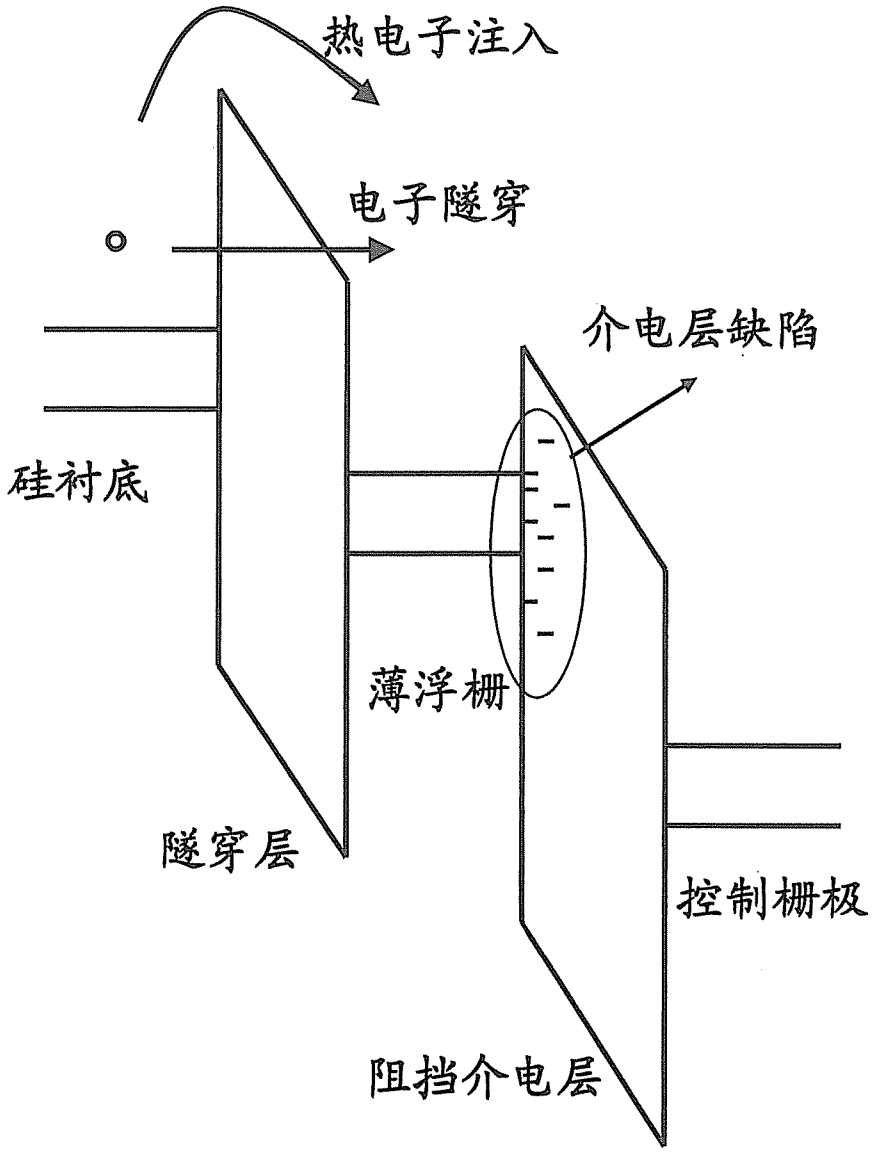


图 1

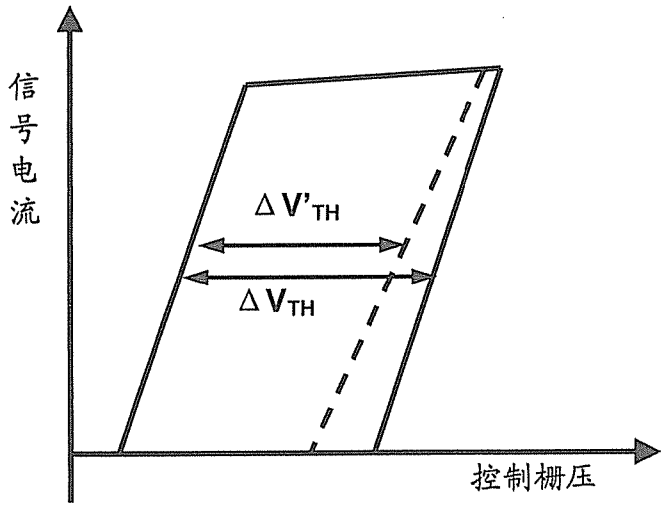


图 2

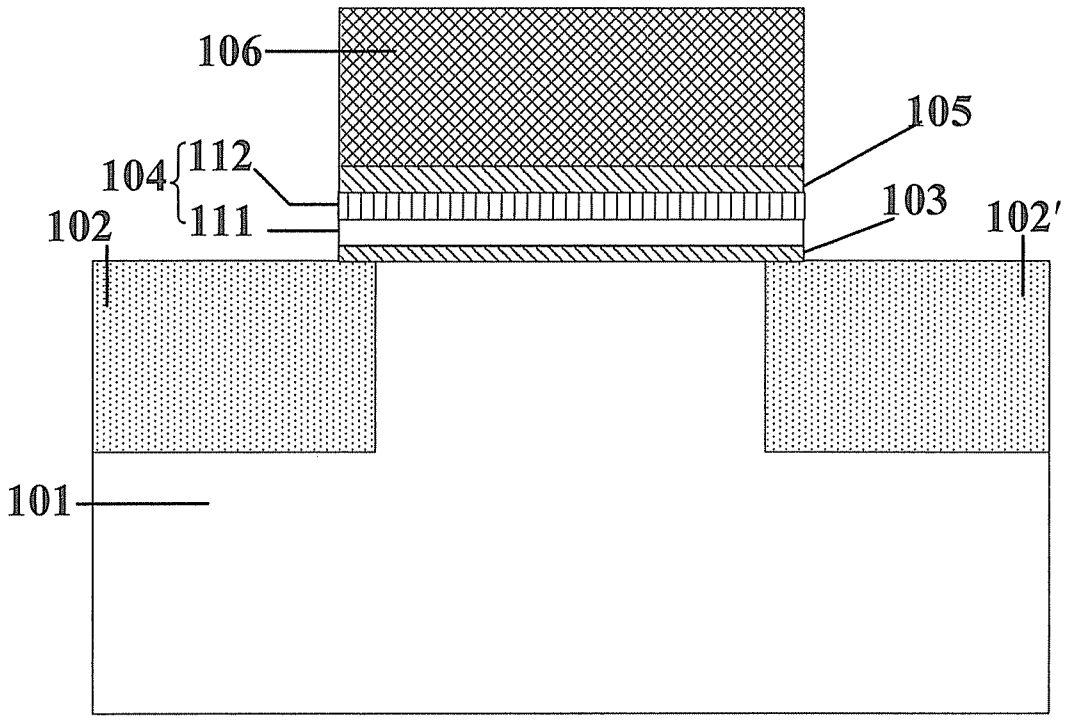


图 3

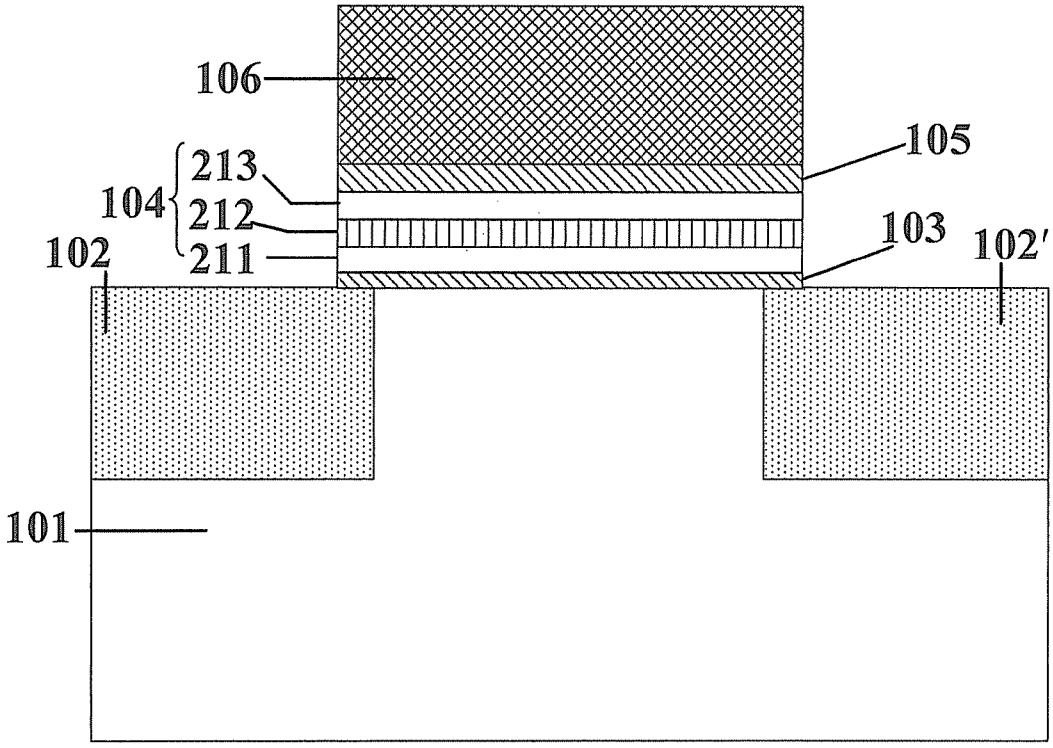


图 4

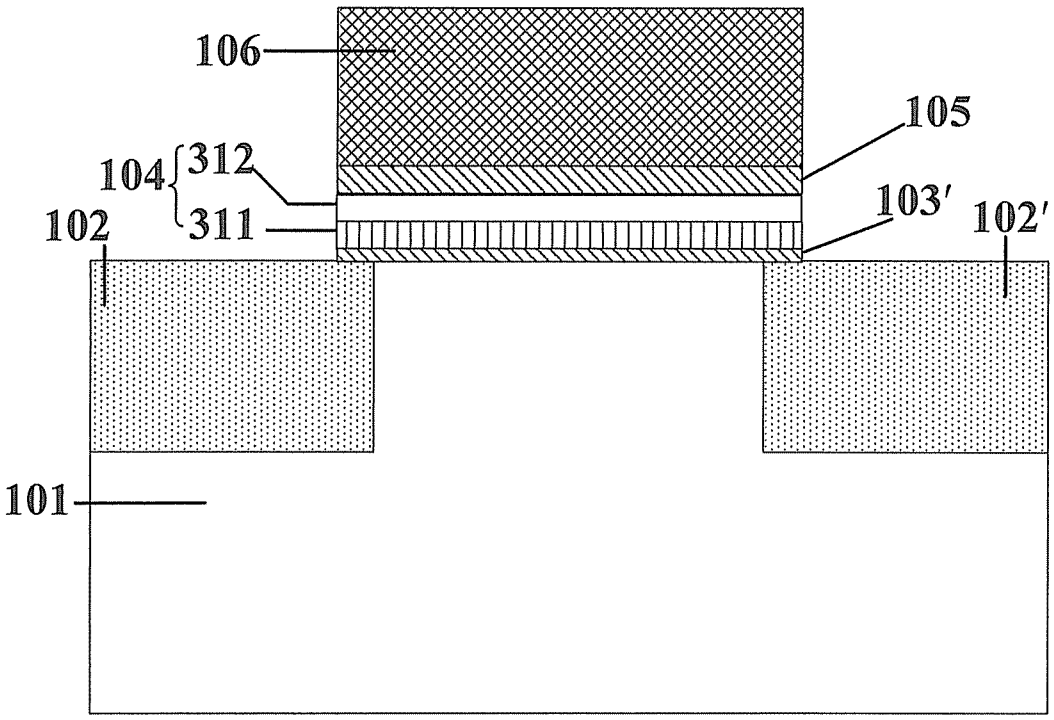


图 5

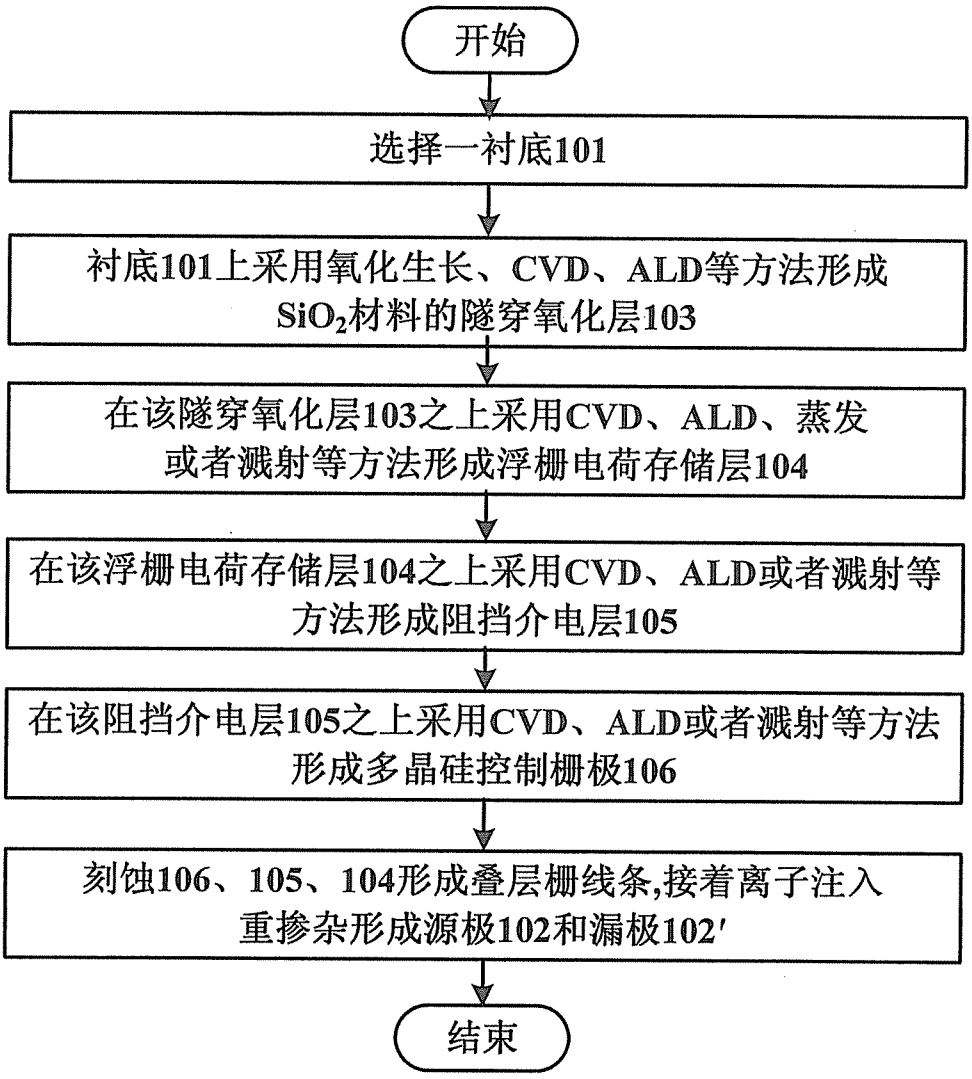

开始
选择一衬底101
衬底101上采用氧化生长、CVD、ALD等方法形成SiO_2材料的隧穿氧化层103
在该隧穿氧化层103之上采用CVD、ALD、蒸发或者溅射等方法形成浮栅电荷存储层104
在该浮栅电荷存储层104之上采用CVD、ALD或者溅射等方法形成阻挡介电层105
在该阻挡介电层105之上采用CVD、ALD或者溅射等方法形成多晶硅控制栅极106
刻蚀106、105、104形成叠层栅线条,接着离子注入重掺杂形成源极102和漏极102′
结束

图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN20 10/0746 13

A. CLASSIFICATION OF SUBJECT MATTER

H O1L 29/792 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-; H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRS, CNKI, WPI, EPODOC: flash, memory, storage, float, floating, gate, metal, metalic, tunnel, tunneling, non| volatile , nonvolatile , poly , polysilicon

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category: *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US2005/0023602A1 (MICRON TECHNOLOGY, YNC.)03 Feb. 2005(03.02.2005)	1-3,6-7,13
Y	Description Pars. 0083-0096, Fig. 2	12
A		4-5,8-1 1
Y	CN101047192A(SEMICONDUCTOR ENERGY LAB)03 Oct. 2007(03. 10.2007) Claims 4, 25-26	12
A	CN1387263A(TSINGHUA UNIVERSITY)25 Dec. 2002(25. 12.2002) the whole document	1-13

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"& "document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 Aug. 2010 (11.08.2010)	31 Mar. 2011 (31.03.2011)

Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088
Facsimile No. 86-10-62019451

Authorized officer
ZHANG, Jian
Telephone No. (86-10)62412094

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN20 10/0746 13

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category: *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101452963A (INST MICROELECT CHINESE ACAD) 10 Jun. 2009 (10.06.2009) the whole document	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN20 10/0746 13

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2005023602A1	03.02.2005	US2003045082A1	06.03.2003
		US2003043633A1	06.03.2003
		US2003042527A1	06.03.2003
		US2003048666A1	13.03.2003
		US20041 59863A1	19.08.2004
		US2005023595A1	03.02.2005
		US2005023603A1	03.02.2005
		US2006199338A1	07.09.2006
		US2006234450A1	19. 10.2006
		US200623 1886A1	19. 10.2006
		US2006237768A1	26. 10.2006
		US20071 38534A1	2 1.06.2007
		US2007145462A1	28.06.2007
		US20071 78635A1	02.08.2007
		US7476925B2	13.01 .2009
		US7 13271 1B2	07. 11.2006
		US7042043B2	09.05.2006
		US7135734B2	14. 11.2006
		US7 112841B2	26.09.2006
		US7126183B2	24. 10.2006
		US6952032B2	04. 10.2005
		US7473956B2	06.01 .2009
		US7508025B2	24.03.2009
		US7372096B2	13.05.2008
		US7391072B2	24.06.2008
		US7372097B2	13.05.2008
		US7446368B2	04. 11.2008
		US7465983B2	16.12.2008
		US7504687B2	17.03.2009
CN101047192A	03. 10.2007	US2007228453A1	04. 10.2007
		TW200805678A	16.01 .2008
		JP200729491 1A	08. 11.2007
CN101452963A	10.06.2009	None	
CN1387263A	25. 12.2002	CN1 176493C	17. 11.2004

国 际 检 索 报 告

国际申请号
PCT/CN2010/074613

A．主题的分类

腿 L 29/792 (2006.01) i

按照国际专利分类(IPC) 或者同时按照国家分类和 IPC 两种分类

B．检索领域

检索的最低限度文献(标明分类系统和分类号 :)

IPC: H01L21/-; H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称 ，和使用的检索词 (如使用))

CPRS, CNKI, WPI, EPODOC: 快闪，闪存，非挥发性，非易失性，浮栅，电荷存储，缺陷，金属浮栅，隧穿，复合浮栅，多层浮栅，双层浮栅，三层，多晶柱，金属，flash, memory, storage, float, floating, gate, metal, metalic, tunnel, tunneling, non volatile, nonvolatile, poly, polysilicon

C．相关女件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	US2005/0023602A1 (微技术公司) 3.2 月 2005 (03.02.2005)	1-3,6-7,13
Y	说明书第 0083-0096 段、附图 2	12
A		4-5,8-1 1
Y	CN101047192A (株式会社半导体能源研究所) 3.10 月 2007 (03.10.2007) 权利要求 4,25 和 26	12
A	CN1387263A (清华大学) 25.12 月 2002 (25. 12.2002) 全文	1-13
A	CN101452963A (中国科学院微电子研究所) 10.6 月 2009 (10.06.2009) 全文	1-13

口 其余文件在 C 栏的续页中列出。 l3 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的¾¾¾之后公布的已先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
11.8 月 2010 (11.08.2010)	31.3 月 2011 (31.03.2011)
ISA/CN 的名称和邮寄地址：	受权官员
中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088	张健
传真号： (86-10)62019451	电话号码： (86-10) 62412094

国际检索报告

关于同族专利的信息

国际申请号 PCT/CN2010/074613

检索报告中引用的专利文件	公布日期	同族专利	公布日期
US2005023602A1	03.02.2005	US2003045082A1	06.03.2003
		US2003043633A1	06.03.2003
		US2003042527A1	06.03.2003
		US2003048666A1	13.03.2003
		US2004159863A1	19.08.2004
		US2005023595A1	03.02.2005
		US2005023603A1	03.02.2005
		US2006199338A1	07.09.2006
		US2006234450A1	19.10.2006
		US200623 1886A1	19.10.2006
		US2006237768A1	26.10.2006
		US2007138534A1	21.06.2007
		US2007145462A1	28.06.2007
		US2007178635A1	02.08.2007
		US7476925B2	13.01.2009
		US713271 1B2	07.1 1.2006
		US7042043B2	09.05.2006
		US7135734B2	14.1 1.2006
		US71 12841B2	26.09.2006
		US71261 83B2	24.10.2006
		US6952032B2	04.10.2005
		US7473956B2	06.01.2009
		US7508025B2	24.03.2009
		US7372096B2	13.05.2008
		US7391072B2	24.06.2008
		US7372097B2	13.05.2008
		US7446368B2	04.1 1.2008
		US7465983B2	16.12.2008
		US7504687B2	17.03.2009
CN101047192A	03.10.2007	US2007228453A1	04.10.2007
		TW200805678A	16.01.2008
		JP200729491 1A	08.1 1.2007
CN101452963A	10.06.2009	无	
CN1387263A	25.12.2002	CN1 176493C	17.1 1.2004