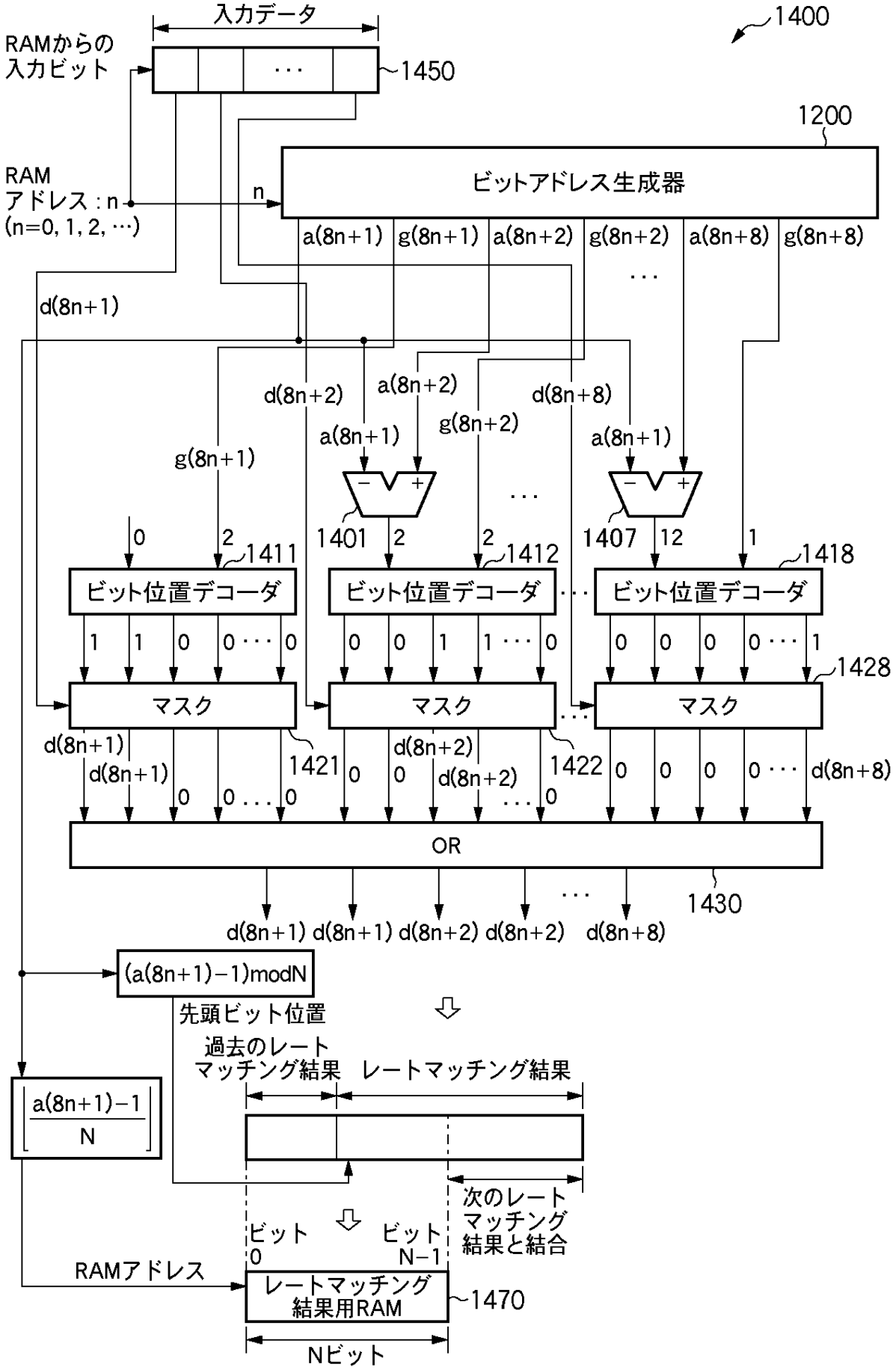
【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成22年7月15日(2010.7.15)

【公開番号】特開2008-311869(P2008-311869A)
【公開日】平成20年12月25日(2008.12.25)
【年通号数】公開・登録公報2008-051
【出願番号】特願2007-156629(P2007-156629)
【国際特許分類】
Ｈ０４Ｂ　1/707　(2006.01)
Ｈ０４Ｗ　28/00　(2009.01)
【ＦＩ】
Ｈ０４Ｊ　13/00　Ｄ
Ｈ０４Ｂ　7/26　１０９Ｍ

【手続補正書】
【提出日】平成22年6月2日(2010.6.2)
【手続補正１】
【補正対象書類名】図面
【補正対象項目名】図１４
【補正方法】変更
【補正の内容】

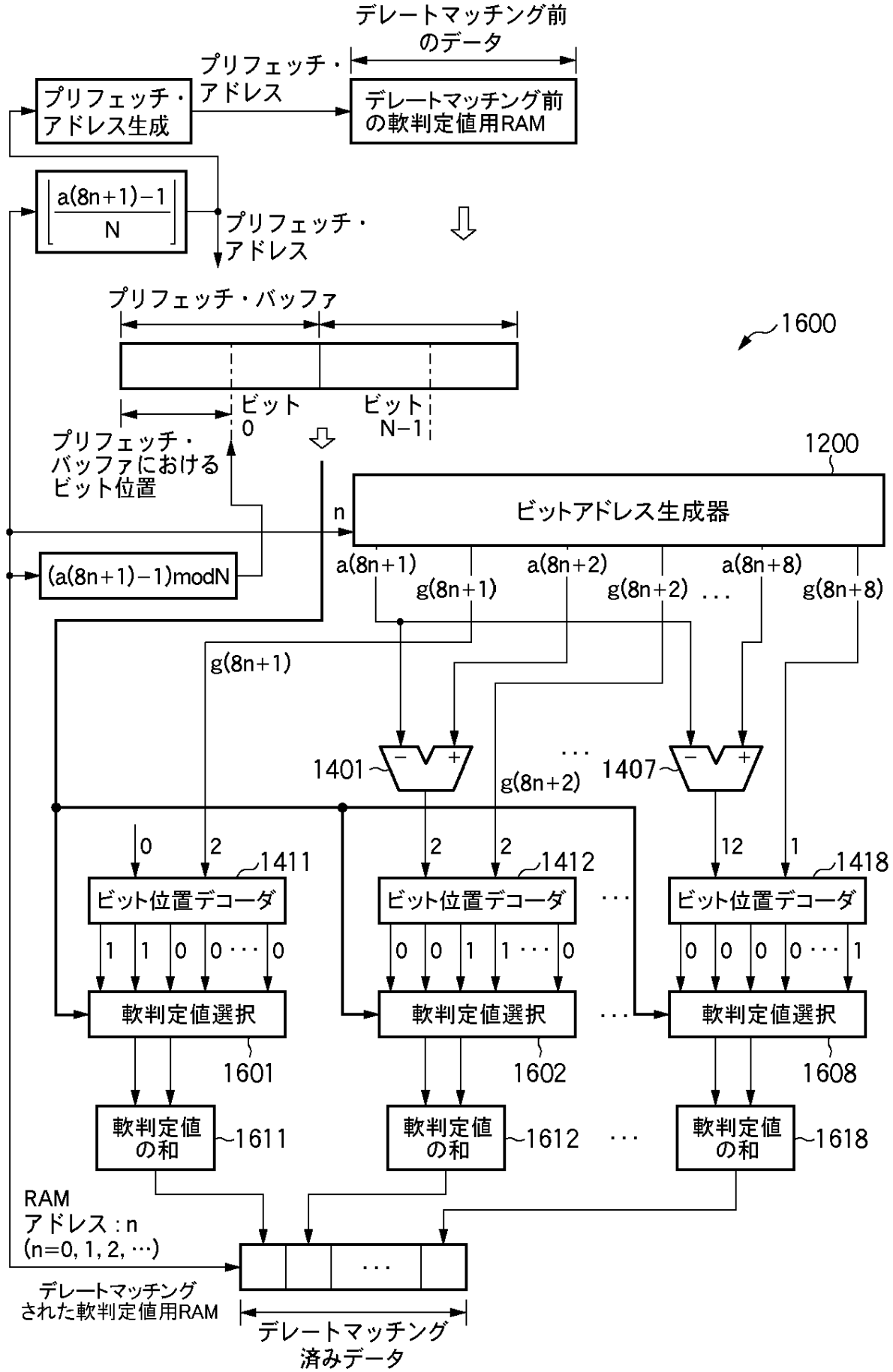
【図１４】



入力データ
1400
RAMからの
入力ビット
1450
1200
RAM
アドレス：n
(n=0, 1, 2, …)
n
ビットアドレス生成器
a(8n+1)
g(8n+1)
a(8n+2)
g(8n+2)
a(8n+8)
g(8n+8)
d(8n+1)
d(8n+2)
a(8n+2)
d(8n+8)
g(8n+2)
a(8n+1)
a(8n+1)
g(8n+1)
1401
1407
0
2
2
2
12
1
1411
1412
1418
ビット位置デコーダ
ビット位置デコーダ
ビット位置デコーダ
1 1 0 0 … 0
0 0 1 1 … 0
0 0 0 0 … 1
1428
マスク
マスク
マスク
d(8n+1)
d(8n+1)
1421
d(8n+2)
d(8n+2)
1422
d(8n+8)
0 0 … 0
0 0 … 0
0 0 0 0 …
OR
1430
d(8n+1) d(8n+1) d(8n+2) d(8n+2) d(8n+8)
(a(8n+1)−1)modN
先頭ビット位置
過去のレート
マッチング結果
レートマッチング結果
a(8n+1)−1
N
次のレート
マッチング
結果と結合
ビット
0
ビット
N−1
RAMアドレス
レートマッチング
結果用RAM
1470
Nビット

【手続補正２】
【補正対象書類名】図面
【補正対象項目名】図１６
【補正方法】変更
【補正の内容】

【図１６】


デレートマッチング前
のデータ
プリフェッチ・
アドレス
プリフェッチ・
アドレス生成
デレートマッチング前
の軟判定値用RAM
a(8n+1)−1
N
プリフェッチ・
アドレス
プリフェッチ・バッファ
1600
ビット
0
ビット
N−1
プリフェッチ・
バッファにおける
ビット位置
1200
n
ビットアドレス生成器
(a(8n+1)−1)modN
a(8n+1)
a(8n+2)
a(8n+8)
g(8n+1)
g(8n+2)
g(8n+8)
g(8n+1)
1401
g(8n+2)
1407
0
2
1411
2
2
1412
12
1
1418
ビット位置デコーダ
ビット位置デコーダ
ビット位置デコーダ
1 1 0 0 ··· 0
0 0 1 1 ··· 0
0 0 0 0 ··· 1
軟判定値選択
軟判定値選択
軟判定値選択
1601
1602
1608
軟判定値
の和
1611
軟判定値
の和
1612
軟判定値
の和
1618
RAM
アドレス：n
(n=0, 1, 2, ···)
デレートマッチング
された軟判定値用RAM
デレートマッチング
済みデータ