

(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 103853135 A

(43) 申请公布日 2014. 06. 11

(21) 申请号 201310650319. 4

(22) 申请日 2013. 12. 06

(30) 优先权数据

13/706911 2012. 12. 06 US

(71) 申请人 硅实验室公司

地址 美国德克萨斯州

(72) 发明人 W. 库杜斯

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 谢攀 王忠忠

(51) Int. Cl.

G05B 19/418 (2006. 01)

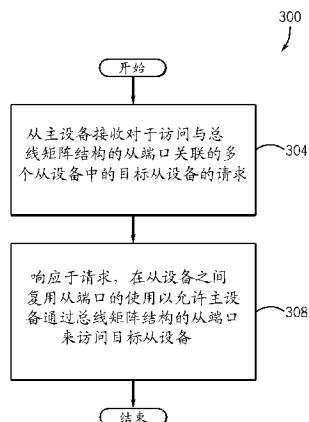
权利要求书2页 说明书7页 附图4页

(54) 发明名称

调节对从设备的访问

(57) 摘要

本发明涉及调节对从设备的访问。一种方法包括从主设备接收对于访问与总线交换结构的从端口关联的多个从设备中的从设备的请求。从端口在从设备之间共享。所述方法包括，响应于所述请求，在从设备之间复用从端口的使用。



1. 一种方法,包括 :

从把与总线交换结构的从端口关联的多个从设备中的从设备作为目标的主设备接收请求,所述从端口在多个从设备之间共享;以及

响应于该请求,在多个从设备之间复用从端口的使用。

2. 根据权利要求 1 所述的方法,其中所述请求指示与目标从设备关联的地址,并且复用从端口的使用包括基于所述地址来选择目标从设备。

3. 根据权利要求 1 所述的方法,进一步包括使用总线交换结构来基于考虑是否至少一个其他主机同时竞争对多个从设备中的至少一个从设备的访问的仲裁协议而选择性地将主端口耦合到从端口。

4. 根据权利要求 1 所述的方法,进一步包括 :

在主设备和耦合到从端口的多个从设备之间传递程序指令和程序数据。

5. 根据权利要求 1 所述的方法,其中接收所述请求包括解码由主设备所提供的地址。

6. 根据权利要求 1 所述的方法,其中复用从端口的使用包括在至少非易失性存储设备和易失性存储设备之间复用从端口的使用。

7. 根据权利要求 1 所述的方法,进一步包括 :

使用寄存器来编程寄存器数据以识别共享从端口的多个从设备。

8. 一种装置,包括 :

总线矩阵电路,包括从端口和主端口,所述从端口在多个从设备之间共享;以及

复用器,适于响应于由耦合到主端口的主机所发起的对于访问多个从设备中的第一从设备的请求而选择性地将第一从设备耦合到从端口。

9. 根据权利要求 8 所述的装置,其中从设备包括至少一个易失性存储设备和至少一个非易失性存储设备。

10. 根据权利要求 8 所述的装置,进一步包括 :

从地址解码器,用于指示作为对与多个从设备关联的多个地址范围的响应的从端口的选择。

11. 根据权利要求 8 所述的装置,其中所述复用器适于选择性地将多个从设备耦合到从端口。

12. 根据权利要求 8 所述的装置,进一步包括耦合到总线矩阵电路以存储数据的寄存器,所述寄存器适于可编程地配置在多个从设备之间共享从端口。

13. 一种装置,包括 :

集成电路,包括处理核、非易失性存储设备、易失性存储设备、复用器和总线矩阵电路,其中:

所述处理核适于与非易失性和易失性存储设备进行通信;

所述总线矩阵电路包括从端口和耦合到所述处理核的主端口;以及

所述复用器适于响应于来自处理核的对于访问非易失性和易失性存储设备之一的请求而选择性地将非易失性和易失性存储设备之一耦合到从端口。

14. 根据权利要求 13 所述的装置,其中:

总线矩阵电路适于选择性地将主端口耦合到从端口;以及

总线矩阵电路适于至少部分基于仲裁协议的应用而控制所述耦合。

15. 根据权利要求 13 所述的装置,进一步包括耦合到总线矩阵电路的寄存器,所述寄存器适于存储数据以可编程地配置在多个从设备之间共享从端口。

16. 根据权利要求 15 所述的装置,其中处理器核适于向总线矩阵电路传递对于访问从端口的请求,所述请求指示与从端口关联的地址,并且复用器适于选择与用于服务所述请求的地址关联的非易失性或易失性存储设备。

17. 根据权利要求 13 所述的装置,其中总线矩阵电路适于使处理核将非易失性和易失性存储设备视为共同作为单独的从设备。

18. 根据权利要求 13 所述的装置,其中总线矩阵电路进一步包括至少一个附加主端口,所述装置进一步包括耦合到所述至少一个附加主端口的直接存储器访问控制器。

19. 根据权利要求 13 所述的装置,其中集成电路进一步包括用于共享从端口的基于非存储器存储的从设备。

20. 根据权利要求 13 所述的装置,进一步包括用于将处理核耦合到总线矩阵电路的总线。

调节对从设备的访问

背景技术

[0001] 为了在被称为“主机(master)”的发起总线代理(例如,处理器)和目标总线代理或“从机(slave)”(例如,存储设备)之间传递数据的目的,具有多个主机和从机的计算机系统可以包括总线结构(fabric)。在典型的总线操作中,主机通过将地址信号连同适当的控制信号和数据信号(如果数据被写到从机的话)一起驱动到总线上以把从机作为目标来对给定的从机发起总线操作(诸如读或写操作)。为了如下目的,作为总线操作的目标的从机通过生成适当的信号到总线上来进行响应:如往来于主机的传送数据;指示错误;或发信号通知主机重试总线操作。

[0002] 总线是通常在任何一个时间将单个主机耦合到单个从机的受限的系统资源。因此,当多个主机尝试同时访问相同的从机时,总线矩阵可以时间复用它们的请求并可以包括执行在请求主机之间的仲裁以调节(竞争总线访问的可能的多个主机中)哪个主机可以访问总线的总线仲裁(arbitration)电路或“仲裁器”。

发明内容

[0003] 在示例性实施例中,一种方法包括从主设备接收对于访问与总线交换结构的从端口关联的多个从设备中的从设备的请求。从端口在从设备之间共享。所述方法包括,响应于所述请求,在从设备之间复用从端口的使用。

[0004] 在另一个示例性实施例中,一种装置包括从复用器;和包括从端口和主端口的总线矩阵电路。从端口在多个从设备之间共享。从复用器适于响应于耦合到主端口的主机所发起的对于访问多个从设备中的从设备的请求而选择性地将第一从设备耦合到从端口。

[0005] 在又另一个示例性实施例中,一种装置包括包含处理核;非易失性存储设备;易失性存储设备;复用器;和总线矩阵电路的集成电路。处理核适于与非易失性和易失性存储设备进行通信。总线矩阵电路包括从端口,和耦合到处理核的主端口。复用器适于响应于来自处理核的对于访问存储设备的请求而选择性地将非易失性和易失性存储设备之一耦合到从端口。

[0006] 根据下述附图、描述和权利要求,优势和其他期望特征将变得显而易见。

附图说明

[0007] 图1是根据示例性实施例的系统的示意图。

[0008] 图2是根据示例性实施例的微控制器单元(MCU)的示意图。

[0009] 图3是描述根据示例性实施例用于调节对MCU的从设备的访问的技术的流程图。

[0010] 图4是根据示例性实现方式的电动机控制系统的示意图。

具体实施方式

[0011] 微控制器单元(MCU)可以包括访问存储在MCU的非易失性存储设备(诸如例如,闪存设备)中的机器可执行指令(例如,“程序”)的处理核。作为程序运行的结果,处理核可

以进一步访问(即,写入数据到其中和从中读取数据)可以被存储在易失性存储设备(诸如,MCU的静态随机访问存储器(SRAM))中的诸如栈、堆、临时变量等等之类的程序数据。本文公开了允许处理核以可以对于最小化或防止由于处理核在非易失性和易失性存储器访问之间切换而引起的仲裁周期的目的有利的方式高效地访问程序指令和程序数据的技术和系统。

[0012] 作为更具体的示例,图1描绘示例性系统10中的MCU 24。对于该示例,MCU 24控制一个或多个组件70的各方面。作为示例,依赖于特定应用,组件70可以包括一个或多个下述部件:电动机、家用电器、库存控制终端、计算机、平板计算机、智能功率计、无线接口、蜂窝接口、交互式触摸屏用户接口等等。MCU 24的组件的全部或部分可以是集成电路(IC)或半导体封装30的部分。例如,MCU 24的组件的全部或部分可以被制造在半导体封装30的单个裸片(die)上或多个裸片上(例如,多芯模块)。

[0013] 如下文进一步详细讨论的,MCU 24包括调节MCU 24的主机(例如,处理核)和从机(例如,易失性和非易失性存储设备)之间的通信的总线矩阵电路或模块200。MCU 24的从侧(slave side)复用器282被构造成允许MCU 24的部分从机共同共享总线矩阵模块200的端口,这继而可以提供以下优势:允许诸如MCU 24的处理核之类的主机在非易失性和易失性存储器访问之间切换的同时引发少量(如果有的话)总线仲裁周期。

[0014] 参考图2,根据示例性实施例,MCU 24包括诸如处理核150之类的主机(或“主设备”)。作为示例,在一些实施例中,处理核150可以是运行精简指令集计算机(RISC)指令集的诸如高级RISC机器(ARM)处理核之类的32位核。如本文公开的,处理核150通常与诸如一个或多个非易失性存储设备165(例如,闪存设备)和易失性存储设备167(例如,静态随机访问存储器(SRAM)存储设备)之类的MCU 24的多个其他从机(或“从设备”)进行通信。对于下文描述的示例,在图2中描绘示例性非易失性存储设备165和两个易失性存储设备167-0和167-1,不过应该理解的是根据其他示例性实施例MCU 24可以包含许多其他此类设备。

[0015] 根据本文公开的示例性实施例,非易失性存储设备165存储表示供处理核150运行的程序指令的数据220;并且易失性存储设备167-0和167-1存储由于程序指令的运行而可以被处理核150所更新和读取的程序数据224。以这种方式,程序数据224可以与栈、堆、变量、数组等相关联。应该注意的是,处理核150可以读和写程序指令数据和程序数据到MCU 24的其他易失性和非易失性存储设备。

[0016] 应该注意的是,依赖于特定实施例MCU 24可以包含除图2中示出的主机和从机之外的主机和从机。例如,从机可以包括除存储器存储组件之外的组件,诸如例如数学加速器、从MCU 24和数字组件的外部环境接收模拟信号的组件(诸如,模拟到数字转换器(ADC)、比较器等)、诸如例如,通用串行总线(USB)接口、通用异步接收器/发射器(UART)、系统管理总线(SMB)接口、串行外部(SPI)接口等。

[0017] MCU 24包括本文中通常称为“总线矩阵电路”或“总线矩阵模块200”的总线交换矩阵或总线交换结构。在示例性实施例中,总线矩阵模块200可以是集成电路(例如,制造在单个裸片或在多个裸片上);并且在进一步实施例中,总线矩阵模块200可以是集成电路组。总线矩阵模块200调节MCU 24的主机组和从机组之间的通信。对于图2的示例性实施例,总线矩阵模块200包含耦合到诸如处理核150和直接存储器访问(DMA)控制器204

之类的主机的主端口 248 (图 2 中描述的特定主端口 M_0 和 M_1)。以这种方式,每个主机与对应的主端口 248 传递地址、控制和数据信号 205,诸如用于耦合到图 2 中的 M_0 端口的处理核 150 的地址、控制和数据信号 205。给定主机可以具有多个总线端口。在此类情况下,每个总线端口可以耦合到总线矩阵模块 200 的单独主端口。主机的主端口 248 也可以被复用并且然后耦合到总线矩阵主端口。

[0018] 总线矩阵模块 200 进一步包含选择性地耦合到从机(诸如,非易失性 165 和易失性 167 存储设备)的地址、控制和数据信号的从端口 252 (图 2 中示出特定从端口 S_0, S_1, S_2, S_3),如本文进一步讨论的。以这种方式,总线矩阵模块 200 通常包含被模块 200 控制以选择性地将主机和从机的地址、控制和数据信号耦合在一起的诸如开关(例如,晶体管)之类的电路。依赖于特定实施例,总线矩阵模块 200 可以全部由硬件组件形成或可以由硬件和软件的组合形成。

[0019] 诸如处理核 150 之类的给定主机可以请求访问从机之一并提供对应的地址到总线矩阵模块 200 以选择从端口 252 之一,以使得总线矩阵模块 200 将与选择的从端口关联的从机耦合到主机。根据示例性实施例,由主机选出的从端口的指示表现为总线矩阵模块 200 的对应的从选择端口 250 处的对应的信号。这些指示可以例如从解码的地址位导出,以使得特定地址空间可以是利用给定的从端口(和关联的从机)可识别的。因为多个主机可能尝试同时访问相同的从端口,根据示例性实施例,总线矩阵模块 200 在请求相同的从端口的多个主机之间执行时间复用的仲裁(例如,诸如基于循环法(round robin)的策略之类的基于公平性的策略、基于优先级的策略或考虑公平性和优先级的组合的策略)。换句话说,对从机的仲裁控制的访问适应(accommodate)其中多个主机同时竞争对给定从机的访问的场景。根据示例性实施例,由于总线矩阵模块 200 形成多个并发(concurrent)主从连接的能力,允许在主机和从机对之间的并发、或并行访问。

[0020] 根据本文公开的系统和技术,MCU 24 允许使用在多个从机之间共同共享的总线矩阵模块 200 的单个从端口 252 来访问这些从机。此类布置具有以下特定优势:降低了在被访问的从机例如被分配给单独的从端口的情况下当处理核 150 将访问从一个从端口切换到另一个从端口时原本会被引起的等待时间。对于本文描述的示例性实施例,MCU 24 运行被存储在非易失性存储设备 165 中作为程序指令数据 220 的程序指令;并且 MCU 24 处理保留在易失性存储设备 167-0 和 167-1 中的程序数据 224。将从设备复用到单个从端口 252 上具有以下特定优势:防止当给定主机从一个从机切换到下一个时总线矩阵模块 200 停止一个或多个周期。根据本文公开的系统和技术,地址解码方案将多个从机地址范围合并到由于从端口复用而引起的从机共享的从端口 252 的地址范围。当以这种方式被编程时,总线矩阵模块 200 将给定主机视为在从机之间切换,尽管此类切换可能发生,从而避免使总线矩阵模块 200 “停止”。应该注意的是,从侧复用器 282 包含用于将适当的从机总线耦合到单个从端口 252 的附加的解码逻辑(未在图 2 中示出),如图 2 中从侧复用器 282 的图图示关于从端口复用的特征。

[0021] 根据示例性实现方式,当处理核 150 运行特定程序或应用时,为了在不引起任何总线矩阵仲裁处罚(penalty)的情况下检索程序指令以及存储和检索关联的程序数据的目的,处理核 150 可以访问非易失性存储设备(诸如,图 2 中示出的非易失性设备 165)以及易失性存储设备 167 (诸如易失性存储设备 167-0 和 167-1)二者。这些访问继而涉及通过单

个总线的通信。

[0022] 更具体地,根据示例性实施例,MCU 24 可以采用“冯诺依曼”型架构,这意味着 MCU 24 使用单个总线来传递表示程序指令和数据二者的信号。利用此类架构,处理核 150 使用总线上的时间复用的总线操作(读周期、写周期等)来访问非易失性存储设备 165 和易失性存储设备 167。因为每个程序指令可以包括取指令和取数据二者,本文公开的从设备复用技术具有以下特定优势:通常避免由于取数据和指令而引起消耗总线周期,如本领域技术人员能够领会的。

[0023] 根据示例性实施例,MCU 24 包括从地址解码器 270 和从侧复用器 282。从地址解码器 270 耦合到从选择端口 250 (图 2 中描绘示例性从选择端口 S₀、S₁、S₂ 和 S₃)以允许(与多个从机关联的)多个地址范围共同共享总线矩阵模块 200 的从端口 252。就这一点而言,任何这些多个地址范围可以被用于选择被共同共享的从端口 252。作为更具体的示例,非易失性存储设备 165、易失性存储设备 167-0 和易失性存储设备 167-1 可以使用三个不同的地址范围来寻址;并且对于该示例,这些从机可以共享 S₀ 从端口 252。从地址解码器 270 被构造成通过选择 S₀ 从端口来对主机对于对这三个不同的地址范围中的任何一个的访问的请求进行响应。

[0024] 从侧复用器 282 通常控制从机到从端口 252 的耦合以及对于共同共享的从端口而言多个从机的复用。对于图 2 的示例性实施例,从侧复用器 282 在非易失性存储设备 165、易失性存储设备 167-0 和易失性存储设备 167-1 之间复用 S₀ 从端口 252 的使用。此外,对于图 2 中描绘的示例性实施例,从侧复用器 282 允许易失性存储设备 167-0 和 167-1 被分别单独分配给 S₁ 和 S₂ 从端口 252 (并不与 S₀ 从端口 252 共享),如(经由桥 260)耦合到 S₃ 从端口 252 的系统配置寄存器 264 的寄存器数据 266 所配置的。因而,在附加的权利要求的范围内的许多变形和实施例被预期。

[0025] 更具体地,根据示例性实施例,寄存器数据 266 可以是被处理核 150 可编程的并且包含具有可以被用于选择性地编程从端口分配的关联逻辑级别的各个位。对于本文所述的示例性实施例,利用单独地对应于从机的寄存器数据 266 的给定位,寄存器数据 266 控制至少哪些从机共享 S₀ 从端口 252。对于图 2 的示例性实施例,寄存器数据 266 包含单独地控制是否易失性存储设备 167-0 和 167-1 共享 S₀ 从端口 252 的两个位;并且这两个位被以下两个相应的信号所表示:被断言成(例如,驱动成逻辑 1 值)配置易失性存储设备 167-0 与非易失性存储设备 165 (并依赖于其分配可能与易失性存储设备 167-1)共享 S₀ 从端口 252 (替代被分配 S₁ 从端口 252)的 SHARE_VMD0 信号,以及被断言成(例如,驱动成逻辑 1 值)配置易失性存储设备 167-1 与非易失性存储设备 165 (并依赖于其分配可能与易失性存储设备 167-0)共享 S₀ 从端口 252 (替代被分配到 S₂ 从端口 252)的 SHARE_VMD1 信号。

[0026] 现转向从地址解码器 270 的示例性实施例,根据一些实施例,从地址解码器 270 基于下述地址空间信号来控制总线矩阵模块 200 的从请求端口 250 的选择性断言:被断言成(例如,驱动成逻辑 1 值)指示把非易失性存储设备 165 的地址空间内的地址作为目标的主机访问的 NVMD_ADDR_SPACE 信号;被断言成(例如,驱动成逻辑 1 值)指示把系统配置寄存器 264 的地址作为目标的主机访问的 APB_ADDR_SPACE 信号;被断言成(例如,驱动成逻辑 1 值)指示把易失性存储设备 167-0 的地址空间内的地址作为目标的主机访问的 VMD0_ADDR_SPACE 信号;和被断言成(例如,驱动成逻辑 1 值)指示把易失性存储设备 167-1 的地址空间

内的地址作为目标的主机访问的 VMD1_ADDR_SPACE 信号。例如,这些信号可以是被解码的地址线信号。

[0027] 从地址解码器 270 通常对 SHARE_VMD0 和 SHARE_VMD1 信号进行响应,以使得这些信号可以被用于为了从端口选择的目的而选择性地有效地将易失性存储设备 167-0 和 167-1 的地址范围映射到非易失性存储设备 165 的地址范围。

[0028] 更具体地,根据示例性实施例,从地址解码器 270 包括将其输出信号耦合到 S₀ 从选择端口 250 的 OR(或)门 272。OR 门 272 接收 NVMD_ADDR_SPACE 信号和由接收 VMD0_ADDR_SPACE 信号和 SHARE_VMD0 信号的 AND (与)门 274 的输出端子所提供的信号。OR 门 272 还接收由接收 VMD1_ADDR_SPACE 信号和 SHARE_VMD1 信号的 AND 门 276 所提供的输出信号。因而,OR 门 272 断言(例如,驱动成逻辑 1 值) S₀ 选择端口以从而响应于把非易失性存储设备 165 的地址空间作为目标的主机请求、把易失性存储设备 167-0 的地址空间作为目标的主机请求(假定易失性存储设备 167-0 被配置成共享 S₀ 从端口 252)、或把易失性存储设备 167-1 的地址空间作为目标的主机请求(假定易失性存储设备 167-1 被配置成共享 S₀ 从端口 252) 来选择 S₀ 从端口 252。

[0029] 从地址解码器 270 进一步包括将其输出信号耦合到 S₁ 从选择端口 250 的 AND 门 278。AND 门 278 接收 VMD0_ADDR_SPACE 信号和取反的 SHARE_VMD0 信号。因而,AND 门 278 断言(例如,驱动成逻辑 1 值) S₁ 选择端口以从而响应于把易失性存储设备 167-0 的地址空间作为目标的主机请求以及易失性存储设备 167-0 被分配给 S₁ 从端口 252 而不是共享 S₀ 从端口 252 来选择 S₁ 从端口 252。

[0030] 从地址解码器 270 还包括将其输出信号耦合到 S₂ 从选择端口 250 的 AND 门 280。AND 门 280 接收 VMD1_ADDR_SPACE 信号和取反的 SHARE_VMD1 信号。因而,AND 门 280 断言(例如,驱动成逻辑 1 值) S₂ 选择端口以从而响应于把易失性存储设备 167-1 的地址空间作为目标的主机请求以及易失性存储设备 167-1 被分配给 S₂ 从端口 252 而不是共享 S₀ 从端口 252 来选择 S₂ 从端口 252。最后,对于图 2 描绘的实施例,从地址解码器 270 将 APB_ADDR_SPACE 信号提供给 S₃ 从选择端口 250,对于该示例,系统配置寄存器 264 专用于 S₃ 从端口 252,以使得响应于把系统配置寄存器 264 的地址作为目标的主机请求而选择 S₃ 从端口 252。

[0031] 根据示例性实施例,从侧复用器 282 选择性地将从机(诸如非易失性存储设备 165、易失性存储设备 167-0 和易失性存储设备 167-1)耦合到从端口 252。从侧复用器 282 包括具有将用于选择的从设备的地址、控制和数据信号提供到 S₀ 从端口 252 的多个输出端子的 OR 门 288。更具体地,OR 门 288 包括从非易失性存储设备 165 接收被选通(gate)的地址、控制和数据信号 166 的第一组输入端子。这些选通信号由 AND 门 284 的多个输出端子所提供。AND 门 284 包括耦合到信号 166 的一组输入端子以及耦合到 AND 门 286 的输出端子的输入端子以控制选通(即,控制何时信号 166 耦合到 S₀ 从端口 252)。AND 门 286 接收当主机请求与 S₀ 从端口 252 关联的从设备之一以及总线矩阵模块 200 的仲裁器准予访问时被断言的信号(称为“REQ_S0”)。AND 门 286 还接收当主机请求与非易失性存储设备 165 关联的地址空间时被断言(例如,驱动到逻辑 1 值)的 NVMD_ADDR_SPACE 信号。

[0032] OR 门 288 包括从易失性存储设备 167-0 接收被选通的地址、控制和数据信号 168 的第二组输入端子。这些被选通的信号由 AND 门 290 的多个输出端子所提供。AND 门 290

包括耦合到信号 168 的一组输入端子和耦合到 AND 门 292 的输出端子的输入端子以控制选通。AND 门 292 接收 REQ_S0 信号并且接收当主机请求与易失性存储设备 167-0 关联的地址空间时被断言(例如,驱动成逻辑 1 值)的信号“VMD0_ADDR_SPACE”。AND 门 292 还接收 SHARE_VMD0 信号。因此,当主机请求访问易失性存储设备 167-0、该访问被准予并且 MCU 24 (经由系统配置寄存器 264)被配置成与易失性存储设备 167-0 共享 S₀ 从端口 252 时,AND 门 290 将来自易失性存储设备 167-0 的信号 168 耦合到 OR 门 288 (并耦合到 S₀ 从端口 252)。

[0033] OR 门 288 包括从易失性存储设备 167-1 接收被选通的地址、控制和数据信号 169 的第三组输入端子。这些被选通的信号由 AND 门 294 的多个输出端子所提供。AND 门 294 包括耦合到信号 169 的一组输入端子和包括耦合到 AND 门 296 的输出端子的输入端子的另一个输入端子以控制选通。AND 门 296 接收 REQ_S0 信号并且接收当主机请求与易失性存储设备 167-1 关联的地址空间时被断言(例如,驱动成逻辑 1 值)的信号“VMD1_ADDR_SPACE”。AND 门 296 还接收 SHARE_VMD1 信号。因此,当主机请求访问易失性存储设备 167-1、该访问被准予并且 MCU 24 (经由系统配置寄存器 264)被配置成与易失性存储设备 167-1 共享 S₀ 从端口 252 时,AND 门 294 将来自易失性存储设备 167-1 的信号 169 耦合到 OR 门 288 (并耦合到 S₀ 从端口 252)。

[0034] 如图 2 所示,根据示例性实施例,易失性存储设备 167-0 的信号 168 可以耦合到 S₁ 从端口 252 以使得易失性存储设备 167-0 可以使用被分配给 S₁ 从端口 252 的地址范围来访问。类似地,易失性存储设备 167-1 的信号 169 可以耦合到 S₂ 从端口 252,以使得易失性存储设备 167-1 可以使用被分配给 S₂ 从端口 252 的地址范围来访问。此外,如图 2 所示,根据示例性实施例,桥 260 可以耦合到 S₃ 从端口 252。除了系统配置寄存器 264 之外,其他设备(输入设备等)可以耦合到桥 260 的端子 262 并且可以是通过 S₃ 从端口 252 可访问的。

[0035] 在附加的权利要求的范围内的其他变形被预期。例如,根据进一步实施例,两个从机可以共享 S₀ 从端口 252 并且不具有去往 S₁ 从端口 252 的替换路径。作为更具体的示例,根据特定实施例,非易失性存储设备 165 和数学加速器从设备二者可以(例如,与一个或多个易失性存储设备 167)共享 S₀ 从端口 252,并且非易失性存储设备 165 和数学加速器设备可以不具有去往另一个从端口 252 的替换路径。此类布置可以具有以下优势:消除当主机从非易失性存储设备 165 转换到数学加速器以及返回时的仲裁周期。

[0036] 作为另一个示例,根据进一步实施例,两个从机可以共享 S₁ 从端口。例如,根据示例性实施例,易失性存储设备 167-0 和 167-1 可以使用从侧复用器 282 的复用电路来共享 S₁ 从端口 252。该实施例具有以下优势:将两个易失性存储设备 167-0 和 167-1 结合以使得设备 167-0 和 167-1 表现得像单个存储设备(例如,单个的 SRAM 设备)一样,从而减少当主机访问在其地址范围之间转换时的仲裁等待时间。

[0037] 参考图 3,因而,根据示例性实施例,一种方法 300 包括从主机接收(块 304)对于访问与总线交换结构的从端口关联的多个从设备中的目标从设备的请求。根据方法 300,响应于该请求,在从设备之间复用(块 308)从设备对从端口的使用以允许主机访问目标从设备。

[0038] 参考图 4,MCU 24 可以被用于各种不同的应用。作为示例,图 4 描绘其中为了控制电动机 474 的目的电动机控制系统 400 的 MCU 24 生成 / 接收输入和输出信号(I/O 信号)的发送机控制应用。以这种方式,为了与电动机接口 470(包含驱动器、传感器等的接口)进行通信的目的,MCU 24 可以在其 I/O 端子 450 处生成信号;并且连同该通信,I/O 端子 450

可以与电动机接口传递波形(例如,脉冲宽度调制(PWM)信号)、接收感测的电流和电压、经由一个或多个串行总线来传递数据等。为了下述目的,MCU 24 的 I/O 端子 440 可以生成 / 接收用于与系统 400 的用户控制接口 476 进行通信的信号,所述目的即传递电动机 474 或电动机接口 470 的状态,传递检测的故障情况,接收用户引导的命令和信号等。

[0039] 尽管本文已经公开了有限数量的实施例,但是得益于本公开本领域技术人员将认识到由其产生的各种修改和变形。这意为附加的权利要求涵盖所有此类修改和变形。

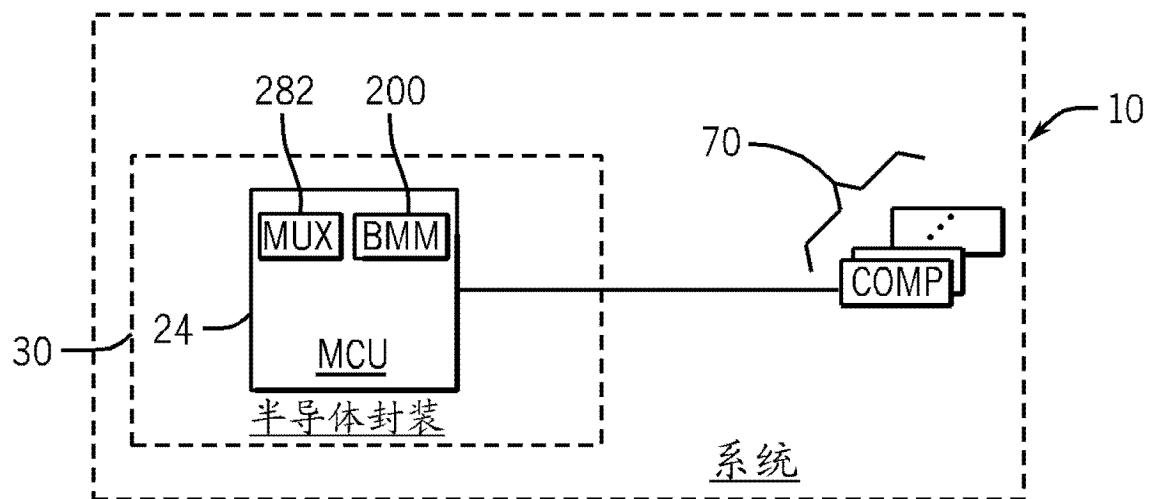


图 1

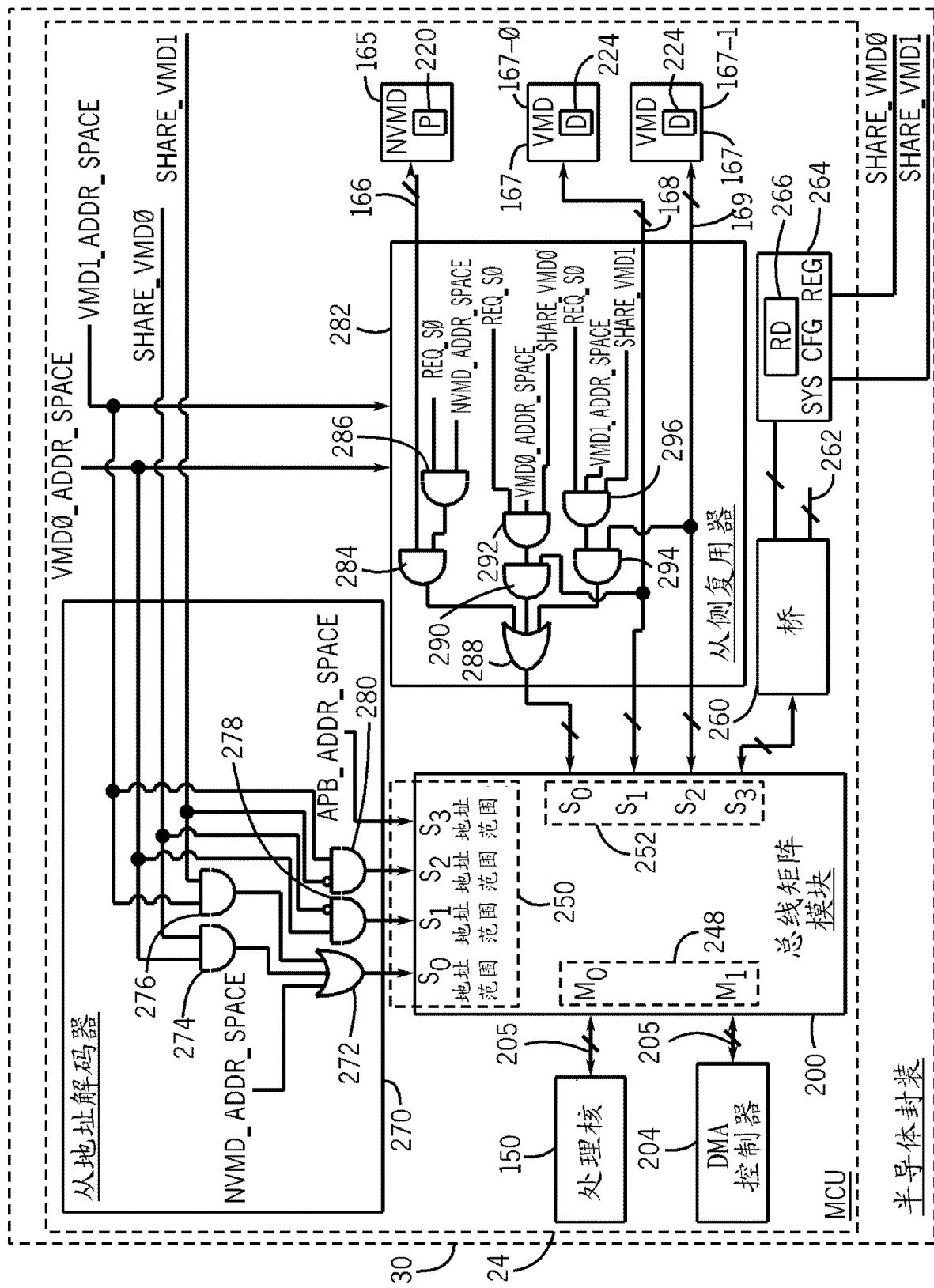


图 2

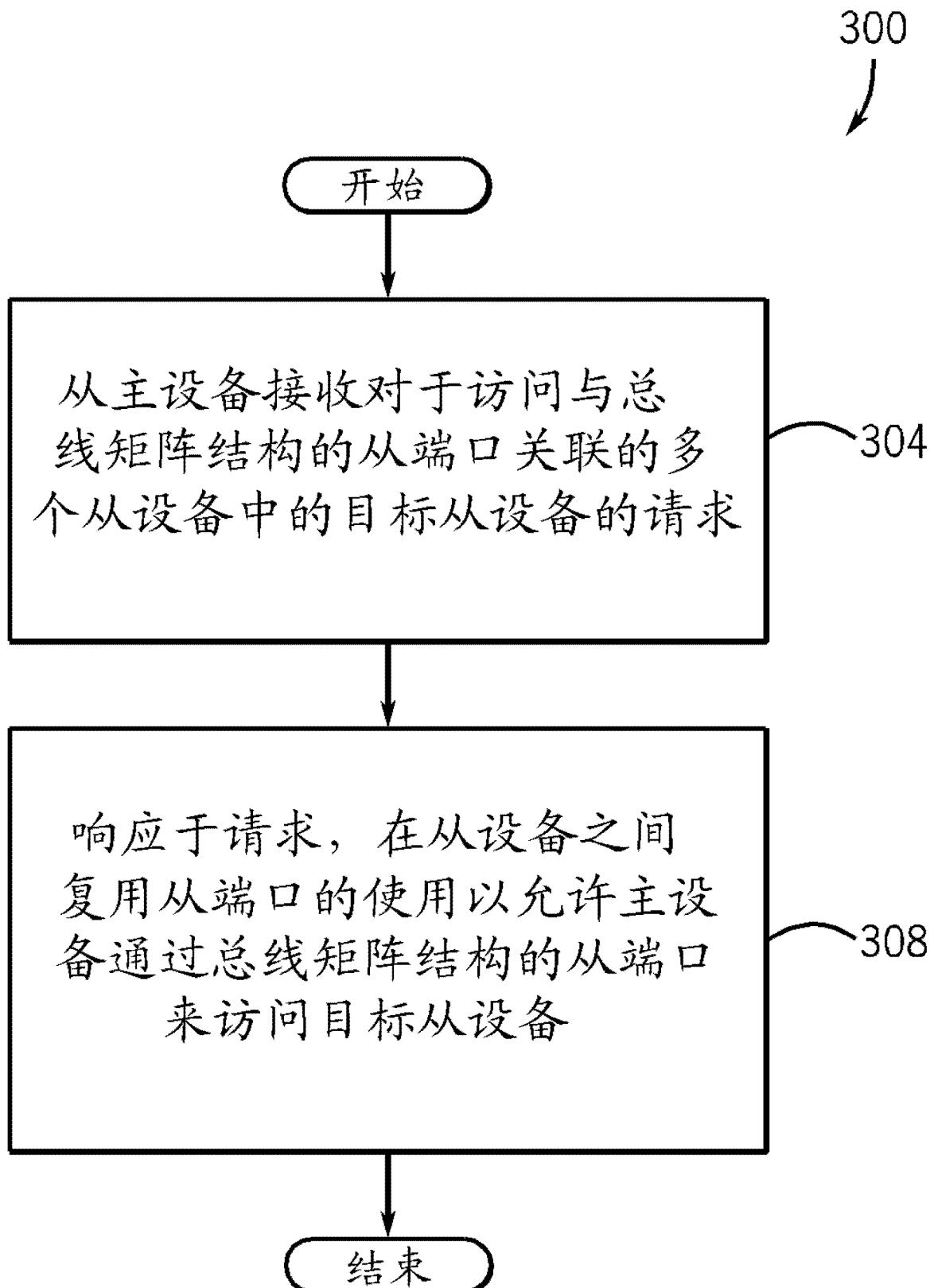


图 3

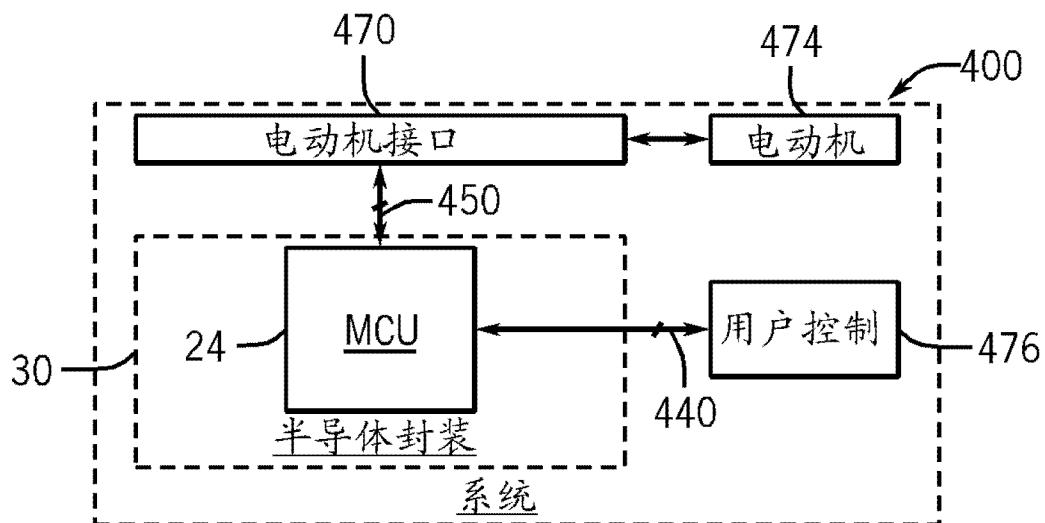


图 4