



(19) RU⁽¹¹⁾ 2 015 539⁽¹³⁾ C1
(51) МПК⁵ G 06 F 7/68

РОССИЙСКОЕ АГЕНТСТВО
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 4896122/24, 25.12.1990

(46) Дата публикации: 30.06.1994

(56) Ссылки: 1. Авторское свидетельство СССР N 1159017, кл. G 06F 7/68, 1985. (56)2. Данчеев В.П. Цифро-частотные вычислительные устройства. М.: Энергия, 1976, с.24.3. Интегральные микросхемы серии 155. Экспресс-информация. Вып.4, М.: ЦНИИБЭИ приборостроения, 1975, с.40.

(71) Заявитель:

Винницкий политехнический институт

(72) Изобретатель: Петух А.М.,

Ободник Д.Т., Денисюк В.А.

(73) Патентообладатель:

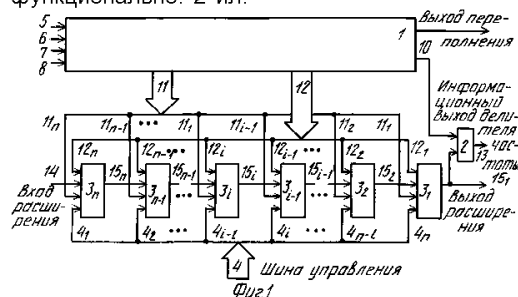
Винницкий политехнический институт

(54) ДЕЛИТЕЛЬ ЧАСТОТЫ С ПЕРЕМЕННЫМ КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ

(57) Реферат:

Изобретение относится к автоматике и вычислительной технике, а также к системам автоматического управления и может найти применение в системах числового программного управления, в измерительных и вычислительных устройствах. Цель изобретения - сокращение аппаратных затрат и уменьшение выходной нагрузки двоичного счетчика. Делитель частоты с переменным коэффициентом деления содержит двоичный счетчик 1, элемент И - НЕ 2, n элементов 2 ИЛИ - И - НЕ 3 и шину 4

управления, соединенные между собой функционально. 2 ил.





(19) **RU** ⁽¹¹⁾ **2 015 539** ⁽¹³⁾ **C1**
(51) Int. Cl.⁵ **G 06 F 7/68**

RUSSIAN AGENCY
FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 4896122/24, 25.12.1990

(46) Date of publication: 30.06.1994

(71) Applicant:
VINNITSKIY POLITEKHNICHESKIY INSTITUT

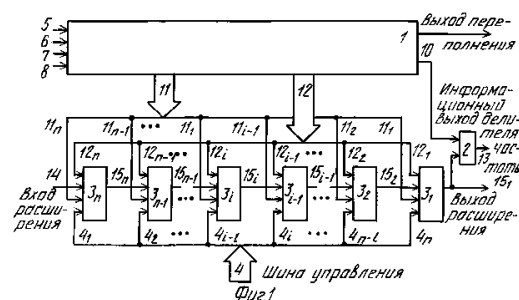
(72) Inventor: PETUKH A.M.,
OBODNIK D.T., DENISJUK V.A.

(73) Proprietor:
VINNITSKIY POLITEKHNICHESKIY INSTITUT

(54) **VARIABLE DIVISION COEFFICIENT FREQUENCY DIVIDER**

(57) Abstract:

FIELD: automatics; computer technology.
SUBSTANCE: frequency divider has binary counter 1, AND-NOT gate 2, n 20R-AND-NOT gates 3 and control bus 4; all the members are connected functionally. EFFECT: reduced output load of binary counter. 2 dwg



Изобретение относится к автоматике и вычислительной технике, а также к системам автоматического управления и может найти применение в системах числового программного управления, в измерительных и вычислительных устройствах.

Известен цифро-частотный умножитель, содержащий частотный вход, делитель частоты, состоящий из $n-1$ последовательно включенных триггеров, n импульсно-потенциальных элементов И, элемент ИЛИ, n установочных входов и выходной триггер [1]. Недостатком умножителя являются большие аппаратные затраты за счет использования импульсно-потенциальных элементов и многовходового элемента ИЛИ.

Известен цифро-частотный интегратор, содержащий n -разрядный счетчик приращений $\Delta x(t)$, задающий программу выбора двоичных символов y_i , n -разрядный счетчик приращений $\Delta y(t)$, формирующий значение подынтегральной функции, линейку из n вентилях "опроса" значений двоичных символов y_i , элемент ИЛИ, формирующий выходной поток приращений $v(t)$ [2]. Недостатком интегратора являются большие аппаратные затраты за счет использования триггеров с импульсными выходами в n -разрядном счетчике приращений $\Delta x(t)$, задающем программу выбора двоичных символов y_i , и многовходового элемента ИЛИ.

Наиболее близким к предлагаемому делителю частоты является устройство для деления частоты с переменным коэффициентом деления, содержащее n -разрядный двоичный счетчик с входами разрешения счета, установки в начальное нулевое состояние, разрешения деления, синхровходом, выходом переполнения, подключенным к выходу переполнения делителя, инверсный выход синхронизации, к выходу устройства не подключенный, n -разрядную шину управления, двухвходовый элемент И-НЕ, выход которого является прямым информационным выходом устройства, причем второй вход элемента И-НЕ подключен к входу расширения устройства, первый вход элемента И-НЕ подключен к выходу n -входового элемента ИЛИ-НЕ и к инверсному выходу делителя, входы элемента ИЛИ-НЕ подключены к выходам элементов И, при этом выход первого элемента И подключен к первому входу элемента ИЛИ-НЕ, выход n -го элемента И подключен к последнему n -у входу элемента ИЛИ-НЕ, первый вход каждого элемента И подключен к инверсному выходу разрядного триггера двоичного счетчика, первый вход первого элемента И подключен к инверсному выходу первого разрядного триггера двоичного счетчика, первый вход n -го элемента И подключен к инверсному выходу n -го разрядного триггера двоичного счетчика, предпоследний вход каждого из элементов И подключен к инверсному выходу синхронизации двоичного счетчика, последний вход каждого из элементов И подключен к управляющему входу, последний вход первого элемента И подключен к n -у управляющему входу, последний вход n -го элемента И подключен к первому управляющему входу, начиная с второго элемента И, входы элементов И с второго по

предшествующий предпоследнему подключены к прямым выходам разрядных триггеров двоичного счетчика, младшим по отношению к элементу И, каждый i -й вход (i изменяется от 2 до k) каждого k -го элемента И (k изменяется от 2 до n) подключен к прямому выходу g -го разрядного триггера двоичного счетчика (g изменяется от $k-1$ до 1) [3].

Недостатками данного устройства являются большие аппаратные затраты на реализацию многовходовых элементов И и многовходового элемента ИЛИ-НЕ, большая нагрузка на прямые выходы разрядных триггеров двоичного счетчика.

Цель изобретения - сокращение аппаратных затрат, уменьшение выходной нагрузки двоичного счетчика.

Цель достигается тем, что в делитель частоты с переменным коэффициентом деления, содержащий n -разрядный двоичный счетчик с входами разрешения счета, установки в начальное нулевое состояние, разрешения деления, синхровходом, выходом переполнения, подключенным к выходу переполнения делителя, инверсный выход синхронизации, к выходу устройства не подключенный, n -разрядную шину управления, двухвходовый элемент И-НЕ, вход расширения делителя частоты, информационный выход делителя, введены n элементов 2ИЛИ-И-НЕ, причем выход первого элемента 2ИЛИ-И-НЕ соединен с первым входом элемента И-НЕ, второй вход которого соединен с инверсным выходом синхронизации двоичного счетчика, выход элемента И-НЕ является информационным выходом делителя частоты, выход расширения которого соединен с выходом первого элемента 2ИЛИ-И-НЕ, первые входы элементов 2ИЛИ-И-НЕ с первого по n -й соединены соответственно с инверсными разрядными выходами двоичного счетчика с первого по n -й, второй вход i -го элемента 2ИЛИ-И-НЕ (i изменяется от 1 до $n-1$) соединен с выходом $(i+1)$ -го элемента 2ИЛИ-И-НЕ, второй вход n -го элемента 2ИЛИ-И-НЕ является входом расширения делителя частоты, третьи входы элементов 2ИЛИ-И-НЕ с первого по n -й соединены соответственно с прямыми разрядными выходами двоичного счетчика с первого по n -й, четвертые входы элементов 2ИЛИ-И-НЕ с первого по n -й соединены соответственно с разрядами шины управления с n -го по первый.

В известных устройствах деление частоты осуществляется за счет суммирования многовходовым элементом ИЛИ-НЕ импульсов, вырабатываемых поразрядными многовходовыми элементами И, что требует больших аппаратных затрат на реализацию как элементов И, так и элемента ИЛИ-НЕ, включенных параллельно друг другу, повышенных требований к нагрузочной способности разрядных выходов двоичного счетчика. Существенным отличием предлагаемого делителя частоты является деление частоты за счет последовательного (итеративного) преобразования потенциальных (по отношению к сигналу на входе синхронизации) управляющих сигналов с шины управления и от разрядов счетчика на элементах 2ИЛИ-И-НЕ, включенных последовательно, с выделением выходного

информационного сигнала из потенциального (по отношению к сигналу на входе синхронизации) сигнала на выходе расширения предлагаемого делителя. Сигнал на выходе расширения получается путем последовательного преобразования с использованием элементов 2ИЛИ-И-НЕ сигналов от прямого и инверсного выходов разряда счетчика, сигнала с шины управления и сигнала с выхода последующего элемента 2ИЛИ-И-НЕ. Элементы 2ИЛИ-И-НЕ образуют итеративную (последовательную) цепочку, в которой на каждом элементе на первой ступени в первой паре сигнал с выхода каждого последующего элемента преобразуется с сигналом с инверсного выхода счетчика, во второй паре сигнал с шины управления преобразуется с сигналом от прямого выхода счетчика, причем на нечетный элемент 2ИЛИ-И-НЕ поступает инверсный управляющий сигнал с шины управления, а на четный - прямой сигналы с шины управления, затем на второй ступени сигналы обоих пар преобразуются в сигнал выхода элемента 2ИЛИ-И-НЕ. Сигнал на выходе расширения делителя не является простой суммой сигналов со счетчика, шины управления, сигналов с выходов элементов 2ИЛИ-И-НЕ и описывается оригинальным выражением. Использование итеративной цепочки элементов 2ИЛИ-И-НЕ для получения сигнала на выходе расширения делителя частоты уменьшает аппаратные затраты на реализацию делителя частоты за счет использования четырехходовых элементов на разряд, уменьшает необходимую нагрузочную способность двоичного счетчика за счет использования прямых и инверсных выходов разряда счетчика лишь на одном элементе 2ИЛИ-И-НЕ.

Анализ литературы показал, что совокупность свойств и признаков, составляющих сущность изобретения, не известна, поэтому данное техническое решение соответствует критерию "существенные отличия".

На фиг. 1 изображена структурная схема предлагаемого делителя частоты; на фиг. 2 - итеративная схема элементов 2ИЛИ-И-НЕ.

Делитель частоты с переменным коэффициентом деления содержит двоичный счетчик 1, элемент И-НЕ 2, n элементов 2ИЛИ-И-НЕ 3_i ($3_1, 3_2, \dots, 3_i, \dots, 3_n$), шину 4 управления. Двоичный счетчик 1 имеет первый 5, второй 6, третий 7, четвертый 8 входы, первый выход 9, второй выход 10, подключенный к первому входу элемента И-НЕ 2, третий n -разрядный выход 11, каждый разряд которого 11_i ($11_1, 11_2, \dots, 11_{i-1}, 11_i, \dots, 11_{n-1}, 11_n$) подключен к третьим входам соответствующих элементов 2ИЛИ-И-НЕ 3_i ($3_1, 3_2, \dots, 3_{i-1}, 3_i, \dots, 3_{n-1}, 3_n$), четвертый n -разрядный выход 12, каждый разряд которого 12_i ($12_1, 12_2, \dots, 12_{i-1}, 12_i, \dots, 12_{n-1}, 12_n$) подключен к первым входам соответствующих элементов 2ИЛИ-И-НЕ 3_i ($3_1, 3_2, \dots, 3_{i-1}, 3_i, \dots, 3_{n-1}, 3_n$). Элемент И-НЕ 2 имеет выход 13. Старший элемент 2ИЛИ-И-НЕ 3_i (3_n) имеет второй вход 14. Выход 15_i ($15_n, \dots, 15_i, \dots, 15_2$) каждого из элементов 2ИЛИ-И-НЕ 3_i , кроме 3_1 , подключен к второму входу предыдущего элемента 3_{i-1} ($3_{n-1}, \dots, 3_{i-1}, \dots, 3_1$). Выход

15₁ подключен к первому входу элемента И-НЕ 2. Выходы 4 _{i} шины 4 управления ($4_n, 4_{n-1}, \dots, 4_i, 4_{i-1}, \dots, 4_2, 4_1$) подключены к четвертым входам соответствующих элементов 2ИЛИ-И-НЕ 3_i ($3_1, 3_2, \dots, 3_{i-1}, 3_i, \dots, 3_{n-1}, 3_n$).

Делитель частоты работает следующим образом.

На первый вход 5 счетчика 1 поступает сигнал разрешения счета. Второй вход 6 счетчика 1 служит для подачи на него сигнала установки счетчика в начальное нулевое состояние. Третий вход 7 счетчика 1 служит для подачи на него импульсной (тактовой) последовательности с частотой F_0 . Четвертый вход 8 счетчика 1 служит для подачи на него сигнала разрешения деления. На первом выходе 9 счетчика 1 формируется сигнал переполнения после поступления на его третий вход 7 последовательности из 2^n импульсов частоты F_0 . На втором выходе 10 счетчика 1 формируется сигнал, инверсный входной тактовой частоте - $\frac{1}{F_0}$.

На третьем выходе 11 счетчика 1 формируются потенциальные относительно частоты F_0 сигналы, соответствующие количеству поступивших импульсов на третий вход 7 счетчика 1 в двоичном коде. На четвертом выходе 12 счетчика 1 формируются сигналы, инверсные сигналам на третьем выходе 11 счетчика. На выходе 13 элемента И-НЕ 2 формируется последовательность импульсов F_y за период работы счетчика 1. Цепочка элементов 2ИЛИ-И-НЕ 3_i ($3_1, 3_2, \dots, 3_{i-1}, 3_i, \dots, 3_{n-1}, 3_n$) служит для получения потенциального относительно частоты F_0 сигнала разрешения на выходе 15₁ младшего элемента 2ИЛИ-И-НЕ 3_i (3_1). Второй вход 14 старшего элемента 2ИЛИ-И-НЕ 3_i (3_n) используется для расширения разрядности делителя частоты. На шину 4 управления подается n -разрядный двоичный код числа/ задающего коэффициент деления/ причем старший разряд кода числа управления подается на четвертый вход 4 _{n} младшего элемента 2ИЛИ-И-НЕ 3_i (3_1)/ младший разряд кода управления подается на четвертый вход 4₁ старшего элемента 2ИЛИ-И-НЕ 3_i (3_n). Средняя частота F_y импульсной последовательности на выходе 13 элемента И-НЕ 2 определяется выражением

$$F_y = F_0 \cdot N / 2^n, \quad (1) \quad \text{где} \quad N = T_n' \cdot 2^{n-1} + T_{n-1}' \cdot 2^{n-2} + \dots + T_1' \cdot 2^1 + T_0' \cdot 2^0$$

$$= \sum_{i=1}^n T_i' \cdot 2^{i-1}, \quad (2)$$

$T_i' = \{0; 1\}$ - логическое состояние i -х разрядов кода управления.

Логическое выражение для выхода 13 имеет вид

$$F_y = \frac{1}{F_0} \cdot V_1, \quad (3) \quad \text{где } V_1 - \text{функция выхода}$$

15₁.

Схема реализации функции V_1 представляет собой итеративную цепочку элементов 2ИЛИ-И-НЕ 3_i (фиг. 2а)

