

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G01R 13/02 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810044246.3

[43] 公开日 2008年10月1日

[11] 公开号 CN 101275973A

[22] 申请日 2008.4.18

[21] 申请号 200810044246.3

[71] 申请人 电子科技大学

地址 611731 四川省成都市高新西区西源大道2006号

[72] 发明人 曾浩 张沁川 邱渡裕 滕志超

[74] 专利代理机构 北京市路盛律师事务所
代理人 温利平

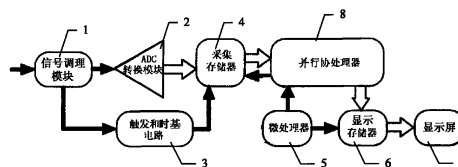
权利要求书2页 说明书6页 附图3页

[54] 发明名称

一种极高波形捕获率数字存储示波器

[57] 摘要

本发明公开了一种极高波形捕获率数字存储示波器，输入测试信号经调理后送入ADC转换模块进行采样，在触发和时基电路的控制下送入采集存储器缓存；完成一次波形采集后，并行协处理器采集数据映射成与显示屏点阵相对应的波形点阵数据，映射完成后又重新开始新一轮的采集与映射；与此同时，微处理器进行管理工作，当到达显示屏定时刷新时间时，即刻启动显示刷新控制逻辑，自动将波形点阵数据和点阵数据在显示存储器中进行组合，并更新显示屏的显示。本发明采用信号波形采集处理与微处理器并行工作的构架，让微处理器从繁重的波形处理和显示中脱离出来，降低了盲区时间，提高了波形捕获率，增大了发现瞬态异常信号的几率，提高了测试效率。



1、一种极高波形捕获率数字存储示波器，包括：信号调理模块、ADC 转换模块、触发和时基电路、采集存储器、微处理器、显示存储器、显示屏，其特征在于，还包括一并行协处理器；

输入测试信号经信号调理模块调理后送入 ADC 转换模块进行采样，在触发和时基电路的控制下将采样数据送入采集存储器缓存；

完成一次波形采集后，并行协处理器将采集存储器中的采集数据映射成与显示屏点阵相对应的波形点阵数据，映射完成后又重新开始新一轮的采集与映射；

与此同时，微处理器进行菜单管理、人机接口管理工作，当到达显示屏定时刷新时间时，即刻启动显示刷新控制逻辑，自动将并行协处理器中的波形点阵数据和菜单管理、人机接口管理工作相关的界面数据库中的点阵数据在显示存储器中进行组合，并更新显示屏的显示。

2、根据权利要求 1 所述的极高波形捕获率数字存储示波器，其特征在于，所述的并行协处理器中包括有一采集控制模块，用于控制缓存与触发事件相关的波形数据。

3、根据权利要求 1 所述的极高波形捕获率数字存储示波器，其特征在于，所述的并行协处理器还包括波形特征处理模块和波形数据库，

所述的并行协处理器将采集存储器中的采集数据映射成与显示屏点阵相对应的波形点阵数据是：波形特征处理模块，对采集存储器中缓存的采集数据进行抽点或插值处理，然后将采集数据逐点按时间关系转换成波形的幅度特征，按照时间和幅度的关系在波形数据库中进行二维特征数据存储，在波形数据库中形成与显示屏点阵相对应的波形点阵数据。

4、根据权利要求 3 所述的极高波形捕获率数字存储示波器，其特征在于，所述的并行协处理器还包括一数据库读写控制模块，当波形映射量达到设定的等级后，由数据库读写控制模块将波形数据库中波形点阵数据送往显示存储器，并进行显示。

5、根据权利要求 3 或 4 所述的极高波形捕获率数字存储示波器，其特征在

于，所述的采集数据逐点按时间关系转换成波形的幅度特征，按照时间和幅度的关系在波形数据库中进行二维特征数据存储是：

波形在水平方向上的总点数为 T ，ADC 转换模块的分辨率为 N ，则最大采样值为 2^N ，将其看作波形的幅度特征；

在进行波形映射时，波形数据库的存储工作按从上至下，从左至右的方式进行绘制，一次采集的 T 个数据，其大小用 X_i 表示，其中 $0 \leq i \leq T-1$ ， $0 \leq X_i \leq 2^N$ ，按时间顺序依次在波形特征处理模块控制下，根据 X_i 的值将 T 个数据绘制波形数据库的第 i 列，第 X_i 行存储单元，波形数据库中对应的存储位置 B_i ，

$$B_i = 2^N \times i + X_i$$

的存储单元即被标记为 1。

一种极高波形捕获率数字存储示波器

技术领域

本发明涉及一种数字存储示波器，具体来讲，涉及一种极高波形捕获率数字存储示波器

背景技术

随着数字信号处理技术的发展，基于高速取样时域信号分析方面技术的研究越来越深入，数字化时域测试仪器也得到了迅猛发展，数字存储示波器作为一种最典型时域测试仪器，得到了广泛应用。

波形捕获率是评价数字存储示波器性能优劣的重要指标之一。所谓“波形捕获率”就是指单位时间内数字示波器捕获并显示的波形次数。波形捕获率不足将使多数瞬态偶发信号无法发现，信号抖动分析及眼图分析更无从谈起。

如图 1，传统的数字存储示波器通常采用一种串行的处理结构，采样的数据从采集存储器传送到微处理器，经微处理器处理、计算参数，最终送达显示。在微处理器进行波形数据处理的这段时间内，示波器不能对信号波形进行采集，这段时间称为“盲区时间”。通常，示波器采样捕捉时间大约只占总观测时间的 1%。因此，在盲区时间内将会漏掉 99% 波形细节，波形捕获率不足，使测试效率大大降低，很多情况下，无法满足实时测试应用需求。

发明内容

本发明的目的在于克服现有技术的不足，提供一种波形捕获率极高的数字存储示波器，以提高测试效率。

为实现上述发明目的，本发明的极高波形捕获率数字存储示波器，包括：信号调理模块、ADC 转换模块、触发和时基电路、采集存储器、微处理器、显示存储器、显示屏，以及并行协处理器；

输入测试信号经信号调理模块调理后送入 ADC 转换模块进行采样，在触发

和时基电路的控制下将采样数据送入采集存储器缓存；

完成一次波形采集后，并行协处理器将采集存储器中的采集数据映射成与显示屏点阵相对应的波形点阵数据，映射完成后又重新开始新一轮的采集与映射；

与此同时，微处理器进行菜单管理、人机接口管理工作，当到达显示屏定时刷新时间时，即刻启动显示刷新控制逻辑，自动将并行协处理器中的波形点阵数据和菜单管理、人机接口管理工作相关的界面数据库中的点阵数据在显示存储器中进行组合，并更新显示屏的显示。

本发明采用信号波形采集处理与微处理器并行工作的构架，让微处理器从繁重的波形处理和显示中脱离出来，降低了数字存储示波器的盲区时间，提高了波形捕获率，增大了发现瞬态异常信号的几率，从而也提高了测试效率。

附图说明

图 1 是传统的数字存储示波器原理框图；

图 2 是本发明极高波形捕获率数字存储示波器一种具体实施方式原理框图；

图 3 是图 2 所示并行协处理器的一种具体实施方式原理框图；

图 4 是本发明极高波形捕获率数字存储示波器中的采样数据映射成显示屏点阵相对应的波形数据库的一种具体实施方式示意图；

图 5 是传统串行结构数字存储示波器捕获效果图；

图 6 是本发明数字存储示波器捕获效果图。

具体实施方式

下面结合附图，对本发明优选具体实施方式进行描述。需要提醒注意的是，尽管相似部件出现在不同附图中，但它们被赋予相似的附图标记。在以下的描述中，当采用的已知功能和设计的详细描述也许会淡化本发明的主题内容时，这些描述在这儿将被忽略。

图 1 是传统的数字存储示波器原理框图。图中，输入信号经信号调理模块 1 调理后输出幅度在一定范围内的适合 ADC 转换模块 2 进行数据采样的信号，在触发和时基电路 3 的控制下，将 ADC 转换模块 2 采样的波形数据送入采集存储器 4 中缓存。

在完成一次波形数据采集后，微处理器 5 将采集的波形数据读入处理，最

后将输入信号的波形以及菜单管理、人机接口管理相关的界面数据通过显示存储器**6**，在显示屏**7**上显示出来。

在微处理器**5**进行波形数据处理的这段时间内，示波器不能对信号波形进行采集，波形捕获率不足，使测试效率大大降低，很多情况下，无法满足实时测试应用需求。

图2是本发明极高波形捕获率数字存储示波器一种具体实施方式原理框图。在本实施例中，本发明的极高波形捕获率数字存储示波器包括：信号调理模块**1**、ADC转换模块**2**、触发和时基电路**3**、采集存储器**4**、微处理器**5**、显示存储器**6**、显示屏**7**，以及并行协处理器**8**；

输入测试信号经信号调理模块**1**调理后送入ADC转换模块**2**进行采样，在触发和时基电路**3**以及并行协处理器**8**的控制下将采样数据送入采集存储器**4**缓存；

完成一次波形采集后，并行协处理器**8**将采集存储器**4**中的采集数据映射成与显示屏点阵相对应的波形点阵数据，映射完成后又重新开始新一轮的采集与映射；

与此同时，微处理器**5**进行菜单管理、人机接口管理工作，当到达显示屏**7**定时刷新时间时，即刻启动显示刷新控制逻辑，自动将并行协处理器**8**中的波形点阵数据和菜单管理、人机接口管理工作相关的界面数据库中的点阵数据在显示存储器**6**进行组合，并更新显示屏**7**的显示。

图3是图2所示并行协处理器的一种具体实施方式原理框图。并行协处理器是提高快速波形捕获率的核心，在本实施例中，其主要功能不仅包括波形采集数据的处理与波形的显示，还包括采集控制模块，用于控制缓存与触发事件相关的波形数据，这样，进一步地减轻了微处理器**5**的计算处理负担。

在本实施例中，并行协处理器**8**包括四个部分，采集控制模块**801**、波形特征处理模块**802**、波形数据库**803**和数据库读写控制模块**804**。采集控制模块**801**用于控制缓存与触发事件相关的波形数据。完成一次采集事件后，高速数据缓存的控制权转交给波形特征处理模块**802**，对采集存储器**4**中缓存的采集数据进行抽点或插值处理，然后将采集数据逐点按时间关系转换成波形的幅度特征，按照时间和幅度的关系在波形数据库**803**中进行二维特征数据存储，在波形数

数据库中形成与显示屏点阵相对应的波形点阵数据。

完成了一次采集与映射后，立即启动新一轮的采集和映射过程，当波形映射量，即重复采集次数达到设定的等级后，再由数据库读写控制模块 **804** 将波形点阵数据送往显示存储器 **6**，并进行显示。

在本实施例中，采集存储器 **4** 采用将 FPGA 片内 BLOCK RAM 配置成 FIFO 实现，其工作速度一般可达 250MB/s。

采集过程主要由触发和时基电路 **3** 以及采集控制模块 **801** 的控制下完成。采集控制模块 **801** 启动数据采集过程，FIFO 写使能有效，FIFO 写时钟与 ADC 转换模块 **2** 采样时钟同步，转换模块 **2** 产生的采样数据写入 FIFO。同时，启动预触发计数器，直到预触发计数器计数值达到预置的触发深度值。这段时间内，触发和时基电路 **3** 中的触发电路处于被抑制的状态。当 FIFO 中写入数据深度等于预触发深度值，若触发信号还没有到来，则使 FIFO 读写同步，始终保持 FIFO 内的数据个数等于预触发深度值；触发到来，FIFO 读使能无效，此时 FIFO 数据只写不读，直到写满为止。波形数据的采集属于现有技术，在本实施中，只是采用采集控制模块 **801**，用于控制缓存与触发事件相关的波形数据，完成波形数据的采集公司，这样，进一步地减轻了微处理器 **5** 的计算处理负担。

在本实施例中，FIFO 写满后，其控制权转交波形特征处理模块 **802**，此时，控制读使能有效，由波形特征处理模块 **802** 来读取 FIFO 中的数据并向波形数据库 **803** 中进行二维数据映射，FIFO 只读不写，直至 FIFO 中数据被全部读取。

波形数据库 **803** 也设计在 FPGA 中，由 BLOCK RAM 配置而成，其容量大小由显示屏 **7** 的像素确定。

假设显示一幅波形在水平方向上的总点数为 T ，ADC 转换模块 **2** 的分辨率为 N ，则最大采样值为 2^N ，将看作波形的幅度特征，则所需的波形数据库容量为： $T \times 2^N$ 个 bit。

在进行波形映射时，波形数据库的存储工作按从上至下，从左至右的方式进行绘制，即当一次采集的 T 个数据，其大小用 X_i 表示，其中 $0 \leq i \leq T-1$ ， $0 \leq X_i \leq 2^N$ ，按时间顺序依次在波形特征处理模块控制下，根据 X_i 的值将 T 个数据绘制波形数据库的第 i 列，第 X_i 行存储单元。

不难看出波形点阵数据中的每列点阵在波形数据库 803 中的起始地址是 2^N 的整数倍，即第 i 列的起始地址为： $2^N \times i$ ，那么当第 i 个采样数据到达波形特征处理模块 802 时，对应的存储位置 B_i 是：

$$B_i = 2^N \times i + X_i \quad \text{式 1)}$$

波形特征处理模块 802 在控制采集数据向波形数据库 803 映射时，寻址到的存储单元即被标记为 1。

在预设时间内进行若干次波形采集与映射后，波形数据库 803 中便记录下了多次采集后波形留下的轨迹，即与显示屏点阵相对应的波形点阵数据。

为了更为直观地理解本发明的采集数据映射成与显示屏点阵相对应的波形点阵数据这一映射过程，图 4 所示，图中左右及上边的数字代表显示屏点阵中每个像素在波形数据库 803 中的地址，底边数字表示显示屏中的每一列， B_i 表示第 i 个采集数据在这一列上的地址。

在本实施例中，一次采集数据的个数 T 为 500，ADC 转换模块 2 的分辨率 N 为 8，采集数据大小 X_i 依次为“128，112，54，33……”，则需要波形数据库 803 大小为 $500 \times 256 = 128000$ bit，其中每个 bit 与显示屏点阵中的像素一一对应。由式 1) 可知，

第一个采集数据大小 128，映射为存储位置：

$$B_0 = 0 + 128 = 128;$$

第二个采集数据大小 112，映射为存储位置：

$$B_1 = 256 + 112 = 368;$$

第三个采集数据大小 54，映射为存储位置：

$$B_2 = 256 \times 2 + 54 = 566;$$

第四个采集数据大小 33，映射为存储位置：

$$B_3 = 256 \times 3 + 33 = 801;$$

……………。

根据存储位置寻址到的存储单元即被标记为 1，这样在波形数据库 803 中便记录下了一次采集后波形留下的轨迹。

在本实施例中，当波形特征处理模块 **802** 在预设时间内完成波形映射后，立即启动数据库读写控制模块 **804**，波形数据库 **803** 在其控制下将映射好的二维波形数据送入显示存储器 **6**，并更新显示。

数据库读写控制模块的设计相对简单，它工作时只需顺序的产生地址，将波形数据导入显存。要注意的是要协调好启动其工作的时刻，以免发生因更新显存时带来的屏幕闪烁。

将传统的串行处理结构的数字存储示波器与本发明下的一极高波形捕获率数字存储示波器对同一载波频率 1MHz，调制频率 1kHz 的调幅波信号进行对比测试，

由于传统的串行处理结构的数字存储示波器是采集、处理、刷屏，采集和处理的时间大概在 us 量级，刷屏时因数据量较大，完成一次刷屏需要 ms 量级，处理和刷屏这段时间内不能采集波形，故传统的串行结构的数字存储示波器捕获效率相当低。因此，在图 4 中，我们可以看到，采用串行架构的传统数字存储示波器在一次波形刷新过程中仅采集到了两幅波形。

而本发明下的一极高波形捕获率数字存储示波器，在进行波形处理和刷屏的同时，在显存更新的 ms 量级时间内，并行协处理器也能采集和映射波形，此时的采集盲区时间仅为波形的 us 级映射时间，大大提高了波形捕获率。因而，在图 5 中，我们可以看到，本发明下的一极高波形捕获率数字存储示波器却捕获了大量的波形，波形捕获率可高达 160,000wfs/s，反映了波形的真实情况，减小了采集中的波形漏失率，提高了测试效率。

尽管上面对本发明说明性的具体实施方式进行了描述，但应当清楚，本发明不限于具体实施方式的范围，对本技术领域的普通技术人员来讲，只要各种变化在所附的权利要求限定和确定的本发明的精神和范围内，这些变化是显而易见的，一切利用本发明构思的发明创造均在保护之列。

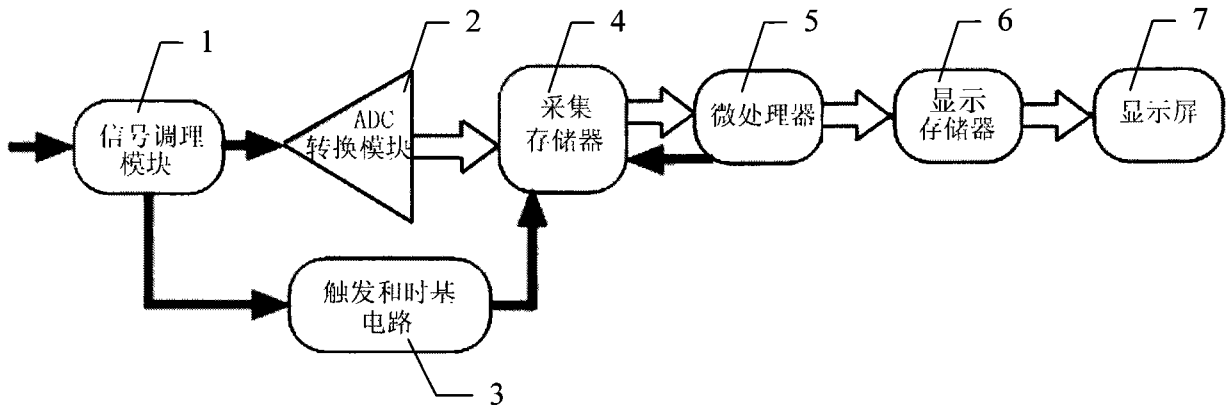


图 1

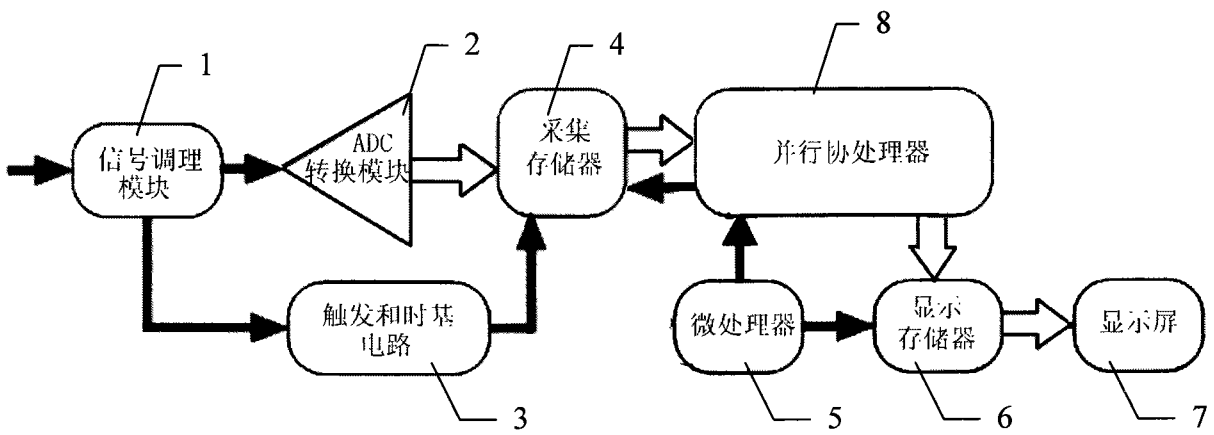


图 2

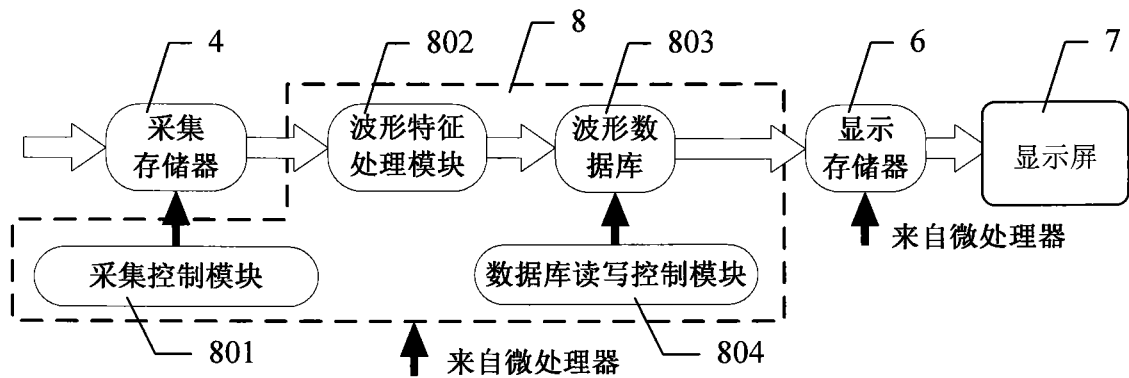


图 3

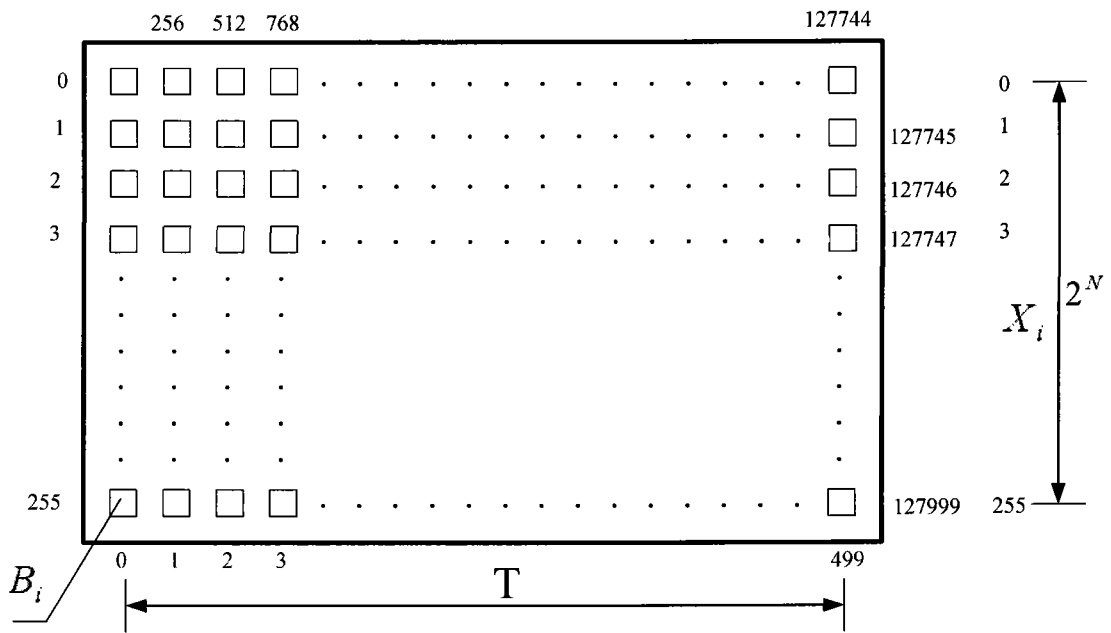


图 4

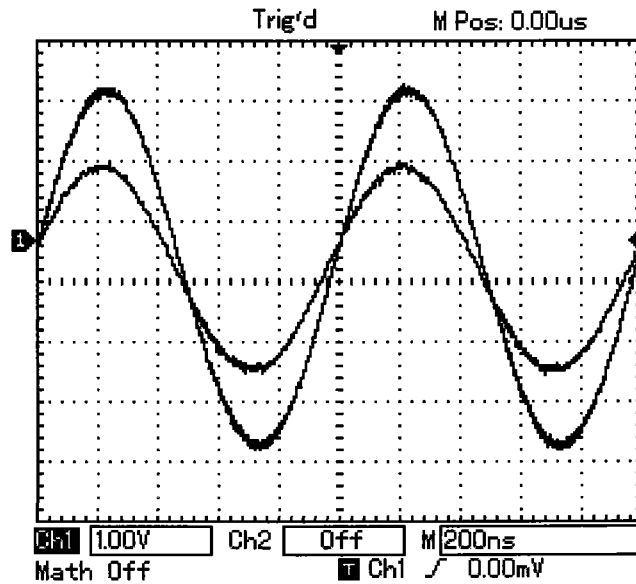


图 5

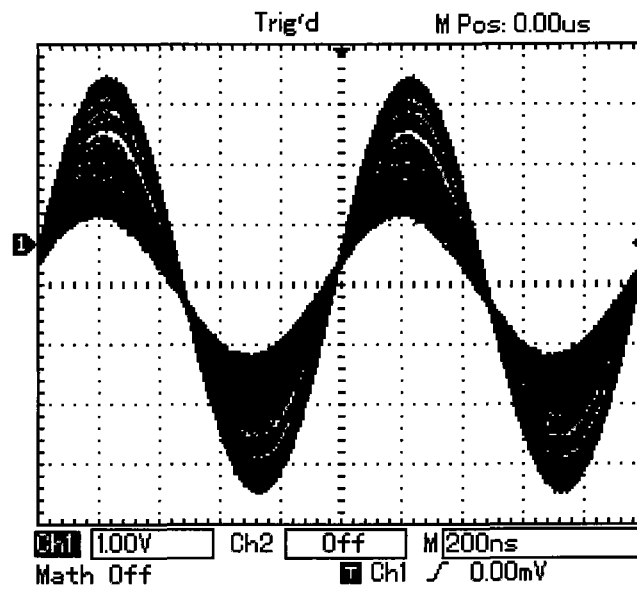


图 6