

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 21/762 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월03일 10-0595858 2006년06월23일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0064916 2003년09월18일	(65) 공개번호 (43) 공개일자	10-2005-0028575 2005년03월23일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	동부일렉트로닉스 주식회사 서울 강남구 대치동 891-10
(72) 발명자	김학동 경기도수원시팔달구원천동원천주공2단지216-904
(74) 대리인	허용록

심사관 : 정회환

(54) 반도체 소자 제조방법

요약

본 발명은 트렌치 형성 후 트렌치 내의 반도체 기판 상에 발생하는 댕글링 본드를 완벽히 제거할 수 있는 반도체 소자 제조 방법에 관한 것으로서,

본 발명에 따른 반도체 소자 제조방법은 반도체 기판 상의 필드 영역을 노출시키기 위한 희생막의 패턴을 형성시키는 단계; 상기 희생막의 패턴을 식각 마스크로 이용하여 상기 반도체 기판의 필드 영역을 소정 깊이만큼 식각시킴으로써 트렌치를 형성시키는 단계; 상기 트렌치 내의 반도체 기판 전체 표면에 열산화막을 형성시키는 단계; 상기 열산화막을 포함한 기판 전면에서 이온 주입 공정을 실시하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

대표도

도 3c

색인어

댕글링 본드, STI

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 기술에 따른 셀로우 트렌치 아이솔레이션 공정을 설명하기 위한 공정 단면도.

도 2는 종래 기술에 따른 문제점을 나타낸 단면도.

도 3a 내지 도 3e는 본 발명에 따른 반도체 소자 제조방법을 설명하기 위한 공정 단면도.

<도면의 주요 부분에 대한 설명>

301 : 반도체 기판 302 : 희생 산화막

303 : 희생 질화막 304 : 트렌치

305 : 열산화막

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조방법에 관한 것으로서, 보다 상세하게는 트렌치 형성 후 트렌치 내의 반도체 기판 상에 발생되는 뎅글링 본드를 완벽히 제거할 수 있는 반도체 소자 제조방법에 관한 것이다.

일반적으로, 반도체소자의 아이솔레이션(Isolation) 기술로는 질화막을 이용한 LOCOS(Local Oxidation of Silicon) 기술이 사용되어 왔다. LOCOS 기술의 단점을 보완하기 위한 새로운 아이솔레이션 기술들이 활발하게 개발되어 왔고 그 중에서 PBL(Poly Buffer LOCOS), R-LOCOS(Recessed LOCOS) 등의 기술이 널리 사용되어 왔다. 이들 기술들은 공정이 복잡하고 소자분리막에 의한 채널 영역의 잠식(Bird`s Beak)을 근본적으로 감소시킬 수 없어 반도체소자의 고집적화에 한계가 있으며 소자 형성 부분과의 단차가 심하게 발생되어 이를 후속 공정에서 평탄화할 필요가 있다.

최근에 들어, 기존의 아이솔레이션 기술의 문제점들을 개선한 셸로우 트렌치 아이솔레이션(Shallow Trench Isolation, STI) 공정이 도입되기 시작하였다. 셸로우 트렌치 아이솔레이션 공정은 기존의 아이솔레이션 기술에 비하여 소자분리 특성이 우수하고 점유 면적도 작기 때문에 반도체 소자의 고집적화에 매우 적합하다.

셸로우 트렌치 아이솔레이션 공정은 반도체 기판의 필드 영역에 트렌치를 형성시키고 갭 필링(gap filling) 공정에 의해 트렌치 내에 산화막과 같은 절연막을 갭 필링시킨 후 산화막을 화학기계적연마(Cheical Mechanical Polishing, CMP) 공정에 의해 연마시킴으로써 트렌치 내의 산화막과 반도체 기판을 평탄화시킨다. 이에 따라, 반도체 기판의 필드 영역에 소자분리막이 형성된다.

트렌치를 갭 필링시키는 산화막으로는 갭 필링 특성과 평탄화 특성이 양호한  $O_3$ -TEOS(Tetra-Ethyl-Ortho-Silicate) 상압 화학기상증착(Atmosphere Pressure Chemical Vapor Deposition, APCVD) 산화막, 고밀도 플라즈마 화학기상증착(High Density Plasma Chemical Vapor Deposition, HDP CVD) 산화막이 주로 사용되고 있다.

종래의 셸로우 트렌치 아이솔레이션 공정은 도 1a 내지 도 1c에 도시된 바와 같이 이루어진다. 먼저, 도 1a에 도시한 바와 같이 단결정 실리콘 기판과 같은 반도체 기판(101) 상에 희생막으로써 산화막(102)을 형성시키고, 그 위에 하드 마스크층으로서 질화막(103)을 적층시킨다. 그런 다음, 사진식각공정을 이용하여 상기 반도체 기판(101)의 필드 영역에 해당하는 상기 질화막(103) 및 상기 산화막(102)의 일부분에 소정의 폭을 갖는 개구부를 형성시킨다. 이어서, 상기 질화막(103)을 식각 마스크층으로 이용하여 상기 반도체 기판(101)을 트렌치(104)를 위한 깊이만큼 식각시킴으로써 상기 반도체 기판(101)의 필드 영역에 트렌치(104)를 형성시킨다.

그런 다음, 도 1b에 도시한 바와 같이 열산화 공정을 이용하여 상기 트렌치(104) 내의 노출된 반도체 기판(101)의 식각면에 열산화막(105)을 성장시키고 이어, 상기 트렌치(104) 내에 소자 분리막(106)을 형성하기 위해 상기 트렌치(104)를 충분히 채우도록 상기 트렌치(104) 내부 및 상기 질화막(103) 상에 절연막(106)을 두껍게 적층시킨다. 이 때, 상기 열산화막(105)을 형성시키는 이유는 상기 반도체 기판(101)의 식각을 통해 트렌치(104)를 형성하는 과정에서 손상된 트렌치(104) 내의 반도체 기판(101) 표면을 치유하기 위함이다.

그런 다음, 도 1c에 도시한 바와 같이, 상기 절연막(106) 화학기계적연마 공정에 의해 상기 질화막(103)에 평탄화시킴으로써 상기 절연막(106)을 상기 트렌치(104)에만 남기고 나서 고온 열처리 공정에 의해 상기 트렌치(104) 내의 절연막(106)을 치밀화시킨다. 이후, 상기 질화막(103) 및 산화막(102)을 불산 용액 등을 이용하여 식각하여 제거하면 통상의 셀로우 트렌치(104) 아이솔레이션 공정이 완료된다.

**발명이 이루고자 하는 기술적 과제**

종래의 셀로우 트렌치 아이솔레이션 공정에 있어서, 반도체 기판의 소정 영역을 소정 깊이로 식각하여 형성하는 트렌치 형성 공정은 식각시에 있어 통상적으로 반응성 이온 에칭(Reactive Ion Etching, RIE)과 같은 건식 식각 방법을 사용한다. 반응성 이온 에칭은 플라즈마를 이용한 식각 방법으로서 정확한 프로파일을 구현할 수 있어 널리 사용되고 있으나, 플라즈마를 이용함에 따라 식각 대상물 즉, 본 발명에 있어서 반도체 기판의 표면에 손상을 입히는 단점이 부수적으로 발생한다.

일반적으로 반도체 기판의 재료로 이용되는 단결정 실리콘 기판을 사용할 때, 반응성 이온 에칭을 이용한 트렌치 형성시 도 2에 도시한 바와 같이 트렌치(104) 내부의 단결정 실리콘 기판(101) 표면에 플라즈마에 의한 손상으로 땀글링 본드(dangling bond)(201)가 발생된다. 상기 땀글링 본드(201)는 누설 전류를 야기해 반도체 소자 특성에 악영향을 미치게 된다.

이와 같은 문제점을 해결하기 위해 종래의 반도체 소자 제조방법에서는 반응성 이온 에칭에 의한 트렌치 형성 후 상기 도 2에서와 같은 열산화막 공정을 실시하여 상기 트렌치(104) 내의 단결정 실리콘 기판(101) 상에 열산화막(105)을 형성시켜 상기 땀글링 본드를 봉합함으로써 땀글링 본드로 인한 누설 전류 발생을 방지하였다.

그러나, 상기 열산화막(105)은 통상 100~300Å의 아주 미세한 두께로 형성되기 때문에 상기 트렌치 내의 땀글링 본드를 완벽하게 봉합할 수 없는 문제점이 있다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 트렌치 형성 후 트렌치 내의 반도체 기판 상에 발생하는 땀글링 본드를 완벽히 제거할 수 있는 반도체 소자 제조방법을 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

상기의 목적을 달성하기 위한 본 발명의 반도체 소자 제조방법은 반도체 기판 상의 필드 영역을 노출시키기 위한 희생막의 패턴을 형성시키는 단계; 상기 희생막의 패턴을 식각 마스크로 이용하여 상기 반도체 기판의 필드 영역을 소정 깊이만큼 식각시킴으로써 트렌치를 형성시키는 단계; 상기 트렌치 내의 반도체 기판 전체 표면에 열산화막을 형성시키는 단계; 상기 열산화막을 포함한 기판 전면에 이온 주입 공정을 실시하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

바람직하게는, 상기 이온 주입 공정은 수소 이온을 주입할 수 있다.

바람직하게는, 상기 이온 주입 공정은 수소 이온과 질소 이온이 혼합된 것을 주입할 수 있다.

바람직하게는, 상기 이온 주입 공정을 실시한 후, 상기 반도체 기판을 열처리하는 단계를 더 포함할 수 있다.

바람직하게는, 상기 반도체 기판의 열처리 온도는 200~600℃ 이다.

본 발명의 특징에 따르면, 트렌치 형성 후 플라즈마에 의한 트렌치 내의 반도체 기판 표면의 손상을 치유하기 위해 트렌치 내부에 열산화막을 형성시키고 상기 열산화막 상에 수소 이온을 주입함으로써 상기 트렌치 내의 반도체 기판 표면 상에 존재하는 땀글링 본드를 완벽하게 제거할 수 있어 땀글링 본드로 인한 누설 전류를 미연에 방지할 수 있게 된다.

이하, 도면을 참조하여 본 발명에 따른 반도체 소자 제조방법을 상세히 설명하기로 한다. 도 3a 내지 도 3e는 본 발명에 따른 반도체 소자 제조방법을 설명하기 위한 공정 단면도이다.

먼저, 도 3a에 도시한 바와 같이 단결정 실리콘 기판(301)과 같은 반도체 기판(301) 상에 고온 열산화공정에 의해 희생막으로서 산화막(302)을 40~150Å의 두께로 성장시킨다. 이어, 상기 산화막(302) 상에 저압 화학기상증착공정에 의해 하

드 마스크층으로서 질화막(303)을 600~1500Å의 두께로 적층시킨다. 상기 산화막(302)은 상기 반도체 기판(301)과 상기 질화막(303)의 스트레스를 완화시켜주기 위한 것이다. 상기 질화막(303)은 트렌치(304)의 형성 때 식각 마스크층으로서 사용되며 후속의 화학기계적연마 공정에서 식각 정지막으로서의 역할도 담당한다.

그런 다음, 기판(301)의 필드 영역에 감광막(도시하지 않음)의 개구부가 위치하도록 상기 감광막의 패턴을 기판(301)의 액티브 영역 상에 형성시키고, 상기 감광막의 패턴을 식각 마스크로 이용하여 상기 개구부 내의 희생 질화막(303)과 희생 산화막(302)을 이방성 식각 특성을 갖는 건식 식각공정, 예를 들어 반응성 이온 에칭 공정에 의해 완전히 식각시킴으로써 기판(301)의 필드 영역을 노출시킨다. 이후, 상기 감광막의 패턴을 제거시킨다.

이어서, 상기 남은 희생 질화막(303)을 식각 마스크층으로 이용하여 상기 노출된 필드 영역의 기판(301)을 반응성 이온 에칭 공정에 의해 3000Å 정도의 얇은 깊이로 식각시킨다. 이에 따라, 기판(301)의 필드 영역에 트렌치(304)가 형성된다.

도 3b를 참조하면, 상기 트렌치(304)의 형성이 완료되고 나면, 트렌치(304) 내의 반도체 기판(301) 표면 상에 절연막 예를 들어, 열산화막(305)을 열산화막 공정에 의해 200~400Å의 두께로 성장시킨다. 여기서, 상기 열산화막(305)은 트렌치(304) 형성 후 플라즈마에 의해 손상된 트렌치(304) 내의 반도체 기판(301) 표면을 치유시키기 위한 것으로서 정확히는 상기 트렌치(304) 내의 반도체 기판(301) 표면 상의 원자배열에 존재하는 땀글링 본드(dangling bond)를 제거하기 위한 것이다. 한편, 상기 열산화막(305)은 향후 형성될 소자분리막(306)과의 접합 특성을 향상시켜주는 역할도 담당한다.

도 3c를 참조하면 상기와 같이 열산화막(305)이 형성된 상태에서 기판(301) 전면 상에 수소 이온 주입 공정을 실시하여 상기 열산화막(305) 내에 수소 이온이 주입되도록 한다.

한편, 상기 수소 이온 주입 공정에서 상기 수소 이온과 더불어 질소 이온을 첨가하여 상기 열산화막(305) 내에 주입할 수도 있다.

수소 이온 주입 공정이 완료되면, 기판(301)에 대해 소정의 열처리 공정을 적용한다. 이 때, 상기 열처리 공정의 온도는 200~600°C 정도가 바람직하다. 상기 열처리 공정에 의해 상기 트렌치(304) 내의 열산화막(305) 내에 주입된 수소 이온 들은 활성화되어 상기 트렌치(304) 내의 반도체 기판(301) 표면을 향하여 확산되어 상기 트렌치(304) 내의 반도체 기판(301) 표면 상에 존재하는 땀글링 본드에 결합됨으로써 기판(301) 표면의 재료 특성을 안정화시킨다.

즉, 도 3d에 도시한 바와 같이, 상기 트렌치(304) 내의 반도체 기판(301) 표면의 땀글링 본드가 상기 열산화막(305)의 형성에 의해 상기 열산화막(305) 내의 산소 이온과 결합되어 제거되고, 미처 상기 열산화막(305) 내의 산소 이온과 결합되지 못한 채 잔류된 땀글링 본드는 이후의 수소 이온 주입 공정에 의해 주입된 수소 이온과 결합되어 상기 트렌치(304) 내의 반도체 기판(301) 표면 상에 존재하는 땀글링 본드가 완벽하게 제거된다.

도 3e를 참조하면, 상기 트렌치(304) 및 그 외측의 희생 질화막(303) 상에 소자분리막용 절연막(306)을 상기 트렌치(304)를 충분히 메우도록 기판(301) 전면에 두껍게 적층한다. 이 때, 상기 트렌치(304) 내의 소자분리막용 절연막(306)에는 빈 공간, 즉 보이드(void)가 존재하지 않는 것이 바람직하다. 여기서, 상기 소자분리막(106)용 절연막(106)은 반도체 소자의 설계 룰(design rule)에 따라 다소 차이가 있지만, O<sub>3</sub>-TEOS(Tetra-Ethyl-Ortho-Silicate) 상압 화학기상증착 (Atmosphere Pressure Chemical Vapor Deposition, APCVD) 공정이나 고밀도 플라즈마 화학기상증착(High Density Plasma Chemical Vapor Deposition, HDP CVD) 공정에 의해 적층될 수 있다.

한편, 설명의 편의상 상기 소자분리막용 절연막(306)이 단일층으로 이루어지는 것을 기준으로 설명하였으나, 상기 소자분리막용 절연막(306)이 예를 들어, 산화막(302)과 질화막(303)으로 구성된 2중 이상의 복수층으로 이루어지는 것도 가능하다.

이어, 상기 소자분리막용 절연막(306)을 화학기계적연마 공정에 의해 연마시킴으로써 상기 희생 질화막(303)에 평탄화시켜 최종적으로 트렌치(304) 내에 소자분리막(306)을 형성하면 본 발명에 따른 반도체 소자 제조 공정은 완료된다.

### 발명의 효과

본 발명에 따른 반도체 소자 제조방법은 다음과 같은 효과가 있다.

트렌치 형성 후 플라즈마에 의한 트렌치 내의 반도체 기판 표면의 손상을 치유하기 위해 트렌치 내부에 열산화막을 형성시키고 상기 열산화막 상에 수소 이온을 주입함으로써 상기 트렌치 내의 반도체 기판 표면 상에 존재하는 뎅글링 본드를 완벽하게 제거할 수 있어 뎅글링 본드로 인한 누설 전류를 미연에 방지할 수 있게 된다.

(57) 청구의 범위

청구항 1.

반도체 기판 상의 필드 영역을 노출시키기 위한 희생막의 패터를 형성시키는 단계;

상기 희생막의 패터를 식각 마스크로 이용하여 상기 반도체 기판의 필드 영역을 소정 깊이만큼 식각시킴으로써 트렌치를 형성시키는 단계;

상기 트렌치 내의 반도체 기판 전체 표면에 열산화막을 형성시키는 단계;

상기 열산화막을 포함한 기판 전면에 수소 이온과 질소 이온의 이온 주입 공정을 실시하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

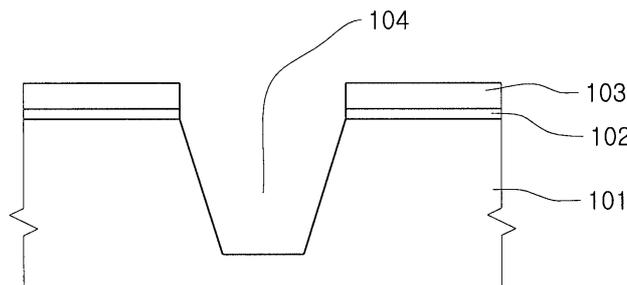
제 1 항에 있어서, 상기 이온 주입 공정을 실시한 후, 상기 반도체 기판을 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 5.

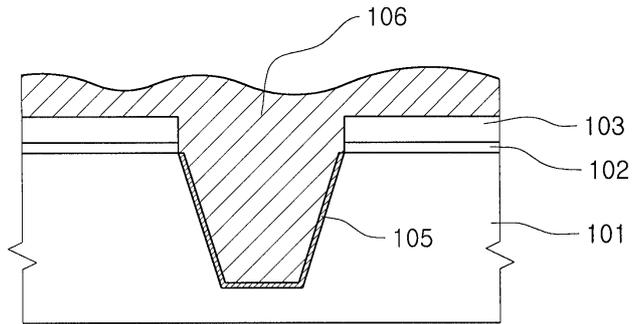
제 4 항에 있어서, 상기 반도체 기판의 열처리 온도는 200~600℃ 인 것을 특징으로 하는 반도체 소자 제조방법.

도면

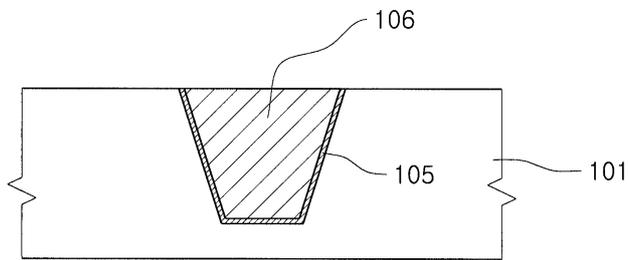
도면1a



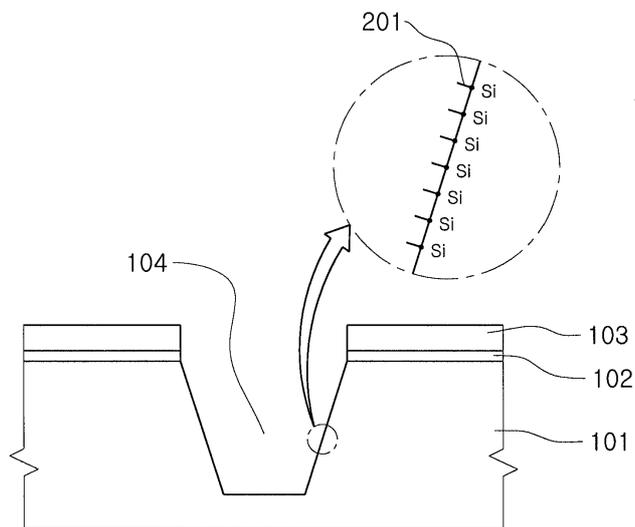
도면1b



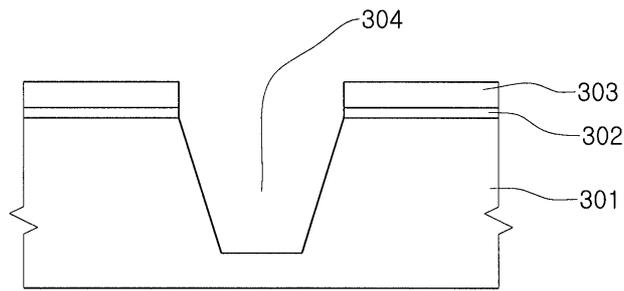
도면1c



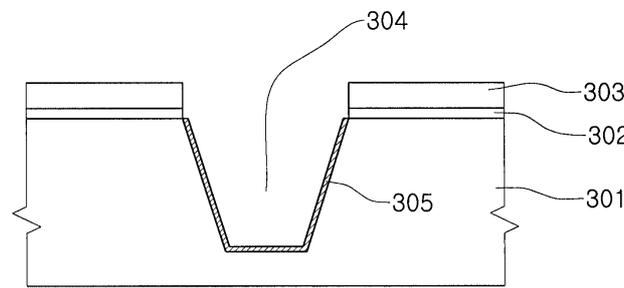
도면2



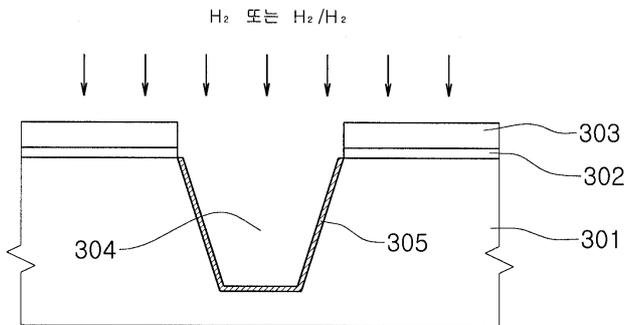
도면3a



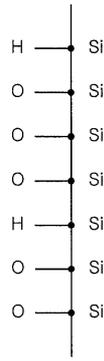
도면3b



도면3c



도면3d



도면3e

