

【特許請求の範囲】

【請求項 1】

テストとテスト下の電子デバイスとの間でテスト信号をインターフェースするための装置であって、

構造体と、

前記構造体上に配置され、かつ、前記テストからの通信チャンネルと電氣的に接続するように構成された複数のチャンネル端子と、

前記構造体上に配置され、かつ、前記電子デバイスのテスト機構と接触するように構成された複数のプローブと、

前記チャンネル端子のいくつかと前記プローブのいくつかを接続する複数の導電性経路と

10

、
前記構造体上に配置され、かつ、各々が前記導電性経路の 1 つと電氣的に接続されている複数の分路抵抗と、

を備える装置。

【請求項 2】

前記分路抵抗が、薄膜抵抗である請求項 1 に記載の装置。

【請求項 3】

前記構造体が、前記プローブがその上に配置される第 1 の基板を備える請求項 1 に記載の装置。

【請求項 4】

前記分路抵抗が、前記第 1 の基板上に配置されている請求項 3 に記載の装置。

20

【請求項 5】

前記分路抵抗が、薄膜抵抗である請求項 4 に記載の装置。

【請求項 6】

前記プローブおよび前記分路抵抗が、前記第 1 の基板の第 1 の表面上に配置されている請求項 4 に記載の装置。

【請求項 7】

前記分路抵抗が、前記第 1 の基板の内部に配置されている請求項 4 に記載の装置。

【請求項 8】

前記構造体が、前記チャンネル端子がその上に配置される第 2 の基板をさらに備える請求項 3 に記載の装置。

30

【請求項 9】

前記分路抵抗を接続解除するように構成されているスイッチをさらに備える請求項 1 に記載の装置。

【請求項 10】

前記スイッチが、前記構造体上に配置されている請求項 9 に記載の装置。

【請求項 11】

前記経路のいくつかが、複数の分岐を備え、前記経路の 1 つが、前記チャンネル端子の 1 つを複数の前記プローブと電氣的に接続する請求項 1 に記載の装置。

【請求項 12】

前記分岐内に配置された複数のアイソレーション抵抗をさらに備え、各々の前記アイソレーション抵抗が、前記分岐の 1 つのプローブを、前記分岐のもう 1 つのプローブから電氣的に絶縁するように構成されている請求項 11 に記載の装置。

40

【請求項 13】

前記分路抵抗の各々が、アイソレーション抵抗と前記分岐内のプローブとの間の前記分岐の 1 つから接地への抵抗電気経路を提供する請求項 12 に記載の装置。

【請求項 14】

前記構造体が、前記プローブがその上に配置される第 1 の基板を備える請求項 11 に記載の装置。

【請求項 15】

50

前記分路抵抗が、前記第 1 の基板上に配置されている請求項 1 4 に記載の装置。

【請求項 1 6】

前記アイソレーション抵抗が、前記第 1 の基板上に配置されている請求項 1 5 に記載の装置。

【請求項 1 7】

前記プローブおよび前記分路抵抗が、前記第 1 の基板の第 1 の表面上に配置されている請求項 1 5 に記載の装置。

【請求項 1 8】

前記分路抵抗が、薄膜抵抗であり、かつ、前記アイソレーション抵抗が、前記第 1 の基板上に配置された薄膜抵抗である請求項 1 5 に記載の装置。

10

【請求項 1 9】

前記分路抵抗が、前記第 1 の基板の内部に配置されている請求項 1 5 に記載の装置。

【請求項 2 0】

各々の前記分路抵抗が、前記電子デバイスの前記テスト機構の 1 つの入力抵抗を減少させるように、前記導電性経路の 1 つに接続されている請求項 1 に記載の装置。

【請求項 2 1】

各々の前記分路抵抗が、前記導電性経路の 1 つから接地へ接続されている請求項 1 に記載の装置。

【請求項 2 2】

電子デバイスをテストするために使用するための装置であって、

20

複数の電気経路であって、前記電気経路の各々が、テストと前記電子デバイスの間の通信チャンネルの一部を備え、前記経路のいくつかが、前記電子デバイスの入力端子と接触するためのプローブを備える電気経路と、

前記入力端子での前記電子デバイスのスイッチング速度を増加させるために前記経路の前記いくつかと接続された抵抗手段と

を備える装置。

【請求項 2 3】

前記抵抗手段が、前記入力端子の立ち上がり時間を減少させる請求項 2 2 に記載の装置。

【請求項 2 4】

前記装置が、半導体ダイをテストするためのプローブカードアセンブリを備える請求項 2 2 に記載の装置。

30

【請求項 2 5】

前記プローブが取り付けられる基板をさらに備え、前記抵抗手段が前記基板上に配置されている請求項 2 4 に記載の装置。

【請求項 2 6】

プローブ内において終端する複数のドライブチャンネルを備えるテストシステムで使用するための、複数の入力端子を備える電子デバイスをテストする方法であって、

前記プローブを前記入力端子と接触させること、

前記分路抵抗を前記ドライブチャンネルと接続すること、および、

前記電子デバイスに前記ドライブチャンネルを介して機能テストを行うこと、

40

を含む方法。

【請求項 2 7】

分路抵抗を前記ドライブチャンネルから接続解除すること、および、

前記電子デバイスに、前記ドライブチャンネルを介してパラメトリックテストを行うステップと、

をさらに含む請求項 2 6 に記載の方法。

【請求項 2 8】

前記分路抵抗が、前記機能テストが前記電子デバイス上で行われ得る動作周波数を増加させるように構成されている請求項 2 6 に記載の方法。

【請求項 2 9】

50

前記分路抵抗が、前記入力端子の立上がり時間を減少させる請求項 26 に記載の方法。

【請求項 30】

前記分路抵抗が、前記入力端子の立下がり時間を減少させる請求項 29 に記載の方法。

【請求項 31】

前記分路抵抗が、前記ドライブチャンネルと接続されている間、各々の前記分路抵抗が、前記ドライブチャンネルの 1 つと接地の間に抵抗電気経路を提供する請求項 26 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、データが 1 つまたは複数の通信チャンネルを伝送される任意のシステムに関する。

【背景技術】

【0002】

このようなシステムの一例は、半導体デバイスなどの電子デバイスをテストするためのテストシステムである。図 1 は、電子デバイスをテストするためのテストシステム 100 の単純化されたブロック図を示す。図 1 のテストシステム 100 は、個片にされていない半導体ウェハのダイ、(パッケージングされた、またはパッケージングされていない) 個片にされたダイ、またはマルチチップモジュールをテストしてもよい。このようなシステム 100 は、プリント回路基板などの他のタイプの電子デバイスを、同様にテストするように構成されてもよい。図示されているように、システム 100 は、テスト 102 とテスト下の電子デバイス(「DUT」) 112 の間でテスト信号を通信するために、テスト 102、通信接続 104 (たとえば、同軸ケーブル、光ファイバリンク、無線通信リンクなど)、プローブヘッド 107、およびプローブカード 108 を備える。また、テストシステム 100 は、DUT 112 を支持および移動するための可動なチャック 114 を備えるハウジング 106 を備える。プローブカードのプローブ 110 は、DUT 112 と接触し、それによって DUT との電氣的接続を形成する。

【0003】

テスト 102 がテストデータを生成し、テストデータが、通信接続 104、プローブヘッド 107、およびプローブカード 108 を通り、DUT 112 の入力端子(図 1 で図示せず)への導電性経路を備える通信チャンネルを通過して伝送される。DUT 112 によって生成された応答データが、DUT の出力端子を通過して出力され、比較チャンネル(これもプローブカード 108、プローブヘッド 108 および通信接続 104 を通る導電性経路を備える)を通過してテスト 102 へ伝送される。通常、テスト 102 が次に、DUT 112 の良否を判定するために、DUT 112 によって生成された応答データを、予想される応答データと比較する。(このような試験が、DUT の動作を評価するために追加でまたは別法として使用されてもよい。)

【0004】

図 2 は、2 つの入力端子 208 および 210、2 つの出力端子 204 および 206、1 つの電源端子 212、および 1 つの接地端子 202 を備える例示的な DUT 112 を示している。(典型的な DUT は、もっと多くの端子を有してもよいが、例示および議論を容易にするために 6 つの端子が図 2 に示されている。) 図 2 に示されているように、電力が、テスト 102 から電源チャンネル 224 を通って電源端子 212 へ供給される。電源チャンネル 224 は、通信接続 104、プローブヘッド 107、およびプローブカード 108 を通る導電性経路を備える。プローブカード 108 は、電源端子 212 と接触するプローブ 110 f を備える。接地接続が、テスト 102 から接地チャンネル 214 を通って同様に提供される。接地チャンネル 214 は、プローブ 110 a を終端とする。テスト 102 内のドライバ 228 および 230 が、プローブ 110 d および 110 e をそれぞれ終端とするドライブチャンネル 222 および 224 を通って、入力端子 208 および 210 へテストデータを伝送させる。DUT 112 によって生成される応答データ、および出力端子 204 お

10

20

30

40

50

よび 206 を介しての出力が、テスト 102 内の比較器 232 および 234 によって受信される。(比較器 232 および 234 が、応答データを予想される応答データと比較してもよい。) 制御モジュール 226 が、テスト 102 の全体的な動作を制御し、電源および接地を提供し、テストデータを生成し、実際の応答データを予想される応答データと比較した結果を取得し、および / または特にタイミング信号を生成する。

【0005】

図 3 は、チャンネル 222 および 220 を伝送させるドライバ 228 および 230 のみを示す、テスト 102 の部分図を示している。図 3 では、抵抗 308 が、ドライバ (228 または 230) の出力インピーダンスを表し、かつ抵抗 310 が、通信チャンネル (220 または 222) の特性インピーダンスを表す。図 3 では、DUT 112 が、相補型金属酸化膜半導体 (CMOS) デバイスであると仮定されている。公知のように、CMOS デバイス (たとえば、112) の入力端子 (たとえば、208 または 210) は、主に容量性である。入力端子 208 および 210 に対する単純化された等価な回路が、コンデンサ 304 (入力端子 208 および 210 の主に容量性の性質を表す) と直列である抵抗 302 (入力端子 (たとえば 208 または 210) の入力抵抗を表す) として図 3 に示されている。(306 は接地を表す。)

10

【0006】

公知のように、入力端子 208 または 210 での低信号から高信号への変化は、十分な電荷がコンデンサ 304 上に蓄積されるまで、DUT 112 内で登録されない。同様に、入力端子 208 または 210 での高信号から低信号への変化は、コンデンサ 304 上の電荷が分散するまで、DUT 内で登録されない。コンデンサ 304 を充電するために必要とされる時間はしばしば、立上がり時間と称され、コンデンサ 304 を放電するために必要とされる時間は立下がり時間と称される。

20

【0007】

公知のように、直列の抵抗およびコンデンサの立上がり時間は、抵抗と容量の積に比例する。立上がり時間の時間定数 () は以下のものである: $\tau = R * C$ (ここで、 τ は、立上がり時間または立下がり時間の時間定数であり、R は、抵抗であり、C は、コンデンサの容量であり、* は、積を表す)。コンデンサ 304 を横切る電圧は以下の通りである: $v_c(t) = C * v_d * (1 - e^{-t/\tau})$ 。

30

ここで、

$v_c(t)$ は、時間 t でのコンデンサ 304 を横切る電圧、

v_d は、ドライバ 228 または 230 の出力電圧、

t は、 v_d の立上がり縁部からの時間 (低電圧レベルから高電圧レベルまでの)、

τ は、時間定数であり、 $\tau = R * C$ 、

R は、各ドライバ 228 および 230 と、各入力端子 208 および 210 の容量 304 の間の全体抵抗 (したがって、R は、ドライバの出力インピーダンス 308、ドライバチャンネルの特性インピーダンス 310、および DUT 112 の入力端子の入力インピーダンス 302 の和)、および

C は、コンデンサ 304 の容量である。

40

【0008】

直列の抵抗およびコンデンサの立下がり時間もまた、抵抗と容量の積に比例し、かつ同じ時間定数 () が適用可能である。コンデンサ 304 を横切る電圧は以下のものである: $v_c(t) = C * v_0 * e^{-t/\tau}$ 、ここで v_0 は、コンデンサ上の初期電荷であり、その他のパラメータは上記で定義されたものと同様である。

【0009】

明らかになるように、入力端子 208 および 210 の立上がり時間および立下がり時間は、DUT 112 への入力信号が切り替えられる周波数を制限する。これも明らかになるように、テストシステム 100 は、DUT 112 の入力端子 208 および 210 の立上がり時間および立下がり時間を追加してもよい。このことは、各ドライバ 228 および 230 ならびにドライブチャンネル 220 および 222 に対して、ドライバ 228 および 230

50

の出力インピーダンス 308、ならびにチャンネル 220 および 222 の特性インピーダンス 310 が、DUT 112 の入力端子 208 および 210 の入力抵抗 302 を効果的に増加させるためである。

【0010】

DUT 112 が切り替えられる周波数に対する別の考えられる制限は、チャンネル 220 および 222 上での信号反射から生じる。ドライバ 228 または 230 によってチャンネル 222 または 220 を通って伝送されるテスト信号が、入力端子 210 または 208 から（少なくとも部分的に）反射され、ドライバ 228 または 230 へ向かってチャンネル 222 または 220 を戻される。ドライバ出力インピーダンス 308 が、チャンネル（222 または 220）の特性インピーダンス 310 と一致する場合、反射信号は、ドライバ出力インピーダンス 308 によって吸収され、DUT 112 へ向かってチャンネル（222 または 220）を戻るようにさらに反射されない。ドライバ（または信号発生源）の出力インピーダンスがチャンネルの特性インピーダンスと一致するような構成は、しばしば、「ソースターミネーション」と称される。図 3 に示されているシステムがソースターミネートされている場合でさえも、チャンネル 222 および 220 を戻る反射が、入力端子 210 および 208 が切り替えられる振動数を制限する振動、ノイズまたは符号間干渉を生じさせることがある。

10

【発明の開示】

【発明が解決しようとする課題】

【0011】

いくつかのテスト適用例では、DUT がテストされることができると増加させることが有利であろう。

20

【課題を解決するための手段】

【0012】

本発明の一実施形態では、テストシステムは、プローブ内を終端とする通信チャンネルを備える。プローブは、テストされる電子デバイスの入力端子と接触し、かつテストデータが、テストされる電子デバイス内へ通信チャンネルを伝送される。抵抗が、プローブの近くの通信チャンネルと接地点の間に接続される。このようにして入力端子の入力抵抗および容量と並列である抵抗が、端子の入力抵抗を減少させ、それによって入力端子の立上がりおよび立下がり時間を減少させる。抵抗はまた、通信チャンネルを戻る信号の反射を減少、最小化、または除去するようにサイズ調整されてもよい。

30

【0013】

本発明の第 2 の実施形態では、テストシステムが、それぞれがプローブ内を終端とする複数の経路に分岐する通信チャンネルを備える。プローブは、テストされる電子デバイス上の入力端子と接触する。アイソレーション抵抗が、一つの入力端子での障害が、他の入力端子へ伝搬することを防止するために、分岐内に備えられている。分路抵抗が各分岐内に設けられている。分路抵抗は、プローブから接地へ電氣的に接続され、再び、端子の入力抵抗を減少させ、それによって入力端子の立上がりおよび立下がり時間を減少させる。分路抵抗はまた、通信チャンネルを戻る信号の反射を減少、最小化または除去するようにサイズ調整されてもよい。

40

【図面の簡単な説明】

【0014】

【図 1】例示的な従来技術のテストシステムを示す図である。

【図 2】図 1 のテストシステムの要素のいくつかの単純化されたブロック図である。

【図 3】図 2 に示されているテストシステムの部分図である。

【図 4】テストシステムが動作され得る周波数を増加させるために、分路抵抗がテストシステム内に備えられている本発明の第 1 の例示的な実施形態を示す図である。

【図 5】例示的なプローブカードアセンブリを示す図である。

【図 6 A】図 5 でのプローブボードの上面図である。

【図 6 B】図 5 でのプローブボードの底面図である。

50

【図 7 A】図 5 でのインターポーザの上面図である。

【図 7 B】図 5 でのインターポーザの底面図である。

【図 8 A】図 5 でのプローブ基板の上面図である。

【図 8 B】図 5 でのプローブ基板の底面図である。

【図 9】テストシステムが動作され得る周波数を増加させるために、分路抵抗がテストシステム内に備えられている本発明の第 2 の例示的な実施形態を示す図である。

【図 10】2 つ以上のテスト下のデバイスへテストデータを展開するテストシステム内での分路抵抗の使用を示す図である。

【図 11 A】図 10 のテストシステム内で使用するためのプローブカードアセンブリのために構成されたプローブ基板の上面透視図である。

【図 11 B】図 11 A プローブ基板の底面透視図である。

【図 12】図 11 A のプローブ基板を構成する 2 つの層の間の接合部を示す図である。

【図 13 A】プローブ基板の一部分の上部断面透視図である。

【図 13 B】図 13 A のプローブ基板の一部分の底面図である。

【発明を実施するための形態】

【0015】

本明細書は、本発明の例示的な実施形態および適用例を説明しているが、本発明は、これらの例示的な実施形態および適用例に、または例示的な実施形態および適用例が動作するまたは本明細書で説明される方式に限定されない。

【0016】

図 4 は、DUT 112 の入力端子 208 および 210 の立上がりおよび立下がり時間を減少させるための分路抵抗 402 および 404 が備えられている本発明の第 1 の実施形態を示している。図 4 は、図 3 に示されているのと同じ図 2 のテストシステムの部分図を示している。すなわち、2 つのドライバ 228 および 230 が、通信接続 104、プローブヘッド 107、およびプローブカードアセンブリ 108 (プローブ 110d および 110e を含む) を通る導電性経路を備える、2 つのチャンネル 220 および 222 を伝送させる。プローブ 110d および 110e が、DUT 112 の入力端子 210 および 208 と接触し、それによって電氣的接続を作製する。

【0017】

図 4 に示されているように、分路抵抗 402 および 404 が、各ドライバチャンネル 220 および 222 のプローブ端部に、またはその近くに配置されている。両方の分路抵抗 402 および 404 が、接地 408 と接続されている。(図 4 では、分路抵抗 402 および 404 が、以下で議論されるスイッチ 406 を通って接地 408 とオプションで接続されている。) 各チャンネル内での分路抵抗 402 および 404 の存在が、入力端子 208 および 210 の立上がり時間および立下がり時間の両方を改善する。

【0018】

明らかになるように、スイッチ 406 が閉鎖されている間、各分路抵抗 402 および 404 は、各端子 208 および 210 の入力抵抗 302 と一般に並列である。公知のように、並列抵抗を合計するための公知の式は、 $R_T = (R_1 * R_2) / (R_1 + R_2)$ である、ここで、 R_T は、並列抵抗 R_1 および R_2 の全抵抗であり、 $*$ は積を表す。) このようにして、分路抵抗 402 および 404 が、ドライバ 228 および 230 ならびに入力端子 210 および 208 の間の全抵抗を減少させ、このことがさらに、時間定数 $= R * C$ 、および各入力端子 208 および 210 の立上がりおよび立下がり時間を減少させる。入力端子 208 および 210 の入力抵抗 302 の有効抵抗を減少させることによって、分路抵抗 402 および 404 が、ドライバ出力インピーダンス 308 およびドライバチャンネルインピーダンス 310 の効果を効果的に減少させる、または除去する。これらの両方は、端子入力抵抗 302 と直列であり、したがって、入力端子の立上がりおよび立下がり時間を追加する。したがって、DUT 112 の入力端子 208 および 210 の立上がりおよび立下がり時間を減少させるように分路抵抗 402 および 404 を適切にサイズ調整することに

10

20

30

40

50

よって、DUT112がテストされることができる周波数が、増加されることができる。

【0019】

信号反射を減少、最小化、または除去するように分路抵抗402および404をサイズ調整することによって、図4に示されているシステムなどのシステムの動作周波数をさらに改善することが可能であるかもしれない。チャンネル222または220の端部でのインピーダンスをチャンネルインピーダンス310と一致させるまたは厳密に一致させることによって、チャンネル222または220のDUT端部での反射が、減少、最小化、または除去されてもよい。(ドライバ出力インピーダンス308およびチャンネルインピーダンス310が一致される(すなわち、等しいまたはほぼ等しい値である)ことが仮定される。)このことは、チャンネルインピーダンス310に等しいまたはほぼ等しい、チャンネル222または220の端部でのDUT端子入力抵抗302を全抵抗に提供するように、分路抵抗402または404をサイズ調整することによって達成される。分路抵抗402または404が、DUT端子入力抵抗302と並列であり、かつ公知のように、並列な抵抗の全抵抗は、並列抵抗の積を並列抵抗の和で割ったものであることに注意されたい。したがって、反射を除去するために、分路抵抗402または404が、分路抵抗402または404とDUT端子入力抵抗302の全抵抗がチャンネルインピーダンス310と等しくなるように、サイズ調整されるべきである。分路抵抗402または404と並列なDUT端子入力抵抗302の全抵抗を、チャンネルインピーダンス310とほぼ等しく、または少なくとも等しいことに近くすることによって、反射が、減少または最小化されることができる。CMOSデバイスなどの多くのデバイスに対して、デバイスの入力インピーダンス302は、無視されることができる伝送線インピーダンス310よりも十分大きく、したがって、分路抵抗402および404が、十分に一致するように伝送線インピーダンス310と等しくされることができる。

10

20

【0020】

各チャンネル222および220に対して、分路抵抗402または404が、チャンネルインピーダンス310と電圧分割器を形成することが明らかであろう。DUT入力端子210または208が、高い状態へ切り替えられ、かつコンデンサ304が完全に充電された後、かなりの電流が、DUT入力端子210または208内へ流れることを止めるが、分路抵抗402または404を通して流れる。ドライバ228または230による電圧出力は、分路抵抗402または404を横切る電圧が、DUT入力端子210または208を高い状態に保持するのに十分であるようであるべきである。したがって、たとえば、分路抵抗402または404がチャンネルインピーダンス310と同じサイズである場合、ドライバ228または230(ドライバがその出力インピーダンス308を備え、かつドライバ出力電圧がチャンネル222または220上へ伝送される電圧であるところの)の出力電圧が、DUT入力端子210または208を高い状態に保持するために必要とされる電圧の2倍であるべきである。(公知のように、電圧発生源および直列の第1および第2の抵抗から成る電圧分割器回路内の第2の抵抗を横切る電圧は、第2の抵抗の抵抗をかけて、第1および第2の抵抗の合計で割られた電源電圧である。)

30

【0021】

スイッチ406は、分路抵抗402または404が使用または不使用に切り替えられることを可能にする。スイッチ406が閉鎖されている間、分路抵抗402または404は、接地408に接続され、上記で説明されたように入力端子208および210の立上がりおよび立下がり時間が減少される。スイッチ406が開放されている間、分路抵抗402または404は、図4に示されているシステムから効果的に取り出される。

40

【0022】

パラメトリックテストなどのいくつかのテストが、スイッチ406が開放されている間に最も効果的に行われる。パラメトリックテストは、DUT112の端子のうちの1つまたは複数、接地または別の端子と短絡されているかどうかを判定するためのテスト、および、端子を通る漏れ電流を判定するためのテストを含む。上記で説明されたように、スイッチ406が閉鎖されると、テストシステムが、高周波機能テストを行う準備ができる

50

。

【 0 0 2 3 】

図 5 は、分離されたダイ（パッケージングされた、またはパッケージングされていない）、マルチチップ電子モジュールなどを限定することなく含む、半導体ウェハまたは他の電子デバイスのダイをテストするために使用されることができる例示的なプローブカードアセンブリを示している。図 5 に示されているプローブカードアセンブリは、図 1 のテストシステム 1 0 0 と同様のテストシステム内で使用されてもよい。図 5 に示されている例示的なプローブカードアセンブリは、プローブヘッド（たとえば、図 1 のプローブヘッド 1 0 7）と接触するために片側に端子 5 0 5 を備えるプローブボード 5 0 2 を備える。プローブボード 5 0 2 を通る電氣的接続 5 1 0 が、端子 5 0 5 を端子 5 1 2 と接続する。インターポーザ 5 0 4 はプローブボード端子 5 1 2 をプローブ基板 5 0 6 と電氣的に接続する。インターポーザ 5 0 4 が、端子 5 1 2 と係合する電氣接点 5 1 4（細長いばね接点であってよい）を備える。インターポーザの電氣接点 5 1 4 は、インターポーザ 5 0 4 の一方の側の端子 5 1 6 に取り付けられ、かつインターポーザ 5 0 4 の他方の側の端子 5 1 5 とコネクタ 5 2 0 によって電氣的に接続されている。電氣接点 5 2 2（電氣接点 5 1 4 と同様であってよい）が、プローブ基板 5 0 6 上の端子 5 2 4 と係合する。端子 5 2 4 が、プローブ基板 5 0 6 を通ってプローブ端子 5 2 5 へ接続 5 2 6 を介して電氣的に接続され、かつ D U T（図 5 では図示せず）と接触するためのプローブ 5 3 0 が、プローブ端子 5 2 5 に取り付けられる。このようにして、プローブボード 5 0 2 上の端子 5 0 5 とプローブ基板 5 0 6 上のプローブ 5 3 0 の間の電氣的経路が提供される。プローブボード 5 0 2、インターポーザ 5 0 4 およびプローブ基板 5 0 6 が、いずれかの適切な手段を使用して互いに固定されてもよい。このようなプローブカードアセンブリのより詳細な説明が、その全体において参照により本明細書に組み込まれる米国特許第 5, 9 7 4, 6 6 2 号で提供されている。

10

20

【 0 0 2 4 】

図 6 A および 6 B は、プローブボード 5 0 2 の、それぞれ上面および底面図を示している。図 6 A に示されているように、端子 5 0 5 がプローブボード 5 0 2 の一方の側に配置され、端子 5 1 2 がプローブボード 5 0 2 の反対側に配置されている。同様に、図 7 A および 7 B は、端子 5 1 6 が一方の側にあり、端子 5 1 5 が反対側にある、インターポーザ 5 0 4 の、それぞれ上面および底面図を示している。インターポーザ 5 0 4 上の端子 5 1 6 は、プローブボード 5 0 2 の端子 5 1 2 に対応するように構成されている。図 8 A および 8 B は、端子 5 2 4 が一方の側に配置され、端子 5 2 5 が他方の側に配置されている、プローブ基板 5 0 6 の上面および底面図を同様に示している。プローブ基板 5 0 6 上の端子 5 2 4 は、インターポーザ 5 0 4 上の端子 5 1 5 の位置に対応するように構成されている。プローブ端子 5 2 5 は、1 つまたは複数の D U T 上の入力、出力、電源および接地端子の位置に対応するように構成され、かつプローブ 5 3 0 が、プローブ端子 5 2 5 に取り付けられている。

30

【 0 0 2 5 】

分路抵抗 4 0 2 および 4 0 4 は、プローブ 5 3 0 にできる限り近接するように図 5 のプローブカードアセンブリ上に好ましくは配置される。すなわち、分路抵抗 4 0 2 および 4 0 4 が、プローブ基板 5 0 6 上に好ましくは配置される。それにもかかわらず、分路抵抗 4 0 2 および 4 0 4 が、プローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 のうちのいずれか 1 つまたは複数の上に配置されてもよい。さらに、分路抵抗 4 0 2 および 4 0 4 が、プローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 のいずれかの側に配置されてもよい。実際、分路抵抗 4 0 2 または 4 0 4 が、プローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 の中に（たとえば、接続 5 1 0 に沿ったプローブボード 5 0 2 内、接続 5 2 0 に沿ったインターポーザ 5 0 4 内、または接続 5 2 6 に沿ったプローブ基板 5 0 6 内）配置されてもよい。スイッチ 4 0 6 が、プローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 上のいずれかの場所に同様に配置されてもよい。分路抵抗 4 0 2 および 4 0 4 は、プローブボード

40

50

502、インターポータ504またはプローブ基板506のいずれかの中にまたは上に構成された薄膜抵抗として、または、プローブボード502、インターポータ504またはプローブ基板506のいずれかに取り付けられたディスクリット抵抗回路要素として実装されてもよい。

【0026】

図9は、本発明の別の例示的な実施形態を示している。図9は、3つのプローブ920、924および926を通して、3つのDUT936、938および940の入力端子30(e)、32(e)および34(e)と接続されたチャネル922を伝送するように構成されたドライバ928を示している。ドライバ928およびドライブチャネル922は、図2のドライバ228およびドライブチャネル222と同様であり、ドライバ928およびドライブチャネル922は、図2のテストシステムと同様のテストシステム内のこのような多くのドライバおよびドライブチャネルのうちの一つであってよい。

10

【0027】

図9に示されているように、ドライブチャネル922は、3つのプローブ920、924および926を通して、3つのDUT936、938および940の入力端子30(e)、32(e)および34(e)とドライバ928を接続する3つの分岐902、904および906を備える。このようにして、1つのDUTに対してテスト102(図1参照)で発生されたテストデータが、3つのDUTをテストするために使用されてもよい。もちろん、ドライブチャネルが、3つよりも少ないまたは多い端子に展開されてもよく、かつ端子のいくつがまたはすべてが別法として、同じDUT上にあってもよい。これも明らかであるように、追加の比較チャネルまたは多重化スキームの使用が、多重化DUTによって生成された応答データをテストへ戻すために使用されてもよい。

20

【0028】

図9では、アイソレーション抵抗980が、1つの端子(たとえば、30(e))での障害が別の端子(たとえば、32(e))に負の影響を与えることを防止するために、各分岐902、904および906内に配置される。たとえば、アイソレーション抵抗980がないと、端子30(e)が接地と短絡される障害が、端子32(e)および34(e)を分岐902、904および906を通して接地と短絡させることになり、DUT938および940に、DUT936と同じ障害を有するとして誤ってテストさせる。しかし、アイソレーション抵抗980が、端子30(e)での障害を端子32(e)および34(e)から絶縁する。

30

【0029】

追加の抵抗、アイソレーション抵抗980の存在が、端子30(e)、32(e)および34(e)の立上がり時間および立下がり時間に負の影響を与える。(上記で議論したように、追加の抵抗が、各入力端子30(e)、32(e)および34(e)に対する式 $= R * C$ でのRの値を増加させ、したがって、各入力端子の立上がりおよび立下がり時間を増加させるかもしれない。)実際、分岐(たとえば、902、904および906)の数が大きいほど、入力端子30(e)、32(e)および34(e)の立上がり時間および立下がり時間に影響を与える可能性が大きくなる。図9に示されているように、接地と接続された分路抵抗990が、各分岐902、904、および906内に配置されている。また上述のように各端子30(e)、32(e)および34(e)の入力抵抗と事実上並列である、接地に接続された分路抵抗990が、アイソレーション抵抗980の影響を低減させ、入力端子30(e)、32(e)および34(e)の立上がり時間および立下がり時間を一般に改善する。

40

【0030】

明らかになるように、各分岐902、904および906での分路抵抗990が、各分岐902、904および906のアイソレーション抵抗980と電圧分割器回路を形成する。図4を参照して上記で議論したように、各分岐902、904および906の分路抵抗990およびアイソレーション抵抗980は、ドライバ928が高い信号を出力している間、DUT936、938および940の各入力端子30(e)、32(e)および3

50

4 (e) を、高い状態に維持するために、十分な電圧が各プローブ 9 2 0、9 2 4 および 9 2 6 で維持されるようにサイズ調整されるべきである。例示を簡単かつ容易にするために、ドライバ 9 2 8 に対する出力インピーダンスとチャンネル 9 2 2 に対するチャンネルインピーダンスがいずれも、図 9 に示されていないが、このようなインピーダンスが存在することに注意されたい。図 4 に関して上記で議論したように、分路抵抗 9 9 0 および隔離抵抗 9 8 0 は、ドライバ 9 2 8 によってチャンネル 9 2 2 を伝送される信号の反射を減少、最小化、または除去するようにサイズ調整される。図 4 のスイッチ 4 0 6 のような 1 つまたは複数のスイッチが、分岐 9 0 2、9 0 4 および 9 0 6 との有効接続の中および外へ分路抵抗 9 9 0 を切り替えるために、図 9 に備えられてもよく、このことが、図 4 に関して上記で議論したようなパラメトリックテストを容易にすることができることにも留意されたい。

10

【 0 0 3 1 】

図 1 0 は、分路抵抗およびアイソレーション抵抗の使用の例示的な実施を示している。図 1 0 に示されている例示的なテストシステムは、図 9 に示されている 3 つの D U T 9 3 6、9 3 8 および 9 4 0 をテストするためのテストシステムにおける図 9 のドライバ 9 2 8 およびドライブチャンネル 9 2 2 を示している。

【 0 0 3 2 】

図 1 0 に示されているように、2 つのドライバ 9 2 8 および 1 0 3 0 が、2 つのドライブチャンネル 9 2 2 および 1 0 2 0 を伝送する。ドライブチャンネル 9 2 2 が、3 つの分岐 9 0 2、9 0 4 および 9 0 6 を介して、D U T 9 3 6、9 3 8 および 9 4 0 のそれぞれの上の 3 つの入力端子 3 0 (e)、3 2 (e) および 3 4 (e) に展開される。各分岐 9 0 2、9 0 4 および 9 0 6 は、アイソレーション抵抗 9 8 0 と、接地と接続された分路抵抗 9 9 0 とを備える。ドライブチャンネル 1 0 2 0 が同様に、3 つの分岐 1 0 0 2、1 0 0 4 および 1 0 0 6 を介して、D U T 9 3 6、9 3 8 および 9 4 0 のそれぞれの上の 3 つの入力端子 3 0 (e)、3 2 (e) および 3 4 (e) に展開され、各分岐 1 0 0 2、1 0 0 4 および 1 0 0 6 もまた、アイソレーション抵抗 9 8 0 および接地と接続された分路抵抗 9 9 0 を備える。比較器 1 0 3 6、1 0 1 0、1 0 1 4、1 0 1 8、1 0 2 4 および 1 0 3 2 が、比較チャンネル 1 0 0 8、1 0 1 2、1 0 1 6、1 0 2 2、1 0 2 8 および 1 0 3 4 を通って、図 1 0 に示されているような D U T 9 3 6、9 3 8 および 9 4 0 の出力端子 3 0 (c)、3 0 (b)、3 2 (c)、3 2 (b)、3 4 (c) および 3 4 (b) と接続される。コントローラ (上記の図 2 におけるコントローラ 2 2 6 と同様であってよい) が、ドライバ 9 2 8 および 1 0 3 0 へのテストデータの入力を制御し、かつ比較器 1 0 3 6、1 0 1 0、1 0 1 4、1 0 1 8、1 0 2 4 および 1 0 3 2 から応答データを受信する。コントローラ 1 0 2 6 はまた、電源チャンネル 1 0 3 8 を通って、D U T 9 3 6、9 3 8 および 9 4 0 の電源端子 3 0 (f)、3 2 (f) および 3 4 (f) へ電力を供給し、かつ接地チャンネル 1 0 4 0 を通って D U T 9 3 6、9 3 8 および 9 4 0 の接地端子 3 0 (a)、3 2 (a) および 3 4 (a) へ接地する。このようにして、1 つのみの D U T をテストするために十分なドライバおよびドライブチャンネルが、3 つの D U T をテストするために使用される ; アイソレーション抵抗が、1 つの D U T 上での障害が、他の D U T が不良としてテストされることを防止するために設けられ、かつ分路抵抗が、D U T の入力端子の立上がりおよび立下がり時間を増加させるために設けられている。

20

30

40

【 0 0 3 3 】

図 9 および 1 0 に示されているアイソレーション抵抗 9 8 0 および分路抵抗 9 9 0 が、図 5 に示されている例示的なプローブカードアセンブリなどの、プローブカードアセンブリ上に実装されてもよい。図 4 での分路抵抗 4 0 2 および 4 0 4 と同様に、アイソレーション抵抗 9 8 0 および分路抵抗 9 9 0 が、図 5 に示されているものと同様なプローブカードアセンブリのプローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 のうちのいずれか 1 つまたは複数の上に配置されてもよい。さらに、アイソレーション抵抗 9 8 0 および分路抵抗 9 9 0 が、プローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 のいずれかの側に配置されてもよい。実際、アイソレーション抵抗 9

50

80 および分路抵抗 990 が、プローブボード 502、インターポータ 504 またはプローブ基板 506 内に（たとえば、接続 510 に沿ってプローブボード 502 内、接続 520 の沿ってインターポータ 504 内または接続 526 に沿ってプローブ基板 506 内に）配置されてもよい。アイソレーション抵抗 980 および分路抵抗 990 が、薄膜抵抗としてまたはディスクリット抵抗要素として実装されてもよい。

【0034】

図 11A から 13B は、アイソレーション抵抗 980 および分路抵抗 990 が、図 5 のプローブ基板 506 の代替となることができるプローブ基板 1102 または 1302 上の薄膜抵抗として実装されている例を示している。図 11A から 12B に示した例では、アイソレーション抵抗 980 および分路抵抗 990 が、プローブ基板 1102 を備える 2 つの層 1108 および 1110 の間 1170 の薄膜抵抗 1280 および 1290 として実装されている。図 13A および 13B では、アイソレーション抵抗 980 が、プローブ基板 1302 内の薄膜抵抗 1340、1342 および 1343 として実装され、分路抵抗 990 が、プローブ基板 1302 の底部表面 1306 上の薄膜抵抗 1362、1364 および 1366 として実装されている。

10

【0035】

図 11A および 11B は、例示的なプローブ基板 1102（図 5 におけるプローブ基板 506 と類似であり、その代替として使用されてもよい）の、それぞれ上部透視図および底部透視図を示している。見られるように、プローブ基板 1102 は、図 10 に示されている例示的なテストシステムを実装するように構成されている。プローブ基板 1102 の表面 1104 上の端子 111、1112、1113、1114、1115、1116、1117、1118、1120、1122、1124、1126、1128、1129、1130 および 1131 が、インターポータ 504（図 5 参照）からの接続 522 と接触するように配置されており、簡単のために、以下で「インターポータ端子」と称される。

20

【0036】

この例では、インターポータ端子 1112、1113 および 1114 が、図 5 のプローブカードアセンブリのインターポータ 504 およびプローブボード 502 を通って、図 10 の電源チャネル 1040 へ配線されている。インターポータ端子 1128、1130 および 1131 が、インターポータ 504 およびプローブボード 502 を通って接地チャネル 1038 へ同様に配線されている。インターポータ端子 1118、1120、1122、1124、1126 および 1129 が、インターポータ 504 およびプローブボード 502 を通って、比較チャネル 1008、1012、1016、1022、1028 および 1034 へ同様に配線され、かつインターポータ端子 1111 および 1115 が、インターポータ 504 およびプローブボード 502 を通って、ドライブチャネル 922 および 1020 へ配線される。（インターポータ端子 1116 および 1117 は、この例では使用されない。）

30

【0037】

プローブ端子（プローブがそれに取り付けられている）が、プローブ基板 1102 の底部表面 1106 上に配置されている。プローブ端子は、各列に 6 つの端子がある 3 つの列 1132、1136 および 1140 に統合される。各列 1132、1136 および 1140 は、DUT 936、938 および 940 に対応し、かつ各列内の各端子は、DUT の 1 つの上の 1 つの端子に対応する。この例（プローブ基板 1102 が、図 10 の DUT 936、938 および 940 をテストするように構成されている）では、プローブ端子 1132 (f)、1136 (f) および 1140 (f) に取り付けられたプローブは、DUT 936、938 および 940 の電源端子 30 (f)、32 (f) および 34 (f) に電力を供給するための電源プローブである。プローブ端子 1132 (a)、1136 (a) および 1140 (a) に取り付けられたプローブは、DUT 936、938 および 940 の接地端子 30 (a)、32 (a) および 34 (a) に接地を供給するための接地プローブである。プローブ端子 1132 (c)、1132 (b)、1136 (c)、1136 (b)、1140 (c) および 1140 (b) が、DUT 936、938 および 940 の出力端

40

50

子 30 (c)、30 (b)、32 (c)、32 (b)、33 (c) および 34 (b) と接触するように配置されており、かつプローブ端子 1132 (e)、1132 (d)、1136 (e)、1136 (d)、1140 (e) および 1140 (d) が、DUT 936、938 および 940 の入力端子 30 (e)、30 (d)、32 (e)、32 (d)、33 (e) および 34 (d) と接触するように配置されている。

【0038】

図 11A および 11B に示されているプローブ基板は、多層で作製されてもよい。例示および議論の目的のために、プローブ基板 1102 が、互いに接着された 2 つの基板であってよい 2 つの層 1108 および 1110 を有するとして、図 11A および 11B に示されている。表面 1104 上のインターポザ端子 (たとえば、1111) と表面 1106 上のプローブ端子 (たとえば、1140 (f)) の間の電気経路が、第 1 の層 1108 を通るビア (図 11A および 11B では図示せず)、第 1 の層 1108 と第 2 の層 1110 の間 1170 に配置されたトレース (図 11A および 11B では図示せず)、および第 2 の層 1110 を通るビア (図 11A および 11B では図示せず) によって提供されてもよい。図 12 は、以上の例を示している。

10

【0039】

図 12 は、プローブ基板 1102 の第 1 の層 1108 と第 2 の層 1110 の間の接合部 1170 に対する例示的な構成を示している。図 12 では、第 1 の層 1108 の層を通過し、かつ表面 1104 上のインターポザ端子 (たとえば、1111) と電気的に接続するビアが、黒丸 (すなわち、要素 1211、1212、1213、1214、1215、1216、1216、1217、1218、1220、1222、1224、1226、1228、1229、1230 および 1231) によって表されている。第 2 の層 1110 を通過し、かつ表面 1106 上のプローブ端子 (たとえば、1140 (f)) と電気的に接続するビアが、白丸 (すなわち、1232 (a) ~ (f)、1236 (a) ~ (f)、および 1240 (a) ~ (f)) によって表されている。導電性のトレースが、図 12 で 1250、1252、1254 および 1256 として示されており、かつこのようなトレースが、層 1104 および 1106 が図 11A および 11B に示されているように互いに接着されている間、層 1108 を通るビアを層 1110 を通るビアと接続するために、いずれかの層 1108 または 1110 の内部表面上に配置されてもよい。

20

【0040】

電力、接地、または比較チャネルとの接続を提供するプローブ基板 1102 の表面 1104 上のインターポザ端子 (たとえば、1111) が、プローブ基板 1102 の表面 1106 上のプローブ端子 (たとえば、1140 (f)) と 1 対 1 で接続される。現在の例 (その中でプローブ基板 1102 が、図 10 に示されたシステム内で使用されるように構成されている) では、インターポザ端子 1112、1113 および 1114 (上記で議論したように図 10 に示されている電源チャネル 1140 と接続されている) が、図 12 に示されている以下のビアペア、1214 および 1232 (f)、1213 および 1236 (f)、ならびに 1212 および 1240 (f) を通って、プローブ端子 1132 (f)、1136 (f) および 1140 (f) に電力供給するために接続されている。(図 12 に示されているように、トレース 1250 が前のビアペアのそれぞれを電気的に接続する。) 同様に、インターポザ端子 1128、1130 および 1131 (上記で議論したように図 10 に示されている接地チャネル 1138 と接続されている) が、図 12 に示されている以下のビアペア、1228 および 1240 (a)、1230 および 1236 (a)、および 1231 および 1232 (a) を通ってプローブ電極 1132 (a)、1136 (a) および 1140 (a) を接地するために接続されている。(ここでもまた、図 12 に示されているように、トレース 1250 が前のビアペアのそれぞれを電気的に接続する。) 同様にして、インターポザ端子 1118、1120、1122、1124、1126 および 1129 (図 10 で比較チャネル 1008、1012、1016、1022、1028 および 1034 と接続されている) が、図 12 に示されている以下のビアペア、1218 および 1232 (c)、1226 および 1232 (b)、1222 および 123

30

40

50

6 (c)、1224および1236 (c)、1220および1240 (b)ならびに1229および1240 (c)を通してプローブ電極1132 (b)、1132 (c)、1136 (b)、1136 (c)、1140 (b)および1140 (c)と接続されている。

【0041】

他方では、ドライブチャネルとの接続を提供するプローブ基板1102上の表面1104上の各インターポータ端子が、プローブ基板1102の表面1106上の複数のプローブ端子と接続されている。図12に示されている例では、インターポータ端子1111 (上記で説明されているようにドライブチャネル922と接続されている)が、ビア1211を通してトレース1252と接続され、トレース1252がビア1240 (e)、1236 (e)および1232 (e)と電氣的に接続され、これらがさらに、それぞれプローブ端子1140 (e)、1136 (e)および1132 (e)と接続されている。ビア1211、トレース1252、ならびにビア1140 (e)、1136 (e)および1132 (e)がこのようにして、インターポータ端子1111を3つのプローブ端子1140 (e)、1136 (e)および1132 (e)と接続する。同様に、インターポータ端子1115 (上記で説明されたようにドライブチャネル1020と接続されている)が、ビア1215を通してトレース1256と接続され、トレース1256がビア1240 (d)、1236 (d)および1232 (d)と電氣的に接続され、これらがさらに、それぞれプローブ端子1140 (d)、1136 (d)および1132 (d)と接続されている。ビア1215、トレース1256、ならびにビア1140 (d)、1136 (d)および1132 (d)がしたがって、インターポータ端子1115を3つのプローブ端子1140 (d)、1136 (d)および1132 (d)と接続する。

10

20

【0042】

図12に示されているように、薄膜抵抗1280が、トレース1252とビア1240 (e)、1236 (e)および1232 (e)のそれぞれの間配置されている。薄膜抵抗1280はまた、トレース1256とビア1240 (d)、1236 (d)および1232 (d)のそれぞれの間配置されている。薄膜抵抗1280はしたがって、図10のアイソレーション抵抗980を実施する。薄膜抵抗1290もまた、一方では、ビア1240 (e)、1236 (e)、1232 (e)、1240 (d)、1236 (d)および1232 (d)のそれぞれと、接地 (たとえば、接地チャネル1040のうちの1つとインターポータ端子1128を通して接続されたビア1228 (図10参照))と接続されたトレース1254の間に配置されている。薄膜抵抗1290はしたがって、図10の分路抵抗990の実施である。

30

【0043】

上記で述べられているように、図13Aおよび13Bは、プローブ基板1302上にアイソレーション抵抗980および分路抵抗910を実装する別の例示的な方式を示している。図13Aは、図11Aおよび11Bのプローブ基板1102とほぼ同様のプローブ基板1302の一部分の切断透視図を示している。図13Bは、プローブ基板1302の一部分の底面図を示している。

【0044】

プローブ基板1102のように、プローブ基板1302 (図5のプローブ基板506を代替してもよい)が、2つの層1308および1310を備え、かつ第1の表面1304上のインターポータ端子 (1302、1304および1306が示されている)と、第2の表面1306上のプローブ (1318、1320、1322、1324、および1326が示されている)へのプローブ端子 (1308、1310、1312、1314および1316が示されている)とを有する。図13Aでは、インターポータ端子1302が、DUT (図13Aおよび13Bには図示せず)との接地接続を提供するように構成されており、ビア1330および1332を通して図13Aに示されているプローブ端子1308および接地プローブ1318と接続されている。インターポータ端子1306が、比較チャネルと接続し、したがってDUT (図13Aおよび13Bには図示せず)によって作成された出力データを、比較チャネルの端部の比較器へ搬送するように構成されている。

40

50

図13Aに示されているように、インターポータ端子1306が、層1308を通るビア1336、第2の層1310の表面1370上に配置されたトレース1350、および第2の層1310を通るビア1352によって、プローブ端子1316（出力プローブ1326がそれに取り付けられている）と接続されている。

【0045】

インターポータ端子1304が、ドライブチャネルと接続し、したがってテストデータをDUT（図13Aおよび13Bでは図示せず）へ供給するように構成されている。図10に示されているテスト構成を実施するために、インターポータ端子1304が、3つのDUT（図13Aおよび13Bでは図示せず）の入力端子と接触するように構成された3つの入力プローブ1320、1322および1324がそれに取り付けられている、3つのプローブ端子（1310、1312および1314）と接続されている。図13Aに示されているように、ビア1334は、インターポータ端子1304を、プローブ基板1302の第2の層1310の表面1370上のトレース1338と接続する。表面1370上の薄膜抵抗1340、1342、および1343が、トレース1338を3つのビア1344、1346および1348と接続し、これらがさらに、プローブ端子1310、1312および1314と接続される。薄膜抵抗1340、1342、および1343が、このようにして、図9および10に示されているアイソレーション抵抗980を実施する。図13Bに示されているように、プローブ基板1302の第2の表面1310上で、薄膜抵抗1362、1364、および1366が、プローブ端子1310、1312および1324のそれぞれを、接地端子1308からのトレース1360と電氣的に接続する。薄膜抵抗1362、1364、および1366が、このようにして、図9および10に示されている分路抵抗990を実施する。

10

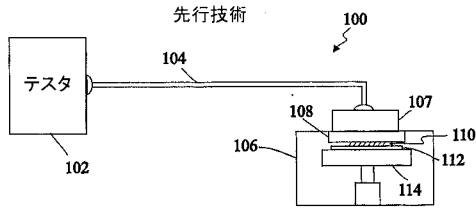
20

【0046】

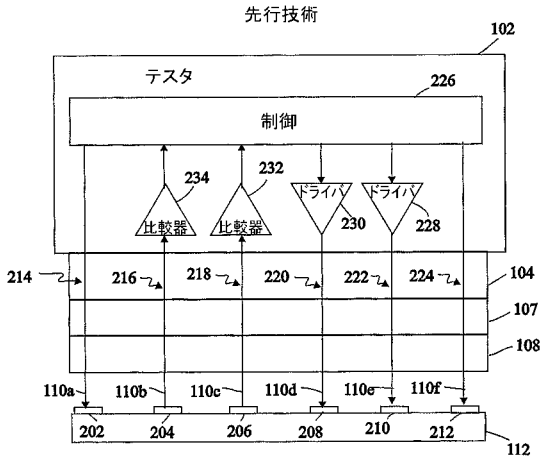
本発明の例示的な実施形態および適用例が本明細書で説明されたが、本発明がこれらの例示的な実施形態および適用例に、または、例示的な実施形態および適用例が動作する、または本明細書で説明される方式に限定されるという意図はない。実際に、例示的な実施形態に対する様々な変更および修正が可能である。たとえば、上記で議論された実施形態は、図5に示されているプローブカードアセンブリ以外の装置上で実施されてもよい。たとえば、上記で議論された実施形態は、個片にされたダイをテストするためにロードボード上で実施されてもよい。別の例として、実施形態が、図5に示されている例示的なプローブカードアセンブリよりも多いまたは少ない要素を含むプローブカードアセンブリなどの、異なるタイプのプローブカードアセンブリ上で実施されてもよい（たとえば、インターポータのない、またはインターポータおよびプローブ基板のないプローブカードアセンブリ（この場合プローブ530が、プローブボード502に直接取り付けられることになる））。

30

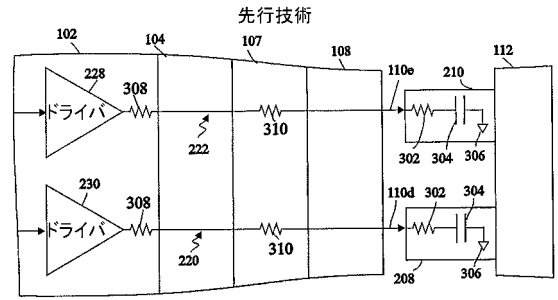
【 図 1 】



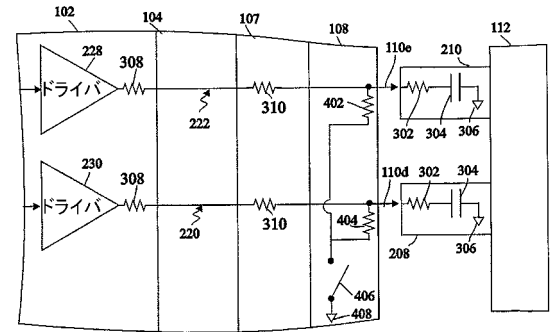
【 図 2 】



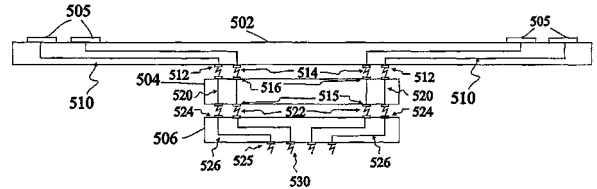
【 図 3 】



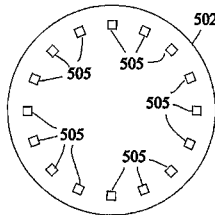
【 図 4 】



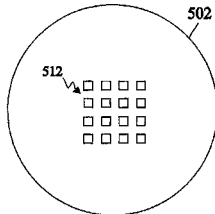
【 図 5 】



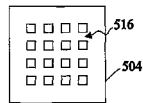
【 図 6 A 】



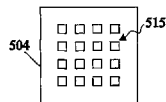
【 図 6 B 】



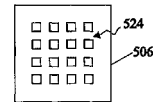
【 図 7 A 】



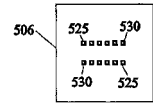
【 図 7 B 】



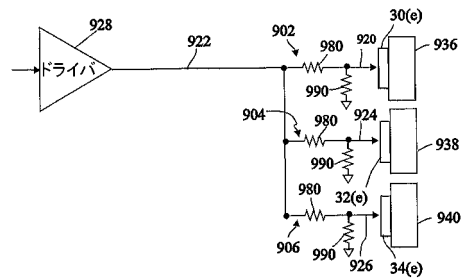
【 図 8 A 】



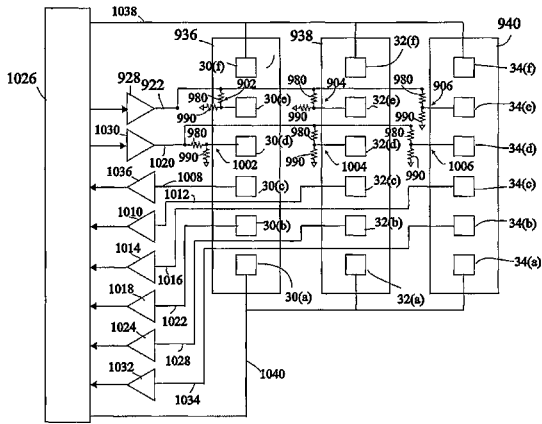
【 図 8 B 】



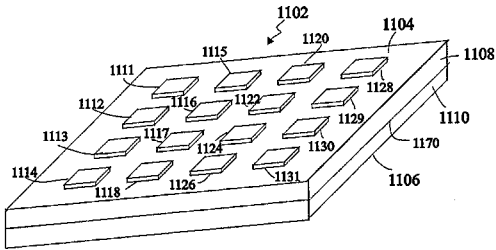
【 図 9 】



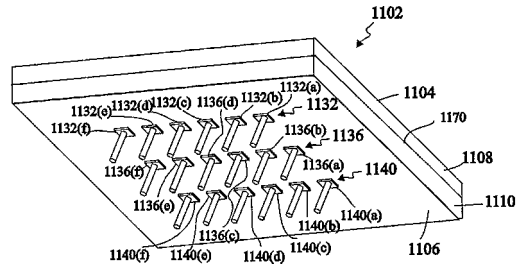
【図10】



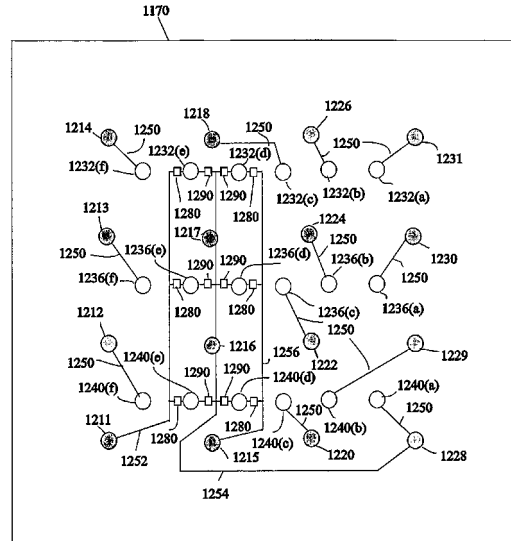
【図11A】



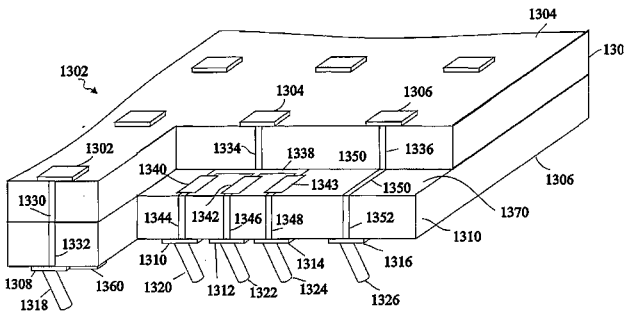
【図11B】



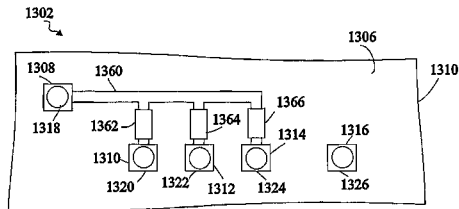
【図12】



【図13A】



【図13B】



【手続補正書】

【提出日】平成24年6月25日(2012.6.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

テストと被テスト電子デバイスとの間でテスト信号をインターフェースするための装置であって、

構造体と、

前記構造体上に配置され、かつ、前記テストからの通信チャネルと電氣的に接続するように構成された複数のチャネル端子と、

前記構造体上に配置され、かつ、前記電子デバイスのテスト機構と接触するように構成された複数のプローブと、

前記チャネル端子のいくつかと前記プローブのいくつかを接続する複数の導電性経路と

、
前記構造体上に配置され、かつ、各々が前記導電性経路の1つと直接的に接続されている複数の分路抵抗と、

を備え、

前記導電性経路の少なくとも1つが複数の分岐を有し、

それぞれの前記分岐が、前記チャネル端子の1つと電氣的に接続され、前記プローブのいずれかの1つのプローブ内において終端しており、前記チャネル端子と前記分岐が終端する前記プローブとの間に配置されたアイソレーション抵抗を含み、かつ、前記分岐が終端する前記プローブと前記分岐内に配置された前記アイソレーション抵抗との間から、前記分路抵抗の1つを介して電圧ポテンシャルに電氣的に接続されている、装置。

【請求項2】

前記分路抵抗が、薄膜抵抗である請求項1に記載の装置。

【請求項3】

前記構造体が、前記プローブがその上に配置される第1の基板を備える請求項1に記載の装置。

【請求項4】

前記分路抵抗が、前記第1の基板上に配置されている請求項3に記載の装置。

【請求項5】

前記分路抵抗が、薄膜抵抗である請求項4に記載の装置。

【請求項6】

前記プローブおよび前記分路抵抗が、前記第1の基板の第1の表面上に配置されている請求項4に記載の装置。

【請求項7】

前記分路抵抗が、前記第1の基板の内部に配置されている請求項4に記載の装置。

【請求項8】

前記構造体が、前記チャネル端子がその上に配置される第2の基板をさらに備える請求項3に記載の装置。

【請求項9】

前記構造体が、前記プローブがその上に配置される第1の基板を備える請求項1に記載の装置。

【請求項10】

前記分路抵抗が、前記第1の基板上に配置されている請求項9に記載の装置。

【請求項11】

前記アイソレーション抵抗が、前記第 1 の基板上に配置されている請求項 10 に記載の装置。

【請求項 12】

前記プローブおよび前記分路抵抗が、前記第 1 の基板の第 1 の表面上に配置されている請求項 10 に記載の装置。

【請求項 13】

前記分路抵抗が、薄膜抵抗であり、かつ、前記アイソレーション抵抗が、前記第 1 の基板上に配置された薄膜抵抗である請求項 10 に記載の装置。

【請求項 14】

前記分路抵抗が、前記第 1 の基板の内部に配置されている請求項 10 に記載の装置。

【請求項 15】

各々の前記分路抵抗が、前記電子デバイスの前記テスト機構の 1 つの入力抵抗を減少させるように、前記導電性経路の 1 つに接続されている請求項 1 に記載の装置。

【請求項 16】

各々の前記分路抵抗が、前記導電性経路の 1 つから接地へ接続されている請求項 1 に記載の装置。

【請求項 17】

前記電圧ポテンシャルが接地である請求項 1 に記載の装置。

フロントページの続き

Fターム(参考) 2G132 AA01 AB01 AC03 AE25 AF01 AG01 AH00 AL11 AL19 AL33
4M106 AA01 BA01 DD10

【外国語明細書】

2012189607000001.pdf