



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0078359
(43) 공개일자 2018년07월09일

- (51) 국제특허분류(Int. Cl.)
H01L 33/04 (2010.01) *H01L 33/06* (2010.01)
H01L 33/14 (2010.01) *H01L 33/22* (2010.01)
H01L 33/24 (2010.01) *H01L 33/38* (2010.01)
- (52) CPC특허분류
H01L 33/04 (2013.01)
H01L 33/06 (2013.01)
- (21) 출원번호 10-2018-7018915(분할)
- (22) 출원일자(국제) 2010년12월27일
 심사청구일자 2018년07월02일
- (62) 원출원 특허 10-2017-7017884
 원출원일자(국제) 2010년12월27일
 심사청구일자 2017년06월28일
- (85) 번역문제출일자 2018년07월02일
- (86) 국제출원번호 PCT/EP2010/070761
- (87) 국제공개번호 WO 2011/080249
 국제공개일자 2011년07월07일
- (30) 우선권주장
 10 2009 060 747.1 2009년12월30일 독일(DE)

- (71) 출원인
 오스람 옵토 세미컨덕터스 게엠베하
 독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)
- (72) 발명자
 페터, 마티아스
 독일 93055 레겐스부르크 다이펜브룩슈트라쎄 1
 마이어, 토비아스
 독일 93346 이얼러슈타인 그론스도르퍼 베크 25
 (뒷면에 계속)
- (74) 대리인
 특허법인 남앤드남

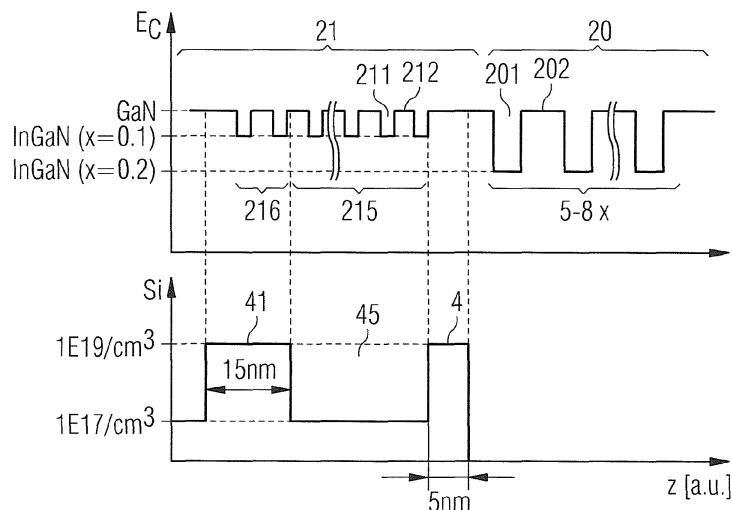
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **발광 반도체 칩**

(57) 요 약

본 발명은 반도체 칩(1)과 관련이 있으며, 상기 반도체 칩은 반도체 층 시퀀스를 갖는 반도체 몸체(2)를 포함하고, 이 경우 방사선을 발생할 목적으로 제공되는 활성 영역(20)은 n-도전성 다층 구조물(21)과 p-도전성 반도체 층(22) 사이에 배치되어 있다. 상기 n-도전성 다층 구조물 내에는 적어도 하나의 도핑 팁(doping tip)(4)을 포함하는 도핑 프로파일 엘리먼트(doping profiled element)가 형성되어 있다.

대 표 도 - 도1b



(52) CPC특허분류

H01L 33/14 (2013.01)
H01L 33/22 (2013.01)
H01L 33/24 (2013.01)
H01L 33/382 (2013.01)
H01L 2224/16225 (2013.01)
H01L 2924/0002 (2013.01)

(72) 발명자

발터, 알렉산더
독일 93164 라버 바인베르크베크 9
타키, 테츠야
일본 223-0057 요코하마 코호쿠구 니파 790
오프, 외르겐
독일 93059 레겐스부르크 라이블슈트라쎄 47

부텐다이히, 라이너

독일 93059 레겐스부르크 장크트 요셉-슈트라쎄 10
헤르트콘, 요아힘
독일 93087 알테글로프스하임 비쇼프-케텔러-슈트라쎄 21아

명세서

청구범위

청구항 1

반도체 칩(1)으로서,

상기 반도체 칩은 반도체 층 시퀀스를 갖는 반도체 몸체(2)를 포함하고,

상기 반도체 층 시퀀스는 n-도전성 다층 구조물(21), p-도전성 반도체 층(22) 및 방사선을 발생할 목적으로 제공되는 활성 영역(20)을 포함하고, 상기 활성 영역은 상기 n-도전성 다층 구조물과 p-도전성 반도체 층 사이에 배치되어 있으며,

상기 반도체 몸체는 리세스(24)를 가지며, 상기 리세스는 상기 p-도전성 반도체 층 및 활성 영역을 통과하여 상기 n-도전성 다층 구조물 내부로 연장되고,

상기 n-도전성 다층 구조물 내에는 적어도 하나의 도핑 팁(doping tip)(4)을 포함하는 도핑 프로파일 엘리먼트(doping profiled element)가 형성되어 있으며, 그리고

상기 리세스는 상기 도핑 팁을 관통하는,

반도체 칩.

청구항 2

제 1 항에 있어서,

상기 리세스 내부에는 콘택 층(65)이 형성되어 있으며, 상기 콘택 층은 상기 n-도전성 다층 구조물에 도전 접속된,

반도체 칩.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 반도체 층 시퀀스는 캐리어(5) 상에 배치되어 있고,

상기 n-도전성 다층 구조물은 상기 캐리어를 등지는 활성 영역의 측에 배치된,

반도체 칩.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 적어도 하나의 도핑 팁 내의 도편트 농도가 상기 n-도전성 다층 구조물의 저 농도로 n-도전성 도핑된 영역(45) 내의 도편트 농도보다 적어도 5배 높은,

반도체 칩.

청구항 5

제 4 항에 있어서,

상기 적어도 하나의 도핑 팁 내의 도편트 농도가 적어도 $4 * 10^{18} \text{ cm}^{-3}$ 이고, 상기 저 농도로 n-도전성 도핑된 영역 내의 도편트 농도가 최대 $8 * 10^{17} \text{ cm}^{-3}$ 인,

반도체 칩.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,
상기 도핑 텁이 1 nm(1 nm 포함) 내지 30 nm(30 nm 포함)의 수직 연장부를 갖는,
반도체 칩.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,
상기 도핑 텁이 5 nm(5 nm 포함) 내지 20 nm(20 nm 포함)의 수직 연장부를 갖는,
반도체 칩.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,
상기 도핑 텁이 상기 활성 영역으로부터 2 nm(2 nm 포함) 내지 20 nm(20 nm 포함)의 간격을 갖는,
반도체 칩.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,
상기 n-도전성 다층 구조물이 다수의 양자 층(211)을 갖는 양자 구조물을 포함하는,
반도체 칩.

청구항 10

제 9 항에 있어서,
상기 리세스는 상기 n-도전성 다층 구조물의 양자 층들을 관통하는,
반도체 칩.

청구항 11

제 9 항에 있어서,
상기 활성 영역이 다수의 양자 층(201)을 포함하고, 상기 도핑 텁은 상기 활성 영역에 가장 가까운 n-도전성 다층 구조물의 양자 층과 상기 n-도전성 다층 구조물에 가장 가까운 활성 영역의 양자 층 사이에 배치된,
반도체 칩.

청구항 12

제 11 항에 있어서,
상기 n-도전성 다층 구조물의 양자 층의 밴드 캡의 크기가 적어도 상기 활성 영역의 양자 층(201)의 밴드 캡과 동일한,
반도체 칩.

청구항 13

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,
상기 도핑 프로파일 엘리먼트가 추가의 도핑 텁(41)을 포함하고, 상기 도핑 텁과 추가의 도핑 텁 사이에는 상기 n-도전성 다층 구조물의 적어도 하나의 양자 층이 배치된,
반도체 칩.

청구항 14

제 13 항에 있어서,

상기 추가의 도핑 텁(45)에 의해서 상기 n-도전성 다층 구조물의 양자 구조물의 부분 영역(216)이 높은 도편트 농도를 갖는,

반도체 칩.

청구항 15

제 1 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 활성 영역이 질화물-화합물 반도체 재료를 기본으로 하는,

반도체 칩.

청구항 16

제 1 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 n-도전성 다층 구조물의 결정 구조가 V자형 페트(V-pit)들을 갖는,

반도체 칩.

청구항 17

제 1 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 반도체 봄체의 반도체 층 시퀀스를 위한 성장 기판이 분리된,

반도체 칩.

청구항 18

제 1 항에 있어서,

상기 적어도 하나의 도핑 텁 내의 도편트 농도가 상기 도핑 텁에 인접하는 n-도전성 다층 구조물의 영역 내의 도편트 농도보다 적어도 5배 높고,

상기 활성 영역이 적어도 하나의 양자 층(201)을 갖는 양자 구조물을 포함하며, 그리고

상기 다층 구조물이 다수의 양자 층(211)을 갖는 양자 구조물을 포함하고, 상기 n-도전성 다층 구조물의 양자 층의 밴드 갭은 상기 활성 영역의 양자 층의 밴드 갭보다 큼,

반도체 칩.

발명의 설명**기술 분야**

[0001]

본 발명은 방사선을 발생할 목적으로 제공되는 반도체 칩에 관한 것이다.

배경기술

[0002]

본 특허 출원서는 독일 특허 출원서 제 10 2009 060 747.1호를 우선권으로 주장하며, 상기 우선권 서류의 공개 내용은 인용의 방식으로 본 출원서에 수용된다.

[0003]

LED-반도체 칩들은 대개 방사선을 발생할 목적으로 제공되는, 다수의 양자 웰(quantum well)을 갖는 활성 영역을 포함한다.

[0004]

활성 영역 내에 있는 InGaN-양자 웰들에서는, 방출되는 방사 전력이 전류 밀도가 증가함에 따라 선형으로 상승되지 않는다는 사실이 드러났다. 이에 대한 이유로는, 전하 캐리어들이 대개 양자 웰들 내부로 효율적으로 주입되지 않기 때문이다.

발명의 내용

- [0005] 본 발명의 과제는 전하 캐리어들이 활성 영역 내부로 효율적으로 주입될 수 있는 반도체 칩을 제시하는 것이다.
- [0006] 상기 과제는 독립 청구항 1의 대상에 의해 해결된다. 추가의 실시 예들 및 개선 예들은 종속 청구항들의 대상이다.
- [0007] 본 발명에 따른 반도체 칩의 한 가지 실시 예에서, 반도체 칩은 반도체 층 시퀀스를 갖는 반도체 몸체를 포함하고, 이 경우 상기 반도체 층 시퀀스는 n-도전성 다층 구조물, p-도전성 반도체 층 및 방사선을 발생할 목적으로 제공되는 활성 영역을 포함한다. 상기 활성 영역은 n-도전성 다층 구조물과 p-도전성 반도체 층 사이에 배치되어 있다. 상기 n-도전성 다층 구조물 내에는 적어도 하나의 도핑 팁(doping tip)을 포함하는 도핑 프로파일 엘리먼트(doping profiled element)가 형성되어 있다.
- [0008] 도핑 프로파일 엘리먼트는 특히 수직 방향으로, 더 상세하게 말하자면 반도체 몸체의 반도체 층 시퀀스의 중축 방향을 따라 진행되는 방향으로의 도핑 프로파일을 의미한다. 다른 말로 표현하자면, 상기 도핑 프로파일 엘리먼트는 반도체 몸체의 반도체 층 시퀀스의 반도체 층들의 주 연장 평면에 대하여 수직으로 뻗는다.
- [0009] 본 출원서의 범주에서 도핑 팁이란, 상기 도핑 팁에 인접하는 적어도 하나의 영역에 비해 높은 도편트 농도를 갖는 반도체 재료의 영역을 의미한다. 바람직하게 2개의 층에서 도핑 팁을 둘러싸는 반도체 재료는 바람직하게는 저 농도로 도핑 되거나, 도핑 되지 않거나 또는 내인성으로 형성된다.
- [0010] 고 도편트 농도란 특히 적어도 $2 * 10^{18} \text{ cm}^{-3}$ 의 농도를 의미한다.
- [0011] 저 도편트 농도란 특히 적어도 $1 * 10^{16} \text{ cm}^{-3}$ 내지 최대 $1 * 10^{18} \text{ cm}^{-3}$ 의 농도를 의미한다.
- [0012] 특히, n-도전성 다층 구조물의 나머지 연장부에 비해, 고 농도로 도핑된 얇은 도핑 팁은 반도체 칩의 활성 영역 내부로의 개선된 전하 캐리어 주입을 야기한다는 사실이 드러났다. 고 농도 도핑으로 인해, n-도전성 다층 구조물이 도핑 팁 영역 내에서 비교적 높은 분로 전도성(shunt conductivity), 다시 말하자면 가로 방향으로 높은 전도성을 가짐으로써, 결과적으로 전하 캐리어들은 가로 방향으로 매우 균일하게 활성 영역 내부로 주입될 수 있다. 상기 적어도 하나의 도핑 팁은 활성 영역의 후진 방향에서, 즉 역방향에서도 가로로 비교적 더 균일한 전류 전도를 야기한다. 이로 인해 반도체 칩들은 정전 방전(electrostatic dascharge, ESD)에 대하여 감소된 민감성을 보인다.
- [0013] 본 발명에 따른 반도체 칩의 한 가지 바람직한 실시 예에서, n-도전성 다층 구조물은 도핑 팁에 의해서 고 농도로 도핑된 적어도 하나의 영역 및 저 농도로 n-도전성 도핑된 영역을 갖는다. 바람직하게 상기 적어도 하나의 도핑 팁 내의 도편트 농도는 상기 n-도전성 다층 구조물의 저 농도로 n-도전성 도핑된 영역 내의 도편트 농도보다 적어도 5배, 특히 바람직하게는 적어도 8배, 예를 들면 10배 높다.
- [0014] 이 경우, 저 농도로 n-도전성 도핑된 영역은 특히 도핑 팁에 인접할 수 있다.
- [0015] 바람직하게 도핑 팁 내의 도편트 농도는 적어도 $4 * 10^{18} \text{ cm}^{-3}$ 이다. 도편트 농도가 높음으로써, 고 전도성이 달성될 수 있다.
- [0016] 더 나아가, 바람직하게는 도핑 팁 내의 도편트 농도가 최대 $1 * 10^{20} \text{ cm}^{-3}$, 특히 바람직하게는 최대 $3 * 10^{19} \text{ cm}^{-3}$ 에 달한다.
- [0017] 그 이외에도, 바람직하게는 특히 인접하는, 저 농도로 n-도전성 도핑된 영역 내의 도편트 농도가 최대 $5 * 10^{17} \text{ cm}^{-3}$, 특히 바람직하게는 최대 $2 * 10^{17} \text{ cm}^{-3}$ 에 달한다.
- [0018] 본 발명에 따른 반도체 칩의 한 가지 바람직한 실시 예에서, 상기 적어도 하나의 도핑 팁 내의 도편트 농도는 적어도 $4 * 10^{18} \text{ cm}^{-3}$ 이고, 상기 저 농도로 n-도전성 도핑된 영역 내의 도편트 농도는 최대 $8 * 10^{17} \text{ cm}^{-3}$ 이다.
- [0019] 도핑 팁의 수직 연장부는 바람직하게 1 nm(1 nm 포함) 내지 30 nm(30 nm 포함), 특히 바람직하게는 2 nm(2 nm 포함) 내지 20 nm(20 nm 포함)이다. 특히, 상기 도핑 팁의 상기 수직 연장부는 7 nm(7 nm 포함) 내지 10 nm(10 nm 포함)에 달할 수 있다.
- [0020] n-도전성 다층 구조물은 반도체 칩 작동 중에 특히 활성 영역 내부로 전자들을 주입할 목적으로 사용된다. 이

를 위해 상기 n-도전성 다층 구조물은 반드시 연속적으로 n-도전성으로 도핑될 필요는 없다. 오히려, 상기 n-도전성 다층 구조물은 하나 또는 다수의 층을 포함할 수도 있으며, 상기 하나 또는 다수의 층 내에서는 n-도전성 다층 구조물이 도핑 되지 않았거나 내연성으로 구현되어 있다.

[0021] 그에 상응하게 p-도전성 반도체 층은 특히 활성 영역 안에 홀을 주입하기 위해 제공되었다. 상기 p-도전성 반도체 층은 다층으로 형성될 수도 있으며, 이 경우 개별 층들은 도핑 및/또는 결정 조성물에서 구별될 수 있다.

[0022] 반도체 몸체는 바람직하게 화합물 반도체, 특히 질화물-화합물 반도체를 기본으로 한다.

[0023] 본 발명과 관련해서 "질화물-화합물을 기본으로 한다"라는 표현은, 활성 에피택시-층 시퀀스 또는 상기 층 시퀀스 중 적어도 하나의 층이 질화물-III/V-화합물 반도체 재료, 바람직하게는 $Al_yGa_{1-y}In_xN$ 을 포함하는 것을 의미하며, 이 경우 $0 \leq x \leq 1$, $0 \leq y \leq 1$ 및 $x+y \leq 1$ 이다. 이때, 상기 반도체 재료는 반드시 전술한 일반식에 따라 수학적으로 정확한 조성을 가질 필요는 없다. 오히려, 상기 반도체 재료는 하나 또는 다수의 도편트 그리고 $Al_yGa_{1-y}In_xN$ -재료의 특징적이고 물리적인 세부 특성을 실제로 변경시키지 않는 추가의 구성 성분들을 포함할 수도 있다. 그러나 비록 결정 격자의 주요 성분들(Al, Ga, In, N)이 부분적으로 적은 양의 추가 물질들로 대체될 수 있을지라도, 간단함을 목적으로 상기 일반식은 상기 결정 격자의 주요 구성 성분만을 포함한다.

[0024] 활성 영역은 바람직하게 다수의 양자 층을 포함하다. 상기 양자 층들은 바람직하게 배리어 층들 사이에 배치되어 있다. 이러한 경우에는 양자 층들 및 배리어 층들이 양자 구조물을 형성할 수 있다.

[0025] 본 발명의 범주에서 양자 구조물이라는 표현은, 특히 전하 캐리어들이 구속("confinement")에 의해 자신들의 에너지 상태의 양자화를 경험할 수 있는 모든 구조물을 포함한다. 특히, 양자 구조물이라는 표현은 양자화 차원에 대한 진술을 포함하지는 않는다. 따라서, 상기 양자 구조물은 다른 무엇보다도 양자 웰들, 양자 선들 및 양자 점들 그리고 상기 구조물들의 각각의 조합을 포함한다.

[0026] 본 발명에 따른 반도체 칩의 한 가지 바람직한 실시 예에서, n-도전성 다층 구조물은 양자 구조물을 포함한다. 상기 양자 구조물은 다수의 양자 층을 포함할 수 있다.

[0027] 더 나아가, 양자 구조물이라는 용어는 특히 다중 양자 웰 구조물(multi quantum well, MQW)로서의 형성뿐만 아니라 초격자(superlattice)로서의 형성으로도 이해할 수 있다. 다중 양자 웰 구조물과 달리, 초격자의 경우에 이웃한 양자 층들의 간격들이 작음으로써, 이웃한 양자 층들의 전자 상태들은 양자 역학적으로 상호 커플링되어 공통의 전자 상태들을 형성한다.

[0028] 예를 들어 초격자의 양자 층들 사이에는 5 nm 또는 5 nm 미만의, 예를 들어 2 nm의 두께를 갖는 배리어 층들이 형성될 수 있다.

[0029] 본 발명에 따른 반도체 칩의 한 가지 바람직한 실시 예에서, n-도전성 다층 구조물의 양자 층의 밴드 갭 크기는 적어도 활성 영역의 양자 층의 밴드 갭 크기와 동일하다. 특히 바람직하게는 양자 층의 밴드 갭이 활성 영역의 양자 층의 밴드 갭보다 크다. 예를 들어 질화물-화합물 반도체 재료를 기본으로 하는 반도체 칩의 경우에 n-도전성 다층 구조물의 양자 층들은 활성 영역의 양자 층들보다 더 작은 인듐 함량 x를 가질 수 있다.

[0030] n-도전성 다층 구조물의 양자 층들은 활성 영역의 양자 층들과 달리 방사선을 발생할 목적으로 제공되지 않고, 전자들을 활성 영역 내부로 효과적으로 주입할 목적으로 사용되며, 상기 활성 영역 내에서는 상기 n-도전성 다층 구조물이 방사선을 방출하면서 홀들과 재결합될 수 있다.

[0031] 활성 영역의 양자 층들은 바람직하게 내연성으로 구현되거나 또는 도핑 되지 않은 상태로 구현되어 있다.

[0032] 본 발명에 따른 반도체 칩의 한 가지 추가 실시 예에서, 도핑 텁은 활성 영역에 가장 가까운 n-도전성 양자 구조물의 양자 층과 상기 n-도전성 양자 구조물에 가장 가까운 활성 영역의 양자 층 사이에 배치되어 있다. 따라서, 활성 영역 부근에서는 가로 방향으로의 우수한 전류 분포가 보장된다.

[0033] 그 이외에도 바람직하게 활성 영역으로부터, 특히 n-도전성 다층 구조물에 가장 가까운 활성 영역의 양자 층으로부터 도핑 텁의 간격은 1 nm(1 nm 포함) 내지 30 nm, 특히 바람직하게는 2 nm(2 nm 포함) 내지 20 nm(20 nm 포함), 특히 7 nm(7 nm 포함) 내지 10 nm(10 nm 포함)에 달한다.

[0034] 활성 영역 부근에 있는 고 농도로 도핑된 이러한 도핑 텁에 의해서, 활성 영역 내부로의 전하 캐리어들의 주입이 특히 효율적으로 그리고 특히 가로 방향으로 매우 균일하게 이루어질 수 있다. 높은 분로 전도성으로 인해, 상기 적어도 하나의 도핑 텁은 역방향에서도 가능한 많은 전하 캐리어 경로들의 개선된 이용을 야기하며, 상기

와 같은 개선된 다수의 경로 이용은 반도체 몸체의 n-도전성 영역 내에서 도핑 텁을 포함하지 않는 반도체 칩에 비해 ESD-손상 위험을 감소시킨다.

[0035] 상기 적어도 하나의 도핑 텁은 바람직하게, 도핑 프로파일 엘리먼트가 도편트 농도가 낮은 곳에서 도편트 농도가 높은 곳으로 그리고 그 반대로 변환되는 예리한 천이부들을 포함하도록 형성되어 있다. 반도체 칩 제조시, 상기와 같은 도핑 텁 형성은 낮은 성장 속도에 의해, 예를 들면 20 nm/h 내지 500 nm/h의 성장 속도에 의해 달성될 수 있다. 바람직하게 증착은 에피택셜 방식으로, 예를 들면 MOCVD에 의해 이루어진다.

[0036] 본 발명에 따른 반도체 칩의 한 가지 바람직한 개선 예에서, n-도전성 다층 구조물의 결정 구조는 V자형 피트들을 갖는다. 상기와 같은 형태의 피트들 – 이러한 피트들은 반도체 층들의 증착 시 특히 전위 라인들을 따라서 형성될 수 있음 – 은 "V-피트"로도 언급된다. 상기와 같은 V자형 피트들은 특히 반도체 재료의 비교적 낮은 증착 온도, 예를 들어 950°C보다 낮은 증착 온도에서 형성될 수 있다. 상기 V자형 피트들은 반도체 칩의 향상된 역방향 특성을 야기할 수 있다.

[0037] 본 발명에 따른 반도체 칩의 한 가지 추가의 바람직한 실시 예에서, 도핑 프로파일 엘리먼트는 적어도 하나의 추가 도핑 텁을 포함한다. 특히, 상기 도핑 텁과 추가의 도핑 텁 사이에는 n-도전성 다층 구조물의 적어도 하나의 양자 층이 배치될 수 있다. 다른 말로 표현하자면, 도핑 프로파일 엘리먼트는 상기 n-도전성 양자 구조물의 양자 층들의 일부분이 높은 농도로 n-도핑 되고, 반면에 전술한 양자 층들의 일부분에 의해 상기 양자 층들의 나머지 부분이 낮은 농도로 n-도핑 되도록 형성될 수 있다.

[0038] 도핑 프로파일 엘리먼트는 또한 2개 이상의 도핑 텁, 특히 1개(1개 포함) 내지 5개(5개 포함)의 도핑 텁, 바람직하게는 1개(1개 포함) 내지 3개(3개 포함)의 도핑 텁을 포함할 수도 있다.

[0039] 본 발명에 따른 반도체 칩의 한 가지 바람직한 실시 예에서, 반도체 몸체의 반도체 층 시퀀스를 위한 성장 기판은 완전히 또는 적어도 부분적으로 분리되어 있다. 상기와 같은 형태의 반도체 칩은 박막-반도체 칩으로도 언급된다.

[0040] 더 나아가, 본 발명의 범주에서 박막-반도체 칩, 예를 들어 박막-발광 다이오드-칩은 하기의 특징들 중 적어도 한 개의 특징을 특징으로 할 수 있다:

[0041] 활성 영역을 갖는 반도체 층 시퀀스를 포함하는 반도체 몸체의, 캐리어 소자 쪽을 향하는 제 1 주 표면에, 특히 에피택시-층 시퀀스에 미리 층이 제공되거나 또는, 예를 들어 반도체 층 시퀀스 내에 브래그 미러로서 집적되는 방식으로 형성됨, 이 경우 반도체 층 시퀀스 내에서 발생하는 방사선의 적어도 일부분은 상기 반도체 층 시퀀스 내부로 역반사(reflecting back) 됨;

[0042] 상기 반도체 층 시퀀스가 20 μm 또는 그 미만의 범위, 특히 10 μm 범위의 두께를 가짐; 그리고/또는

[0043] 상기 반도체 층 시퀀스가 혼합 구조물을 포함하는 적어도 하나의 표면을 갖는 적어도 하나의 반도체 층을 포함하고, 상기 혼합 구조물은 이상적인 경우 반도체 층 시퀀스 내에서 거의 에르고딕 광 분포를 야기하며, 다시 말하자면 상기 혼합 구조물은 가능한 에르고딕 확률론적인 분산 특성을 가짐.

[0044] 박막-발광 다이오드 칩의 기본 원리는 예를 들어 I. Schnitzer 외, Appl. Phys. Lett. 63(16), 1993년 10월 18일, p. 2174-2176에 기술되어 있으며, 본 발명과 관련해서 상기 문서의 공개 내용은 인용의 방식으로 본 출원서에 수용된다.

[0045] 추가의 특징들, 실시 예들 및 합목적성은 도면들과 관련하여 기술된 실시 예들의 하기 설명으로부터 드러난다.

도면의 간단한 설명

[0046] 도 1a는 반도체 층 시퀀스를 갖는 반도체 몸체의 실시 예를 도시한 개략적인 단면도이고,

도 1b는 각각 제 2 실시 예에 따른 반도체 몸체의 커트 아우트에 대한 증착 방향(z)을 따라서 전도대 에지 콘투어(E_c) 및 도핑 프로파일 엘리먼트를 도시한 개략도이며,

도 2는 반도체 칩의 제 1 실시 예를 도시한 개략적인 단면도이며,

도 3은 반도체 칩의 제 2 실시 예를 도시한 개략적인 단면도이고,

도 4는 역방향으로 인가되는 전압(U)의 함수로서 전류(I)의 측정 결과를 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0047] 도면들에서 동일한, 동일한 형태의 또는 동일한 작용을 하는 소자들에는 동일한 도면 부호가 제공되었다.
- [0048] 도면들은 각각 개략도로 도시되어 있기 때문에 절대적으로 정확한 척도로 도시된 것으로 간주될 수 없다. 오히려, 명확한 도시를 목적으로 비교적 작은 소자들 및 특히 총 두께는 과도하게 크게 도시되어 있을 수 있다.
- [0049] 반도체 칩의 반도체 몸체에 대한 제 1 실시 예는 도 1a에서 단면도로 개략적으로 도시되어 있다. 상기 반도체 몸체(2)는 반도체 층 시퀀스를 포함하고, 상기 반도체 층 시퀀스는 반도체 몸체를 형성한다. 반도체 층 시퀀스는 방사선을 발생할 목적으로 제공되는 활성 영역(20)을 포함하고, 상기 활성 영역은 n-도전성 다층 구조물(21)과 p-도전성 반도체 층(22) 사이에 배치되어 있다. 반도체 몸체의 반도체 층 시퀀스는 바람직하게 에피택셜 방식으로, 특히 MBE 또는 MOCVD에 의해서 성장 기판(29) 상에 증착되어 있다. 질화물-화합물 반도체를 기본으로 하는 반도체 몸체의 경우, 성장 기판으로는 예를 들어 사파이어, 탄화 규소(silicon carbide), 규소 또는 질화 갈륨(gallium nitride)이 적합하다. n-도전성 다층 구조물과 성장 기판 사이에는 베퍼 층이 형성될 수 있는데, 상기 베퍼 층은 특히 결정 품질을 상승시킬 목적으로 제공될 수 있다(도면에는 명시적으로 도시되지 않음).
- [0050] 활성 영역(20)은 양자 구조물을 포함하며, 상기 양자 구조물은 다수의 양자 층(201) 및 상기 양자 층들 사이에 배치된 다수의 배리어 층(202)에 의해서 형성되었다. 활성 영역은 본 발명에서는 단지 예시적으로 3개의 양자 층을 갖는 양자 구조물을 포함한다. 그러나 전술한 양자 층의 개수와는 달리, 다른 개수의 양자 층도 제공될 수 있는데, 예를 들어 단 1개 또는 2개의 양자 층 또는 3개 이상, 예를 들면 20개까지의 양자 층, 예를 들어 5개 내지 8개의 양자 층이 제공될 수도 있다. p-도전성 반도체 층(22) 또한 다층으로 형성될 수 있으며, 이 경우 개별 층들은 특히 재료 조성물에 의해 그리고/또는 상기 층들에 도핑에 의해서 서로 구별될 수 있다.
- [0051] n-도전성 다층 구조물(21)은 배리어 층들(212) 사이에 배치된 다수의 양자 층(211)을 갖는 양자 구조물을 포함한다.
- [0052] 수직 방향으로 있는, 더 정확히 말하자면 반도체 몸체(2)의 주 연장 평면에 대해 수직 방향으로 있는 도핑 텁(4) 위치는 화살표를 이용하여 개략적으로 도시되어 있다. 상기 도핑 텁은 n-도전성 다층 구조물(21) 내에, 특히 활성 영역에 가장 가까운 n-도전성 다층 구조물의 양자 층(211)과 상기 n-도전성 다층 구조물에 가장 가까운 활성 영역(20)의 양자 층(201) 사이에 배치되어 있다. 도핑 텁(4)에 인접하는 n-도전성 다층 구조물의 한 영역 내에서는, 양자 층들(211) 및 상기 양자 층들에 인접하는 배리어 층들이 저 농도로 도핑 되었다.
- [0053] 도핑 텁(4)에 의해서는 활성 영역(20) 내부로의 효율적인 전자 주입이 이루어질 수 있다. 도핑 텁은 후진 방향에서 마찬가지로 향상된 전류 확산을 야기하고, 상기와 같은 향상된 전류 확산은 반도체 층 시퀀스에 의해 형성된 반도체 칩의 ESD-손상 위험을 감소시킨다. 다시 말해, 감소된 ESD-민감성이 이미 반도체 층 시퀀스의 증착에 의해 달성됨으로써, 후속하는 반도체 칩 제조 단계에서 손상 위험이 감소된다.
- [0054] 도 1b에는 반도체 칩용 반도체 몸체의 제 2 실시 예에 대한 z축-방향 함수로서 전도대 에지 콘투어(E_c) 및 규소-도핑 프로파일 엘리먼트의 개략적인 과정도가 도시되어 있다. 상기 z축-방향은 반도체 몸체(2)의 반도체 층들의 증착 방향에 상응하고, 반도체 몸체(2)의 반도체 층들의 주 연장 평면에 수직으로 진행된다.
- [0055] 상기 제 2 실시 예는 대체로 도 1a와 관련해서 기술된 반도체 몸체의 제 1 실시 예와 일치한다. 제 1 실시 예와는 달리, 본 실시 예에는 추가의 도핑 텁(41)이 형성되어 있다.
- [0056] 상기 추가의 도핑 텁(41)은 n-도전성 다층 구조물(21)의 고 농도로 도핑된 양자 구조물의 부분 영역을 형성한다. 상기 추가의 도핑 텁(41)과 도핑 텁(4) 사이에는 양자 구조물의 저 농도로 n-도전성 도핑된 영역(45)이 형성되어 있다.
- [0057] 반도체 몸체(2), 특히 활성 영역(20)은 본 실시 예에서 질화물-화합물 반도체 재료를 기본으로 한다.
- [0058] 활성 영역(20)은 다수의 양자 층(201)을 포함한다. 본 실시 예에서 활성 영역은 청색 스펙트럼 범위의 방사선을 발생하기 위해 제공되었다. 이를 위해 양자 층들은 각각 $x = 0.2$ 의 인듐 함량을 갖는다. 그러나 활성 영역은 다른 스펙트럼 범위의 방사선을 방출하기 위해서도 형성될 수 있다. 인듐 함량이 높으면 높을수록, 활성 영역 내에서 발생할 수 있는 광자들의 에너지 및 그와 더불어 밴드 갭은 더욱더 작아진다. 더 상세하게 말하자면, 인듐 함량은 넓은 범위 안에서 변동될 수 있다. 예를 들어, $x = 0.10$ 의 인듐 함량을 갖는 양자 층들은 작동 중에 자외선 스펙트럼 범위의 방사선을 방출하고, 그리고 $x = 0.40$ 의 인듐 함량을 갖는 양자 층들은 녹색 스펙트럼 범위의 방사선을 방출한다. 양자 층들 사이에는 GaN-배리어 층들(202)이 배치되어 있다.

- [0059] 본 실시 예에서 n-도전성 다층 구조물(21)의 도핑 프로파일 엘리먼트는 규소-도핑에 의해 구현되었다. 그러나 다른 도편트도 사용될 수 있다. 도핑 프로파일 엘리먼트는 도핑 팀(4)을 포함한다. 상기 도핑 팀의 폭은 본 실시 예에서 약 5nm에 달한다. 도핑 팀(4)의 영역에서는 도핑 농도가 $1 * 10^{19} \text{ cm}^{-3}$ 인 반면에, 상기 도핑 팀(4)에 인접하는 저 농도로 n-도전성 도핑된 영역(45)에서는 도핑 농도가 $1 * 10^{17} \text{ cm}^{-3}$ 이다. 더 나아가, 도핑 프로파일 엘리먼트는 15 nm의 폭을 갖는 추가의 도핑 팀(41)을 포함하는데, 상기 도핑 프로파일 엘리먼트에서 n-도전성 다층 구조물은 $1 * 10^{19} \text{ cm}^{-3}$ 의 도핑 농도로 n-도전성으로 도핑 되었다.
- [0060] 상기 도핑 팀들에 의해서는 가로 방향으로 특히 균일한 전하 캐리어 주입이 달성될 수 있다. 다시 말하자면, 특히 활성 영역의 양자 층(201) 바로 아래에서 효율적인 전류 확산이 이루어진다.
- [0061] n-도전성 다층 구조물은 도 1a와 관련하여 기술된 바와 같이 다수의 양자 층(211)을 갖는 양자 구조물을 포함하고, 상기 다수의 양자 층들은 각각 배리어 층들(212) 사이에 배치되어 있다. 도핑 프로파일 엘리먼트에 의해서는, 저 농도로 도핑된 양자 구조물의 부분 영역(215) 및 고 농도로 도핑된 양자 구조물의 부분 영역(216)이 생성된다. 상기 부분 영역들에서는 각각 양자 층들 및/또는 배리어 층들이 도핑될 수 있다. 바람직하게 상기 적어도 하나의 도핑 팀의 영역에서는 적어도 양자 층들 및 배리어 층들이 고 농도로 도핑되는 방식으로 구현되었다.
- [0062] 다시 말하자면, n-도전성 다층 구조물(21)은 저 농도로 도핑된 양자 구조물의 부분 영역뿐만 아니라 고 농도로 도핑된 양자 구조물의 부분 영역도 포함한다. 저 농도로 도핑된 양자 층들의 부분 영역(215)은 이 경우 도핑 팀들(4, 41) 사이에서 연장되어 반도체 칩의 작동 중에 전자 저장기(reservoir)를 형성한다. 저 농도로 도핑된 양자 구조물의 부분 영역에서는 양자 층들(211) 및 배리어 층들(212)이 저 농도로 도핑되어 있다. 도핑 팀(4)에 의해서는, n-도전성 다층 구조물(21)로부터 활성 영역(20)의 양자 층들 안으로의 매우 효율적이고 그리고 가로 방향으로 균일한 전하 캐리어 주입이 야기된다.
- [0063] n-도전성 다층 구조물(21)의 양자 층들은 본 실시 예에서 예시적으로 $x = 0.1$ 의 인듐 함량을 갖는다. 그러나 인듐 함량은 전술한 수치와는 다르게도 선택될 수 있다. 바람직하게 인듐 함량 크기가 최대한 활성 영역 내에 있는 양자 층들의 인듐 함량과 동일하게 선택됨으로써, 결과적으로 n-도전성 다층 구조물(21)의 양자 층들의 밴드 갭은 활성 영역(20) 내에 있는 양자 층들의 밴드 갭보다 크거나 또는 상기 활성 영역 내에 있는 양자 층들의 밴드 갭에 상응한다.
- [0064] n-도전성 다층 구조물의 양자 구조물은 특히 양자 웨 구조물로서 또는 예를 들어 5 nm 미만의, 예를 들어 약 2 nm의 두께를 갖는 배리어 층들을 갖는 초격자로서 구현될 수 있다.
- [0065] 그럼으로써, 전하 캐리어들을 활성 영역 내부로 효율적으로 주입하는 공정이 간소화된다.
- [0066] 물론, 활성 영역(20) 및 n-도전성 다층 구조물(21)의 재료 조성물들 그리고 도핑 프로파일 엘리먼트는 도시된 실시 예와는 상이할 수도 있다.
- [0067] 바람직하게 적어도 하나의 도핑 팀(4) 내의 도핑 농도는 적어도 $4 * 10^{18} \text{ cm}^{-3}$ 에 달한다. 더 나아가, 바람직하게 상기 도핑 팀 내의 도핑 농도는 최대 $1 * 10^{20} \text{ cm}^{-3}$, 특히 바람직하게는 최대 $3 * 10^{19} \text{ cm}^{-3}$ 이다.
- [0068] 저 농도로 n-도전성 도핑된 영역(45) 내의 도핑 농도는 바람직하게 최대 $5 * 10^{17} \text{ cm}^{-3}$, 특히 바람직하게는 최대 $2 * 10^{17} \text{ cm}^{-3}$ 이다.
- [0069] 상기 적어도 하나의 도핑 팀 내의 도핑 농도는 바람직하게 n-도전성 다층 구조물의 저 농도로 n-도전성 도핑된 영역 내의 도핑 농도보다 적어도 5배, 특히 바람직하게는 적어도 8배 높다.
- [0070] 도핑 팀(4) 및/또는 추가의 도핑 팀(41)의 두께, 즉 수직 연장부는 바람직하게 1 nm(1 nm 포함) 내지 30 nm(30 nm 포함), 특히 바람직하게는 2 nm(2 nm 포함) 내지 20 nm(20 nm 포함), 가장 바람직하게는 7 nm(7 nm 포함) 내지 10 nm(10 nm)이다.
- [0071] 도핑 팀(4)은 활성 영역(20)으로부터 바람직하게 작은 간격, 특히 바람직하게는 최대 30 nm의 간격을 갖는데, 특히 1 nm(1 nm 포함) 내지 30 nm(30 nm 포함), 바람직하게는 2 nm(2 nm 포함) 내지 20 nm(20 nm 포함), 가장 바람직하게는 7 nm(7 nm 포함) 내지 10 nm(10 nm)의 간격을 갖는다.
- [0072] 더 나아가, 도시된 실시 예들과는 달리 2개 이상의 도핑 팀도 제공될 수 있는데, 예를 들어 1개(1개 포함) 내지

5개(5개 포함)의 도핑 텁이 제공될 수 있다.

[0073] 또한, n-도전성으로 도핑된 다층 구조물(21)은 도시된 실시 예들과는 달리 도핑 되지 않았거나 또는 내연성으로 구현된 층들 또는 부분 층들을 포함할 수도 있다. 이러한 경우, 도핑 되지 않았거나 내연성으로 구현된 층들이 바람직하게는 매우 얇음으로써, n-도전성 다층 구조물(21)은 증착 방향으로 충분히 높은 전자 전도성을 갖는다.

[0074] 도핑 텁들(4, 41)의 영역 내에서 가능한 직사각형의 도핑 프로파일 엘리먼트 콘투어를 제조하기 위해, 증착은 바람직하게 낮은 성장 속도로, 예를 들어 20 nm/h(20 nm/h 포함) 내지 500 nm/h(500 nm/h 포함)의 성장 속도로 이루어진다.

[0075] 그 이외에도, 바람직하게 n-도전성 다층 구조물의 결정 구조는 V자형 피트들을 가지며, 상기 V자형 피트들은 특히 낮은 증착 온도에서, 예를 들면 950°C보다 낮은 증착 온도에서 전위들을 따라서 증대되는 방식으로 형성된다. 상기 V자형 피트들은 전압이 역방향으로 인가될 때 반도체 칩의 향상된 특성을 야기할 수 있다.

[0076] 반도체 칩(1)의 제 1 실시 예는 도 2에 도시되어 있으며, 이 경우 반도체 몸체(2)는 도 1a와 관련하여 기술된 바와 같이 표본적으로 구현되었다.

[0077] 이 경우 반도체 칩(1)은 박막-LED-반도체 칩으로서 구현되었으며, 상기 박막-LED-반도체 칩에서는 반도체 몸체(2)의 반도체 층 시퀀스를 위한 성장 기판(29)(도 1a)이 분리되어 있다. 활성 영역(20)은 작동 중에 인코하이런트(incoherent) 방사선을 발생할 목적으로 제공되었다.

[0078] 반도체 몸체(2)는 캐리어(5) 상에 배치되어 있다. 상기 캐리어(5)가 특히 반도체 몸체를 기계적으로 안정화할 목적으로 사용됨으로써, 결과적으로 방사선 발생을 위해서는 성장 기판이 필요하지 않다.

[0079] 캐리어 재료로는 예를 들어 반도체 재료(예컨대, 규소, 갈륨 비소 또는 게르마늄) 또는 세라믹(예컨대, 질화 알루미늄)이 적합하다.

[0080] 캐리어(5)와 반도체 몸체는 연결층(8)에 의해 기계적으로 견고하게 그리고 더 나아가 도전성으로 접속되어 있다.

[0081] 예를 들어 연결 층으로는 납땜 또는 도전성 접착제가 적합하다.

[0082] 캐리어(5)와 반도체 몸체(2) 사이에는 미러 층(62)이 형성되어 있다. 미러 층에 의해서는, 반도체 바디(2)의 작동 중에 활성 영역(20)에서 발생되어 캐리어(5) 방향으로 방사되는 방사선이 방사선 출력 면(200) 방향으로 반사되어 반도체 칩으로부터 배출될 수 있다.

[0083] 캐리어(5)로부터 떨어져서 마주하는 반도체 몸체(2)의 측에서 상기 반도체 몸체는 제 1 콘택(31)을 갖는다. 반도체 몸체의 마주 놓인 측에는, 즉 반도체 몸체(2)로부터 떨어져서 마주하는 캐리어(5)의 측에는 제 2 콘택(32)이 형성되어 있다.

[0084] 상기 제 1 콘택 및/또는 제 2 콘택은 바람직하게 금속(예컨대, 금, 은, 백금, 알루미늄, 니켈, 크롬 또는 구리) 또는 상기 언급한 재료들 중 적어도 하나의 재료와의 합금을 포함한다.

[0085] 상기 제 1 콘택(31) 및 제 2 콘택(32)에 의해서는, 반도체 칩(1)의 작동 중에 전하 캐리어들이 상이한 측들로부터 활성 영역(20) 내부로 주입될 수 있고 그리고 상기 활성 영역에서 방사선을 방출하면서 재결합할 수 있다.

[0086] 제 1 콘택(31)을 통해서 주입된 전자들은 n-도전성 다층 구조물(21) 내 적어도 하나의 도핑 텁(4)의 영역에서 가로 방향으로 효율적으로 분포되어 활성 영역(20)의 양자 층들(201) 내로 주입된다.

[0087] 미러 층(62)은 바람직하게 금속성으로 구현되어 있으며, 더 나아가 바람직하게는 활성 영역에서 발생되는 방사선에 대하여 높은 반사성을 갖는다. 예를 들어 미러 층에는 금속(예컨대, 알루미늄, 은, 금, 팔라듐 또는 로듐) 또는 상기 언급한 금속들 중 적어도 하나의 금속과의 금속 합금이 적합하다.

[0088] 반도체 칩(1)의 제 2 실시 예는 도 3에서 단면도로 개략적으로 도시되어 있다. 반도체 몸체(2)는 이 경우 재차 도 1a와 관련하여 기술된 바와 같이 구현되었다. 도 2와 관련하여 기술된 제 1 실시 예에 따른 반도체 칩과 달리, 반도체 몸체(2)가 리세스(24)를 가지며, 상기 리세스는 캐리어(5) 쪽을 향하는 측으로부터 p-도전성 반도체 층(22) 및 활성 영역(20)을 통과하여 n-도전성 다층 구조물(21) 내부로 연장된다. 이 경우, 상기 리세스는 n-도전성 다층 구조물의 양자 층들(211)을 관통한다. 리세스의 측면들은, 활성 영역(20)의 전기적 단락으로부터 반도체 몸체(2)를 보호하는 절연층(27)에 의해 덮여 있다.

[0089] 리세스(24) 내부에는 콘택 층(65)이 형성되어 있으며, 상기 콘택 층은 p-도전성 반도체 층(22)으로부터 떨어져

서 마주보는 측으로부터 활성 영역을 전기적으로 콘택팅할 목적으로 사용된다.

[0090] 캐리어(5)는 제 1 접속 면(51) 및 제 2 접속 면(52)을 포함하고, 이 경우 상기 제 1 접속 면(51)은 콘택 층(65)을 통해서 n-도전성 다층 구조물(21)에 도전 접속되어 있고, 제 2 접속 면(52)은 미러 층(62)을 통해서 p-도전성 반도체 층(22)에 도전 접속되어 있다. 제 1 접속 면(51) 및 제 2 접속 면(52)은 캐리어(5)의 동일한 측에 배치되어 있다.

[0091] 더 자세히 말하자면, 리세스(24)에 의해서는 캐리어(5)로부터 떨어져서 마주보는 활성 영역(20)의 측에 배치된 n-도전성 다층 구조물(21)이 전기적으로 콘택팅될 수 있음으로써, 결과적으로 방사선 출력 면(200)은 외부 전기 콘택 없이 형성될 수 있다. 그럼으로써, 방사선을 투과시키지 않는 콘택에 의한 방사선 출력 면의 셰이딩(shading)이 피해진다.

[0092] 캐리어(5)는 관통구들(55)을 포함하고, 상기 관통구들은 반도체 몸체(2) 쪽을 향하는 상기 캐리어의 제 1 주 표면(501)으로부터 상기 제 1 주 표면에 마주 놓인 제 2 주 표면(502) 끝까지 연장된다. 상기 관통구들을 통해서, 제 1 접속 면(51)이 제 1 콘택(31)에 도전 접속되고, 제 2 접속 면(52)이 제 2 콘택(32)에 도전 접속됨으로써, 결과적으로 반도체 칩(1)은 방사선 출력 면(200)으로부터 떨어져서 마주하는 반도체 칩의 하부면으로부터 외부에서 전기적으로 콘택팅될 수 있다.

[0093] 더 나아가 반도체 바디(2)는 방사선 출력 면(200)의 측에 패터닝(7)을 갖는다. 상기 패터닝은 반도체 칩 내부에서, 활성 영역에서 발생되는 방사선의 전반사를 감소시킴으로써, 아웃 커플링 효율(out coupling efficiency)을 상승시킬 목적으로 사용된다. 물론, 상기와 같은 패터닝은 도 2와 관련하여 기술된 반도체 칩의 제 1 실시 예의 경우에도 제공될 수 있다.

[0094] 도 4에는 활성 영역(20)의 후진 방향, 즉 역방향으로의 전압 함수로서 역방향 전류(I)의 특성이 도시되어 있다. 이 경우, 곡선(99)은 반도체 층 시퀀스에 대한 측정 결과들을 보여주며, 상기 반도체 층 시퀀스로부터는 후속하는 처리 공정에서 반도체 칩의 반도체 몸체들이 유래한다. 반도체 층 시퀀스는 이 경우 도 1b와 관련하여 기술된 실시 예와 같이 구현되었다.

[0095] 도 1b와 비교해서, 곡선(98)은 도핑 텁들을 갖지 않는 종래의 n-도전성 영역이 사용되는 반도체 층 시퀀스에 대한 측정 결과들을 보여준다.

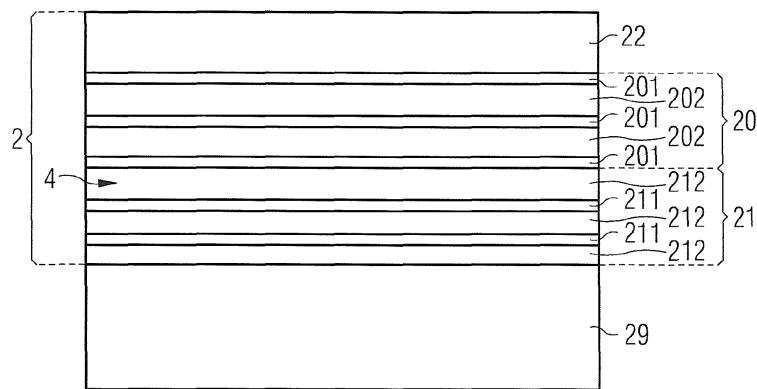
[0096] 화살표 97은, n-도전성 다층 구조물(21)의 기술된 구조에 의해 얻어질 수 있으며, 그리고 제일 먼저 전류 프로파일이 작은 전압에 있어서는 비교적 서서히 상승되고, 매우 높은 전압 값에서 비로소 가파른 전류 상승을 보인다는 내용을 지시한다. 다시 말하자면, 측정 곡선은 훨씬 더 심하게 뚜렷하게 꺽인 모양의 프로파일을 보여준다.

[0097] 실시 예들에 대한 설명은 LED-반도체 칩의 설명을 참고로 하여 단지 예시적으로만 이루어진다. 그러나 n-도전성 다층 구조물(21) 및 적어도 하나의 도핑 텁(4)을 갖는 도핑 프로파일 엘리먼트의 기술된 형상은 코히어런트(coherent) 또는 적어도 부분 코히어런트 방사선을 방출하는 소자에도 사용될 수 있으며, 예를 들어 표면 방출 또는 단면 방출 반도체 레이저 칩 또는 RCLED(resonant cavity light emitting diode)에도 사용될 수 있다.

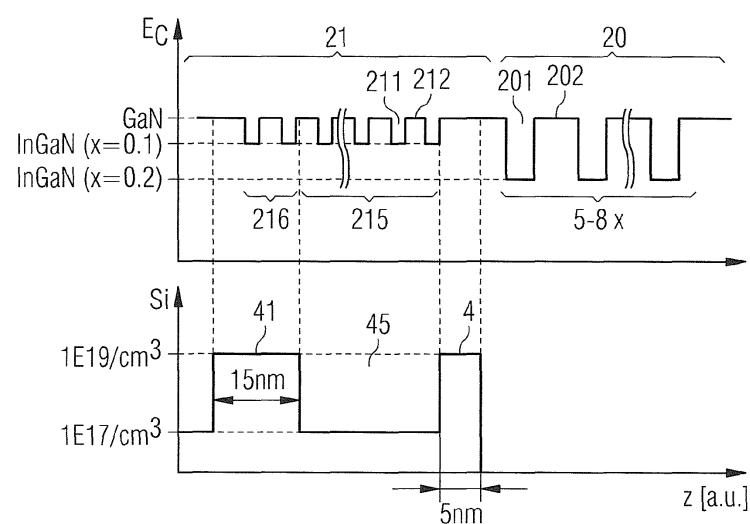
[0098] 본 발명은 실시 예들을 참조하는 상세한 설명으로 인해 상기 실시 예들에만 한정되지 않는다. 오히려 본 발명은 각각의 새로운 특징 그리고 상기 특징들의 각각의 조합을 포함하며, 상기 특징 또는 특징 조합 자체가 특허 청구범위 또는 실시 예들에 명시적으로 기재되어 있지 않더라도, 특히 상기 각각의 특징 조합은 특허청구범위에 포함된 것으로 간주한다.

도면

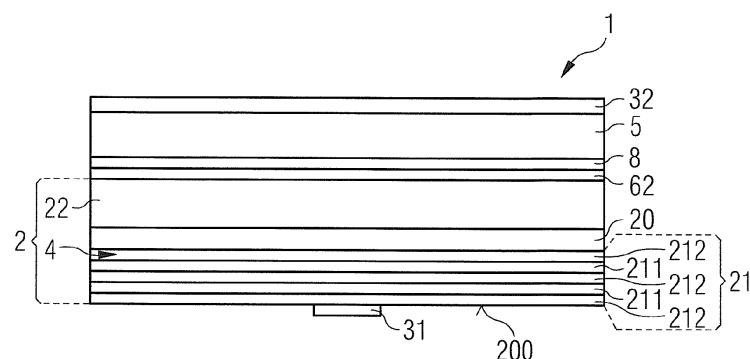
도면1



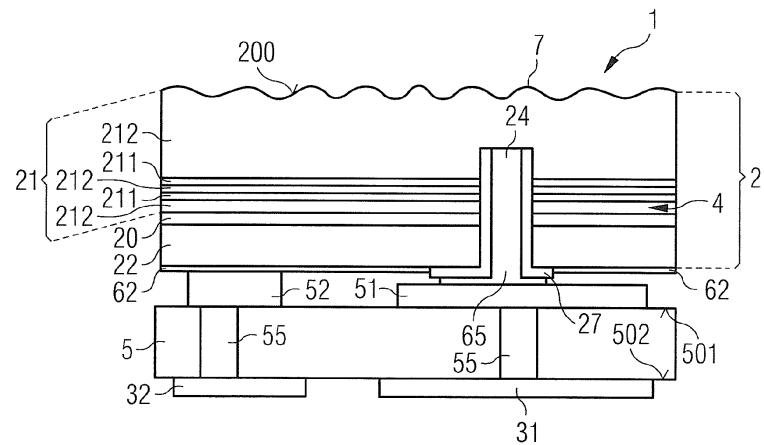
도면1b



도면2



도면3



도면4

