(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0024154
(43) 공개일자 2022년03월03일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) *G09F 9/30* (2006.01)
H01L 21/8234 (2006.01) *H01L 27/088* (2006.01)
H01L 27/32 (2006.01) *H01L 29/786* (2006.01)
H01L 51/50 (2006.01) *H05B 33/02* (2006.01)
H05B 33/14 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09F 9/30 (2013.01)
(21) 출원번호 10-2021-7041993
(22) 출원일자(국제) 2020년06월15일
심사청구일자 없음
(85) 번역문제출일자 2021년12월22일
(86) 국제출원번호 PCT/IB2020/055557
(87) 국제공개번호 WO 2020/261036
국제공개일자 2020년12월30일
(30) 우선권주장
JP-P-2019-121482 2019년06월28일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
고바야시 히데토모
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
이케다 다카유키
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(74) 대리인
김태홍, 김진희

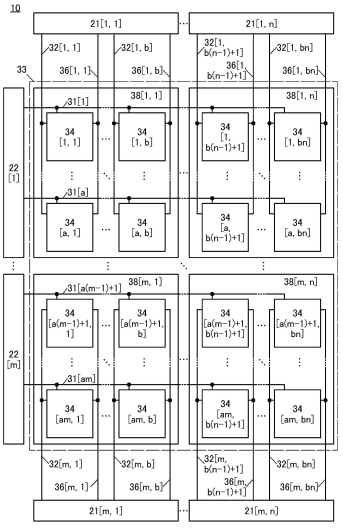
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **표시 장치**

(57) 요 약

표시 불균일이 적은 표시 장치를 제공한다. 제 1 층과, 제 1 층 위의 제 2 층을 가지는 표시 장치로 한다. 제 1 층은 m행 n열(m 및 n은 각각 1 이상의 정수(整數)이고, 또한 m과 n의 곱은 2 이상임)로 배열된 제 1 회로를 가진다. 제 2 층은 m행 n열로 배열된 화소 블록을 가지고, 화소 블록은 각각 a행 b열(a 및 b는 각각 1 이상의 정수임)로 배열된 화소를 가진다. 또한 화소 블록은 화소와 전기적으로 접속되는 제 1 배선과 제 2 배선을 가지고, i행 j열째(i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수임)의 화소 블록이 가지는 제 1 배선 및 제 2 배선은 각각 i행 j열째의 제 1 회로와 전기적으로 접속된다. 제 1 배선은 제 1 회로로부터의 입력 신호를 화소에 공급하는 기능을 가지고, 제 2 배선은 화소로부터의 출력 신호를 제 1 회로에 공급하는 기능을 가진다.

대 표 도 - 도2



(52) CPC특허분류
H01L 21/8234 (2013.01)
H01L 27/088 (2013.01)
H01L 27/32 (2013.01)
H01L 29/786 (2021.01)
H01L 51/50 (2013.01)
H05B 33/02 (2013.01)
H05B 33/14 (2013.01)
G09G 2300/023 (2013.01)

명 세 서

청구범위

청구항 1

표시 장치로서,

제 1 층과, 상기 제 1 층 위의 제 2 층을 가지고,

상기 제 1 층은 m행 n열(m 및 n은 각각 1 이상의 정수(整數)이고, 또한 m과 n의 곱은 2 이상임)로 배열된 제 1 회로를 가지고,

상기 제 2 층은 m행 n열로 배열된 화소 블록을 가지고,

상기 화소 블록은 각각 a행 b열(a 및 b는 각각 1 이상의 정수임)로 배열된 화소를 가지고,

상기 화소 블록은 상기 화소와 전기적으로 접속되는 제 1 배선과 제 2 배선을 가지고,

i행 j열째(i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수임)의 상기 화소 블록이 가지는 상기 제 1 배선 및 상기 제 2 배선은 각각 i행 j열째의 상기 제 1 회로와 전기적으로 접속되고,

상기 제 1 배선은 상기 제 1 회로로부터의 입력 신호를 상기 화소에 공급하는 기능을 가지고,

상기 제 2 배선은 상기 화소로부터의 출력 신호를 상기 제 1 회로에 공급하는 기능을 가지는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 회로는 각각 보정 데이터 생성 회로와, 논리 회로와, 소스 드라이버 회로를 가지고,

상기 보정 데이터 생성 회로는 상기 출력 신호를 보정 데이터로 변환하는 기능을 가지고,

상기 논리 회로는 상기 보정 데이터를 바탕으로 상기 제 1 회로에 입력된 비디오 신호를 보정하고, 보정된 비디오 신호를 생성하는 기능을 가지고,

상기 소스 드라이버 회로는 상기 보정된 비디오 신호를 상기 입력 신호로 변환하는 기능을 가지는, 표시 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

i행 j열째의 상기 화소 블록은 i행 j열째의 상기 제 1 회로와 중첩되는 영역을 가지는, 표시 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

p행 q열째(p는 i와 다른 1 이상 m 이하의 정수이고, q는 j와 다른 1 이상 n 이하의 정수임)의 상기 화소 블록은 p행 q열째의 상기 제 1 회로와 중첩되지 않는, 표시 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 층은 열 방향으로 배열되는 m개의 제 2 회로를 더 가지고,

상기 화소 블록은 행 방향으로 배열되는 복수의 상기 화소와 전기적으로 접속되는 제 3 배선을 가지고,

i번째 행의 화소 블록이 가지는 상기 제 3 배선은 i번째의 상기 제 2 회로와 전기적으로 접속되는, 표시 장치.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 층은 열 방향으로 배열되는 m개의 제 2 회로를 더 가지고,

상기 화소 블록은 행 방향으로 배열되는 복수의 상기 화소와 전기적으로 접속되는 제 3 배선을 가지고,

i번째 행의 화소 블록이 가지는 상기 제 3 배선은 i번째의 상기 제 2 회로와 전기적으로 접속되는, 표시 장치.

청구항 7

제 6 항에 있어서,

i행 j열째의 상기 화소 블록은 상기 제 2 회로 중 어느 하나 이상과 중첩되는 영역을 가지는, 표시 장치.

청구항 8

제 2 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 보정 데이터 생성 회로는 메모리 회로를 가지고,

상기 제 1 층은 제 1 회로층과, 상기 제 1 회로층 위의 제 2 회로층을 가지고,

상기 제 1 회로층은 상기 논리 회로를 가지고,

상기 논리 회로는 채널 형성 영역에 실리콘을 가지는 트랜지스터를 가지고,

상기 제 2 회로층은 상기 메모리 회로를 가지고,

상기 메모리 회로는 채널 형성 영역에 금속 산화물을 가지는 트랜지스터를 가지고,

상기 금속 산화물은 In과, 원소 M(M은 Al, Ga, Y, 및 Sn 중 어느 하나 이상임)과, Zn을 가지는, 표시 장치.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 화소는 채널 형성 영역에 금속 산화물을 가지는 트랜지스터를 가지고,

상기 금속 산화물은 In과, 원소 M(M은 Al, Ga, Y, 및 Sn 중 어느 하나 이상임)과, Zn을 가지는, 표시 장치.

청구항 10

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 화소는 채널 형성 영역에 실리콘을 가지는 트랜지스터를 가지는, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 표시 장치에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에 개시(開示)되는 본 발명의 일 형태의 기술분야의 일례로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 들 수 있다. 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다.

배 경 기 술

[0003] 트랜지스터에 적용 가능한 반도체 재료로서 금속 산화물을 사용한 산화물 반도체가 주목을 받고 있다. 예를 들어 특허문헌 1에는, 복수의 산화물 반도체층을 적층하고, 상기 복수의 산화물 반도체층 중에서 채널이 되는 산화물 반도체층이 인듐 및 갈륨을 포함하고 인듐의 비율을 갈륨의 비율보다 높임으로써, 전계 효과 이동도(단순히 이동도 또는 μFE라고 하는 경우가 있음)를 높인 반도체 장치가 개시되어 있다.

[0004] 반도체층에 사용할 수 있는 금속 산화물은 스퍼터링법 등을 사용하여 형성할 수 있기 때문에, 대형 표시 장치를

구성하는 트랜지스터의 반도체층에 사용할 수 있다. 또한 다결정 실리콘이나 비정질 실리콘을 사용한 트랜지스터의 생산 설비의 일부를 개량하여 이용할 수 있기 때문에 설비 투자를 줄일 수 있다. 또한 금속 산화물을 사용한 트랜지스터는 비정질 실리콘을 사용한 경우에 비하여 높은 전계 효과 이동도를 가지므로, 구동 회로가 제공된 기능성이 높은 표시 장치를 실현할 수 있다.

[0005] 증강 현실(AR: Augmented Reality) 또는 가상 현실(VR: Virtual Reality)용 표시 장치로서 웨어러블형 표시 장치 및 거치형 표시 장치가 보급되고 있다. 웨어러블형 표시 장치로서는 예를 들어 헤드 마운트 디스플레이(HMD: Head Mounted Display)나 안경형 표시 장치 등이 있다. 거치형 표시 장치로서는 예를 들어 헤드업 디스플레이(HUD: Head-Up Display) 등이 있다.

[0006] 디지털 카메라 등의 촬상 장치를 가지는 전자 기기에서, 촬상되는 화상을 촬상 전에 확인하기 위하여 뷰파인더가 사용된다. 또한 뷰파인더로서 전자 뷰파인더가 사용된다. 전자 뷰파인더에는 표시부가 제공되고, 촬상 디바이스에 의하여 얻어지는 이미지를 상기 표시부에 화상으로서 표시할 수 있다. 예를 들어 특허문헌 2에서는, 화상 중심부로부터 화상 주변부까지 양호한 시도 상태를 얻을 수 있는 전자 뷰파인더에 대하여 개시되어 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 공개특허공보 특개2014-7399호

(특허문헌 0002) 일본 공개특허공보 특개2012-42569호

발명의 내용

해결하려는 과제

[0008] 헤드 마운트 디스플레이(HMD) 등 표시면과 사용자의 거리가 가까운 표시 장치는 사용자가 화소를 시인하기 쉬워 입자감(粒子感)을 강하게 느끼기 때문에, AR나 VR의 몰입감이나 현장감이 저하되는 경우가 있다. 또한 전자 뷰파인더에는 광학 파인더와 마찬가지로 접안부가 제공되고, 전자 뷰파인더의 표시부에 표시되는 화상은 사용자가 접안부에 눈을 가까이 댐으로써 시인된다. 그러므로, 전자 뷰파인더의 표시부와 사용자의 거리가 가까워진다. 이에 의하여, 사용자가 표시부에 제공된 화소를 시인하기 쉬워지기 때문에 입자감을 강하게 느끼는 경우가 있다. 상술한 바와 같은 이유로 HMD 및 전자 뷰파인더에는, 사용자에게 화소가 시인되지 않도록 정세도(精細度)가 높은 화소를 가지는 표시 장치가 요구된다. 예를 들어, 정세도를 1000ppi 이상으로 하는 것이 바람직하고, 2000ppi 이상으로 하는 것이 더 바람직하고, 5000ppi 이상으로 하는 것이 더욱 바람직하다. 또한 예를 들어 전자 뷰파인더에 제공되는 표시 장치에서는 4K(화소수: 3840×2160), 5K(화소수: 5120×2880), 또는 그 이상의 해상도의 화상을 표시할 수 있는 것이 바람직하다.

[0009] 표시 장치의 화소수가 많을수록 표시 장치가 가지는 트랜지스터 및 표시 소자의 개수가 많아져 트랜지스터의 특성 편차 및 표시 소자의 특성 편차에 기인하는 표시 불균일이 현저해지는 경우가 있다.

[0010] 본 발명의 일 형태는 표시 불균일이 적은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 베젤이 작은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 소형 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 레이아웃의 자유도가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 정세도가 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 고품질의 화상을 표시할 수 있는 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 현장감이 높은 화상을 표시할 수 있는 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 고휘도의 화상을 표시할 수 있는 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 고속으로 동작하는 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 소비 전력이 낮은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 저렴한 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신뢰성이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 상기 표시 장치의 동작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 상기 표시 장치를 가지는 전자 기기를 제공하는 것을 과제 중

하나로 한다.

[0011] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 추출할 수 있다.

과제의 해결 수단

[0012] 본 발명의 일 형태는 제 1 층과, 제 1 층 위의 제 2 층을 가지는 표시 장치이다. 제 1 층은 m행 n열(m 및 n은 각각 1 이상의 정수(整數)이고, 또한 m과 n의 곱은 2 이상임)로 배열된 제 1 회로를 가진다. 제 2 층은 m행 n열로 배열된 화소 블록을 가지고, 화소 블록은 각각 a행 b열(a 및 b는 각각 1 이상의 정수임)로 배열된 화소를 가진다. 또한 화소 블록은 화소에 전기적으로 접속되는 제 1 배선과 제 2 배선을 가지고, i행 j열째(i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수임)의 화소 블록이 가지는 제 1 배선 및 제 2 배선은 각각 i행 j열째의 제 1 회로와 전기적으로 접속되는 것이 바람직하다. 제 1 배선은 제 1 회로로부터의 입력 신호를 화소에 공급하는 기능을 가지고, 제 2 배선은 화소로부터의 출력 신호를 제 1 회로에 공급하는 기능을 가지는 것이 바람직하다.

[0013] 상술한 표시 장치에서 제 1 회로는 각각 보정 데이터 생성 회로와, 논리 회로와, 소스 드라이버 회로를 가진다. 보정 데이터 생성 회로는 출력 신호를 보정 데이터로 변환하는 기능을 가지는 것이 바람직하다. 논리 회로는 보정 데이터를 바탕으로 제 1 회로에 입력된 비디오 신호를 보정하고, 보정된 비디오 신호를 생성하는 기능을 가지는 것이 바람직하다. 소스 드라이버 회로는 보정된 비디오 신호를 입력 신호로 변환하는 기능을 가지는 것이 바람직하다.

[0014] 상술한 표시 장치에서 i행 j열째의 화소 블록은 i행 j열째의 제 1 회로와 중첩되는 영역을 가지는 것이 바람직하다.

[0015] 상술한 표시 장치에서 p행 q열째(p는 i와 다른 1 이상 m 이하의 정수이고, q는 j와 다른 1 이상 n 이하의 정수임)의 화소 블록은 p행 q열째의 제 1 회로와 중첩되지 않는 것이 바람직하다.

[0016] 상술한 표시 장치에서 제 2 층은 열 방향으로 배열되는 m개의 제 2 회로를 더 가지는 것이 바람직하다. 화소 블록은 행 방향으로 배열되는 복수의 화소와 전기적으로 접속되는 제 3 배선을 가지고, i번째 행의 화소 블록이 가지는 제 3 배선은 i번째의 제 2 회로와 전기적으로 접속되는 것이 바람직하다.

[0017] 상술한 표시 장치에서 제 1 층은 열 방향으로 배열되는 m개의 제 2 회로를 더 가지는 것이 바람직하다. 화소 블록은 행 방향으로 배열되는 복수의 화소와 전기적으로 접속되는 제 3 배선을 가지고, i번째 행의 화소 블록이 가지는 제 3 배선은 i번째의 제 2 회로와 전기적으로 접속되는 것이 바람직하다. 또한 i행 j열째의 화소 블록은 제 2 회로 중 어느 하나 이상과 중첩되는 영역을 가지는 것이 바람직하다.

[0018] 상술한 표시 장치에서 보정 데이터 생성 회로는 메모리 회로를 가지는 것이 바람직하다. 또한 제 1 층은 제 1 회로층과, 제 1 회로층 위의 제 2 회로층을 가지는 것이 바람직하다. 제 1 회로층은 논리 회로를 가지고, 상기 논리 회로는 채널 형성 영역에 실리콘을 가지는 트랜지스터를 가지는 것이 바람직하다. 제 2 회로층은 메모리 회로를 가지고, 상기 메모리 회로는 채널 형성 영역에 금속 산화물을 가지는 트랜지스터를 가지는 것이 바람직하다. 또한 금속 산화물은 In과, 원소 M(M은 Al, Ga, Y, 및 Sn 중 어느 하나 이상임)과, Zn을 가지는 것이 바람직하다.

[0019] 상술한 표시 장치에서 화소는 채널 형성 영역에 금속 산화물을 가지는 트랜지스터를 가지는 것이 바람직하다. 또한 금속 산화물은 In과, 원소 M(M은 Al, Ga, Y, 및 Sn 중 어느 하나 이상임)과, Zn을 가지는 것이 바람직하다.

[0020] 상술한 표시 장치에서 화소는 채널 형성 영역에 실리콘을 가지는 트랜지스터를 가지는 것이 바람직하다.

발명의 효과

[0021] 본 발명의 일 형태에 의하여 표시 불균일이 적은 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 베젤이 작은 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 소형 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 레이아웃의 자유도가 높은 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 정세도가 높은 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 고품질의 화상을 표시할 수 있는 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 현장감이 높은 화상

을 표시할 수 있는 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 고휘도의 화상을 표시할 수 있는 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 고속으로 동작하는 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 소비 전력이 낮은 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 저렴한 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신뢰성이 높은 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 상기 표시 장치의 동작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 상기 표시 장치를 가지는 전자 기기를 제공할 수 있다.

[0022] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 반드시 이들 효과 모두를 가질 필요는 없다. 또한 이들 외의 효과는 명세서, 도면, 청구항 등의 기재로부터 추출할 수 있다.

도면의 간단한 설명

[0023] 도 1의 (A)는 표시 장치의 구성예를 나타낸 모식도이다. 도 1의 (B)는 표시 장치의 구성예를 나타낸 블록도이다.

도 2는 표시 장치의 구성예를 나타낸 블록도이다.

도 3은 표시 장치의 구성예를 나타낸 블록도이다.

도 4는 표시 장치의 구성예를 나타낸 블록도이다.

도 5는 표시 장치의 구성예를 나타낸 블록도이다.

도 6은 표시 장치의 구성예를 나타낸 블록도이다.

도 7은 표시 장치의 구성예를 나타낸 블록도이다.

도 8은 표시 장치의 구성예를 나타낸 블록도이다.

도 9는 표시 장치의 구성예를 나타낸 블록도이다.

도 10은 표시 장치의 구성예를 나타낸 블록도이다.

도 11은 표시 장치의 구성예를 나타낸 블록도이다.

도 12의 (A)는 표시 장치의 구성예를 나타낸 모식도이다. 도 12의 (B)는 표시 장치의 구성예를 나타낸 블록도이다.

도 13은 표시 장치의 구성예를 나타낸 블록도이다.

도 14는 표시 장치의 구성예를 나타낸 블록도이다.

도 15는 표시 장치의 구성예를 나타낸 블록도이다.

도 16은 표시 장치의 구성예를 나타낸 블록도이다.

도 17은 표시 장치의 구성예를 나타낸 블록도이다.

도 18은 화소의 구성예를 나타낸 회로도이다.

도 19의 (A), (B)는 화소의 구성예를 나타낸 회로도이다.

도 20의 (A), (B)는 화소의 구성예를 나타낸 회로도이다.

도 21은 표시 장치의 구성예를 나타낸 단면도이다.

도 22는 표시 장치의 구성예를 나타낸 단면도이다.

도 23은 표시 장치의 구성예를 나타낸 단면도이다.

도 24는 표시 장치의 구성예를 나타낸 단면도이다.

도 25는 표시 장치의 구성예를 나타낸 단면도이다.

도 26의 (A), (B)는 화소의 구성예를 나타낸 상면도이다.

도 27은 화소의 구성예를 나타낸 상면도이다.

도 28은 화소의 구성예를 나타낸 단면도이다.

도 29의 (A), (B), (C), (D), (E)는 발광 소자의 구성예를 나타낸 도면이다.

도 30의 (A)는 트랜지스터의 구성예를 나타낸 상면도이다. 도 30의 (B) 및 (C)는 트랜지스터의 구성예를 나타낸 단면도이다.

도 31의 (A)는 트랜지스터의 구성예를 나타낸 상면도이다. 도 31의 (B) 및 (C)는 트랜지스터의 구성예를 나타낸 단면도이다.

도 32의 (A)는 트랜지스터의 구성예를 나타낸 상면도이다. 도 32의 (B) 및 (C)는 트랜지스터의 구성예를 나타낸 단면도이다.

도 33의 (A)는 IGZO의 결정 구조의 분류를 설명하는 도면이다. 도 33의 (B)는 CAAC-IGZO막의 XRD 스펙트럼을 설명하는 도면이다. 도 33의 (C)는 CAAC-IGZO막의 극미 전자선 회절 패턴을 설명하는 도면이다.

도 34의 (A), (B), (C), (D), (E)는 전자 기기의 예를 나타낸 사시도이다.

도 35의 (A), (B), (C), (D), (E), (F), (G)는 전자 기기의 예를 나타낸 사시도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하에서, 실시형태에 대하여 도면을 참조하여 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0025] 또한 본 명세서에서 설명하는 각 도면에서 각 구성의 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다.

[0026] 또한 본 명세서에서 사용하는 '제 1', '제 2', '제 3'이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 수적으로 한정하는 것이 아니다.

[0027] 또한 본 명세서에서 '위에', '아래에' 등의 배치를 나타내는 말은 구성들의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용된다. 또한 구성들의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화되는 것이다. 따라서 명세서에서 설명된 말에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.

[0028] 또한 본 명세서 등에서, 트랜지스터가 가지는 소스와 드레인의 기능은, 트랜지스터의 극성 또는 회로 동작에서의 전류의 방향이 변화되는 경우 등에는 바뀔 수 있다. 그러므로, 소스나 드레인이라는 용어는 서로 바꿔 사용할 수 있는 것으로 한다.

[0029] 본 명세서 등에서 '전극', '배선', '단자' 등의 용어는 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 '전극'은 '배선'의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 '전극'이나 '배선'이라는 용어는 복수의 '전극'이나 '배선'이 일체가 되어 형성되어 있는 경우 등도 포함한다. 또한 예를 들어 '단자'는 '배선'이나 '전극'의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 '단자'라는 용어는 복수의 '전극', '배선', '단자' 등이 일체가 되어 형성되어 있는 경우 등도 포함한다. 그러므로 예를 들어 '전극'은 '배선' 또는 '단자'의 일부가 될 수 있고, 예를 들어 '단자'는 '배선' 또는 '전극'의 일부가 될 수 있다. 또한 '전극', '배선', '단자' 등의 용어는 경우에 따라 '영역' 등의 용어로 치환되는 경우가 있다.

[0030] 또한 본 명세서 등에서 '저항'은 배선의 길이에 따라 저항값이 결정되는 경우가 있다. 또는 저항은 배선에 사용되는 도전체와, 이와 다른 저효율을 가지는 도전체가 콘택트를 통하여 접속되어 형성되는 경우 등도 포함한다. 또는 반도체에 불순물을 도핑함으로써 저항값이 결정되는 경우가 있다.

[0031] 또한 본 명세서 등에서 '전기적으로 접속'에는 직접 접속되는 경우와, '어떠한 전기적 작용을 가지는 것'을 통하여 접속되는 경우가 포함된다. 여기서 '어떠한 전기적 작용을 가지는 것'은 접속 대상 간에서의 전기 신호의 주고받음을 가능하게 하는 것이면 특별한 제한을 받지 않는다. 따라서 '전기적으로 접속된다'고 표현되는 경우에도 실제의 회로에서는 물리적인 접속 부분이 없고, 배선이 연장되어 있을 뿐인 경우도 있다. 또한 '직접 접

속'이라고 표현되는 경우에도, 상이한 도전체에 콘택트를 통하여 배선이 형성되는 경우가 포함된다. 또한 배선에는 상이한 도전체가 하나 이상의 같은 원소를 포함하는 경우와, 상이한 원소를 포함하는 경우가 있다.

[0032] 또한 본 명세서 등에서, '막'이라는 용어와 '층'이라는 용어는 서로 바꿀 수 있다. 예를 들어, '도전층'이나 '절연층'이라는 용어는 '도전막'이나 '절연막'이라는 용어와 서로 바꿀 수 있는 경우가 있다.

[0033] 또한 본 명세서 등에서 오프 전류란, 특별히 언급하지 않는 한 트랜지스터가 오프 상태(비도통 상태, 차단 상태라고도 함)일 때의 드레인 전류를 말한다. 오프 상태란, 특별히 언급하지 않는 한 n채널 트랜지스터에서는 게이트와 소스 사이의 전압(V_{gs})이 문턱 전압(V_{th})보다 낮은(p채널 트랜지스터에서는 V_{th}보다 높은) 상태를 말한다.

[0034] 또한 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 스케일에 반드시 한정되는 것은 아니다. 또한 도면은 모식적으로 나타낸 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어, 실제의 제조 공정에서 에칭 등의 처리에 의하여 층이나 레지스트 마스크 등이 의도치 않게 감소되는 경우가 있지만, 이해를 용이하게 하기 위하여 도면에 반영하지 않은 경우가 있다. 또한 도면에서 동일한 부분 또는 같은 기능·재료 등을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 같은 기능·재료 등을 가리키는 경우에는, 해치 패턴을 동일하게 하고 특별히 부호를 붙이지 않는 경우가 있다.

[0035] 본 명세서 등에서 금속 산화물(metal oxide)이란 넓은 의미로의 금속의 산화물을 말한다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어, 트랜지스터의 활성층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉, OS 트랜지스터라고 기재하는 경우에는, 산화물 또는 산화물 반도체를 가지는 트랜지스터라고 바꿔 말할 수 있다.

[0036] (실시형태 1)

[0037] 본 실시형태에서는, 본 발명의 일 형태인 표시 장치에 대하여 설명한다.

[0038] 본 발명의 일 형태는 제 1 층과, 제 1 층 위의 제 2 층을 가지는 표시 장치이다. 제 1 층은 m행 n열(m 및 n은 각각 1 이상의 정수이고, 또한 m과 n의 곱은 2 이상임)로 배열된 제 1 회로를 가진다. 제 2 층은 m행 n열로 배열된 화소 블록을 가지고, 화소 블록은 각각 a행 b열(a 및 b는 각각 1 이상의 정수임)로 배열된 화소를 가진다. 또한 화소 블록은 화소에 전기적으로 접속되는 제 1 배선과 제 2 배선을 가지고, i행 j열째(i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수임)의 화소 블록이 가지는 제 1 배선 및 제 2 배선은 각각 i행 j열째의 제 1 회로와 전기적으로 접속되는 것이 바람직하다. 제 1 배선은 제 1 회로로부터의 입력 신호를 화소에 공급하는 기능을 가지고, 제 2 배선은 화소로부터의 출력 신호를 제 1 회로에 공급하는 기능을 가지는 것이 바람직하다.

[0039] 상술한 표시 장치에서 제 1 회로는 각각 보정 데이터 생성 회로와, 논리 회로와, 소스 드라이버 회로를 가진다. 보정 데이터 생성 회로는 출력 신호를 보정 데이터로 변환하는 기능을 가지는 것이 바람직하다. 논리 회로는 보정 데이터를 바탕으로 제 1 회로에 입력된 비디오 신호를 보정하고, 보정된 비디오 신호를 생성하는 기능을 가지는 것이 바람직하다. 소스 드라이버 회로는 보정된 비디오 신호를 입력 신호로 변환하는 기능을 가지는 것이 바람직하다.

[0040] 또한 본 명세서 등에서, 제 1 회로가 화소로부터의 출력 신호를 바탕으로 비디오 신호를 보정하고, 보정된 비디오 신호를 입력 신호로서 화소에 출력하는 동작을 보정 또는 보정 동작이라고 기재하는 경우가 있다. 화소에 흐르는 전류값(출력 신호)을 바탕으로 화소에 입력하는 신호(입력 신호)를 보정함으로써, 화소 간의 휘도 불균일을 저감할 수 있다.

[0041] 본 발명의 일 형태의 표시 장치는 제 1 회로가 보정 동작을 수행함으로써 표시 불균일이 적은 표시 장치로 할 수 있다. 본 발명의 일 형태의 표시 장치는 복수의 제 1 회로를 가지고, 복수의 제 1 회로는 보정 동작을 병렬적으로 수행할 수 있다. 표시부에 대하여 행마다 순차적으로 보정 동작을 수행하는 경우에 비하여, 복수의 제 1 회로가 보정 동작을 병렬적으로 수행함으로써, 표시부 전체에 대한 보정 동작에 걸리는 시간을 단축할 수 있다. 따라서, 본 발명의 일 형태의 표시 장치는 고속으로 동작하는 표시 장치로 할 수 있다. 또한 예를 들어 1프레임의 화상에 대응하는 입력 신호를 화소에 기록하는 데 걸리는 시간을 단축할 수 있다. 따라서, 화소수가 많은 표시 장치도 고속으로 동작시킬 수 있고, 정세도가 높은 표시 장치로 할 수 있다. 예를 들어, 본 발명의 일 형태의 표시 장치의 정세도를 1000ppi 이상으로 할 수 있고, 2000ppi 이상으로 할 수 있고, 5000ppi 이상으

로 할 수 있다.

[0042] i행 j열째의 화소 블록은 i행 j열째의 제 1 회로와 중첩되는 영역을 가지는 것이 바람직하다. 화소 블록이 제 1 회로와 중첩되는 영역을 가짐으로써, 화소 블록이 제공되지 않는 영역인 베젤의 면적을 작게 할 수 있다. 따라서 베젤이 좁은 표시 장치로 할 수 있다. 또한 표시 장치의 베젤을 좁게 함으로써 소형 표시 장치로 할 수 있다. 또한 p행 q열째(p는 i와 다른 1 이상 m 이하의 정수이고, q는 j와 다른 1 이상 n 이하의 정수임)의 화소 블록은 p행 q열째의 제 1 회로와 중첩되지 않는 구성으로 하여도 좋다.

[0043] 제 2 층은 열 방향으로 배열되는 m개의 제 2 회로를 가지는 것이 바람직하다. 화소 블록은 행 방향으로 배열되는 복수의 화소와 전기적으로 접속되는 제 3 배선을 가진다. i번째 행의 화소 블록이 가지는 제 3 배선은 i번째의 제 2 회로와 전기적으로 접속되는 것이 바람직하다. 또는 제 1 층이 열 방향으로 배열되는 m개의 제 2 회로를 가져도 좋다. 또한 i행 j열째의 화소 블록은 제 2 회로 중 어느 하나 이상과 중첩되는 영역을 가지는 것이 바람직하다. 화소 블록이 제 2 회로와 중첩되는 영역을 가짐으로써 소형 표시 장치로 할 수 있다.

[0044] 보정 데이터 생성 회로는 메모리 회로를 가지는 것이 바람직하다. 또한 제 1 층은 제 1 회로층과, 제 1 회로층 위의 제 2 회로층을 가진다. 제 1 회로층은 논리 회로를 가지고, 상기 논리 회로는 채널 형성 영역에 실리콘을 가지는 트랜지스터를 가지는 것이 바람직하다. 제 2 회로층은 메모리 회로를 가지고, 상기 메모리 회로는 채널 형성 영역에 금속 산화물을 가지는 트랜지스터를 가지는 것이 바람직하다. 금속 산화물은 In과, 원소 M(M은 Al, Ga, Y, 및 Sn 중 어느 하나 이상임)과, Zn을 가지는 것이 바람직하다. 또한 원소 M으로서 Ga 및 Sn 중 어느 한쪽 또는 양쪽을 가지는 것이 더 바람직하다.

[0045] 이하에서는 본 발명의 일 형태의 표시 장치에 대하여 자세히 설명한다.

[0046] <표시 장치의 구성예 1>

[0047] 본 발명의 일 형태인 표시 장치(10)의 모식도를 도 1의 (A)에 나타내었다. 도 1의 (A)에 나타낸 바와 같이 표시 장치(10)는 제 1 층(20)과 제 1 층(20) 위의 제 2 층(30)의 적층 구조를 가진다. 도 1의 (A)에서는 제 1 층(20) 위에 제 2 층(30)을 제공한 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 제 2 층(30) 위에 제 1 층(20)을 제공하여도 좋다. 제 1 층(20)과 제 2 층(30) 사이에 층간 절연층 및 배선층 중 하나 이상을 제공하여도 좋다. 또한 제 1 층(20)과 제 2 층(30) 사이에 제공되는 층간 절연층 및 배선층은 각각 복수로 하여도 좋다.

[0048] 제 1 층(20)은 제 1 회로(21)를 가진다. 제 2 층(30)은 제 2 회로(22) 및 표시부(33)를 가진다. 제 1 회로(21) 및 제 2 회로(22)는 표시 장치(10)를 구동시키기 위한 회로이다. 따라서 이들 회로를 구동 회로라고 할 수 있다. 제 1 회로(21)는 화소(34)에 입력되는 입력 신호를 생성하는 기능을 가진다. 제 2 회로(22)는 제 1 회로(21)가 생성한 입력 신호가 기록되는 화소(34)를 선택하는 기능을 가지고, 게이트 드라이버 회로라고도 할 수 있다.

[0049] 표시 장치(10)의 구성예를 나타낸 블록도를 도 1의 (B)에 나타내었다. 제 1 층(20)은 m행 n열로 배열된 제 1 회로(21[1,1] 내지 22[m,n])를 가진다. 제 2 층(30)은 표시부(33)를 가지고, 표시부(33)는 m행 n열로 배열된 화소 블록(38[1,1] 내지 38[m,n])을 가진다. 화소 블록(38[1,1] 내지 38[m,n])은 각각 복수의 화소(34)를 가진다. 또한 제 2 층(30)은 열 방향으로 배열되는 m개의 제 2 회로(22[1] 내지 22[m])를 가진다.

[0050] 또한 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 특히 이들을 구별할 필요가 있을 때는 부호에 "[m,n]", "[m]" 등의 식별용 부호를 부기하여 기재하는 경우가 있다. 예를 들어, 1행 1열째의 화소 블록(38)을 화소 블록(38[1,1])이라고 기재하고, m행 n열째의 화소 블록(38)을 화소 블록(38[m,n])이라고 기재한다. 예를 들어, 첫 번째의 제 2 회로(22)를 제 2 회로(22[1])라고 기재하고, m번째의 제 2 회로(22)를 제 2 회로(22[m])라고 기재한다.

[0051] 표시 장치(10)의 구성예를 나타낸 블록도를 도 2에 나타내었다. 도 2에 나타낸 바와 같이 화소 블록(38[1,1] 내지 38[m,n])은 각각 a행 b열(a, b는 1 이상의 정수임)로 배열된 화소(34)를 가진다. 즉, 표시부(33)는 am행 bn열로 배열된 화소(34[1,1] 내지 34[am,bn])를 가진다. 또한 화소 블록(38)은 화소(34)에 전기적으로 접속되는 배선(32)과 배선(36)을 가진다. 또한 화소 블록(38)은 화소(34)에 전기적으로 접속되는 배선(31)을 가진다. 배선(32)은 제 1 회로(21)로부터의 입력 신호를 화소(34)에 공급하는 기능을 가지고, 소스선 또는 신호선이라고도 할 수 있다. 배선(36)은 화소(34)로부터의 출력 신호를 제 1 회로(21)에 공급하는 기능을 가지고, 모니터선이라고도 할 수 있다. 배선(31)은 제 2 회로(22)로부터의 신호를 화소(34)에 공급하는 기능을 가지고, 게이트

선 또는 주사선이라고도 할 수 있다.

[0052] 각 구성 요소의 접속 관계에 대하여 i행 j열째의 화소 블록(38[i,j])을 예로 들어 도 3을 사용하여 설명한다.

[0053] 화소 블록(38[i,j])이 가지는 배선(32[i,b(j-1)+1] 내지 32[i,bj])은 i행 j열째의 제 1 회로(21[i,j])와 전기적으로 접속된다. 배선(32[i,b(j-1)+1] 내지 32[i,bj])은 각각, 화소 블록(38[i,j])에서 열 방향으로 배열되는 a개의 화소(34)와 전기적으로 접속된다. 예를 들어 배선(32[i,b(j-1)+1])은 화소(34[a(i-1)+1,b(j-1)+1] 내지 [ai,b(j-1)+1])와 전기적으로 접속된다.

[0054] 화소 블록(38[i,j])이 가지는 배선(36[i,b(j-1)+1] 내지 36[i,bj])은 i행 j열째의 제 1 회로(21[i,j])와 전기적으로 접속된다. 배선(36[i,b(j-1)+1] 내지 36[i,bj])은 각각, 화소 블록(38[i,j])에서 열 방향으로 배열되는 a개의 화소(34)와 전기적으로 접속된다. 예를 들어 배선(36[i,b(j-1)+1])은 화소(34[a(i-1)+1,b(j-1)+1] 내지 [ai,b(j-1)+1])와 전기적으로 접속된다.

[0055] 화소 블록(38[i,j])이 가지는 배선(31[a(i-1)+1] 내지 31[ai])은 i번째의 제 2 회로(22[i])와 전기적으로 접속된다. 배선(31[a(i-1)+1] 내지 31[ai])은 각각, 표시부(33)에서 행 방향으로 배열되는 bn개의 화소(34)와 전기적으로 접속된다(도 2 참조). 예를 들어 배선(31)[a(i-1)+1]은 표시부(33)에서 화소(34[a(i-1)+1,1] 내지 [a(i-1)+1,bn])와 전기적으로 접속된다. 배선(31[a(i-1)+1])은 화소 블록(38[i,j])에서 화소(34[a(i-1)+1,b(j-1)+1] 내지 [a(i-1)+1,bj])와 전기적으로 접속된다.

[0056] <제 1 회로(21)의 구성예>

[0057] 제 1 회로(21[1,1] 내지 21[m,n])는 각각 보정 데이터 생성 회로(24)와, 논리 회로(81)와, 소스 드라이버 회로(26)를 가진다.

[0058] 도 3에 나타낸 바와 같이 제 1 회로(21[i,j])는 보정 데이터 생성 회로(24[i,j])와, 논리 회로(81[i,j])와, 소스 드라이버 회로(26[i,j])를 가진다.

[0059] 보정 데이터 생성 회로(24[i,j])는 제 1 회로(21[i,j])로부터의 출력 신호를 보정 데이터로 변환하는 기능을 가진다. 출력 신호는 배선(36)을 통하여 화소(34[i,j])로부터 제 1 회로(21[i,j])에 공급된다. 배선(36)은 모니터선으로서의 기능을 가진다.

[0060] 논리 회로(81[i,j])는 보정 데이터를 바탕으로 제 1 회로(21[i,j])에 입력된 비디오 신호를 보정하고, 보정된 비디오 신호를 생성하는 기능을 가진다.

[0061] 소스 드라이버 회로(26[i,j])는 보정된 비디오 신호를 입력 신호로 변환하는 기능을 가진다. 입력 신호는 배선(32)을 통하여 제 1 회로(21[i,j])로부터 화소 블록(38[i,j])에 공급된다. 배선(32)은 데이터선으로서의 기능을 가진다.

[0062] 보정 데이터 생성 회로(24)의 구성예에 대하여 설명한다.

[0063] 보정 데이터 생성 회로(24[1,1] 내지 24[m,n])는 각각 전류 전압 변환 회로(91)와, 아날로그 디지털 변환 회로(92)와, 메모리 회로(93)를 가진다.

[0064] 도 3에 나타낸 바와 같이 보정 데이터 생성 회로(24[i,j])는 전류 전압 변환 회로(91[i,j])와, 아날로그 디지털 변환 회로(92[i,j])와, 메모리 회로(93[i,j])를 가진다.

[0065] 전류 전압 변환 회로(91)는 배선(36)에 흐르는 전류값을 전압값으로 변환하여 아날로그 디지털 변환 회로(92)에 출력하는 기능을 가진다.

[0066] 아날로그 디지털 변환 회로(92)는 전류 전압 변환 회로(91)가 출력한 아날로그 전압값을 디지털 전압값으로 변환하여 메모리 회로(93)에 출력하는 기능을 가진다.

[0067] 메모리 회로(93)는 아날로그 디지털 변환 회로(92)가 출력한 디지털 전압값을 기억하는 기능을 가진다. 또한 화소(34)로부터 배선(36)에 흐르는(출력되는) 전류값을 바탕으로 한 상기 전압값은 화소(34)에 흐르는 전류값을 보정하는 보정 데이터로서 사용될 수 있다. 또한 메모리 회로(93)는 기억한 보정 데이터를 논리 회로(81)에 출력하는 기능을 가진다.

[0068] 논리 회로(81)는 메모리 회로(93)가 출력한 보정 데이터를 바탕으로 제 1 회로(21)에 입력된 비디오 신호를 보정하고, 보정된 비디오 신호를 생성하는 기능을 가진다.

[0069] 또한 표시 장치(10)는 수신 회로(도시 생략)를 가져도 좋다. 수신 회로는 제 1 회로(21)가 생성하는 보정된 비디오 신호의 바탕이 되는 비디오 신호를 수신하는 기능을 가진다. 상기 비디오 신호는 싱글 앤드의 디지털 데이터로 할 수 있다. 수신 회로는 LVDS(Low Voltage Differential Signaling) 등의 데이터 전송(傳送)용 신호를 사용하여 데이터를 수신하는 기능과 함께, 내부 처리 가능한 신호 규격으로 변환하는 기능을 가져도 좋다.

[0070] 소스 드라이버 회로(26)의 구성예에 대하여 설명한다.

[0071] 소스 드라이버 회로(26[1,1] 내지 26[m,n])는 각각 시프트 레지스터 회로(44)와, 래치 회로(45)와, 디지털 아날로그 변환 회로(46)와, 앰프 회로(47)를 가진다.

[0072] 도 3에 나타낸 바와 같이 소스 드라이버 회로([i,j])는 시프트 레지스터 회로(44[i,j])와, 래치 회로(45)와, 디지털 아날로그 변환 회로(46[i,j])와, 앰프 회로(47[i,j])를 가진다.

[0073] 시프트 레지스터 회로(44)는 래치 회로(45)의 동작을 제어하기 위한 신호를 생성하는 기능을 가진다.

[0074] 래치 회로(45)는 논리 회로(81)가 출력한 보정 데이터를 유지 또는 출력하는 기능을 가진다. 래치 회로(45)에서 데이터의 유지 및 출력 중 어느 동작을 수행할지는 시프트 레지스터 회로(44)로부터 공급된 신호에 의거하여 선택된다.

[0075] 디지털 아날로그 변환 회로(46)는 래치 회로(45)가 유지한 디지털의 보정된 비디오 신호를 아날로그의 보정된 비디오 신호로 변환하는 기능을 가진다.

[0076] 앰프 회로(47)는 디지털 아날로그 변환 회로(46)가 출력한 아날로그의 보정된 비디오 신호를 증폭하여 입력 신호로서 배선(32)에 출력하는 기능을 가진다. 앰프 회로(47)를 제공함으로써, 아날로그 신호에 의하여 나타내어지는 보정된 비디오 신호를 안정적으로 화소(34)에 공급할 수 있다. 앰프 회로(47)로서는 연산 증폭기 등을 가지는 전압 폴로어 회로 등을 적용할 수 있다. 또한 앰프 회로로서 차동 입력 회로를 가지는 회로를 사용하는 경우, 상기 차동 입력 회로의 오프셋 전압은 0V, 또는 가능한 한 0V에 가까운 전압으로 하는 것이 바람직하다.

[0077] <제 2 회로(22)의 구성예>

[0078] 게이트 드라이버 회로로서 기능하는 제 2 회로(22)는 제 1 회로(21)가 생성한 화상 데이터에 대응하는 전위가 기록되는 화소(34)를 선택하는 기능을 가진다. 예를 들어 제 2 회로(22)는 선택 신호를 생성하고, 특정의 행의 화소(34)에 상기 선택 신호를 공급할 수 있다. 선택 신호가 공급된 화소(34)에는 화상 데이터에 대응하는 전위를 기록할 수 있다.

[0079] 화소 블록(38)은 행 방향으로 배열되는 복수의 화소(34)와 전기적으로 접속되는 배선(31)을 가진다. i번째 행의 화소 블록(38)이 가지는 배선(31)은 i번째의 제 2 회로(22)와 전기적으로 접속된다.

[0080] 예를 들어 제 2 회로(22[i])는 화소 블록(38[i,j])에서 첫 번째 행의 화소(34)를 선택한 후에 두 번째 행의 화소(34)를 선택하고, a번째 행의 화소(34)까지 순차적으로 선택한 후, 첫 번째 행의 화소(34)를 다시 선택한다. 즉, 제 2 회로(22)는 화소(34)를 주사하는 기능을 가진다고 할 수 있다. 또한 선택 신호는 제 2 회로(22)로부터 배선(31)을 통하여 화소(34)에 공급될 수 있다. 상술한 바와 같이, 배선(31)은 주사선으로서의 기능을 가진다고 할 수 있다. 또한 인터레이스 구동을 수행하는 경우, 첫 번째 행의 화소(34)를 선택한 후에 두 번째 행의 화소(34)를 선택하지 않고, 예를 들어 세 번째 행 또는 네 번째 행 이후의 화소(34)를 선택한다. 예를 들어 m이 짝수인 경우, 홀수 번째 행의 화소(34)를 순차적으로 선택한 후에 짝수 번째 행의 화소(34)를 순차적으로 선택할 수 있다.

[0081] 표시부(33)는 화소(34)에 공급된 화상 데이터에 대응하는 화상을 표시하는 기능을 가진다. 구체적으로는, 화상 데이터에 대응하는 휘도의 광을 화소(34)로부터 사출함으로써 표시부(33)에 화상이 표시된다.

[0082] 또한 화소(34)로부터 사출되는 광의 색은 예를 들어 적색, 녹색, 청색 등으로 할 수 있다. 예를 들어 적색광을 사출하는 화소(34), 녹색광을 사출하는 화소(34), 및 청색광을 사출하는 화소(34)를 표시부(33)에 제공함으로써 표시 장치(10)는 풀 컬러 표시를 할 수 있다. 이 경우, 화소(34)는 부화소라고 할 수 있다.

[0083] <표시 장치(10)의 보정 동작예>

[0084] 표시 장치(10)의 보정 동작예에 대하여 도 4 내지 도 6을 사용하여 설명한다. 도 4 내지 도 6에서는 화소 블록(38[i,j])을 예로 들어 보정 동작을 나타내었다. 보정 동작은 기준 데이터 기록 동작, 보정 데이터 취득 동작, 및 표시 동작의 3단계로 수행할 수 있다.

[0085] 기준 데이터 기록 동작의 예를 도 4에 나타내었다.

[0086] 기준 데이터 기록 동작이란, 보정의 기준이 되는 기준 데이터(이하, 기준 비디오 신호라고도 함)를 화소(34)에 기록하는 동작을 가리킨다. 우선, 기준 비디오 신호를 제 1 회로(21[i,j])에 입력하고, 기준 비디오 신호는 논리 회로(81)를 통하여 소스 드라이버 회로(26[i,j])에 공급된다. 소스 드라이버 회로(26[i,j])에서 기준 비디오 신호가 입력 신호로 변환되고, 배선(32)을 통하여 입력 신호가 화소 블록(38[i,j])에 공급된다.

[0087] 기준 데이터 기록 동작은 복수의 제 1 회로(21)에서 병렬적으로 수행할 수 있다. 예를 들어 표시 장치(10)가 가지는 모든 제 1 회로(21[1,1] 내지 21[m,n])가 기준 데이터 기록 동작을 각각 병렬적으로 수행하여도 좋다. 복수의 제 1 회로가 기준 데이터 기록 동작을 병렬적으로 수행함으로써, 표시부(33) 전체에 대한 기준 데이터 기록 동작에 걸리는 시간을 단축할 수 있다.

[0088] 또한 기준 데이터 기록 동작을 수행하는 기간은 보정 데이터 생성 회로(24)의 동작을 정지시킬 수 있다. 보정 데이터 생성 회로(24)의 동작을 정지시킴으로써 소비 전력이 낮은 표시 장치(10)로 할 수 있다.

[0089] 또한 기준 비디오 신호에는 하나 이상의 계조값을 사용할 수 있다. 예를 들어, 기준 비디오 신호에 최대의 계조값, 최소의 계조값, 및 중간의 계조값 중 어느 하나 이상을 사용할 수 있다. 예를 들어 8비트 계조의 경우, 최대의 계조값 255, 최소의 계조값 0, 중간의 계조값 125 등을 기준 비디오 신호에 사용할 수 있다.

[0090] 정세도가 높은 표시 장치에서는 화소(34)의 크기가 작고 화소(34)가 가지는 트랜지스터의 크기가 작으므로, 트랜지스터에 흐르는 전류값이 작아지는 경우가 있다. 그래서, 트랜지스터에 흐르는 전류값이 커지는 기준 비디오 신호(예를 들어 최대의 계조값)를 사용함으로써 보정 동작의 정밀도를 높일 수 있다. 또한 기준 비디오 신호에 복수의 계조값을 사용하여도 좋다. 예를 들어 최대의 계조값, 최소의 계조값, 중간의 계조값의 3종류를 기준 비디오 신호에 사용함으로써, 넓은 계조의 범위에서 보정 동작을 수행할 수 있어 보정 동작의 정밀도를 높일 수 있다.

[0091] 보정 데이터 취득 동작의 예를 도 5에 나타내었다.

[0092] 보정 데이터 취득 동작이란, 기준 데이터가 기록된 화소(34)로부터의 전류값(출력 신호라고도 함)을 제 1 회로(21[i,j])에 입력하고 보정 데이터를 생성하는 동작을 가리킨다. 화소(34)로부터의 출력 신호는 배선(36)을 통하여 보정 데이터 생성 회로(24[i,j])에 공급된다. 보정 데이터 생성 회로(24[i,j])에서 출력 전류가 보정 데이터로 변환되고, 기준 데이터에 대응하는 보정 데이터가 보정 데이터 생성 회로(24[i,j])에 유지된다.

[0093] 보정 데이터 취득 동작은 복수의 제 1 회로(21)에서 병렬적으로 수행할 수 있다. 예를 들어 표시 장치(10)가 가지는 모든 제 1 회로(21[1,1] 내지 21[m,n])가 각각 보정 데이터 취득 동작을 병렬적으로 수행하여도 좋다. 표시부(33)에 대하여 행마다 순차적으로 보정 데이터 취득 동작을 수행하는 경우에 비하여, 복수의 제 1 회로가 보정 데이터 취득 동작을 병렬적으로 수행함으로써, 표시부(33) 전체에 대한 보정 데이터 취득 동작에 걸리는 시간을 단축할 수 있다.

[0094] 또한 보정 데이터 취득 동작을 수행하는 기간에는 논리 회로(81) 및 소스 드라이버 회로(26)의 동작을 정지시킬 수 있다. 논리 회로(81) 및 소스 드라이버 회로(26)의 동작을 정지시킴으로써 소비 전력이 낮은 표시 장치(10)로 할 수 있다.

[0095] 또한 보정 동작을 수행하지 않는 경우에는 보정 데이터 생성 회로(24)를 정지시켜도 좋다. 보정 데이터 생성 회로(24)를 정지시킴으로써 소비 전력이 낮은 표시 장치(10)로 할 수 있다.

[0096] 표시 동작의 예를 도 6에 나타내었다.

[0097] 표시 동작이란, 제 1 회로(21)에 입력된 비디오 신호를 보정하고 표시부(33)에 화상을 표시시키는 동작을 가리킨다. 구체적으로는, 보정 데이터 생성 회로(24[i,j])에 유지된 보정 데이터와 제 1 회로(21)에 입력된 비디오 신호가 논리 회로(81)에 공급된다. 논리 회로(81)는 보정 데이터를 바탕으로 비디오 신호를 보정하고, 보정된 비디오 신호를 생성한다. 보정된 비디오 신호는 소스 드라이버 회로(26)에서 입력 신호로 변환되고, 배선(32)을 통하여 입력 신호가 화소 블록(38[i,j])에 공급된다.

[0098] 상술한 보정 동작에 의하여 본 발명의 일 형태의 표시 장치(10)를 표시 불균일이 적은 표시 장치로 할 수 있다.

[0099] 또한 기준 데이터 기록 동작 및 보정 데이터 취득 동작은 프레임마다 수행하지 않아도 된다. 예를 들어, 기준 데이터 기록 동작 및 보정 데이터 취득 동작을 표시 장치(10)의 기동 시에만 수행하고, 이후의 프레임은 표시 동작만을 수행하여도 좋다. 예를 들어, 표시 장치(10)의 기동 시에만 기준 데이터 기록 동작 및 보정 데이터

취득 동작을 수행하는 경우, 기동 시에 취득한 보정 데이터를 보정 데이터 생성 회로(24[i,j])에 유지하고, 이후의 프레임에서도 상기 보정 데이터를 사용하여 표시 동작을 수행할 수 있다.

[0100] 본 발명의 일 형태의 표시 장치는 제 1 회로(21)를 복수로 가짐으로써, 하나의 제 1 회로(21)당 화소(34)의 개수를 줄일 수 있다. 또한 표시 장치는 제 2 회로(22)를 복수로 가짐으로써, 하나의 제 2 회로(22)당 화소(34)의 개수를 줄일 수 있다. 복수의 제 1 회로(21)는 각각 병렬적으로 동작할 수 있고, 또한 복수의 제 2 회로(22)는 각각 병렬적으로 동작할 수 있기 때문에, 예를 들어 1프레임의 화상에 대응하는 화상 데이터를 화소(34)에 기록하는 데 걸리는 시간을 단축할 수 있다. 따라서, 1프레임 기간의 길이를 짧게 할 수 있고 표시 장치(10)를 고속으로 동작시킬 수 있다. 또한 표시 장치(10)가 가지는 화소(34)의 개수를 늘릴 수 있고 표시 장치(10)의 해상도를 높일 수 있다. 예를 들어 표시 장치(10)의 해상도를 풀 하이비전, 4K2K, 8K4K, 16K8K, 또는 이들 이상으로 할 수 있다.

[0101] 예를 들어 표시 장치(10)의 정세도를 1000ppi 이상, 또는 2000ppi 이상, 또는 5000ppi 이상으로 할 수 있다. 따라서, 표시 장치(10)에 입자감이 적은 고품질의 화상을 표시할 수 있어, 현장감이 높은 화상을 표시할 수 있다. 따라서, 표시 장치(10)는 특히 표시면과 사용자의 거리가 가까운 기기, 특히 휴대형 전자 기기, 장착형 전자 기기(웨어러블 기기), 및 전자책 단말기 등에 적합하게 사용할 수 있다. 또한 VR 기기 및 AR 기기 등에도 적합하게 사용할 수 있다. 또한 촬상 장치를 가지는 전자 기기인 디지털 카메라 등에 제공되는 전자 뷰파인더 등의 뷰파인더에도 적합하게 사용할 수 있다.

[0102] 또한 화소 블록(38)은 각각 a행 b열(a 및 b는 각각 1 이상의 정수임)로 배열된 화소(34)를 가진다. 하나의 화소 블록(38)이 가지는 화소(34)의 개수를 늘림으로써, 표시 장치(10)에 제공되는 제 1 회로(21)의 개수가 적어져 소비 전력이 낮은 표시 장치(10)로 할 수 있다. 또한 하나의 화소 블록(38)이 가지는 화소(34)의 개수를 줄임으로써, 표시 장치(10)에 제공되는 제 1 회로(21)의 개수가 많아져 보정을 효율적으로 수행할 수 있다. 따라서, 표시 불균일이 적은 표시 장치(10)로 할 수 있다.

[0103] 도 1의 (A)에 나타낸 제 1 층(20) 및 제 2 층(30)의 구성예를 도 7에 나타내었다. 도 7에서는 제 1 층(20)과 제 2 층(30)의 위치 관계를 백색 동그라미 및 파선으로 나타내고, 파선으로 연결된 제 1 층(20)의 백색 동그라미와 제 2 층(30)의 백색 동그라미가 겹쳐 있다. 또한 다른 도면에서도 같은 식으로 표기한다. 또한 도면의 명료화를 위하여 도 7에서는 배선(31), 배선(32), 및 배선(36)을 생략하였다.

[0104] 표시 장치(10)는 제 1 층(20)에 제공된 제 1 회로(21)가 표시부(33)와 중첩되는 영역을 가지는 것이 바람직하다. 도 7에서는 화소 블록(38[1,1] 내지 38[m,n])이 각각, 제 1 회로(21[1,1] 내지 21[m,n]) 각각과 중첩되는 영역을 가지는 예를 나타내었다. 표시부(33)와 제 1 회로(21)를 서로 중첩되는 영역을 가지도록 적층하여 제공함으로써, 표시부(33)가 제공되지 않는 영역인 베젤의 면적을 작게 할 수 있다. 따라서, 표시 장치(10)의 베젤을 좁게 할 수 있다. 또한 표시 장치(10)의 베젤을 좁게 함으로써 표시 장치(10)를 소형화할 수 있다.

[0105] 도 7에서는 화소 블록(38)과 제 1 회로(21)의 크기가 대략 같고, 또한 화소 블록(38[1,1] 내지 38[m,n])이 각각, 제 1 회로(21[1,1] 내지 21[m,n]) 각각과 중첩되는 영역을 가지는 예를 나타내었지만, 본 발명의 개요는 이에 한정되지 않는다. 화소 블록(38)과 제 1 회로(21)의 크기가 상이하여도 좋다. 또한 화소 블록(38)보다 제 1 회로(21)가 크면 표시 장치(10)의 베젤이 넓어지는 경우가 있다. 따라서, 화소 블록(38)과 제 1 회로(21)의 크기가 대략 같거나, 또는 화소 블록(38)보다 제 1 회로(21)를 작게 함으로써, 표시 장치(10)의 베젤이 좁아져 표시 장치(10)를 소형화할 수 있다.

[0106] 도 7에 나타낸 표시 장치(10)와 다른 구성예를 도 8 및 도 9에 나타내었다. 도 8 및 도 9에 나타낸 표시 장치(10)는 화소 블록(38)보다 제 1 회로(21)가 작은 점에서, 도 7에 나타낸 표시 장치(10)와 주로 다르다. 또한 도 9에서는 도 8에 나타낸 제 2 층(30)이 가지는 화소 블록(38) 및 제 2 회로(22)를 제 1 층(20) 위에 일점쇄선으로 나타내었다.

[0107] 도 8 및 도 9에서는 표시 장치(10)가, 전기적으로 접속되는 제 1 회로(21)와 중첩되는 영역을 가지는 화소 블록(38), 및 전기적으로 접속되는 제 1 회로(21)와 중첩되지 않는 화소 블록(38)을 가지는 예를 나타내었다. 즉, 도 8 및 도 9에 나타낸 표시 장치(10)에서, i행 j열째의 화소 블록(38[i,j])은 i행 j열째의 제 1 회로(21[i,j])와 중첩되는 영역을 가지고, p행 q열째의 화소 블록(38[p,q])은 p행 q열째의 제 1 회로(21[p,q])와 중첩되지 않는다고도 할 수 있다.

[0108] 도 8 및 도 9에 나타낸 표시 장치(10)의 구성으로 함으로써, 표시부(33)의 레이아웃이 변하는 경우에도, 제 1

회로(21)의 레이아웃을 변경없이 사용할 수 있다. 표시부(33)의 레이아웃이 상이한 복수 종류의 표시 장치(10)에 공통의 제 1 회로(21)를 사용할 수 있어 표시 장치(10)의 생산성을 높일 수 있다.

[0109] 도 7에 나타낸 표시 장치(10)와 다른 구성예를 도 10에 나타내었다. 도 10에 나타낸 표시 장치(10)는 제 1 층(20)이 제 2 회로(22)를 가지는 점에서, 도 7에 나타낸 표시 장치(10)와 주로 다르다. 제 1 회로(21)와 제 2 회로(22)를 같은 층(제 1 층(20))에 제공함으로써, 제 1 회로(21)와 제 2 회로(22)의 제작 공정을 공통으로 할 수 있어 생산성을 높일 수 있다.

[0110] 도 7 내지 도 10에 나타낸 표시 장치(10)와 다른 구성예를 도 11에 나타내었다. 도 11에서는 표시 장치(10)가, 전기적으로 접속되는 제 1 회로(21)와 중첩되는 영역을 가지는 화소 블록(38), 및 전기적으로 접속되는 제 1 회로(21)와 중첩되지 않는 화소 블록(38)을 가지고, 또한 제 1 층(20)이 제 2 회로(22)를 가지는 예를 나타내었다.

[0111] 도 11에 나타낸 표시 장치(10)에서 i행 j열째의 화소 블록(38)은 제 2 회로(22[1] 내지 22[m]) 중 어느 하나 이상과 중첩되는 영역을 가지는 것이 바람직하다. 제 2 회로(22)와 화소 블록(38)이 중첩되는 영역을 가짐으로써, 표시 장치(10)의 베젤이 좁아져 표시 장치(10)를 소형화할 수 있다.

[0112] 또한 도 11은 제 1 층(20)이 제 2 층(30)보다 작은 예를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 제 1 층(20)과 제 2 층(30)의 크기가 상이하여도 좋다. 예를 들어 제 1 층(20)과 제 2 층(30)의 크기가 대략 같아도 좋고, 제 1 층(20)이 제 2 층(30)보다 커도 좋다.

[0113] 제 1 층(20)을 형성한 후, 제 1 층(20) 위에 제 2 층(30)을 형성하여 표시 장치(10)를 제작할 수 있다. 제 1 층(20) 위에 제 2 층(30)을 형성함으로써, 제 1 층(20)과 제 2 층(30)의 위치를 맞추는 정밀도를 높일 수 있다. 따라서 표시 장치(10)의 생산성을 높일 수 있다.

[0114] 제 1 층(20) 및 제 2 층(30)을 각각 형성한 후에 제 1 층(20)과 제 2 층(30)을 접합하여 표시 장치(10)를 제작하여도 좋다. 제 1 층(20)과 제 2 층(30)을 접합하여 표시 장치(10)를 제작하는 경우, 제 1 층(20)과 제 2 층(30)의 크기가 상이하여도 좋다. 따라서 제 1 층(20) 및 제 2 층(30)은 서로의 크기에 영향을 받지 않고 형성할 수 있다. 예를 들어, 제 1 층(20)의 피형성 기판에 복수의 제 1 층(20)을 형성하고, 각각의 제 1 층(20)으로 분할한 후에 제 2 층(30)과 접합하여 표시 장치(10)를 제작할 수 있다. 제 2 층(30)도 마찬가지로, 제 2 층(30)의 피형성 기판에 복수의 제 2 층(30)을 형성하고, 각각의 제 2 층(30)으로 분할한 후에 제 1 층(20)과 접합하여 표시 장치(10)를 제작하여도 좋다. 즉, 제 1 층(20) 및 제 2 층(30)의 생산성을 높이면서 표시 장치(10)의 생산성을 높일 수 있다.

[0115] <표시 장치의 구성예 2>

[0116] 도 1의 (A) 및 (B)에서 예시한 표시 장치(10)와 다른 구성예를 도 12의 (A) 및 (B)에 나타내었다. 도 12의 (A)는 표시 장치(10A)의 모식도이다. 도 12의 (B)는 표시 장치(10A)의 구성예를 나타낸 블록도이다. 도 12의 (A) 및 (B)에 나타낸 표시 장치(10A)는 제 1 회로(21)가 제공되는 제 1 층(20)이, 제 1 회로층(20a)과 제 1 회로층(20a) 위의 제 2 회로층(20b)의 적층 구조를 가지는 점에서 도 1의 (A) 및 (B)의 표시 장치(10)와 주로 다르다. 또한 제 2 층(30)에 대해서는 도 1의 (B)의 기재를 참조할 수 있어 자세한 설명은 생략한다. 또한 제 1 회로층(20a), 제 2 회로층(20b), 및 제 2 층(30)의 적층 순서는 도 12의 (A)에 나타낸 것에 한정되지 않는다. 예를 들어 제 2 회로층(20b)과 제 2 층(30) 사이에 제 1 회로층(20a)을 제공하여도 좋다.

[0117] 예를 들어 제 1 회로층(20a)은 채널 형성 영역에 실리콘을 가지는 트랜지스터(Si 트랜지스터)를 가지는 층으로 할 수 있다. 제 2 회로층(20b)은 채널 형성 영역에 금속 산화물을 가지는 트랜지스터(OS 트랜지스터)를 가지는 층으로 할 수 있다.

[0118] 제 1 층(20)에 제 1 회로(21)를 제공하는 경우, 제 2 회로층(20b)이 메모리 회로(93)를 가지고, 제 1 회로층(20a)이 메모리 회로(93) 이외의 구성 요소(논리 회로(81) 등)를 가지는 것이 바람직하다. OS 트랜지스터는 오프일 때 소스와 드레인 사이를 흐르는 누설 전류(이하, 오프 전류)가 매우 낮다. 따라서, OS 트랜지스터를 가지는 메모리 회로(93)로 함으로써, 일단 기록한 데이터를 장시간 유지할 수 있다. 그러므로, 데이터의 리프레시 빈도를 낮추어 소비 전력을 낮출 수 있다. 또한 Si 트랜지스터를 가지는 논리 회로(81)로 함으로써 동작 속도를 높일 수 있다.

[0119] 제 1 층(20) 및 제 2 층(30)의 구성예를 도 13에 나타내었다. 도 13에서는 제 1 층(20)과 제 2 층(30)의 접속 관계를 나타내었다. 또한 도면의 명료화를 위하여 도 13에서는 일부의 구성 요소, 부호를 생략하였다.

[0120] 도 13에 나타낸 표시 장치(10)는 도 7에 나타낸 표시 장치(10)에 대응하고, 제 1 층(20)이 제 1 회로(21)를 가지고, 제 2 층(30)이 표시부(33) 및 제 2 회로(22)를 가진다.

[0121] 화소 블록(38)이 가지는 배선(32) 및 배선(36)은 표시부(33) 아래에 위치하는 제 1 회로(21)에 전기적으로 접속된다.

[0122] 또한 배선(32)의 저항 및 배선(36)의 저항에 기인하여 신호 지연이 발생하는 경우가 있다. 도 13에 나타낸 바와 같이, 각 화소(34)에 전기적으로 접속되는 배선(32)의 길이 및 배선(36)의 길이는 가능한 한 짧은 것이 바람직하다. 배선(32)의 길이 및 배선(36)을 짧게 함으로써 신호 지연을 억제할 수 있다.

[0123] 도 13에서는 화소 블록(38)과 제 1 회로(21)의 크기가 대략 같고, 또한 화소 블록(38[1,1] 내지 38[m,n])이 각각, 제 1 회로(21[1,1] 내지 21[m,n]) 각각과 중첩되는 영역을 가지는 예를 나타내었지만, 본 발명의 개요는 이에 한정되지 않는다. 화소 블록(38)과 제 1 회로(21)의 크기가 상이하여도 좋다. 화소 블록(38)보다 제 1 회로(21)가 작은 구성예를 도 14 및 도 15에 나타내었다. 또한 도 15에 나타낸 표시 장치(10)는 도 9에 나타낸 표시 장치(10)에 대응한다.

[0124] 도 13 내지 도 15에서는 제 2 층(30)이 제 2 회로(22)를 가지는 구성예를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 제 1 층(20)이 제 2 회로(22)를 가지는 구성예를 도 16에 나타내었다. 도 16에 나타낸 표시 장치(10)는 도 10에 나타낸 표시 장치(10)에 대응하고, 제 1 층(20)이 제 1 회로(21) 및 제 2 회로(22)를 가지고, 제 2 층(30)이 표시부(33)를 가진다.

[0125] 화소 블록(38)이 가지는 배선(32) 및 배선(36)은 표시부(33) 아래에 위치하는 제 1 회로(21)에 전기적으로 접속된다. 또한 배선(31)은 제 1 층(20)에 제공된 제 1 회로(21)와 전기적으로 접속된다.

[0126] 도 16에 나타낸 표시 장치(10)와 다른 구성예를 도 17에 나타내었다. 또한 도 17에 나타낸 표시 장치(10)는 도 11에 나타낸 표시 장치(10)에 대응한다. 제 1 층(20)이 제 2 회로(22)를 가지고, 또한 화소 블록(38)보다 제 1 회로(21)를 작게 함으로써, 표시 장치(10)의 베젤이 좁아져 표시 장치(10)를 소형화할 수 있다. 또한 제 2 회로(22)가 화소 블록(38) 중 어느 것과 중첩되는 영역을 가짐으로써 표시 장치(10)를 소형화할 수 있다.

[0127] <화소(34)의 구성예>

[0128] 화소(34)의 구성예에 대하여 도 18 내지 도 20을 사용하여 설명한다.

[0129] 도 18에 나타낸 화소(34)는 트랜지스터(Tr11), 트랜지스터(Tr12), 트랜지스터(Tr13), 발광 소자(572), 용량 소자(C1)를 가진다. 또한 도 18에서는 트랜지스터(Tr11), 트랜지스터(Tr12), 및 트랜지스터(Tr13)를 n채널형으로 하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 트랜지스터(Tr11), 트랜지스터(Tr12), 및 트랜지스터(Tr13)는 각각 p채널형으로 하여도 좋다.

[0130] 트랜지스터(Tr11)의 게이트는 배선(31)과 접속되고, 소스 및 드레인 중 한쪽은 트랜지스터(Tr12)의 게이트 및 용량 소자(C1)의 한쪽 전극과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(32)과 접속된다. 트랜지스터(Tr12)의 소스 및 드레인 중 한쪽은 용량 소자(C1)의 다른 쪽 전극, 발광 소자(572)의 한쪽 전극, 및 트랜지스터(Tr13)의 소스 및 드레인 중 한쪽과 접속되고, 소스 및 드레인 중 다른 쪽은 전위(Va)가 공급되는 배선(AL)과 접속된다. 발광 소자(572)의 다른 쪽 전극은 전위(Vc)가 공급되는 배선(CL)과 접속된다. 트랜지스터(Tr13)의 게이트는 배선(31)과 접속되고, 소스 및 드레인 중 다른 쪽은 배선(36)과 접속된다. 트랜지스터(Tr11)의 소스 및 드레인 중 한쪽, 트랜지스터(Tr12)의 게이트, 및 용량 소자(C1)의 한쪽 전극과 접속된 노드를 노드(N1)라고 한다. 트랜지스터(Tr12)의 소스 및 드레인 중 한쪽, 트랜지스터(Tr13)의 소스 및 드레인 중 한쪽, 및 용량 소자(C1)의 다른 쪽 전극과 접속된 노드를 노드(N2)라고 한다.

[0131] 여기서는, 배선(AL)에 공급되는 전위(Va)를 고전원 전위로 하고, 배선(CL)에 공급되는 전위(Vc)를 저전원 전위로 한 경우에 대하여 설명한다. 또한 용량 소자(C1)는 노드(N2)의 전위를 유지하기 위한 유지 용량 소자로서의 기능을 가진다.

[0132] 트랜지스터(Tr11)는 노드(N1)에 대한 배선(32)의 전위의 공급을 제어하는 기능을 가진다. 또한 트랜지스터(Tr13)는 노드(N2)에 대한 배선(36)의 전위의 공급을 제어하는 기능을 가진다. 구체적으로는, 배선(31)의 전위를 제어하여 트랜지스터(Tr11), 트랜지스터(Tr13)를 온 상태로 함으로써, 배선(32)의 전위가 노드(N1)에 공급되고 배선(36)의 전위가 노드(N2)에 공급되고, 화소(34)의 기록이 수행된다. 여기서, 배선(32)의 전위는 영상 신호에 대응하는 전위이다. 그 후, 배선(31)의 전위를 제어하여 트랜지스터(Tr11), 트랜지스터(Tr13)를 오프 상

태로 함으로써 노드(N1), 노드(N2)의 전위가 유지된다.

[0133] 그리고 노드(N1), 노드(N2) 간의 전위에 따라 트랜지스터(Tr12)의 소스-드레인 사이에 흐르는 전류량이 제어되고, 발광 소자(572)가 상기 전류량에 따른 휘도로 발광한다. 이에 의하여 화소(34)의 계조를 제어할 수 있다.

[0134] 상기 동작을 배선(31)마다 순차적으로 수행함으로써, 화소 블록(38)에서 1프레임분의 영상을 표시할 수 있다.

[0135] 또한 배선(31)의 선택에는 프로그레시브 방식을 사용하여도 좋고, 인터레이스 방식을 사용하여도 좋다. 또한 제 1 회로(21)로부터 배선(32)으로의 영상 신호의 공급은 배선(32)에 영상 신호를 순차적으로 공급하는 점순차 구동을 사용하여 수행하여도 좋고, 모든 배선(32)에 영상 신호를 일제히 공급하는 선순차 구동을 사용하여 수행하여도 좋다. 또한 복수의 배선(32)마다 영상 신호를 순차적으로 공급하여도 좋다.

[0136] 그리고, 다음 프레임 기간에, 상기와 같은 동작에 의하여 영상의 표시가 수행된다. 이에 의하여, 표시부(33)에 표시되는 영상이 재기록된다. 또한 영상 재기록의 빈도는 표시부(33)의 관찰자가 재기록에 의한 영상의 변화를 식별하기 어려운 빈도로 한다. 표시부(33)에 동영상을 표시하는 경우에는, 영상 재기록의 빈도를 예를 들어 1초간에 60번 이상으로 하는 것이 바람직하다. 이에 의하여 매끄러운 동영상을 표시할 수 있다.

[0137] 한편, 표시부(33)에 정지 화상을 표시하는 경우나, 일정 기간 영상이 변화되지 않거나 변화가 일정 이하인 동영상을 표시하는 경우 등에는 재기록을 수행하지 않고 직전의 프레임의 영상을 유지하는 것이 바람직하다. 이로써, 영상 재기록에 소비되는 전력을 삭감할 수 있다.

[0138] 영상 재기록의 빈도를 줄이는 경우, 노드(N1), 노드(N2)의 전위가 장시간 유지되는 것이 바람직하다. 그러므로 트랜지스터(Tr11), 트랜지스터(Tr13)에는 OS 트랜지스터를 사용하는 것이 바람직하다. 이로써, 노드(N1), 노드(N2)의 전위를 매우 긴 기간에 걸쳐 유지할 수 있고, 영상 재기록의 빈도를 줄여도 표시 상태를 유지할 수 있다. 영상 재기록의 빈도는 예를 들어 하루에 한 번 이상 1초에 0.1번 미만, 바람직하게는 1시간에 한 번 이상 1초에 한 번 미만, 더 바람직하게는 30초에 한 번 이상 1초에 한 번 미만으로 할 수 있다.

[0139] 또한 표시 상태를 유지한다는 것은 영상의 변화가 일정 범위보다 커지지 않도록 유지하는 것을 말한다. 상기 일정 범위는 적절히 설정할 수 있고, 예를 들어 사용자가 영상을 열람하는 경우, 같은 영상인 것으로 인식할 수 있는 범위로 설정하는 것이 바람직하다.

[0140] 또한 영상 재기록의 빈도를 줄임으로써, 영상을 표시할 때의 깜박거림(플리커라고도 함)을 저감할 수 있다. 이로써, 표시부(33)의 관찰자의 눈의 피로를 저감할 수 있다.

[0141] 또한 영상 재기록을 수행하지 않는 기간에는, 제 1 회로(21) 및 제 2 회로(22)에 공급되는 전원 전위나 신호를 정지할 수 있다. 이로써, 제 1 회로(21) 및 제 2 회로(22)의 소비 전력을 저감할 수 있다.

[0142] 또한 트랜지스터(Tr11), 트랜지스터(Tr13)에는 OS 트랜지스터 외의 트랜지스터를 사용하여도 좋다. 예를 들어 금속 산화물 외의 단결정 반도체를 가지는 기판의 일부에 채널 형성 영역이 형성되는 트랜지스터를 사용하여도 좋다. 이와 같은 기판으로서는 단결정 실리콘 기판이나 단결정 저마늄 기판 등을 들 수 있다. 또한 트랜지스터(Tr11), 트랜지스터(Tr13)로서 금속 산화물 외의 재료를 포함하는 막에 채널 형성 영역이 형성되는 트랜지스터를 사용할 수도 있다. 금속 산화물 외의 재료로서는 실리콘, 저마늄, 실리콘 저마늄, 탄소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인듐 인, 질화 갈륨, 유기 반도체 등을 들 수 있다. 이들의 재료는 단결정 반도체이어도 좋고, 비정질 반도체, 미결정 반도체, 다결정 반도체 등의 비단결정 반도체이어도 좋다.

[0143] 또한 트랜지스터(Tr12) 및 이하에서 설명하는 트랜지스터의 채널 형성 영역에 사용할 수 있는 재료의 예는 트랜지스터(Tr11), 트랜지스터(Tr13)와 마찬가지이다.

[0144] 도 18에 나타낸 화소(34)와 다른 구성예를 도 19 및 도 20에 나타내었다.

[0145] 도 19에 나타낸 화소(34)는 트랜지스터(Tr11), 트랜지스터(Tr12), 및 트랜지스터(Tr13)가 각각 한 쌍의 게이트를 가지는 점에서 도 18과 다르다. 또한 트랜지스터가 한 쌍의 게이트를 가지는 경우, 한쪽 게이트를 제 1 게이트, 프런트 게이트, 또는 단순히 게이트라고 부르는 경우가 있고, 다른 쪽 게이트를 제 2 게이트 또는 백 게이트라고 부르는 경우가 있다.

[0146] 도 19의 (A)에 나타낸 트랜지스터(Tr11), 트랜지스터(Tr12), 및 트랜지스터(Tr13)는 백 게이트를 가지고, 백 게이트는 프런트 게이트와 접속된다. 이 경우, 백 게이트에는 프런트 게이트와 같은 전위가 인가되고, 트랜지스터의 온 전류를 증가시킬 수 있다. 특히, 트랜지스터(Tr11)는 영상 신호 또는 데이터의 기록, 트랜지스터(Tr13)는 데이터의 판독에 사용되기 때문에, 도 19의 (A)에 나타낸 구조를 채용함으로써 고속의 기록 및 판독이

가능한 화소(34)를 실현할 수 있다.

[0147] 도 19의 (B)에 나타낸 트랜지스터(Tr11), 트랜지스터(Tr12), 및 트랜지스터(Tr13)는 백 게이트가 배선(BGL)과 접속된다. 배선(BGL)은 백 게이트에 소정의 전위를 공급하는 기능을 가지는 배선이다. 배선(BGL)의 전위를 제어함으로써 트랜지스터(Tr11), 트랜지스터(Tr12), 및 트랜지스터(Tr13)의 문턱 전압을 제어할 수 있다. 특히, 트랜지스터(Tr11), 트랜지스터(Tr13)는 각각 노드(N1), 노드(N2)의 전위를 유지하기 위하여 사용되기 때문에, 배선(BGL)의 전위를 제어하여 트랜지스터(Tr11), 트랜지스터(Tr13)의 문턱 전압을 양의 방향으로 시프트시킴으로써, 트랜지스터(Tr11), 트랜지스터(Tr13)의 오프 전류를 저감하여도 좋다. 또한 배선(BGL)에 공급되는 전위는 고정 전위이어도 좋고, 변동하는 전위이어도 좋다.

[0148] 배선(BGL)은 트랜지스터(Tr11), 트랜지스터(Tr12), 및 트랜지스터(Tr13)마다 개별로 제공할 수도 있다. 또한 배선(BGL)은 표시 장치(10)가 가지는 모든 또는 일부의 화소(34)에서 공유되어도 좋다.

[0149] 또한 트랜지스터(Tr11), 트랜지스터(Tr12), 및 트랜지스터(Tr13)에는, 요구되는 성능에 따라 상이한 구조를 채용하여도 좋다. 도 20의 (A)에 트랜지스터(Tr12)와 트랜지스터(Tr13)의 구조가 상이한 화소(34)의 구성예를 나타내었다.

[0150] 트랜지스터(Tr12)의 백 게이트는 노드(N2)와 접속되고, 트랜지스터(Tr13)의 백 게이트는 프런트 게이트와 접속된다. 화소(34)로부터 데이터를 판독할 때, 트랜지스터(Tr13)를 흐르는 전류는 트랜지스터(Tr12)를 흐르는 전류보다 큰 것이 바람직하다. 그러므로, 트랜지스터(Tr13)에는 백 게이트가 프런트 게이트와 접속되며 온 전류를 증가시킬 수 있는 구조를 사용한다. 이로써, 트랜지스터(Tr13)의 온 전류를 트랜지스터(Tr12)의 온 전류보다 크게 할 수 있다.

[0151] 또한 트랜지스터의 온 전류의 대소 관계는 백 게이트 외의 구성에 의하여 조정할 수도 있다. 예를 들어, 트랜지스터(Tr13)의 W/L(W는 채널 폭, L은 채널 길이)을 트랜지스터(Tr12)의 W/L보다 크게 함으로써, 트랜지스터(Tr13)의 온 전류를 트랜지스터(Tr12)의 온 전류보다 크게 할 수도 있다.

[0152] 또한 화소(34)는 도 20의 (B)에 나타낸 구성으로 할 수도 있다. 도 20의 (B)에서는 배선(31)으로부터 트랜지스터(Tr11), 트랜지스터(Tr13)의 백 게이트에 선택 신호가 공급됨으로써 트랜지스터(Tr11), 트랜지스터(Tr13)가 온 상태가 되고, 노드(N1), 노드(N2)에 소정의 전위가 공급된다. 또한 트랜지스터(Tr11), 트랜지스터(Tr13)의 프런트 게이트는 배선(36)과 접속된다.

[0153] 발광 소자(572)로서는, 예를 들어 일렉트로루미네선스를 이용하는 EL 소자를 적용할 수 있다. EL 소자는 한 쌍의 전극 사이에 발광성 화합물을 포함하는 층(이하, EL층이라고도 함)을 가진다. 한 쌍의 전극 사이에 EL 소자의 문턱 전압보다 큰 전위차를 발생시키면, EL층에 양극 측으로부터 정공이 주입되고, 음극 측으로부터 전자가 주입된다. 주입된 전자와 정공은 EL층에서 재결합되고, EL층에 포함되는 발광 물질이 발광한다.

[0154] 또한 EL 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로 전자(前者)는 유기 EL 소자, 후자(後者)는 무기 EL 소자라고 불린다.

[0155] 유기 EL 소자에서는 전압을 인가함으로써, 한쪽 전극으로부터 전자가, 다른 쪽 전극으로부터 정공이 각각 EL층에 주입된다. 그리고 이들 캐리어(전자 및 정공)가 재결합됨으로써 발광성 유기 화합물이 들뜬 상태를 형성하고, 그 들뜬 상태가 바닥 상태로 되돌아갈 때 발광한다. 이와 같은 메커니즘 때문에 상기와 같은 발광 소자는 전류 여기형 발광 소자라고 불린다.

[0156] 본 명세서 등에서 발광 소자, 액정 소자 등의 표시 소자에 공급되는 전압이란, 상기 표시 소자의 한쪽 전극에 인가되는 전위와 상기 표시 소자의 다른 쪽 전극에 인가되는 전위의 차이를 가리킨다.

[0157] 또한 EL층은 발광성 화합물 외에, 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블록 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 또는 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 가져도 좋다.

[0158] EL층은 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0159] 무기 EL 소자는 디바이스 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층 사이에 끼우고, 이를 전극 사이에 끼운 구조를 가지고, 발광 메커니즘은 금속 이온의 내각 전자 전이(inner-shell electron

transition)를 이용하는 국재형 발광이다.

[0160] 발광 소자는 발광을 추출하기 위하여 적어도 한 쌍의 전극 중 한쪽이 투명하면 좋다. 그리고 기판 위에 트랜지스터 및 발광 소자를 형성하고, 상기 기판과 반대 측의 면으로부터 발광을 추출하는 상면 사출(톱 이미션) 구조, 기판 측의 면으로부터 발광을 추출하는 하면 사출(보텀 이미션) 구조, 및 양면으로부터 발광을 추출하는 양면 사출(듀얼 이미션) 구조의 발광 소자가 있고, 어느 사출 구조의 발광 소자도 적용할 수 있다.

[0161] <표시 장치의 단면 구성예 1>

[0162] 표시 장치(10)의 구성예를 나타낸 단면도를 도 21에 나타내었다. 표시 장치(10)는 기판(701) 및 기판(705)을 가지고, 기판(701)과 기판(705)은 실재(712)에 의하여 접합되어 있다.

[0163] 기판(701)으로서 단결정 실리콘 기판 등의 단결정 반도체 기판을 사용할 수 있다. 또한 기판(701)으로서 단결정 반도체 기판 외의 반도체 기판을 사용하여도 좋다.

[0164] 기판(701) 위에 트랜지스터(441) 및 트랜지스터(601)가 제공된다. 트랜지스터(441) 및 트랜지스터(601)는 제 1 층(20)에 제공할 수 있다. 예를 들어 도 7 내지 도 9에 나타낸 표시 장치(10)에서 트랜지스터(441) 및 트랜지스터(601)는 제 1 회로(21)에 제공되는 트랜지스터로 할 수 있다. 예를 들어 도 10 및 도 11에 나타낸 표시 장치(10)에서 트랜지스터(441) 및 트랜지스터(601)는 제 1 회로(21) 또는 제 2 회로(22)에 제공되는 트랜지스터로 할 수 있다.

[0165] 트랜지스터(441)는 게이트 전극으로서의 기능을 가지는 도전체(443)와, 게이트 절연체로서의 기능을 가지는 절연체(445)와, 기판(701)의 일부로 이루어지고, 채널 형성 영역을 포함하는 반도체 영역(447), 소스 영역 및 드레인 영역 중 한쪽으로서의 기능을 가지는 저저항 영역(449a), 그리고 소스 영역 및 드레인 영역 중 다른 쪽으로서의 기능을 가지는 저저항 영역(449b)을 가진다. 트랜지스터(441)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다.

[0166] 트랜지스터(441)는 소자 분리층(403)에 의하여 다른 트랜지스터와 전기적으로 분리된다. 도 21에서는, 소자 분리층(403)에 의하여 트랜지스터(441)와 트랜지스터(601)가 전기적으로 분리되는 경우를 나타내었다. 소자 분리층(403)은 LOCOS(LOCal Oxidation of Silicon)법 또는 STI(Shallow Trench Isolation)법 등을 사용하여 형성할 수 있다.

[0167] 여기서 도 21에 나타낸 트랜지스터(441)는 반도체 영역(447)이 볼록 형상을 가진다. 또한 반도체 영역(447)의 측면 및 상면을 절연체(445)를 개재(介在)하여 도전체(443)가 덮도록 제공된다. 또한 도 21에는, 도전체(443)가 반도체 영역(447)의 측면을 덮은 상태는 도시하지 않았다. 또한 도전체(443)에는 일함수를 조정하는 재료를 사용할 수 있다.

[0168] 트랜지스터(441)와 같은 반도체 영역이 볼록 형상을 가지는 트랜지스터는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고 부를 수 있다. 또한 볼록부의 상부에 접하여, 볼록부를 형성하기 위한 마스크로서의 기능을 가지는 절연체를 가져도 좋다. 또한 도 21에서는 기판(701)의 일부를 가공하여 볼록부를 형성하는 구성을 나타내었지만, SOI 기판을 가공하여 볼록 형상을 가지는 반도체를 형성하여도 좋다.

[0169] 또한 도 21에 나타낸 트랜지스터(441)의 구성은 일례이고, 그 구성에 한정되지 않고 회로 구성 또는 회로의 동작 방법 등에 따라 적절한 구성으로 하면 좋다. 예를 들어 트랜지스터(441)는 플레이너형 트랜지스터이어도 좋다.

[0170] 트랜지스터(601)는 트랜지스터(441)와 같은 구성으로 할 수 있다.

[0171] 기판(701) 위에는 소자 분리층(403), 그리고 트랜지스터(441) 및 트랜지스터(601) 외에, 절연체(405), 절연체(407), 절연체(409), 및 절연체(411)가 제공된다. 절연체(405) 내, 절연체(407) 내, 절연체(409) 내, 및 절연체(411) 내에 도전체(451)가 매립되어 있다. 여기서, 도전체(451)의 상면의 높이와 절연체(411)의 상면의 높이는 같은 정도로 할 수 있다.

[0172] 도전체(451) 위 및 절연체(411) 위에 절연체(413) 및 절연체(415)가 제공된다. 또한 절연체(413) 내 및 절연체(415) 내에 도전체(457)가 매립되어 있다. 여기서, 도전체(457)의 상면의 높이와 절연체(415)의 상면의 높이는 같은 정도로 할 수 있다.

[0173] 도전체(457) 위 및 절연체(415) 위에 절연체(417) 및 절연체(419)가 제공된다. 또한 절연체(417) 내 및 절연체(419) 내에 도전체(459)가 매립되어 있다. 여기서, 도전체(459)의 상면의 높이와 절연체(419)의 상면의 높이는

같은 정도로 할 수 있다.

[0174] 도전체(459) 위 및 절연체(419) 위에 절연체(421) 및 절연체(214)가 제공된다. 절연체(421) 내 및 절연체(214) 내에 도전체(453)가 매립되어 있다. 여기서, 도전체(453)의 상면의 높이와 절연체(214)의 상면의 높이는 같은 정도로 할 수 있다.

[0175] 도전체(453) 위 및 절연체(214) 위에 절연체(216)가 제공된다. 절연체(216) 내에 도전체(455)가 매립되어 있다. 여기서, 도전체(455)의 상면의 높이와 절연체(216)의 상면의 높이는 같은 정도로 할 수 있다.

[0176] 도전체(455) 위 및 절연체(216) 위에 절연체(222), 절연체(224), 절연체(254), 절연체(244), 절연체(280), 절연체(274), 및 절연체(281)가 제공된다. 절연체(222) 내, 절연체(224) 내, 절연체(254) 내, 절연체(244) 내, 절연체(280) 내, 절연체(274) 내, 및 절연체(281) 내에 도전체(305)가 매립되어 있다. 여기서, 도전체(305)의 상면의 높이와 절연체(281)의 상면의 높이는 같은 정도로 할 수 있다.

[0177] 도전체(305) 위 및 절연체(281) 위에 절연체(361)가 제공된다. 절연체(361) 내에 도전체(317) 및 도전체(337)가 매립되어 있다. 여기서, 도전체(337)의 상면의 높이와 절연체(361)의 상면의 높이는 같은 정도로 할 수 있다.

[0178] 도전체(337) 위 및 절연체(361) 위에 절연체(363)가 제공된다. 절연체(363) 내에 도전체(347), 도전체(353), 도전체(355), 및 도전체(357)가 매립되어 있다. 여기서, 도전체(353), 도전체(355), 및 도전체(357)의 상면의 높이와 절연체(363)의 상면의 높이는 같은 정도로 할 수 있다.

[0179] 도전체(353) 위, 도전체(355) 위, 도전체(357) 위, 및 절연체(363) 위에 접속 전극(760)이 제공된다. 또한 접속 전극(760)과 전기적으로 접속되도록 이방성 도전체(780)가 제공되고, 이방성 도전체(780)와 전기적으로 접속되도록 FPC(Flexible Printed Circuit)(716)가 제공된다. FPC(716)에 의하여, 표시 장치(10)의 외부로부터 표시 장치(10)에 각종 신호 등이 공급된다.

[0180] 도 21에 나타낸 바와 같이, 트랜지스터(441)의 소스 영역 및 드레인 영역 중 다른 쪽으로서의 기능을 가지는 저저항 영역(449b)은 도전체(451), 도전체(457), 도전체(459), 도전체(453), 도전체(455), 도전체(305), 도전체(317), 도전체(337), 도전체(347), 도전체(353), 도전체(355), 도전체(357), 접속 전극(760), 및 이방성 도전체(780)를 통하여 FPC(716)와 전기적으로 접속된다. 여기서, 도 21에서는 접속 전극(760)과 도전체(347)를 전기적으로 접속하는 기능을 가지는 도전체로서 도전체(353), 도전체(355), 및 도전체(357)의 3개를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 접속 전극(760)과 도전체(347)를 전기적으로 접속하는 기능을 가지는 도전체를 하나로 하여도 좋고, 2개로 하여도 좋고, 4개 이상으로 하여도 좋다. 접속 전극(760)과 도전체(347)를 전기적으로 접속하는 기능을 가지는 도전체를 복수로 제공함으로써 접촉 저항을 낮출 수 있다.

[0181] 절연체(214) 위에는 트랜지스터(750)가 제공된다. 트랜지스터(750)는 제 2 층(30)에 제공할 수 있다. 예를 들어 도 7 내지 도 11에 나타낸 표시 장치(10)에서 트랜지스터(750)는 표시부(33)에 제공되는 트랜지스터로 할 수 있다. 트랜지스터(750)로서는 OS 트랜지스터를 사용할 수 있다. OS 트랜지스터는 오프 전류가 매우 낮다는 특징을 가진다. 따라서, 화상 신호 등의 유지 시간을 길게 할 수 있기 때문에 리프레시 동작의 빈도를 적게 할 수 있다. 따라서, 표시 장치(10)의 소비 전력을 저감할 수 있다.

[0182] 절연체(254) 내, 절연체(244) 내, 절연체(280) 내, 절연체(274) 내, 및 절연체(281) 내에 도전체(301a) 및 도전체(301b)가 매립되어 있다. 도전체(301a)는 트랜지스터(750)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 도전체(301b)는 트랜지스터(750)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되어 있다. 여기서, 도전체(301a) 및 도전체(301b)의 상면의 높이와 절연체(281)의 상면의 높이는 같은 정도로 할 수 있다.

[0183] 절연체(361) 내에 도전체(311), 도전체(313), 도전체(331), 용량 소자(790), 도전체(333), 및 도전체(335)가 매립되어 있다. 도전체(311) 및 도전체(313)는 트랜지스터(750)와 전기적으로 접속되며 배선으로서의 기능을 가진다. 도전체(333) 및 도전체(335)는 용량 소자(790)와 전기적으로 접속되어 있다. 여기서, 도전체(331), 도전체(333), 및 도전체(335)의 상면의 높이와 절연체(361)의 상면의 높이는 같은 정도로 할 수 있다.

[0184] 절연체(363) 내에 도전체(341), 도전체(343), 및 도전체(351)가 매립되어 있다. 여기서, 도전체(351)의 상면의 높이와 절연체(363)의 상면의 높이는 같은 정도로 할 수 있다.

[0185] 절연체(405), 절연체(407), 절연체(409), 절연체(411), 절연체(413), 절연체(415), 절연체(417), 절연체(419), 절연체(421), 절연체(214), 절연체(280), 절연체(274), 절연체(281), 절연체(361), 및 절연체(363)는 층간막으

로서의 기능을 가지고, 각각의 아래쪽의 요철 형상을 피복하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어, 절연체(363)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP: Chemical Mechanical Polishing)법 등을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.

[0186] 도 21에 나타낸 바와 같이 용량 소자(790)는 하부 전극(321)과 상부 전극(325)을 가진다. 또한 하부 전극(321)과 상부 전극(325) 사이에는 절연체(323)가 제공된다. 즉, 용량 소자(790)는 한 쌍의 전극 사이에 유전체로서 기능하는 절연체(323)가 끼워진 적층형의 구조를 가진다. 또한 도 21에서는 절연체(281) 위에 용량 소자(790)를 제공하는 예를 나타내었지만, 절연체(281)와 다른 절연체 위에 용량 소자(790)를 제공하여도 좋다.

[0187] 도 21에서 도전체(301a), 도전체(301b), 및 도전체(305)가 동일한 층에 형성되는 예를 나타내었다. 또한 도전체(311), 도전체(313), 도전체(317), 및 하부 전극(321)이 동일한 층에 형성되는 예를 나타내었다. 또한 도전체(331), 도전체(333), 도전체(335), 및 도전체(337)가 동일한 층에 형성되는 예를 나타내었다. 또한 도전체(341), 도전체(343), 및 도전체(347)가 동일한 층에 형성되는 예를 나타내었다. 또한 도전체(351), 도전체(353), 도전체(355), 및 도전체(357)가 동일한 층에 형성되는 예를 나타내었다. 이와 같이 복수의 도전체를 동일한 층에 형성함으로써 표시 장치(10)의 제작 공정을 간략하게 할 수 있기 때문에, 표시 장치(10)를 저렴하게 할 수 있다. 또한 이들은 각각 상이한 층에 형성되어도 좋고, 상이한 종류의 재료를 가져도 좋다.

[0188] 도 21에 나타낸 표시 장치(10)는 발광 소자(782)를 가진다. 발광 소자(782)는 도전체(772), EL층(786), 및 도전체(788)를 가진다. EL층(786)은 유기 화합물 또는 퀀텀닷(quantum dot) 등의 무기 화합물을 가진다.

[0189] 유기 화합물에 사용할 수 있는 재료로서는 형광성 재료 또는 인광성 재료 등을 들 수 있다. 또한 퀀텀닷에 사용할 수 있는 재료로서는 콜로이드상 퀀텀닷 재료, 합금형 퀀텀닷 재료, 코어·셸형 퀀텀닷 재료, 코어형 퀀텀닷 재료 등을 들 수 있다.

[0190] 도전체(772)는 도전체(351), 도전체(341), 도전체(331), 도전체(313), 및 도전체(301b)를 통하여 트랜지스터(750)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 도전체(772)는 절연체(363) 위에 형성되고 화소 전극으로서의 기능을 가진다.

[0191] 도전체(772)에는 가시광에 대하여 투광성을 가지는 재료 또는 반사성을 가지는 재료를 사용할 수 있다. 투광성 재료로서는 예를 들어 인듐, 아연, 주석 등을 포함한 산화물 재료를 사용하면 좋다. 반사성 재료로서는 예를 들어 알루미늄, 은 등을 포함한 재료를 사용하면 좋다.

[0192] 또한 도 21에는 도시하지 않았지만, 표시 장치(10)에는 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등을 제공할 수 있다.

[0193] 기판(705) 측에는 차광층(738)과, 이들에 접하는 절연체(734)가 제공된다. 차광층(738)은 인접한 영역으로부터 방출되는 광을 차단하는 기능을 가진다. 또는 차광층(738)은 외광이 트랜지스터(750) 등에 도달하는 것을 차단하는 기능을 가진다.

[0194] 도 21에 나타낸 표시 장치(10)에는 절연체(363) 위에 절연체(730)가 제공된다. 여기서 절연체(730)는 도전체(772)의 일부를 덮는 구성으로 할 수 있다. 또한 발광 소자(782)는 투광성의 도전체(788)를 가지고, 톱 이미션형의 발광 소자로 할 수 있다. 또한 발광 소자(782)는 도전체(772) 측으로 광을 사출하는 보텀 이미션 구조, 또는 도전체(772) 및 도전체(788)의 양쪽으로 광을 사출하는 듀얼 이미션 구조로 하여도 좋다.

[0195] 또한 차광층(738)은 절연체(730)와 중첩되는 영역을 가지도록 제공되어 있다. 또한 차광층(738)은 절연체(734)로 덮여 있다. 또한 발광 소자(782)와 절연체(734) 사이는 밀봉층(732)으로 충전(充塡)되어 있다.

[0196] 또한 구조체(778)는 절연체(730)와 EL층(786) 사이에 제공된다. 또한 구조체(778)는 절연체(730)와 절연체(734) 사이에 제공된다.

[0197] 도 22는 도 21에 나타낸 표시 장치(10)의 변형예이고, 착색층(736)을 제공한 점이 도 21에 나타낸 표시 장치(10)와 다르다. 또한 착색층(736)은 발광 소자(782)와 중첩되는 영역을 가지도록 제공된다. 착색층(736)을 제공함으로써, 발광 소자(782)로부터 추출되는 광의 색 순도를 높일 수 있다. 이로써, 표시 장치(10)에 고품질의 화상을 표시할 수 있다. 또한 예를 들어 표시 장치(10)의 모든 발광 소자(782)를 백색광을 발하는 발광 소자로 할 수 있기 때문에, EL층(786)을 개별 도포 방식으로 형성하지 않아도 되므로, 고정세의 표시 장치(10)로 할 수 있다.

[0198] 발광 소자(782)는 미소 광공진기(마이크로캐비티) 구조를 가질 수 있다. 이로써, 착색층을 제공하지 않아도 소

정의 색의 광(예를 들어 RGB)을 추출할 수 있으므로 표시 장치(10)는 컬러 표시를 할 수 있다. 착색층을 제공하지 않는 구성으로 함으로써, 착색층에 의한 광의 흡수를 억제할 수 있다. 이로써, 표시 장치(10)는 고휘도의 화상을 표시할 수 있고, 표시 장치(10)의 소비 전력을 저감할 수 있다. 또한 EL층(786)을 화소마다 섬 형상으로, 또는 화소 열마다 줄무늬 형상으로 형성하는 경우, 즉 개별 도포 방식으로 형성하는 경우에도 착색층을 제공하지 않는 구성으로 할 수 있다.

[0199] 도 21 및 도 22에서는 트랜지스터(441) 및 트랜지스터(601)를 기판(701)의 내부에 채널 형성 영역이 형성되도록 제공하고, 트랜지스터(441) 및 트랜지스터(601) 위에 적층하여 OS 트랜지스터를 제공하는 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 도 23은 도 22의 변형예이고, 트랜지스터(441) 및 트랜지스터(601)가 아니라 OS 트랜지스터인 트랜지스터(602) 및 트랜지스터(603) 위에 적층되어 트랜지스터(750)가 제공되는 점이 도 22에 나타낸 구성의 표시 장치(10)와 다르다. 즉, 도 23에 나타낸 구성의 표시 장치(10)는 OS 트랜지스터가 적층되어 제공된다.

[0200] 기판(701) 위에는 절연체(613) 및 절연체(614)가 제공되고, 절연체(614) 위에는 트랜지스터(602) 및 트랜지스터(603)가 제공된다. 또한 기판(701)과 절연체(613) 사이에 트랜지스터 등이 제공되어도 좋다. 예를 들어, 기판(701)과 절연체(613) 사이에 도 22에 나타낸 트랜지스터(441) 및 트랜지스터(601)와 같은 구성의 트랜지스터를 제공하여도 좋다.

[0201] 트랜지스터(602) 및 트랜지스터(603)는 제 1 층(20)에 제공할 수 있다. 예를 들어 도 7 및 도 9에 나타낸 표시 장치(10)에서 트랜지스터(602) 및 트랜지스터(603)는 제 1 회로(21)에 제공되는 트랜지스터로 할 수 있다. 예를 들어 도 10 및 도 11에 나타낸 표시 장치(10)에서 트랜지스터(602) 및 트랜지스터(603)는 제 1 회로(21) 또는 제 2 회로(22)에 제공되는 트랜지스터로 할 수 있다.

[0202] 트랜지스터(602) 및 트랜지스터(603)는 트랜지스터(750)와 같은 구성의 트랜지스터로 할 수 있다. 또한 트랜지스터(602) 및 트랜지스터(603)를 트랜지스터(750)와 다른 구성의 OS 트랜지스터로 하여도 좋다.

[0203] 절연체(614) 위에는 트랜지스터(602) 및 트랜지스터(603) 외에, 절연체(616), 절연체(622), 절연체(624), 절연체(654), 절연체(644), 절연체(680), 절연체(674), 및 절연체(681)가 제공된다. 절연체(654) 내, 절연체(644) 내, 절연체(680) 내, 절연체(674) 내, 및 절연체(681) 내에 도전체(461)가 매립되어 있다. 여기서, 도전체(461)의 상면의 높이와 절연체(681)의 상면의 높이는 같은 정도로 할 수 있다.

[0204] 도전체(461) 위 및 절연체(681) 위에 절연체(501)가 제공된다. 절연체(501) 내에 도전체(463)가 매립되어 있다. 여기서, 도전체(463)의 상면의 높이와 절연체(501)의 상면의 높이는 같은 정도로 할 수 있다.

[0205] 도전체(463) 위 및 절연체(501) 위에 절연체(503)가 제공된다. 절연체(503) 내에 도전체(465)가 매립되어 있다. 여기서, 도전체(465)의 상면의 높이와 절연체(503)의 상면의 높이는 같은 정도로 할 수 있다.

[0206] 도전체(465) 위 및 절연체(503) 위에 절연체(505)가 제공된다. 또한 절연체(505) 내에 도전체(467)가 매립되어 있다. 여기서, 도전체(467)의 상면의 높이와 절연체(505)의 상면의 높이는 같은 정도로 할 수 있다.

[0207] 도전체(467) 위 및 절연체(505) 위에 절연체(507)가 제공된다. 절연체(507) 내에 도전체(469)가 매립되어 있다. 여기서, 도전체(469)의 상면의 높이와 절연체(507)의 상면의 높이는 같은 정도로 할 수 있다.

[0208] 도전체(469) 위 및 절연체(507) 위에 절연체(509)가 제공된다. 또한 절연체(509) 내에 도전체(471)가 매립되어 있다. 여기서, 도전체(471)의 상면의 높이와 절연체(509)의 상면의 높이는 같은 정도로 할 수 있다.

[0209] 도전체(471) 위 및 절연체(509) 위에 절연체(421) 및 절연체(214)가 제공된다. 절연체(421) 내 및 절연체(214) 내에 도전체(453)가 매립되어 있다. 여기서, 도전체(453)의 상면의 높이와 절연체(214)의 상면의 높이는 같은 정도로 할 수 있다.

[0210] 도 23에 나타낸 바와 같이, 트랜지스터(602)의 소스 및 드레인 중 한쪽은 도전체(461), 도전체(463), 도전체(465), 도전체(467), 도전체(469), 도전체(471), 도전체(453), 도전체(455), 도전체(305), 도전체(317), 도전체(337), 도전체(347), 도전체(353), 도전체(355), 도전체(357), 접속 전극(760), 및 이방성 도전체(780)를 통하여 FPC(716)와 전기적으로 접속된다.

[0211] 절연체(613), 절연체(614), 절연체(680), 절연체(674), 절연체(681), 절연체(501), 절연체(503), 절연체(505), 절연체(507), 및 절연체(509)는 층간막으로서의 기능을 가지고, 각각의 아래쪽의 요철 형상을 피복하는 평탄화막으로서의 기능을 가져도 좋다.

[0212] 표시 장치(10)를 도 23에 나타낸 구성으로 함으로써, 표시 장치(10)를 슬림 베젤화, 소형화시키면서, 표시 장치(10)가 가지는 트랜지스터를 모두 OS 트랜지스터로 할 수 있다. 이로써, 예를 들어 제 1 층(20)에 제공되는 트랜지스터와, 제 2 층(30)에 제공되는 트랜지스터를 동일한 장치를 사용하여 제작할 수 있다. 따라서, 표시 장치(10)의 제작 비용을 절감할 수 있어 표시 장치(10)를 저렴하게 할 수 있다.

[0213] <표시 장치의 단면 구성예 2>

[0214] 도 24는 표시 장치(10A)의 구성예를 나타낸 단면도이다. 트랜지스터(750)를 가지는 층과 트랜지스터(602) 및 트랜지스터(603)를 가지는 층 사이에, 트랜지스터(800)를 가지는 층을 가지는 점에서, 도 22에 나타낸 표시 장치(10)와 주로 다르다.

[0215] 트랜지스터(602) 및 트랜지스터(603)는 도 12의 (A) 등에 나타낸 제 1 회로층(20a)에 제공할 수 있다. 트랜지스터(800)는 제 2 회로층(20b)에 제공할 수 있다. 예를 들어 도 12의 (A)에 나타낸 표시 장치(10A)에서 트랜지스터(800)는 메모리 회로(93)에 제공되는 트랜지스터로 할 수 있다. 또한 트랜지스터(602) 및 트랜지스터(603)는 메모리 회로(93) 외의 구성 요소(논리 회로(81) 등)에 제공되는 트랜지스터로 할 수 있다.

[0216] 도전체(459) 위 및 절연체(419) 위에 절연체(821) 및 절연체(814)가 제공된다. 절연체(821) 내 및 절연체(814) 내에 도전체(853)가 매립되어 있다. 여기서, 도전체(853)의 상면의 높이와 절연체(814)의 상면의 높이는 같은 정도로 할 수 있다.

[0217] 도전체(853) 위 및 절연체(814) 위에 절연체(816)가 제공된다. 절연체(816) 내에 도전체(855)가 매립되어 있다. 여기서, 도전체(855)의 상면의 높이와 절연체(816)의 상면의 높이는 같은 정도로 할 수 있다.

[0218] 도전체(855) 위 및 절연체(816) 위에 절연체(822), 절연체(824), 절연체(854), 절연체(844), 절연체(880), 절연체(874), 및 절연체(881)가 제공된다. 절연체(822) 내, 절연체(824) 내, 절연체(854) 내, 절연체(844) 내, 절연체(880) 내, 절연체(874) 내, 및 절연체(881) 내에 도전체(805)가 매립되어 있다. 여기서, 도전체(805)의 상면의 높이와 절연체(881)의 상면의 높이는 같은 정도로 할 수 있다.

[0219] 도전체(817) 위 및 절연체(881) 위에 절연체(421) 및 절연체(214)가 제공된다.

[0220] 도 24에 나타낸 바와 같이, 트랜지스터(441)의 소스 영역 및 드레인 영역 중 다른 쪽으로서의 기능을 가지는 저저항 영역(449b)은 도전체(451), 도전체(457), 도전체(459), 도전체(853), 도전체(855), 도전체(805), 도전체(817), 도전체(453), 도전체(455), 도전체(305), 도전체(317), 도전체(337), 도전체(347), 도전체(353), 도전체(355), 도전체(357), 접속 전극(760), 및 이방성 도전체(780)를 통하여 FPC(716)와 전기적으로 접속된다.

[0221] 절연체(814) 위에는 트랜지스터(800)가 제공된다. 트랜지스터(800)는 제 2 회로층(20b)에 제공할 수 있다. 예를 들어 도 12의 (A)에 나타낸 표시 장치(10A)에서 트랜지스터(800)는 메모리 회로(93)에 제공되는 트랜지스터로 할 수 있다. 트랜지스터(800)는 OS 트랜지스터로 하는 것이 바람직하다.

[0222] 절연체(854) 내, 절연체(844) 내, 절연체(880) 내, 절연체(874) 내, 및 절연체(881) 내에 도전체(801a) 및 도전체(801b)가 매립되어 있다. 도전체(801a)는 트랜지스터(800)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 도전체(801b)는 트랜지스터(800)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 여기서, 도전체(801a) 및 도전체(801b)의 상면의 높이와 절연체(881)의 상면의 높이는 같은 정도로 할 수 있다.

[0223] 절연체(214) 위에는 트랜지스터(750)가 제공된다. 트랜지스터(750)는 제 2 층(30)에 제공할 수 있다. 예를 들어 도 12의 (A)에 나타낸 표시 장치(10A)에서 트랜지스터(750)는 표시부(33)에 제공되는 트랜지스터로 할 수 있다. 트랜지스터(750)는 OS 트랜지스터로 하는 것이 바람직하다.

[0224] 도전체(301a)는 트랜지스터(750)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 도전체(301b)는 트랜지스터(750)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 여기서, 도전체(301a) 및 도전체(301b)의 상면의 높이와 절연체(281)의 상면의 높이는 같은 정도로 할 수 있다.

[0225] 또한 트랜지스터(441) 및 트랜지스터(601) 등이 제공되는 층과 트랜지스터(800) 등이 제공되는 층 사이에 OS 트랜지스터 등을 제공하여도 좋다. 또한 트랜지스터(800) 등이 제공되는 층과 트랜지스터(750) 등이 제공되는 층 사이에 OS 트랜지스터 등을 제공하여도 좋다. 또한 트랜지스터(750) 등이 제공되는 층보다 위층에 OS 트랜지스터 등을 제공하여도 좋다.

[0226] 도전체(311) 및 도전체(313)는 트랜지스터(750)와 전기적으로 접속되며 배선으로서의 기능을 가진다. 도전체

(333) 및 도전체(335)는 용량 소자(790)와 전기적으로 접속된다.

[0227] 절연체(405), 절연체(407), 절연체(409), 절연체(411), 절연체(413), 절연체(415), 절연체(417), 절연체(419), 절연체(821), 절연체(814), 절연체(880), 절연체(874), 절연체(881), 절연체(421), 절연체(214), 절연체(280), 절연체(274), 절연체(281), 절연체(361), 및 절연체(363)는 층간막으로서의 기능을 가지고, 각각의 아래쪽의 요철 형상을 피복하는 평탄화막으로서의 기능을 가져도 좋다.

[0228] 도 24에 나타낸 바와 같이, 용량 소자(790)는 하부 전극(321)과 상부 전극(325)을 가진다. 또한 하부 전극(321)과 상부 전극(325) 사이에는 절연체(323)가 제공된다. 즉, 용량 소자(790)는 한 쌍의 전극 사이에 유전체로서 기능하는 절연체(323)가 끼워진 적층형 구조를 가진다. 또한 도 24에서는 절연체(281) 위에 용량 소자(790)를 제공하는 예를 나타내었지만, 절연체(281)와 다른 절연체 위에 용량 소자(790)를 제공하여도 좋다.

[0229] 도 24에서 도전체(801a), 도전체(801b), 및 도전체(805)가 동일한 층에 형성되는 예를 나타내었다. 또한 도전체(811), 도전체(813), 및 도전체(817)가 동일한 층에 형성되는 예를 나타내었다.

[0230] 도 24에서는 트랜지스터(441) 및 트랜지스터(601)를 기판(701)의 내부에 채널 형성 영역이 형성되도록 제공하고, 트랜지스터(441) 및 트랜지스터(601) 위에 적층하여 OS 트랜지스터를 제공하는 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 도 25는 도 24의 변형예이고, 트랜지스터(441) 및 트랜지스터(601)가 아니라 OS 트랜지스터인 트랜지스터(602) 및 트랜지스터(603) 위에 적층하여 트랜지스터(800)와, 트랜지스터(750) 또는 트랜지스터(750)가 제공되는 점이 도 24에 나타낸 구성의 표시 장치(10A)와 다르다. 즉, 도 25에 나타낸 구성의 표시 장치(10A)에서는 OS 트랜지스터가 3층 적층되어 제공된다.

[0231] 트랜지스터(602) 및 트랜지스터(603) 등이 제공되는 층과 트랜지스터(800) 등이 제공되는 층 사이에 OS 트랜지스터 등을 제공하여도 좋다. 또한 트랜지스터(800) 등이 제공되는 층과 트랜지스터(750) 또는 트랜지스터(750) 등이 제공되는 층 사이에 OS 트랜지스터 등을 제공하여도 좋다. 또한 트랜지스터(750) 등이 제공되는 층보다 위층에 OS 트랜지스터 등을 제공하여도 좋다.

[0232] 트랜지스터(602) 및 트랜지스터(603)는 도 12의 (A) 등에 나타낸 제 1 회로층(20a)에 제공할 수 있다. 트랜지스터(800)는 제 2 회로층(20b)에 제공할 수 있다. 예를 들어 도 12의 (A)에 나타낸 표시 장치(10A)에서 트랜지스터(800)는 메모리 회로(93)에 제공되는 트랜지스터로 할 수 있다. 또한 트랜지스터(602) 및 트랜지스터(603)는 메모리 회로(93) 이외의 구성 요소(논리 회로(81) 등)에 제공되는 트랜지스터로 할 수 있다.

[0233] 도전체(471) 위 및 절연체(509) 위에 절연체(821) 및 절연체(814)가 제공된다. 절연체(821) 내 및 절연체(814) 내에 도전체(853)가 매립되어 있다. 여기서, 도전체(853)의 상면의 높이와 절연체(814)의 상면의 높이는 같은 정도로 할 수 있다.

[0234] 도 25에 나타낸 바와 같이, 트랜지스터(602)의 소스 및 드레인 중 한쪽은 도전체(461), 도전체(463), 도전체(465), 도전체(467), 도전체(469), 도전체(471), 도전체(853), 도전체(855), 도전체(805), 도전체(817), 도전체(453), 도전체(455), 도전체(305), 도전체(317), 도전체(337), 도전체(347), 도전체(353), 도전체(355), 도전체(357), 접속 전극(760), 및 이방성 도전체(780)를 통하여 FPC(716)와 전기적으로 접속된다.

[0235] 표시 장치(10A)를 도 25에 나타낸 구성으로 함으로써, 표시 장치(10A)를 슬림 베젤화, 소형화시키면서, 표시 장치(10A)가 가지는 트랜지스터를 모두 OS 트랜지스터로 할 수 있다. 이로써, 상이한 종류의 트랜지스터를 제작할 필요가 없어지기 때문에 표시 장치(10A)의 제작 비용을 절감할 수 있어 표시 장치(10A)를 저렴하게 할 수 있다.

[0236] <부화소의 구성예>

[0237] 도 26의 (A) 및 (B)는 본 발명의 일 형태의 표시 장치에 적용할 수 있는 부화소(901)의 구성예를 나타낸 상면도이다. 부화소(901)는 도 18의 등에 나타낸 회로 구성으로 할 수 있다. 여기서 트랜지스터(552)는 게이트 외에 백 게이트를 가지고, 상기 백 게이트는 배선(도시 생략)과 전기적으로 접속된다. 또한 트랜지스터(750)는 게이트 외에 백 게이트를 가지고, 상기 백 게이트는 트랜지스터(750)의 소스 및 드레인 중 다른 쪽, 용량 소자(790)의 다른 쪽 전극, 및 발광 소자(572)의 한쪽 전극과 전기적으로 접속된다.

[0238] 도 26의 (A)에는 부화소(901)가 가지는 트랜지스터, 용량 소자, 배선 등을 구성하는 도전체 및 반도체를 나타내었다. 도 26의 (B)에는 도 26의 (A)에 나타낸 구성에 더하여 발광 소자(572)의 한쪽 전극으로서의 기능을 가지는 도전체(772)를 나타내었다. 또한 도 26의 (A) 및 (B) 모두에서 발광 소자(572)의 다른 쪽 전극으로서의 기능을 가지는 도전체 등은 생략하였다. 여기서 발광 소자(572)의 한쪽 전극은 화소 전극으로서의 기능을

가지고, 발광 소자(572)의 다른 쪽 전극은 공통 전극으로서의 기능을 가진다.

[0239] 도 26의 (A) 및 (B)에 나타낸 바와 같이 부화소(901)는 도전체(911)와, 도전체(912)와, 반도체(913)와, 반도체(914)와, 도전체(915a)와, 도전체(915b)와, 도전체(916a)와, 도전체(916b)와, 도전체(917)와, 도전체(918)와, 도전체(919)와, 도전체(920)와, 도전체(921)와, 도전체(922)와, 도전체(923)와, 도전체(924)와, 도전체(925)와, 도전체(926)와, 도전체(927)와, 도전체(928)와, 도전체(929)와, 도전체(930)와, 도전체(931)와, 도전체(772)를 가진다.

[0240] 도전체(911) 및 도전체(912)는 동일한 공정에서 형성할 수 있다. 반도체(913) 및 반도체(914)는 동일한 공정에서 형성되고, 도전체(911) 및 도전체(912)보다 후의 공정에서 형성될 수 있다. 도전체(915a) 및 도전체(915b), 그리고 도전체(916a) 및 도전체(916b)는 동일한 공정에서 형성되고, 도전체(911) 및 도전체(912)보다 후의 공정에서 형성될 수 있다. 도전체(917) 및 도전체(918)는 동일한 공정에서 형성되고, 반도체(913) 및 반도체(914), 그리고 도전체(915a), 도전체(915b), 도전체(916a), 및 도전체(916b)보다 후의 공정에서 형성될 수 있다.

[0241] 도전체(919) 내지 도전체(923)는 동일한 공정에서 형성되고, 도전체(917) 및 도전체(918)보다 후의 공정에서 형성될 수 있다. 도전체(924)는 도전체(919) 내지 도전체(923)보다 후의 공정에서 형성될 수 있다. 도전체(925) 내지 도전체(928)는 동일한 공정에서 형성되고, 도전체(924)보다 후의 공정에서 형성될 수 있다. 도전체(929) 내지 도전체(931)는 동일한 공정에서 형성되고, 도전체(925) 내지 도전체(928)보다 후의 공정에서 형성될 수 있다. 도전체(772)는 도전체(929) 내지 도전체(931)보다 후의 공정에서 형성될 수 있다.

[0242] 본 명세서 등에서 동일한 공정에서 형성된 요소는 동일한 층에 제공된다고 할 수 있다. 예를 들어 도전체(911)와 도전체(912)는 동일한 공정에서 형성될 수 있기 때문에, 도전체(911)와 도전체(912)는 동일한 층에 제공된다고 할 수 있다. 또한 추후의 공정에서 형성된 요소는 앞의 공정에서 형성된 요소보다 위층에 제공된다고 할 수 있다. 예를 들어 도전체(929) 내지 도전체(931)는 도전체(925) 내지 도전체(928)보다 후의 공정에서 형성될 수 있기 때문에, 도전체(929) 내지 도전체(931)는 도전체(925) 내지 도전체(928)보다 위층에 제공된다고 할 수 있다.

[0243] 도전체(911)는 트랜지스터(552)의 백 게이트 전극으로서의 기능을 가진다. 반도체(913)는 트랜지스터(552)의 채널 형성 영역을 가진다. 도전체(915a)는 트랜지스터(552)의 소스 전극 및 드레인 전극 중 한쪽으로서의 기능을 가진다. 도전체(915b)는 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능을 가진다. 도전체(917)는 트랜지스터(552)의 게이트 전극으로서의 기능을 가진다.

[0244] 도전체(912)는 트랜지스터(750)의 백 게이트 전극으로서의 기능을 가진다. 반도체(914)는 트랜지스터(750)의 채널 형성 영역을 가진다. 도전체(916a)는 트랜지스터(750)의 소스 전극 및 드레인 전극 중 한쪽으로서의 기능을 가진다. 도전체(916b)는 트랜지스터(750)의 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능을 가진다. 도전체(918)는 트랜지스터(750)의 게이트 전극으로서의 기능을 가진다.

[0245] 도전체(919)는 용량 소자(790)의 한쪽 전극으로서의 기능을 가진다. 도전체(924)는 용량 소자(790)의 다른 쪽 전극으로서의 기능을 가진다. 도전체(925)는 주사선으로서의 기능을 가지는 배선(31)에 대응한다. 도전체(929)는 데이터선으로서의 기능을 가지는 배선(32)에 대응한다. 도전체(930)는 전원선으로서의 기능을 가지는 배선에 대응한다. 도전체(772)는 상술한 바와 같이 발광 소자(572)의 한쪽 전극으로서의 기능을 가진다.

[0246] 도전체(911)는 도전체(920)와 전기적으로 접속된다. 도전체(912)는 도전체(923)와 전기적으로 접속된다. 도전체(915a)는 도전체(921)와 전기적으로 접속된다. 도전체(915b)는 도전체(919)와 전기적으로 접속된다. 도전체(916a)는 도전체(922)와 전기적으로 접속된다.

[0247] 도전체(916b)는 도전체(923)와 전기적으로 접속된다. 즉, 트랜지스터(750)의 백 게이트 전극으로서의 기능을 가지는 도전체(912)와, 트랜지스터(750)의 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능을 가지는 도전체(916b)는 도전체(923)를 통하여 전기적으로 접속된다.

[0248] 도전체(917)는 도전체(920)와 전기적으로 접속된다. 즉, 트랜지스터(552)의 백 게이트 전극으로서의 기능을 가지는 도전체(911)와, 트랜지스터(552)의 게이트 전극으로서의 기능을 가지는 도전체(917)는 도전체(920)를 통하여 전기적으로 접속된다.

[0249] 도전체(920)는 도전체(925)와 전기적으로 접속된다. 즉, 트랜지스터(552)의 게이트 전극으로서의 기능을 가지는 도전체(917)와, 주사선으로서의 기능을 가지는 도전체(925)는 도전체(920)를 통하여 전기적으로 접속된다.

[0250] 도전체(917)는 도전체(919)와 전기적으로 접속된다. 도전체(921)는 도전체(926)와 전기적으로 접속된다. 도전

체(922)는 도전체(927)와 전기적으로 접속된다. 도전체(923)는 도전체(928)와 전기적으로 접속된다. 도전체(924)는 도전체(928)와 전기적으로 접속된다.

[0251] 도전체(926)는 도전체(929)와 전기적으로 접속된다. 즉, 트랜지스터(552)의 소스 전극 및 드레인 전극 중 한쪽으로서의 기능을 가지는 도전체(915a)와, 데이터선으로서의 기능을 가지는 도전체(929)는 도전체(921) 및 도전체(926)를 통하여 전기적으로 접속된다.

[0252] 도전체(927)는 도전체(930)와 전기적으로 접속된다. 즉, 트랜지스터(750)의 소스 전극 및 드레인 전극 중 한쪽으로서의 기능을 가지는 도전체(916a)와, 전원선으로서의 기능을 가지는 도전체(930)는 도전체(922) 및 도전체(927)를 통하여 전기적으로 접속된다.

[0253] 도전체(928)는 도전체(931)와 전기적으로 접속된다. 도전체(931)는 도전체(772)와 전기적으로 접속된다.

[0254] 반도체(913) 및 반도체(914)는 예를 들어 금속 산화물을 가질 수 있다. 따라서, 트랜지스터(552) 내지 트랜지스터(750)는 OS 트랜지스터로 할 수 있다.

[0255] 도 27은 도 26의 (B)에 나타낸 구성의 부화소(901)로 구성된 화소(902)의 구성예를 나타낸 상면도이다. 도 27에서, 부화소(901R)는 적색광을 사출하는 기능을 가지는 부화소(901)를 나타내고, 부화소(901G)는 녹색광을 사출하는 기능을 가지는 부화소(901)를 나타내고, 부화소(901B)는 청색광을 사출하는 기능을 가지는 부화소(901)를 나타낸다. 도 27에 나타낸 바와 같이, 부화소(901R)와, 부화소(901G)와, 부화소(901B)로 화소(902)가 구성된다. 구체적으로는, 상단에 제공되는 부화소(901R) 및 부화소(901B)와, 하단에 제공되는 부화소(901G)로 하나의 화소(902)가 구성된다. 또한 상단에 제공되는 부화소(901G)와, 하단에 제공되는 부화소(901R) 및 부화소(901B)로 하나의 화소(902)가 구성된다.

[0256] 도 27에서, 상단에 제공된 부화소(901R), 부화소(901G), 및 부화소(901B)와, 하단에 제공된 부화소(901R), 부화소(901G), 및 부화소(901B)는 각각 좌우가 반전된 구성을 가진다. 이와 같은 구성으로 함으로써, 주사선으로서의 기능을 가지는 도전체(925)의 연장 방향을 향하여 같은 색의 부화소(901)를 번갈아 배열할 수 있다. 이에 의하여, 하나의 데이터선에는 같은 색의 광을 사출하는 기능을 가지는 부화소(901)가 전기적으로 접속되는 구성으로 할 수 있다. 즉, 부화소(901R), 부화소(901G), 및 부화소(901B) 중 2종류 이상의 부화소(901)가 하나의 데이터선과 전기적으로 접속되는 것을 억제할 수 있다.

[0257] 도 28은 도 26의 (B)에 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 절연체(1021) 위에 트랜지스터(552)가 제공된다. 또한 트랜지스터(552) 위에 절연체(1022)가 제공되고, 절연체(1022) 위에는 절연체(1023)가 제공된다. 또한 절연체(1023) 위에 용량 소자(562)가 제공된다. 또한 절연체(1021)보다 아래층에 기판이 제공된다. 또한 상기 기판과 절연체(1021) 사이에, 도 1의 (A) 등에 나타낸 제 1 층(20)의 구성 요소(제 1 회로(21) 등)를 제공할 수 있다.

[0258] 도 28에 나타낸 바와 같이, 상이한 층에 제공된 도전체들은 플러그로서의 기능을 가지는 도전체(990)를 통하여 전기적으로 접속된다. 예를 들어 도전체(915a)와, 도전체(915a)보다 위층에 제공되는 도전체(921)는 도전체(990)를 통하여 전기적으로 접속된다. 도전체(990)는 도 19 등에 나타낸 도전체(853), 도전체(805), 도전체(453), 도전체(305), 도전체(337), 도전체(353), 도전체(355), 도전체(357), 도전체(301a), 도전체(301b), 도전체(331), 도전체(351), 도전체(333), 도전체(335)와 같은 구성으로 할 수 있다.

[0259] 도전체(919) 내지 도전체(923) 위 및 절연체(1023) 위에는 절연체(1024)가 제공된다. 절연체(1024) 위에는 도전체(924)가 제공된다. 도전체(919)와, 절연체(1024)와, 도전체(924)로 용량 소자(790)가 구성된다.

[0260] 도전체(924) 위 및 절연체(1024) 위에는 절연체(1025)가 제공된다. 도전체(925) 내지 도전체(928) 위 및 절연체(1025) 위에는 절연체(1026)가 제공된다. 도전체(929) 내지 도전체(931) 위 및 절연체(1026) 위에는 절연체(1027)가 제공된다.

[0261] 절연체(1027) 위에는 도전체(772) 및 절연체(730)가 제공된다. 여기서 절연체(730)는 도전체(772)의 일부를 덮는 구성으로 할 수 있다. 도전체(772)와, EL층(786)과, 도전체(788)로 발광 소자(572)가 구성된다.

[0262] 도전체(788) 위에는 접착층(991)이 제공되고, 접착층(991) 위에는 절연체(992)가 제공된다. 접착층(991) 위의 절연체(992)는 이하의 방법으로 형성할 수 있다. 우선, 발광 소자(572) 등이 형성되는 기판과는 다른 기판 위에 절연체(992)를 형성한다. 다음으로, 도전체(788)와 절연체(992)를 접착층(991)으로 접착한다. 그 후, 절연체(992)를 형성한 기판을 박리한다. 상술한 바와 같이 하여 도전체(788) 위에 절연체(992)를 형성할 수 있다.

[0263] 절연체(992) 위에는 착색층이 제공된다. 도 28에는 착색층으로서 착색층(993a) 및 착색층(993b)을 도시하였다. 착색층(993a) 및 착색층(993b) 위에는 접착층(994)으로 기판(995)이 접합되어 있다.

[0264] 착색층(993b)은 착색층(993a)과 다른 색의 광을 투과시키는 기능을 가진다. 예를 들어 화소(902)가 적색광을 사출하는 기능을 가지는 부화소(901R), 녹색광을 사출하는 기능을 가지는 부화소(901G), 청색광을 사출하는 기능을 가지는 부화소(901B)로 구성되고, 착색층(993a)이 적색광을 투과시키는 기능을 가지는 경우, 착색층(993b)은 녹색광 또는 청색광을 투과시키는 기능을 가진다.

[0265] 절연체(992) 위에 착색층(993a) 및 착색층(993b)을 형성함으로써, 착색층(993a) 및 착색층(993b)과 발광 소자(572)의 위치를 용이하게 맞출 수 있다. 이로써, 본 발명의 일 형태의 표시 장치의 정세도를 높일 수 있다.

[0266] <발광 소자(572)의 구성예>

[0267] 도 29의 (A) 내지 (E)는 발광 소자(572)의 구성예를 나타낸 도면이다. 도 29의 (A)에는 도전체(772)와 도전체(788) 사이에 EL층(786)이 끼워진 구조(싱글 구조)를 나타내었다. 상술한 바와 같이, EL층(786)에는 발광 재료가 포함되고, 예를 들어 유기 화합물인 발광 재료가 포함된다.

[0268] 도 29의 (B)는 EL층(786)의 적층 구조를 나타낸 도면이다. 여기서, 도 29의 (B)에 나타낸 구조의 발광 소자(572)에서는 도전체(772)는 양극으로서의 기능을 가지고, 도전체(788)는 음극으로서의 기능을 가진다.

[0269] EL층(786)은 도전체(772) 위에 정공 주입층(721), 정공 수송층(722), 발광층(723), 전자 수송층(724), 전자 주입층(725)이 순차적으로 적층된 구조를 가진다. 또한 도전체(772)가 음극으로서의 기능을 가지고, 도전체(788)가 양극으로서의 기능을 가지는 경우에는 적층 순서는 반대가 된다.

[0270] 발광층(723)은 발광 재료나 복수의 재료를 적절히 조합하여 가지고, 원하는 발광색을 나타내는 형광 발광이나 인광 발광을 얻을 수 있는 구성으로 할 수 있다. 또한 발광층(723)을 발광색이 상이한 적층 구조로 하여도 좋다. 또한 이 경우, 적층된 각 발광층에 사용되는 발광 물질이나 기타 물질로서 각각 상이한 재료를 사용하면 좋다.

[0271] 발광 소자(572)에서, 예를 들어 도 29의 (B)에 나타낸 도전체(772)를 반사 전극으로 하고, 도전체(788)를 반투과·반반사 전극으로 하고, 미소 광공진기(마이크로캐비티) 구조로 함으로써, EL층(786)에 포함되는 발광층(723)으로부터 얻어지는 발광을 양쪽 전극 간에서 공진시켜, 도전체(788)를 투과하여 사출되는 발광을 강하게 할 수 있다.

[0272] 또한 발광 소자(572)의 도전체(772)가 반사성을 가지는 도전성 재료와 투광성을 가지는 도전성 재료(투명 도전막)의 적층 구조로 이루어지는 반사 전극인 경우, 투명 도전막의 막 두께를 제어함으로써 광학 조정을 수행할 수 있다. 구체적으로는, 발광층(723)으로부터 얻어지는 광의 파장 λ에 대하여 도전체(772)와 도전체(788)의 전극 간 거리가 mλ/2(다만, m은 자연수) 근방이 되도록 조정하는 것이 바람직하다.

[0273] 또한 발광층(723)으로부터 얻어지는 원하는 광(파장: λ)을 증폭시키기 위하여, 도전체(772)로부터 발광층에서 원하는 광이 얻어지는 영역(발광 영역)까지의 광학 거리와, 도전체(788)로부터 발광층(723)에서 원하는 광이 얻어지는 영역(발광 영역)까지의 광학 거리를 각각 (2m'+1)λ/4(다만, m'은 자연수) 근방이 되도록 조절하는 것이 바람직하다. 또한 여기서 발광 영역이란, 발광층(723)에서의 정공(홀)과 전자의 재결합 영역을 가리킨다.

[0274] 이와 같은 광학 조정을 수행함으로써, 발광층(723)으로부터 얻어지는 특정의 단색광의 스펙트럼을 협선화(狹線化)시켜, 색 순도가 좋은 발광을 얻을 수 있다.

[0275] 다만, 상술한 경우, 도전체(772)와 도전체(788)의 광학 거리는 엄밀하게는 도전체(772)에서의 반사 영역으로부터 도전체(788)에서의 반사 영역까지의 총두께라고 할 수 있다. 그러나, 도전체(772)나 도전체(788)에서의 반사 영역을 엄밀하게 결정하는 것은 어렵기 때문에, 도전체(772)와 도전체(788)의 임의의 위치를 반사 영역으로 가정함으로써 충분히 상술한 효과를 얻을 수 있는 것으로 한다. 또한 도전체(772)와 원하는 광이 얻어지는 발광층의 광학 거리는 엄밀하게는 도전체(772)에서의 반사 영역과 원하는 광이 얻어지는 발광층에서의 발광 영역의 광학 거리라고 할 수 있다. 그러나, 도전체(772)에서의 반사 영역이나 원하는 광이 얻어지는 발광층에서의 발광 영역을 엄밀하게 결정하는 것은 어렵기 때문에, 도전체(772)의 임의의 위치를 반사 영역, 원하는 광이 얻어지는 발광층의 임의의 위치를 발광 영역으로 가정함으로써 충분히 상술한 효과를 얻을 수 있는 것으로 한다.

[0276] 도 29의 (B)에 나타낸 발광 소자(572)는 마이크로캐비티 구조를 가지기 때문에, 같은 EL층을 가져도 상이한 파장의 광(단색광)을 추출할 수 있다. 따라서, 다른 발광색을 얻기 위한 개별 도포(예를 들어 RGB)가 불필요하게

된다. 따라서, 고정세화를 실현하는 것이 용이하다. 또한 착색층과 조합할 수도 있다. 또한 특정 파장의 정면 방향의 발광 강도를 높일 수 있게 되기 때문에 저소비 전력화를 도모할 수 있다.

[0277] 또한 도 29의 (B)에 나타낸 발광 소자(572)는 마이크로캐비티 구조를 가지지 않아도 된다. 이 경우, 발광층(723)이 백색광을 발하는 구조로 하고 착색층을 제공함으로써, 소정의 색의 광(예를 들어 RGB)을 추출할 수 있다. 또한 EL층(786)을 형성할 때, 상이한 발광색을 얻기 위하여 개별 도포 방식으로 형성하면, 착색층을 제공하지 않아도 소정의 색의 광을 추출할 수 있다.

[0278] 도전체(772)와 도전체(788)의 적어도 한쪽은 투광성을 가지는 전극(투명 전극, 반투과·반반사 전극 등)으로 할 수 있다. 투광성을 가지는 전극이 투명 전극인 경우, 투명 전극의 가시광의 투과율은 40% 이상으로 한다. 또한 반투과·반반사 전극인 경우, 반투과·반반사 전극의 가시광의 반사율은 20% 이상 80% 이하, 바람직하게는 40% 이상 70% 이하로 한다. 또한 이들 전극의 저항률은 $1\times10^{-2}\Omega$cm 이하가 바람직하다.

[0279] 도전체(772) 또는 도전체(788)가 반사성을 가지는 전극(반사 전극)인 경우, 반사성을 가지는 전극의 가시광의 반사율은 40% 이상 100% 이하, 바람직하게는 70% 이상 100% 이하로 한다. 또한 이 전극의 저항률은 $1\times10^{-2}\Omega$cm 이하가 바람직하다.

[0280] 발광 소자(572)의 구성은 도 29의 (C)에 나타낸 구성으로 하여도 좋다. 도 29의 (C)에는 도전체(772)와 도전체(788) 사이에 2층의 EL층(EL층(786a) 및 EL층(786b))이 제공되고, EL층(786a)과 EL층(786b) 사이에 전하 발생층(792)을 가지는 적층 구조(탠덤 구조)의 발광 소자(572)를 나타내었다. 발광 소자(572)를 탠덤 구조로 함으로써, 발광 소자(572)의 전류 효율 및 외부 양자 효율을 높일 수 있다. 따라서, 표시 장치(10)에 고휘도의 화상을 표시할 수 있다. 또한 표시 장치(10)의 소비 전력을 저감할 수 있다. 여기서, EL층(786a) 및 EL층(786b)은 도 29의 (B)에 나타낸 EL층(786)과 같은 구성으로 할 수 있다.

[0281] 전하 발생층(792)은 도전체(772)와 도전체(788) 사이에 전압을 공급하였을 때, EL층(786a) 및 EL층(786b) 중 한쪽에 전자를 주입하고, 다른 쪽에 정공(홀)을 주입하는 기능을 가진다. 따라서, 도전체(772)의 전위가 도전체(788)의 전위보다 높아지도록 전압을 공급하면, 전하 발생층(792)으로부터 EL층(786a)에 전자가 주입되고, 전하 발생층(792)으로부터 EL층(786b)에 정공이 주입된다.

[0282] 또한 전하 발생층(792)은 광 추출 효율의 관점에서, 가시광을 투과시키는(구체적으로는, 전하 발생층(792)의 가시광의 투과율이 40% 이상인) 것이 바람직하다. 또한 전하 발생층(792)의 도전율은 도전체(772)의 도전율 또는 도전체(788)의 도전율보다 낮아도 좋다.

[0283] 발광 소자(572)의 구성은 도 29의 (D)에 나타낸 구성으로 하여도 좋다. 도 29의 (D)에는 도전체(772)와 도전체(788) 사이에 3층의 EL층(EL층(786a), EL층(786b), 및 EL층(786c))이 제공되고, EL층(786a)과 EL층(786b) 사이 및 EL층(786b)과 EL층(786c) 사이에 전하 발생층(792)을 가지는 탠덤 구조의 발광 소자(572)를 나타내었다. 여기서, EL층(786a), EL층(786b), 및 EL층(786c)은 도 29의 (B)에 나타낸 EL층(786)과 같은 구성으로 할 수 있다. 발광 소자(572)를 도 29의 (D)에 나타낸 구성으로 함으로써, 발광 소자(572)의 전류 효율 및 외부 양자 효율을 더 높일 수 있다. 따라서, 표시 장치(10)에 휘도가 더 높은 화상을 표시할 수 있다. 또한 표시 장치(10)의 소비 전력을 더 저감할 수 있다.

[0284] 발광 소자(572)의 구성은 도 29의 (E)에 나타낸 구성으로 하여도 좋다. 도 29의 (E)에는 도전체(772)와 도전체(788) 사이에 n층의 EL층(EL층(786(1)) 내지 EL층(786(n)))이 제공되고, 각각의 EL층(786) 사이에 전하 발생층(792)을 가지는 탠덤 구조의 발광 소자(572)를 나타내었다. 여기서, EL층(786(1)) 내지 EL층(786(n))은 도 29의 (B)에 나타낸 EL층(786)과 같은 구성으로 할 수 있다. 또한 도 29의 (E)에는 EL층(786) 중 EL층(786(1)), EL층(786(m)), 및 EL층(786(n))을 나타내었다. 여기서, m은 2 이상 n 미만의 정수로 하고, n은 m 이상의 정수로 한다. n의 값이 클수록 발광 소자(572)의 전류 효율 및 외부 양자 효율을 높일 수 있다. 따라서, 표시 장치(10)에 고휘도의 화상을 표시할 수 있다. 또한 표시 장치(10)의 소비 전력을 저감할 수 있다.

[0285] <발광 소자(572)의 구성 재료>

[0286] 다음으로, 발광 소자(572)에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0287] [도전체(772) 및 도전체(788)]

[0288] 도전체(772) 및 도전체(788)에는 양극 및 음극의 기능을 만족시킬 수 있으면, 이하에 나타낸 재료를 적절히 조합하여 사용할 수 있다. 예를 들어 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 적절히 사용할 수

있다. 구체적으로는 In-Sn 산화물(ITO라고도 함), In-Si-Sn 산화물(ITSO라고도 함), In-Zn 산화물, In-W-Zn 산화물을 들 수 있다. 그 외에, 알루미늄(Al), 타이타늄(Ti), 크로뮴(Cr), 망가니즈(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 구리(Cu), 갈륨(Ga), 아연(Zn), 인듐(In), 주석(Sn), 몰리브데넘(Mo), 탄탈럼(Ta), 텅스텐(W), 팔라듐(Pd), 금(Au), 백금(Pt), 은(Ag), 이트륨(Y), 네오디뮴(Nd) 등의 금속, 및 이들을 적절히 조합하여 포함하는 합금을 사용할 수도 있다. 그 외에, 위에 예시하지 않은 원소 주기율표의 1족 또는 2족에 속하는 원소(예를 들어 리튬(Li), 세슘(Cs), 칼슘(Ca), 스트론튬(Sr)), 유로퓸(Eu), 이터븀(Yb) 등의 희토류 금속 및 이들을 적절히 조합하여 포함하는 합금, 그리고 그래핀 등을 사용할 수 있다.

[0289] [정공 주입층(721) 및 정공 수송층(722)]

[0290] 정공 주입층(721)은 양극인 도전체(772) 또는 전하 발생층(792)으로부터 EL층(786)에 정공을 주입하는 층이고, 정공 주입성이 높은 재료를 포함하는 층이다. 여기서, EL층(786)은 EL층(786a), EL층(786b), EL층(786c), 및 EL층(786(1)) 내지 EL층(786(n))을 포함하는 것으로 한다.

[0291] 정공 주입성이 높은 재료로서는 몰리브데넘 산화물이나 바나듐 산화물, 루테늄 산화물, 텅스텐 산화물, 망가니즈 산화물 등의 전이 금속 산화물을 들 수 있다. 이 외에, 프탈로사이아닌(약칭: H_2Pc)이나 구리 프탈로사이아닌(약칭: CuPc) 등의 프탈로사이아닌계 화합물, 4,4'-비스[N-(4-다이페닐아미노페닐)-N-페닐아미노]바이페닐(약칭: DPAB), N,N'-비스{4-[비스(3-메틸페닐)아미노]페닐}-N,N'-다이페닐-(1,1'-바이페닐)-4,4'-다이아민(약칭: DNTPD) 등의 방향족 아민 화합물, 또는 폴리(3,4-에틸렌다이옥시싸이오펜)/폴리(스타이렌설폰산)(약칭: PEDOT/PSS) 등의 고분자 등을 사용할 수 있다.

[0292] 또한 정공 주입성이 높은 재료로서는 정공 수송성 재료와 억셉터성 재료(전자 수용성 재료)를 포함한 복합 재료를 사용할 수도 있다. 이 경우, 억셉터성 재료에 의하여 정공 수송성 재료로부터 전자가 추출되어 정공 주입층(721)에서 정공이 발생하고, 정공 수송층(722)을 통하여 발광층(723)에 정공이 주입된다. 또한 정공 주입층(721)은 정공 수송성 재료와 억셉터성 재료(전자 수용성 재료)를 포함하는 복합 재료로 이루어지는 단층으로 형성하여도 좋지만, 정공 수송성 재료와 억셉터성 재료(전자 수용성 재료)를 각각 다른 층으로 적층하여 형성하여도 좋다.

[0293] 정공 수송층(722)은 정공 주입층(721)에 의하여 도전체(772)로부터 주입된 정공을 발광층(723)에 수송하는 층이다. 또한 정공 수송층(722)은 정공 수송성 재료를 포함하는 층이다. 정공 수송층(722)에 사용하는 정공 수송성 재료에는 특히 정공 주입층(721)의 HOMO 준위와 같거나, 또는 가까운 HOMO 준위를 가지는 것을 사용하는 것이 바람직하다.

[0294] 정공 주입층(721)에 사용되는 억셉터성 재료로서는 원소 주기율표에서 4족 내지 8족에 속하는 금속의 산화물을 사용할 수 있다. 구체적으로는, 산화 몰리브데넘, 산화 바나듐, 산화 나이오븀, 산화 탄탈럼, 산화 크로뮴, 산화 텅스텐, 산화 망가니즈, 산화 레늄을 들 수 있다. 이 중에서도 산화 몰리브데넘은 대기 중에서도 안정적이고 흡습성이 낮으며 취급하기 쉽기 때문에 특히 바람직하다. 그 외에, 퀴노다이메테인 유도체나 클로라닐 유도체, 헥사아자트라이페닐렌 유도체 등의 유기 억셉터를 사용할 수 있다. 구체적으로는 7,7,8,8-테트라사이아노-2,3,5,6-테트라플루오로퀴노다이메테인(약칭: F_4-TCNQ), 클로라닐, 2,3,6,7,10,11-헥사사이아노-1,4,5,8,9,12-헥사아자트라이페닐렌(약칭: HAT-CN) 등을 사용할 수 있다.

[0295] 정공 주입층(721) 및 정공 수송층(722)에 사용하는 정공 수송성 재료로서는 $10^{-6}cm^2/Vs$ 이상의 정공 이동도를 가지는 물질이 바람직하다. 또한 전자보다 정공의 수송성이 높은 물질이면 이들 외의 물질을 사용할 수 있다.

[0296] 정공 수송성 재료로서는 π전자 과잉형 헤테로 방향족 화합물(예를 들어 카바졸 유도체나 인돌 유도체)이나 방향족 아민 화합물이 바람직하고, 구체적인 예로서는 4,4'-비스[N-(1-나프틸)-N-페닐아미노]바이페닐(약칭: NPB 또는 α-NPD), N,N'-비스(3-메틸페닐)-N,N'-다이페닐-[1,1'-바이페닐]-4,4'-다이아민(약칭: TPD), 4,4'-비스[N-(스파이로-9,9'-바이플루오렌-2-일)-N-페닐아미노]바이페닐(약칭: BSPB), 4-페닐-4'-(9-페닐플루오렌-9-일)트라이페닐아민(약칭: BPAFLP), 4-페닐-3'-(9-페닐플루오렌-9-일)트라이페닐아민(약칭: mBPAFLP), 4-페닐-4'-(9-페닐-9H-카바졸-3-일)트라이페닐아민(약칭: PCBA1BP), 3-[4-(9-페난트릴)-페닐]-9-페닐-9H-카바졸(약칭: PCPPn), N-(4-바이페닐)-N-(9,9-다이메틸-9H-플루오렌-2-일)-9-페닐-9H-카바졸-3-아민(약칭: PCBiF), N-(1,1'-바이페닐-4-일)-N-[4-(9-페닐-9H-카바졸-3-일)페닐]-9,9-다이메틸-9H-플루오렌-2-아민(약칭: PCBBiF), 4,4'-다이페닐-4''-(9-페닐-9H-카바졸-3-일)트라이페닐아민(약칭: PCBBi1BP), 4-(1-나프틸)-4'-(9-페닐-9H-카바졸-3-일)트라이페닐아민(약칭: PCBANB), 4,4'-다이(1-나프틸)-4''-(9-페닐-9H-카바졸-3-일)트라이페닐아민(약칭: PCBNBB), 9,9-다이메틸-N-페닐-N-[4-(9-페닐-9H-카바졸-3-일)페닐]플루오렌-2-아민(약칭: PCBAF), N-페닐-N-

[4-(9-페닐-9H-카바졸-3-일)페닐]스파이로-9,9'-바이플루오렌-2-아민(약칭: PCBASF), 4,4',4''-트리스(카바졸-9-일)트라이페닐아민(약칭: TCTA), 4,4',4''-트리스(N,N-다이페닐아미노)트라이페닐아민(약칭: TDATA), 4,4',4''-트리스[N-(3-메틸페닐)-N-페닐아미노]트라이페닐아민(약칭: MTDATA) 등의 방향족 아민 골격을 가지는 화합물, 1,3-비스(N-카바졸릴)벤젠(약칭: mCP), 4,4'-다이(N-카바졸릴)바이페닐(약칭: CBP), 3,6-비스(3,5-다이페닐페닐)-9-페닐카바졸(약칭: CzTP), 3,3'-비스(9-페닐-9H-카바졸)(약칭: PCCP), 3-[N-(9-페닐카바졸-3-일)-N-페닐아미노]-9-페닐카바졸(약칭: PCzPCA1), 3,6-비스[N-(9-페닐카바졸-3-일)-N-페닐아미노]-9-페닐카바졸(약칭: PCzPCA2), 3-[N-(1-나프틸)-N-(9-페닐카바졸-3-일)아미노]-9-페닐카바졸(약칭: PCzPCN1), 1,3,5-트리스[4-(N-카바졸릴)페닐]벤젠(약칭: TCPB), 9-[4-(10-페닐-9-안트라센일)페닐]-9H-카바졸(약칭: CzPA) 등의 카바졸 골격을 가지는 화합물, 4,4',4''-(벤젠-1,3,5-트라이일)트라이(다이벤조싸이오펜)(약칭: DBT3P-II), 2,8-다이페닐-4-[4-(9-페닐-9H-플루오렌-9-일)페닐]다이벤조싸이오펜(약칭: DBTFLP-III), 4-[4-(9-페닐-9H-플루오렌-9-일)페닐]-6-페닐다이벤조싸이오펜(약칭: DBTFLP-IV) 등의 싸이오펜 골격을 가지는 화합물, 4,4',4''-(벤젠-1,3,5-트라이일)트라이(다이벤조퓨란)(약칭: DBF3P-II), 4-{3-[3-(9-페닐-9H-플루오렌-9-일)페닐]페닐}다이벤조퓨란(약칭: mmDBFFLBi-II) 등의 퓨란 골격을 가지는 화합물을 들 수 있다.

[0297] 또한 폴리(N-바이닐카바졸)(약칭: PVK), 폴리(4-바이닐트라이페닐아민)(약칭: PVTPA), 폴리[N-(4-{N'-[4-(4-다이페닐아미노)페닐]페닐-N'-페닐아미노}페닐)메타크릴아마이드](약칭: PTPDMA), 폴리[N,N'-비스(4-뷰틸페닐)-N,N'-비스(페닐)벤지딘](약칭: Poly-TPD) 등의 고분자 화합물을 사용할 수도 있다.

[0298] 다만, 정공 수송성 재료는 상기에 한정되지 않고, 공지의 다양한 재료를 1종류 또는 복수 종류 조합하여 정공 수송성 재료로서 정공 주입층(721) 및 정공 수송층(722)에 사용할 수 있다. 또한 정공 수송층(722)은 각각 복수의 층으로 형성되어도 좋다. 즉, 예를 들어 제 1 정공 수송층과 제 2 정공 수송층이 적층되어도 좋다.

[0299] [발광층(723)]

[0300] 발광층(723)은 발광 물질을 포함하는 층이다. 또한 발광 물질로서는 청색, 자색, 청자색, 녹색, 황록색, 황색, 주황색, 적색 등의 발광색을 나타내는 물질을 적절히 사용한다. 여기서 도 29의 (C), (D), 및 (E)에 나타낸 바와 같이 발광 소자(572)가 복수의 EL층을 가지는 경우, 각 EL층에 제공되는 발광층(723)에 상이한 발광 물질을 사용함으로써, 상이한 발광색을 나타내는 구성(예를 들어 보색의 관계에 있는 발광색을 조합하여 얻어지는 백색 발광)으로 할 수 있다. 예를 들어, 발광 소자(572)가 도 29의 (C)에 나타낸 구성인 경우, EL층(786a)에 제공되는 발광층(723)에 사용되는 발광 물질과 EL층(786b)에 제공되는 발광층(723)에 사용되는 발광 물질을 다르게 함으로써, EL층(786a)이 나타내는 발광색과 EL층(786b)이 나타내는 발광색을 다르게 할 수 있다. 또한 하나의 발광층이 상이한 발광 물질을 가지는 적층 구조이어도 좋다.

[0301] 또한 발광층(723)은 발광 물질(게스트 재료)에 더하여 1종류 또는 복수 종류의 유기 화합물(호스트 재료, 어시스트 재료)을 가져도 좋다. 또한 1종류 또는 복수 종류의 유기 화합물로서는 정공 수송성 재료 및 전자 수송성 재료 중 한쪽 또는 양쪽을 사용할 수 있다.

[0302] 발광층(723)에 사용할 수 있는 발광 물질로서는 특별히 한정은 없고, 단일항 들뜬 에너지를 가시광 영역의 발광으로 변환하는 발광 물질, 또는 삼중항 들뜬 에너지를 가시광 영역의 발광으로 변환하는 발광 물질을 사용할 수 있다. 또한 상기 발광 물질로서는 예를 들어 다음과 같은 것이 있다.

[0303] 단일항 들뜬 에너지를 발광으로 변환하는 발광 물질로서는 형광을 발하는 물질(형광 재료)을 들 수 있고, 예를 들어 피렌 유도체, 안트라센 유도체, 트라이페닐렌 유도체, 플루오렌 유도체, 카바졸 유도체, 다이벤조싸이오펜 유도체, 다이벤조퓨란 유도체, 다이벤조퀴녹살린 유도체, 퀴녹살린 유도체, 피리딘 유도체, 피리미딘 유도체, 페난트렌 유도체, 나프탈렌 유도체 등이 있다. 특히 피렌 유도체는 발광 양자 수율이 높아 바람직하다. 피렌 유도체의 구체적인 예로서는 N,N'-비스(3-메틸페닐)-N,N'-비스[3-(9-페닐-9H-플루오렌-9-일)페닐]피렌-1,6-다이아민(약칭: 1,6mMemFLPAPrn), N,N'-다이페닐-N,N'-비스[4-(9-페닐-9H-플루오렌-9-일)페닐]피렌-1,6-다이아민(약칭: 1,6FLPAPrn), N,N'-비스(다이벤조퓨란-2-일)-N,N'-다이페닐피렌-1,6-다이아민(약칭: 1,6FrAPrn), N,N'-비스(다이벤조싸이오펜-2-일)-N,N'-다이페닐피렌-1,6-다이아민(약칭: 1,6ThAPrn), N,N'-(피렌-1,6-다이일)비스[(N-페닐벤조[b]나프토[1,2-d]퓨란)-6-아민](약칭: 1,6BnfAPrn), N,N'-(피렌-1,6-다이일)비스[(N-페닐벤조[b]나프토[1,2-d]퓨란)-8-아민](약칭: 1,6BnfAPrn-02), N,N'-(피렌-1,6-다이일)비스[(6,N-다이페닐벤조[b]나프토[1,2-d]퓨란)-8-아민](약칭: 1,6BnfAPrn-03) 등을 들 수 있다. 또한 피렌 유도체는 본 발명의 일 형태에서의 청색의 색도를 달성하기 위하여 유용한 화합물군이다.

[0304] 그 외에도, 5,6-비스[4-(10-페닐-9-안트릴)페닐]-2,2'-바이피리딘(약칭: PAP2BPy), 5,6-비스[4'-(10-페닐-9-안

트릴)바이페닐-4-일]-2,2'-바이피리딘(약칭: PAPP2BPy), N,N'-비스[4-(9H-카바졸-9-일)페닐]-N,N'-다이페닐스틸벤-4,4'-다이아민(약칭: YGA2S), 4-(9H-카바졸-9-일)-4'-(10-페닐-9-안트릴)트라이페닐아민(약칭: YGAPA), 4-(9H-카바졸-9-일)-4'-(9,10-다이페닐-2-안트릴)트라이페닐아민(약칭: 2YGAPPA), N,9-다이페닐-N-[4-(10-페닐-9-안트릴)페닐]-9H-카바졸-3-아민(약칭: PCAPA), 4-(10-페닐-9-안트릴)-4'-(9-페닐-9H-카바졸-3-일)트라이페닐아민(약칭: PCBAPA), 4-[4-(10-페닐-9-안트릴)페닐]-4'-(9-페닐-9H-카바졸-3-일)트라이페닐아민(약칭: PCBAPBA), 페릴렌, 2,5,8,11-테트라(tert-뷰틸)페릴렌(약칭: TBP), N,N''-(2-tert-뷰틸안트라센-9,10-다이일다이-4,1-페닐렌)비스[N,N',N'-트라이페닐-1,4-페닐렌다이아민](약칭: DPABPA), N,9-다이페닐-N-[4-(9,10-다이페닐-2-안트릴)페닐]-9H-카바졸-3-아민(약칭: 2PCAPPA), N-[4-(9,10-다이페닐-2-안트릴)페닐]-N,N',N'-트라이페닐-1,4-페닐렌다이아민(약칭: 2DPAPPA) 등을 사용할 수 있다.

[0305] 또한 삼중항 들뜬 에너지를 발광으로 변환하는 발광 물질로서는, 예를 들어 인광을 발하는 물질(인광 재료)이나 열 활성화 지연 형광을 나타내는 열 활성화 지연 형광(Thermally activated delayed fluorescence: TADF) 재료가 있다.

[0306] 인광 재료로서는 유기 금속 착체, 금속 착체(백금 착체), 희토류 금속 착체 등을 들 수 있다. 이들은 물질마다 다른 발광색(발광 피크)을 나타내기 때문에 필요에 따라 적절히 선택하여 사용한다.

[0307] 청색 또는 녹색을 나타내고 발광 스펙트럼의 피크 파장이 450nm 이상 570nm 이하인 인광 재료로서는 다음과 같은 물질을 들 수 있다.

[0308] 예를 들어, 트리스{2-[5-(2-메틸페닐)-4-(2,6-다이메틸페닐)-4H-1,2,4-트라이아졸-3-일-κN2]페닐-κC}이리듐(III)(약칭: [Ir(mpptz-dmp)$_3$]), 트리스(5-메틸-3,4-다이페닐-4H-1,2,4-트라이아졸레이토)이리듐(III)(약칭: [Ir(Mptz)$_3$]), 트리스[4-(3-바이페닐)-5-아이소프로필-3-페닐-4H-1,2,4-트라이아졸레이토]이리듐(III)(약칭: [Ir(iPrptz-3b)$_3$]), 트리스[3-(5-바이페닐)-5-아이소프로필-4-페닐-4H-1,2,4-트라이아졸레이토]이리듐(III)(약칭: [Ir(iPr5btz)$_3$])과 같은 4H-트라이아졸 골격을 가지는 유기 금속 착체, 트리스[3-메틸-1-(2-메틸페닐)-5-페닐-1H-1,2,4-트라이아졸레이토]이리듐(III)(약칭: [Ir(Mptz1-mp)$_3$]), 트리스(1-메틸-5-페닐-3-프로필-1H-1,2,4-트라이아졸레이토)이리듐(III)(약칭: [Ir(Prptz1-Me)$_3$])과 같은 1H-트라이아졸 골격을 가지는 유기 금속 착체, fac-트리스[1-(2,6-다이아이소프로필페닐)-2-페닐-1H-이미다졸]이리듐(III)(약칭: [Ir(iPrpmi)$_3$]), 트리스[3-(2,6-다이메틸페닐)-7-메틸이미다조[1,2-f]페난트리디네이토]이리듐(III)(약칭: [Ir(dmpimpt-Me)$_3$])과 같은 이미다졸 골격을 가지는 유기 금속 착체, 비스[2-(4',6'-다이플루오로페닐)피리디네이토-N,C$^{2'}$]이리듐(III)테트라키스(1-피라졸릴)보레이트(약칭: FIr6), 비스[2-(4',6'-다이플루오로페닐)피리디네이토-N,C$^{2'}$]이리듐(III)피콜리네이트(약칭: FIrpic), 비스[2-(3,5-비스트라이플루오로메틸페닐)피리디네이토-N,C$^{2'}$]이리듐(III)피콜리네이트(약칭: [Ir(CF$_3$ppy)$_2$(pic)]), 비스[2-(4',6'-다이플루오로페닐)피리디네이토-N,C$^{2'}$]이리듐(III)아세틸아세토네이트(약칭: FIr(acac))와 같이 전자 흡인기를 가지는 페닐피리딘 유도체를 배위자로 하는 유기 금속 착체 등이 있다.

[0309] 녹색 또는 황색을 나타내고 발광 스펙트럼의 피크 파장이 495nm 이상 590nm 이하인 인광 재료로서는 다음과 같은 물질을 들 수 있다.

[0310] 예를 들어 트리스(4-메틸-6-페닐피리미디네이토)이리듐(III)(약칭: [Ir(mppm)$_3$]), 트리스(4-t-뷰틸-6-페닐피리미디네이토)이리듐(III)(약칭: [Ir(tBuppm)$_3$]), (아세틸아세토네이토)비스(6-메틸-4-페닐피리미디네이토)이리듐(III)(약칭: [Ir(mppm)$_2$(acac)]), (아세틸아세토네이토)비스(6-tert-뷰틸-4-페닐피리미디네이토)이리듐(III)(약칭: [Ir(tBuppm)$_2$(acac)]), (아세틸아세토네이토)비스[6-(2-노보닐)-4-페닐피리미디네이토]이리듐(III)(약칭: [Ir(nbppm)$_2$(acac)]), (아세틸아세토네이토)비스[5-메틸-6-(2-메틸페닐)-4-페닐피리미디네이토]이리듐(III)(약칭: [Ir(mpmppm)$_2$(acac)]), (아세틸아세토네이토)비스{4,6-다이메틸-2-[6-(2,6-다이메틸페닐)-4-피리미딘일-κN3]페닐-κC}이리듐(III)(약칭: [Ir(dmppm-dmp)$_2$(acac)]), (아세틸아세토네이토)비스(4,6-다이페닐피리미디네이토)이리듐(III)(약칭: [Ir(dppm)$_2$(acac)])과 같은 피리미딘 골격을 가지는 유기 금속 이리듐 착체, (아세틸아세토네이토)비스(3,5-다이메틸-2-페닐피라지네이토)이리듐(III)(약칭: [Ir(mppr-Me)$_2$(acac)]), (아세틸아세토네이

토)비스(5-아이소프로필-3-메틸-2-페닐피라지네이토)이리듐(III)(약칭: [Ir(mppr-iPr)$_2$(acac)])과 같은 피라진 골격을 가지는 유기 금속 이리듐 착체, 트리스(2-페닐피리디네이토-N,C$^{2'}$)이리듐(III)(약칭: [Ir(ppy)$_3$]), 비스(2-페닐피리디네이토-N,C$^{2'}$)이리듐(III)아세틸아세토네이트(약칭: [Ir(ppy)$_2$(acac)]), 비스(벤조[h]퀴놀리네이토)이리듐(III)아세틸아세토네이트(약칭: [Ir(bzq)$_2$(acac)]), 트리스(벤조[h]퀴놀리네이토)이리듐(III)(약칭: [Ir(bzq)$_3$]), 트리스(2-페닐퀴놀리네이토-N,C$^{2'}$)이리듐(III)(약칭: [Ir(pq)$_3$]), 비스(2-페닐퀴놀리네이토-N,C$^{2'}$)이리듐(III)아세틸아세토네이트(약칭: [Ir(pq)$_2$(acac)])와 같은 피리딘 골격을 가지는 유기 금속 이리듐 착체, 비스(2,4-다이페닐-1,3-옥사졸레이토-N,C$^{2'}$)이리듐(III)아세틸아세토네이트(약칭: [Ir(dpo)$_2$(acac)]), 비스{2-[4'-(퍼플루오로페닐)페닐]피리디네이토-N,C$^{2'}$}이리듐(III)아세틸아세토네이트(약칭: [Ir(p-PF-ph)$_2$(acac)]), 비스(2-페닐벤조싸이아졸레이토-N,C$^{2'}$)이리듐(III)아세틸아세토네이트(약칭: [Ir(bt)$_2$(acac)]) 등의 유기 금속 착체 외에 트리스(아세틸아세토네이토)(모노페난트롤린)터븀(III)(약칭: [Tb(acac)$_3$(Phen)])과 같은 희토류 금속 착체가 있다.

[0311] 상술한 것 중에서, 피리딘 골격(특히 페닐피리딘 골격) 또는 피리미딘 골격을 가지는 유기 금속 이리듐 착체는 본 발명의 일 형태에서의 녹색의 색도를 달성하기 위하여 유용한 화합물군이다.

[0312] 황색 또는 적색을 나타내고 발광 스펙트럼의 피크 파장이 570nm 이상 750nm 이하인 인광 재료로서는 다음과 같은 물질을 들 수 있다.

[0313] 예를 들어, (다이아이소뷰티릴메타네이토)비스[4,6-비스(3-메틸페닐)피리미디네이토]이리듐(III)(약칭: [Ir(5mdppm)$_2$(dibm)]), 비스[4,6-비스(3-메틸페닐)피리미디네이토](다이피발로일메타네이토)이리듐(III)(약칭: [Ir(5mdppm)$_2$(dpm)]),
(다이피발로일메타네이토)비스[4,6-다이(나프탈렌-1-일)피리미디네이토]이리듐(III)(약칭: [Ir(d1npm)$_2$(dpm)])과 같은 피리미딘 골격을 가지는 유기 금속 착체, (아세틸아세토네이토)비스(2,3,5-트라이페닐피라지네이토)이리듐(III)(약칭: [Ir(tppr)$_2$(acac)]), 비스(2,3,5-트라이페닐피라지네이토)(다이피발로일메타네이토)이리듐(III)(약칭: [Ir(tppr)$_2$(dpm)]), 비스{4,6-다이메틸-2-[3-(3,5-다이메틸페닐)-5-페닐-2-피라진일-κN]페닐-κC}(2,6-다이메틸-3,5-헵테인다이오네이토-κ^{2}O,O')이리듐(III)(약칭: [Ir(dmdppr-P)$_2$(dibm)]), 비스{4,6-다이메틸-2-[5-(4-사이아노-2,6-다이메틸페닐)-3-(3,5-다이메틸페닐)-2-피라진일-κN]페닐-κC}(2,2,6,6-테트라메틸-3,5-헵테인다이오네이토-κ^{2}O,O')이리듐(III)(약칭: [Ir(dmdppr-dmCP)$_2$(dpm)]), (아세틸아세토네이토)비스[2-메틸-3-페닐퀴녹살리네이토-N,C$^{2'}$]이리듐(III)(약칭: [Ir(mpq)$_2$(acac)]), (아세틸아세토네이토)비스(2,3-다이페닐퀴녹살리네이토-N,C$^{2'}$)이리듐(III)(약칭: [Ir(dpq)$_2$(acac)]), (아세틸아세토네이토)비스[2,3-비스(4-플루오로페닐)퀴녹살리네이토]이리듐(III)(약칭: [Ir(Fdpq)$_2$(acac)])과 같은 피라진 골격을 가지는 유기 금속 착체나, 트리스(1-페닐아이소퀴놀리네이토-N,C$^{2'}$)이리듐(III)(약칭: [Ir(piq)$_3$]), 비스(1-페닐아이소퀴놀리네이토-N,C$^{2'}$)이리듐(III)아세틸아세토네이트(약칭: [Ir(piq)$_2$(acac)])와 같은 피리딘 골격을 가지는 유기 금속 착체, 2,3,7,8,12,13,17,18-옥타에틸-21H,23H-포르피린백금(II)(약칭: [PtOEP])과 같은 백금 착체, 트리스(1,3-다이페닐-1,3-프로페인다이오네이토)(모노페난트롤린)유로퓸(III)(약칭: [Eu(DBM)$_3$(Phen)]), 트리스[1-(2-테노일)-3,3,3-트라이플루오로아세토네이토](모노페난트롤린)유로퓸(III)(약칭: [Eu(TTA)$_3$(Phen)])과 같은 희토류 금속 착체가 있다.

[0314] 상술한 것 중에서, 피라진 골격을 가지는 유기 금속 이리듐 착체는 본 발명의 일 형태에서의 적색의 색도를 달성하기 위하여 유용한 화합물군이다. 특히, [Ir(dmdppr-dmCP)$_2$(dpm)]과 같이 사이아노기를 가지는 유기 금속 이리듐 착체는 안정성이 높아 바람직하다.

[0315] 또한 청색의 발광 물질로서는 포토루미네선스의 피크 파장이 430nm 이상 470nm 이하, 더 바람직하게는 430nm 이

상 460nm 이하의 물질을 사용하면 좋다. 또한 녹색의 발광 물질로서는 포토루미네선스의 피크 파장이 500nm 이상 540nm 이하, 더 바람직하게는 500nm 이상 530nm 이하의 물질을 사용하면 좋다. 적색의 발광 물질로서는 포토루미네선스의 피크 파장이 610nm 이상 680nm 이하, 더 바람직하게는 620nm 이상 680nm 이하의 물질을 사용하면 좋다. 또한 포토루미네선스는 용액 및 박막 중 어느 쪽을 사용하여 측정되어도 좋다.

[0316] 이와 같은 화합물과 마이크로캐비티 효과를 병용함으로써, 더 용이하게 상술한 색도를 달성할 수 있다. 이때, 마이크로캐비티 효과를 얻기 위하여 필요한 반투과·반반사 전극(금속 박막 부분)의 막 두께는 20nm 이상 40nm 이하가 바람직하다. 더 바람직하게는 25nm보다 크고 40nm 이하이다. 또한 40nm를 넘으면 효율이 저하될 가능성이 있다.

[0317] 발광층(723)에 사용하는 유기 화합물(호스트 재료, 어시스트 재료)로서는 발광 물질(게스트 재료)의 에너지 갭보다 큰 에너지 갭을 가지는 물질을 1종류 또는 복수 종류 선택하여 사용하면 좋다. 또한 상술한 정공 수송성 재료 및 후술하는 전자 수송성 재료는 각각, 호스트 재료 또는 어시스트 재료로서 사용할 수도 있다.

[0318] 발광 물질이 형광 재료인 경우, 호스트 재료로서는 단일항 들뜬 상태의 에너지 준위가 크고, 삼중항 들뜬 상태의 에너지 준위가 작은 유기 화합물을 사용하는 것이 바람직하다. 예를 들어, 안트라센 유도체나 테트라센 유도체를 사용하는 것이 바람직하다. 구체적으로는, 9-페닐-3-[4-(10-페닐-9-안트릴)페닐]-9H-카바졸(약칭: PCzPA), 3-[4-(1-나프틸)-페닐]-9-페닐-9H-카바졸(약칭: PCPN), 9-[4-(10-페닐-9-안트라센일)페닐]-9H-카바졸(약칭: CzPA), 7-[4-(10-페닐-9-안트릴)페닐]-7H-다이벤조[c,g]카바졸(약칭: cgDBCzPA), 6-[3-(9,10-다이페닐-2-안트릴)페닐]-벤조[b]나프토[1,2-d]퓨란(약칭: 2mBnfPPA), 9-페닐-10-{4-(9-페닐-9H-플루오렌-9-일)바이페닐-4'-일}안트라센(약칭: FLPPA), 5,12-다이페닐테트라센, 5,12-비스(바이페닐-2-일)테트라센 등을 들 수 있다.

[0319] 발광 물질이 인광 재료인 경우, 호스트 재료로서는 발광 물질의 삼중항 들뜬 에너지(바닥 상태와 삼중항 들뜬 상태의 에너지 차이)보다 삼중항 들뜬 에너지가 큰 유기 화합물을 선택하면 좋다. 또한 이 경우에는 아연이나 알루미늄계 금속 착체 외에 옥사다이아졸 유도체, 트라이아졸 유도체, 벤즈이미다졸 유도체, 퀴녹살린 유도체, 다이벤조퀴녹살린 유도체, 다이벤조싸이오펜 유도체, 다이벤조퓨란 유도체, 피리미딘 유도체, 트라이아진 유도체, 피리딘 유도체, 바이피리딘 유도체, 페난트롤린 유도체 등 외에, 방향족 아민이나 카바졸 유도체 등을 사용할 수 있다.

[0320] 구체적으로는, 트리스(8-퀴놀리놀레이토)알루미늄(III)(약칭: Alq), 트리스(4-메틸-8-퀴놀리놀레이토)알루미늄(III)(약칭: $Almq_3$), 비스(10-하이드록시벤조[h]퀴놀리네이토)베릴륨(II)(약칭: $BeBq_2$), 비스(2-메틸-8-퀴놀리놀레이토)(4-페닐페놀레이토)알루미늄(III)(약칭: BAlq), 비스(8-퀴놀리놀레이토)아연(II)(약칭: Znq), 비스[2-(2-벤즈옥사졸릴)페놀레이토]아연(II)(약칭: ZnPBO), 비스[2-(2-벤조싸이아졸릴)페놀레이토]아연(II)(약칭: ZnBTZ) 등의 금속 착체, 2-(4-바이페닐릴)-5-(4-tert-뷰틸페닐)-1,3,4-옥사다이아졸(약칭: PBD), 1,3-비스[5-(p-tert-뷰틸페닐)-1,3,4-옥사다이아졸-2-일]벤젠(약칭: OXD-7), 3-(4-바이페닐릴)-4-페닐-5-(4-tert-뷰틸페닐)-1,2,4-트라이아졸(약칭: TAZ), 2,2',2''-(1,3,5-벤젠트라이일)-트리스(1-페닐-1H-벤즈이미다졸)(약칭: TPBI), 바소페난트롤린(약칭: BPhen), 바소큐프로인(약칭: BCP), 2,9-비스(나프탈렌-2-일)-4,7-다이페닐-1,10-페난트롤린(약칭: NBphen), 9-[4-(5-페닐-1,3,4-옥사다이아졸-2-일)페닐]-9H-카바졸(약칭: CO11) 등의 헤테로 고리 화합물, NPB, TPD, BSPB 등의 방향족 아민 화합물을 들 수 있다.

[0321] 또한 안트라센 유도체, 페난트렌 유도체, 피렌 유도체, 크리센 유도체, 다이벤조[g,p]크리센 유도체 등의 축합 다환 방향족 화합물을 들 수 있고, 구체적으로는, 9,10-다이페닐안트라센(약칭: DPAnth), N,N-다이페닐-9-[4-(10-페닐-9-안트릴)페닐]-9H-카바졸-3-아민(약칭: CzA1PA), 4-(10-페닐-9-안트릴)트라이페닐아민(약칭: DPhPA), YGAPA, PCAPA, N,9-다이페닐-N-{4-[4-(10-페닐-9-안트릴)페닐]페닐}-9H-카바졸-3-아민(약칭: PCAPBA), 9,10-다이페닐-2-[N-페닐-N-(9-페닐-9H-카바졸-3-일)아미노]안트라센(약칭: 2PCAPA), 6,12-다이메톡시-5,11-다이페닐크리센, N,N,N',N',N'',N'',N''',N'''-옥타페닐다이벤조[g,p]크리센-2,7,10,15-테트라아민(약칭: DBC1), 9-[4-(10-페닐-9-안트라센일)페닐]-9H-카바졸(약칭: CzPA), 3,6-다이페닐-9-[4-(10-페닐-9-안트릴)페닐]-9H-카바졸(약칭: DPCzPA), 9,10-비스(3,5-다이페닐페닐)안트라센(약칭: DPPA), 9,10-다이(2-나프틸)안트라센(약칭: DNA), 2-tert-뷰틸-9,10-다이(2-나프틸)안트라센(약칭: t-BuDNA), 9,9'-바이안트릴(약칭: BANT), 9,9'-(스틸벤-3,3'-다이일)다이페난트렌(약칭: DPNS), 9,9'-(스틸벤-4,4'-다이일)다이페난트렌(약칭: DPNS2), 1,3,5-트라이(1-피렌일)벤젠(약칭: TPB3) 등을 사용할 수 있다.

[0322] 또한 발광층(723)에 복수의 유기 화합물을 사용하는 경우, 들뜬 복합체를 형성하는 화합물을 발광 물질과 혼합하여 사용하는 것이 바람직하다. 이 경우, 다양한 유기 화합물을 적절히 조합하여 사용할 수 있지만, 들뜬 복

합체를 효율적으로 형성하기 위해서는, 정공을 받기 쉬운 화합물(정공 수송성 재료)과 전자를 받기 쉬운 화합물(전자 수송성 재료)을 조합하는 것이 특히 바람직하다. 또한 정공 수송성 재료 및 전자 수송성 재료의 구체적인 예에 대해서는, 본 실시형태에 나타내는 재료를 사용할 수 있다.

[0323] TADF 재료란, 삼중항 들뜬 상태를 미량의 열 에너지에 의하여 단일항 들뜬 상태로 업컨버트(역 항간 교차)할 수 있고, 단일항 들뜬 상태로부터의 발광(형광)을 효율적으로 나타내는 재료를 말한다. 또한 열 활성화 지연 형광이 효율적으로 얻어지는 조건으로서는, 삼중항 여기 준위와 단일항 여기 준위의 에너지 차이가 0eV 이상 0.2eV 이하, 바람직하게는 0eV 이상 0.1eV 이하인 것을 들 수 있다. 또한 TADF 재료에서의 지연 형광이란, 일반적인 형광과 유사한 스펙트럼을 가지면서도 수명이 현저히 긴 발광을 말한다. 그 수명은 10^{-6}초 이상, 바람직하게는 10^{-3}초 이상이다.

[0324] TADF 재료로서는 예를 들어 풀러렌이나 그 유도체, 프로플라빈 등의 아크리딘 유도체, 에오신 등을 들 수 있다. 또한 마그네슘(Mg), 아연(Zn), 카드뮴(Cd), 주석(Sn), 백금(Pt), 인듐(In), 또는 팔라듐(Pd) 등을 포함하는 금속 함유 포르피린을 들 수 있다. 금속 함유 포르피린으로서는, 예를 들어 프로토포르피린-플루오린화 주석 착체(SnF_2(Proto IX)), 메소포르피린-플루오린화 주석 착체(SnF_2(Meso IX)), 헤마토포르피린-플루오린화 주석 착체(SnF_2(Hemato IX)), 코프로포르피린테트라메틸에스터-플루오린화 주석 착체(SnF_2(Copro III-4Me)), 옥타에틸포르피린-플루오린화 주석 착체(SnF_2(OEP)), 에티오포르피린-플루오린화 주석 착체(SnF_2(Etio I)), 옥타에틸포르피린-염화 백금 착체($PtCl_2$OEP) 등이 있다.

[0325] 그 외에도, 2-(바이페닐-4-일)-4,6-비스(12-페닐인돌로[2,3-a]카바졸-11-일)-1,3,5-트라이아진(PIC-TRZ), 2-{4-[3-(N-페닐-9H-카바졸-3-일)-9H-카바졸-9-일]페닐}-4,6-다이페닐-1,3,5-트라이아진(PCCzPTzn), 2-[4-(10H-페녹사진-10-일)페닐]-4,6-다이페닐-1,3,5-트라이아진(PXZ-TRZ), 3-[4-(5-페닐-5,10-다이하이드로페나진-10-일)페닐]-4,5-다이페닐-1,2,4-트라이아졸(PPZ-3TPT), 3-(9,9-다이메틸-9H-아크리딘-10-일)-9H-크산텐-9-온(ACRXTN), 비스[4-(9,9-다이메틸-9,10-다이하이드로아크리딘)페닐]설폰(DMAC-DPS), 10-페닐-10H,10'H-스파이로[아크리딘-9,9'-안트라센]-10'-온(ACRSA) 등의 π전자 과잉형 헤테로 방향족 고리 및 π전자 부족형 헤테로 방향족 고리를 가지는 헤테로 고리 화합물을 사용할 수 있다. 또한 π전자 과잉형 헤테로 방향족 고리와 π전자 부족형 헤테로 방향족 고리가 직접 결합된 물질은 π전자 과잉형 헤테로 방향족 고리의 도너성과 π전자 부족형 헤테로 방향족 고리의 억셉터성이 모두 강해져, 단일항 들뜬 상태와 삼중항 들뜬 상태의 에너지 차이가 작아지기 때문에 특히 바람직하다.

[0326] 또한 TADF 재료를 사용하는 경우, 다른 유기 화합물과 조합하여 사용할 수도 있다.

[0327] [전자 수송층(724)]

[0328] 전자 수송층(724)은 전자 주입층(725)에 의하여 도전체(788)로부터 주입된 전자를 발광층(723)에 수송하는 층이다. 또한 전자 수송층(724)은 전자 수송성 재료를 포함하는 층이다. 전자 수송층(724)에 사용하는 전자 수송성 재료는 $1\times10^{-6}cm^2/Vs$ 이상의 전자 이동도를 가지는 물질이 바람직하다. 또한 정공보다 전자의 수송성이 높은 물질이면 이들 외의 물질을 사용할 수 있다.

[0329] 전자 수송성 재료로서는 퀴놀린 배위자, 벤조퀴놀린 배위자, 옥사졸 배위자, 또는 싸이아졸 배위자를 가지는 금속 착체, 옥사다이아졸 유도체, 트라이아졸 유도체, 페난트롤린 유도체, 피리딘 유도체, 바이피리딘 유도체 등을 들 수 있다. 그 외에, 질소 함유 헤테로 방향족 화합물과 같은 π전자 부족형 헤테로 방향족 화합물을 사용할 수도 있다.

[0330] 구체적으로는, Alq_3, 트리스(4-메틸-8-퀴놀리놀레이토)알루미늄(약칭: $Almq_3$), 비스(10-하이드록시벤조[h]퀴놀리네이토)베릴륨(약칭: $BeBq_2$), BAlq, $Zn(BOX)_2$, 비스[2-(2-하이드록시페닐)벤조싸이아졸레이토]아연(약칭: $Zn(BTZ)_2$) 등의 금속 착체, 2-(4-바이페닐릴)-5-(4-tert-뷰틸페닐)-1,3,4-옥사다이아졸(약칭: PBD), 1,3-비스[5-(p-tert-뷰틸페닐)-1,3,4-옥사다이아졸-2-일]벤젠(약칭: OXD-7), 3-(4'-tert-뷰틸페닐)-4-페닐-5-(4''-바이페닐)-1,2,4-트라이아졸(약칭: TAZ), 3-(4-tert-뷰틸페닐)-4-(4-에틸페닐)-5-(4-바이페닐릴)-1,2,4-트라이아졸(약칭: p-EtTAZ), 바소페난트롤린(약칭: Bphen), 바소큐프로인(약칭: BCP), 4,4'-비스(5-메틸벤즈옥사졸-2-일)스틸벤(약칭: BzOs) 등의 헤테로 방향족 화합물, 2-[3-(다이벤조싸이오펜-4-일)페닐]다이벤조[f,h]퀴녹살린(약칭: 2mDBTPDBq-II), 2-[3'-(다이벤조싸이오펜-4-일)바이페닐-3-일]다이벤조[f,h]퀴녹살린(약칭:

2mDBTBPDBq-II), 2-[4-(3,6-다이페닐-9H-카바졸-9-일)페닐]다이벤조[f,h]퀴녹살린(약칭: 2CzPDBq-III), 7-[3-(다이벤조싸이오펜-4-일)페닐]다이벤조[f,h]퀴녹살린(약칭: 7mDBTPDBq-II), 6-[3-(다이벤조싸이오펜-4-일)페닐]다이벤조[f,h]퀴녹살린(약칭: 6mDBTPDBq-II) 등의 퀴녹살린 또는 다이벤조퀴녹살린 유도체를 사용할 수 있다.

[0331] 또한 폴리(2,5-피리딘다이일)(약칭: PPy), 폴리[(9,9-다이헥실플루오렌-2,7-다이일)-co-(피리딘-3,5-다이일)](약칭: PF-Py), 폴리[(9,9-다이옥틸플루오렌-2,7-다이일)-co-(2,2'-바이피리딘-6,6'-다이일)](약칭: PF-BPy)과 같은 고분자 화합물을 사용할 수도 있다.

[0332] 또한 전자 수송층(724)은 단층뿐만 아니라, 상기 물질로 이루어지는 층이 2층 이상 적층된 구조를 가져도 좋다.

[0333] [전자 주입층(725)]

[0334] 전자 주입층(725)은 전자 주입성이 높은 물질을 포함하는 층이다. 전자 주입층(725)에는 플루오린화 리튬(LiF), 플루오린화 세슘(CsF), 플루오린화 칼슘(CaF_2), 리튬 산화물(LiO_x) 등과 같은 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 또한 플루오린화 어븀(ErF_3)과 같은 희토류 금속 화합물을 사용할 수 있다. 또한 전자 주입층(725)에 전자화물(electride)을 사용하여도 좋다. 전자화물로서는, 예를 들어 칼슘과 알루미늄의 혼합 산화물에 전자를 고농도로 첨가한 물질 등을 들 수 있다. 또한 상술한 전자 수송층(724)을 구성하는 물질을 사용할 수도 있다.

[0335] 또한 전자 주입층(725)에 유기 화합물과 전자 공여체(도너)를 혼합하여 이루어진 복합 재료를 사용하여도 좋다. 이와 같은 복합 재료는 전자 공여체에 의하여 유기 화합물에 전자가 발생하므로 전자 주입성 및 전자 수송성이 우수하다. 이 경우, 유기 화합물로서는 발생한 전자의 수송에 뛰어난 재료인 것이 바람직하고, 구체적으로는, 예를 들어 상술한 전자 수송층(724)에 사용하는 전자 수송성 재료(금속 착체나 헤테로 방향족 화합물 등)를 사용할 수 있다. 전자 공여체로서는 유기 화합물에 대하여 전자 공여성을 나타내는 물질이면 좋다. 구체적으로는, 알칼리 금속이나 알칼리 토금속이나 희토류 금속이 바람직하고, 리튬, 세슘, 마그네슘, 칼슘, 어븀, 이터븀 등을 들 수 있다. 또한 알칼리 금속 산화물이나 알칼리 토금속 산화물이 바람직하고, 리튬 산화물, 칼슘 산화물, 바륨 산화물 등을 들 수 있다. 또한 산화 마그네슘과 같은 루이스 염기를 사용할 수도 있다. 또한 테트라싸이아풀발렌(약칭: TTF) 등의 유기 화합물을 사용할 수도 있다.

[0336] [전하 발생층(792)]

[0337] 전하 발생층(792)은 도전체(772)와 도전체(788) 사이에 전압을 인가하였을 때, 상기 전하 발생층(792)에 접하는 2개의 EL층(786) 중 도전체(772)와 가까운 측의 EL층(786)에 전자를 주입하고, 도전체(788)와 가까운 측의 EL층(786)에 정공을 주입하는 기능을 가진다. 예를 들어, 도 29의 (C)에 나타낸 구성의 발광 소자(572)에서, 전하 발생층(792)은 EL층(786a)에 전자를 주입하고, EL층(786b)에 정공을 주입하는 기능을 가진다. 또한 전하 발생층(792)은 정공 수송성 재료에 전자 수용체(억셉터)가 첨가된 구성이어도 좋고, 전자 수송성 재료에 전자 공여체(도너)가 첨가된 구성이어도 좋다. 또한 이들 양쪽의 구성이 적층되어 있어도 좋다. 또한 상술한 재료를 사용하여 전하 발생층(792)을 형성함으로써, EL층이 적층된 경우에서의 표시 장치(10)의 구동 전압 상승을 억제할 수 있다.

[0338] 전하 발생층(792)에서, 정공 수송성 재료에 전자 수용체가 첨가된 구성으로 하는 경우, 전자 수용체로서는 7,7,8,8-테트라사이아노-2,3,5,6-테트라플루오로퀴노다이메테인(약칭: F_4-TCNQ), 클로라닐 등을 들 수 있다. 또한 원소 주기율표에서 4족 내지 8족에 속하는 금속의 산화물을 들 수 있다. 구체적으로는, 산화 바나듐, 산화 나이오븀, 산화 탄탈럼, 산화 크로뮴, 산화 몰리브데넘, 산화 텅스텐, 산화 망가니즈, 산화 레늄 등을 들 수 있다.

[0339] 전하 발생층(792)에서 전자 수송성 재료에 전자 공여체가 첨가된 구성으로 하는 경우, 전자 공여체로서는 알칼리 금속, 알칼리 토금속, 희토류 금속, 또는 원소 주기율표에서의 2족, 13족에 속하는 금속, 및 그 산화물 또는 탄산염을 사용할 수 있다. 구체적으로는, 리튬(Li), 세슘(Cs), 마그네슘(Mg), 칼슘(Ca), 이터븀(Yb), 인듐(In), 산화 리튬, 탄산 세슘 등을 사용하는 것이 바람직하다. 또한 테트라싸이아나프타센과 같은 유기 화합물을 전자 공여체로서 사용하여도 좋다.

[0340] 또한 발광 소자(572)의 제작에는 증착법 등의 진공 프로세스나, 스핀 코팅법이나 잉크젯법 등의 용액 프로세스를 사용할 수 있다. 증착법을 사용하는 경우에는, 스퍼터링법, 이온 플레이팅법, 이온 빔 증착법, 분자선 증착법, 진공 증착법 등의 물리 증착법(PVD법)이나 화학 증착법(CVD법) 등을 사용할 수 있다. 특히 발광 소자의 EL

층에 포함되는 기능층(정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층) 및 전하 발생층에 대해서는, 증착법(진공 증착법 등), 도포법(딥 코팅법, 다이 코팅법, 바 코팅법, 스핀 코팅법, 스프레이 코팅법 등), 인쇄법(잉크젯법, 스크린(공판 인쇄)법, 오프셋(평판 인쇄)법, 플렉소(철판 인쇄)법, 그라비어법, 마이크로 콘택트법 등) 등의 방법으로 형성할 수 있다.

[0341] 또한 본 실시형태에 나타내는 발광 소자의 EL층을 구성하는 각 기능층(정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층) 및 전하 발생층은 상술한 재료에 한정되지 않고, 이 외의 재료이어도 각 층의 기능을 만족시킬 수 있으면 조합하여 사용할 수 있다. 일례로서는 고분자 화합물(올리고머, 덴드리머, 폴리머 등), 중분자 화합물(저분자와 고분자의 중간 영역의 화합물: 분자량 400 내지 4000), 무기 화합물(퀀텀닷 재료 등) 등을 사용할 수 있다. 또한 퀀텀닷 재료로서는 콜로이드상 퀀텀닷 재료, 합금형 퀀텀닷 재료, 코어·셸형 퀀텀닷 재료, 코어형 퀀텀닷 재료 등을 사용할 수 있다.

[0342] 본 실시형태에서 예시한 구성예 및 이들에 대응하는 도면 등은 적어도 그 일부를 다른 구성예 또는 도면 등과 적절히 조합하여 실시할 수 있다.

[0343] 본 실시형태는 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0344] (실시형태 2)

[0345] 본 실시형태에서는 본 발명의 일 형태인 표시 장치에 사용할 수 있는 트랜지스터에 대하여 설명한다.

[0346] <트랜지스터의 구성예 1>

[0347] 도 30의 (A), (B), 및 (C)는 본 발명의 일 형태인 표시 장치에 사용할 수 있는 트랜지스터(200A) 및 트랜지스터(200A) 주변의 상면도 및 단면도이다. 본 발명의 일 형태의 표시 장치에 트랜지스터(200A)를 적용할 수 있다.

[0348] 도 30의 (A)는 트랜지스터(200A)의 상면도이다. 또한 도 30의 (B) 및 (C)는 트랜지스터(200A)의 단면도이다. 여기서, 도 30의 (B)는 도 30의 (A)에 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200A)의 채널 길이 방향의 단면도이기도 하다. 또한 도 30의 (C)는 도 30의 (A)에 일점쇄선 A3-A4로 나타낸 부분의 단면도이고, 트랜지스터(200A)의 채널 폭 방향의 단면도이기도 하다. 또한 도 30의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하여 도시하였다.

[0349] 도 30에 나타낸 바와 같이, 트랜지스터(200A)는 기판(도시 생략) 위에 배치된 금속 산화물(230a)과, 금속 산화물(230a) 위에 배치된 금속 산화물(230b)과, 금속 산화물(230b) 위에 서로 이격되어 배치된 도전체(242a) 및 도전체(242b)와, 도전체(242a) 위 및 도전체(242b) 위에 배치되고 도전체(242a)와 도전체(242b) 사이에 개구가 형성된 절연체(280)와, 개구 내에 배치된 도전체(260)와, 금속 산화물(230b), 도전체(242a), 도전체(242b), 및 절연체(280)와 도전체(260) 사이에 배치된 절연체(250)와, 금속 산화물(230b), 도전체(242a), 도전체(242b), 및 절연체(280)와 절연체(250) 사이에 배치된 금속 산화물(230c)을 가진다. 여기서, 도 30의 (B) 및 (C)에 나타낸 바와 같이, 도전체(260)의 상면은 절연체(250), 절연체(254), 금속 산화물(230c), 및 절연체(280)의 상면과 실질적으로 일치하는 것이 바람직하다. 또한 이하에서, 금속 산화물(230a), 금속 산화물(230b), 및 금속 산화물(230c)을 통틀어 금속 산화물(230)이라고 하는 경우가 있다. 또한 도전체(242a) 및 도전체(242b)를 통틀어 도전체(242)라고 하는 경우가 있다.

[0350] 도 30에 나타낸 트랜지스터(200A)는 도전체(242a) 및 도전체(242b)의 도전체(260) 측의 측면이 실질적으로 수직인 형상을 가진다. 또한 도 30에 나타낸 트랜지스터(200A)는 이에 한정되지 않고, 도전체(242a) 및 도전체(242b)의 측면과 저면이 이루는 각을 10° 이상 80° 이하, 바람직하게는 30° 이상 60° 이하로 하여도 좋다. 또한 도전체(242a) 및 도전체(242b)의 대향하는 측면이 복수의 면을 가져도 좋다.

[0351] 또한 도 30에 나타낸 바와 같이, 절연체(224), 금속 산화물(230a), 금속 산화물(230b), 도전체(242a), 도전체(242b), 및 금속 산화물(230c)과 절연체(280) 사이에 절연체(254)가 배치되는 것이 바람직하다. 여기서, 절연체(254)는 도 30의 (B) 및 (C)에 나타낸 바와 같이, 금속 산화물(230c)의 측면, 도전체(242a)의 상면과 측면, 도전체(242b)의 상면과 측면, 금속 산화물(230a) 및 금속 산화물(230b)의 측면, 그리고 절연체(224)의 상면과 접하는 것이 바람직하다.

[0352] 또한 트랜지스터(200A)에서 채널이 형성되는 영역(이하, 채널 형성 영역이라고도 함)과 그 근방에서 금속 산화물(230a), 금속 산화물(230b), 및 금속 산화물(230c)의 3층을 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 금속 산화물(230b)과 금속 산화물(230c)의 2층 구조, 또는 4층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 또한 트랜지스터(200A)에서 도전체(260)를 2층의 적층 구조로 나타내

었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(260)는 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다. 또한 금속 산화물(230a), 금속 산화물(230b), 및 금속 산화물(230c)의 각각이 2층 이상의 적층 구조를 가져도 좋다.

[0353] 예를 들어, 금속 산화물(230c)이 제 1 금속 산화물과, 제 1 금속 산화물 위의 제 2 금속 산화물로 이루어지는 적층 구조를 가지는 경우, 제 1 금속 산화물은 금속 산화물(230b)과 같은 조성을 가지고, 제 2 금속 산화물은 금속 산화물(230a)과 같은 조성을 가지는 것이 바람직하다.

[0354] 여기서, 도전체(260)는 트랜지스터의 게이트 전극으로서 기능하고, 도전체(242a) 및 도전체(242b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이, 도전체(260)는 절연체(280)의 개구 및 도전체(242a)와 도전체(242b)에 끼워진 영역에 매립되도록 형성된다. 여기서, 도전체(260), 도전체(242a), 및 도전체(242b)의 배치는 절연체(280)의 개구에 대하여 자기 정합(自己整合)적으로 선택된다. 즉, 트랜지스터(200A)에서, 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치할 수 있다. 따라서, 도전체(260)를 위치 얼라인먼트의 마진 없이 않고 형성할 수 있기 때문에, 트랜지스터(200A)의 점유 면적의 축소를 도모할 수 있다. 이로써, 표시 장치의 정세도를 높일 수 있다. 또한 표시 장치를 슬림 베젤로 할 수 있다.

[0355] 또한 도 30에 나타낸 바와 같이, 도전체(260)는 절연체(250)의 내측에 제공된 도전체(260a)와, 도전체(260a)의 내측에 매립되도록 제공된 도전체(260b)를 가지는 것이 바람직하다.

[0356] 또한 트랜지스터(200A)는 기판(도시 생략) 위에 배치된 절연체(214)와, 절연체(214) 위에 배치된 절연체(216)와, 절연체(216)에 매립되도록 배치된 도전체(205)와, 절연체(216)와 도전체(205) 위에 배치된 절연체(222)와, 절연체(222) 위에 배치된 절연체(224)를 가지는 것이 바람직하다. 절연체(224) 위에 금속 산화물(230a)이 배치되는 것이 바람직하다.

[0357] 또한 트랜지스터(200A) 위에 층간막으로서 기능하는 절연체(274) 및 절연체(281)가 배치되는 것이 바람직하다. 여기서, 절연체(274)는 도전체(260), 절연체(250), 절연체(254), 금속 산화물(230c), 및 절연체(280)의 상면에 접하여 배치되는 것이 바람직하다.

[0358] 절연체(222), 절연체(254), 및 절연체(274)는 수소(예를 들어 수소 원자, 수소 분자 등) 중 적어도 하나의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어, 절연체(222), 절연체(254), 및 절연체(274)는 절연체(224), 절연체(250), 및 절연체(280)보다 수소 투과성이 낮은 것이 바람직하다. 또한 절연체(222) 및 절연체(254)는 산소(예를 들어 산소 원자, 산소 분자 등) 중 적어도 하나의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어, 절연체(222) 및 절연체(254)는 절연체(224), 절연체(250), 및 절연체(280)보다 산소 투과성이 낮은 것이 바람직하다.

[0359] 여기서, 절연체(224), 금속 산화물(230), 및 절연체(250)는 절연체(254) 및 절연체(274)에 의하여 절연체(280) 및 절연체(281)와 이격되어 있다. 그러므로 절연체(224), 금속 산화물(230), 및 절연체(250)에, 절연체(280) 및 절연체(281)에 포함되는 수소 등의 불순물이나 과잉 산소가 절연체(224), 금속 산화물(230a), 금속 산화물(230b), 및 절연체(250)로 혼입되는 것을 억제할 수 있다.

[0360] 또한 트랜지스터(200A)와 전기적으로 접속되고 플러그로서 기능하는 도전체(240)(도전체(240a) 및 도전체(240b))가 제공되는 것이 바람직하다. 또한 플러그로서 기능하는 도전체(240)의 측면에 접하여 절연체(241)(절연체(241a) 및 절연체(241b))가 제공된다. 즉, 절연체(254), 절연체(280), 절연체(274), 및 절연체(281)의 개구의 내벽에 접하여 절연체(241)가 제공된다. 또한 절연체(241)의 측면에 접하여 도전체(240)의 제 1 도전체가 제공되고, 그 내측에 도전체(240)의 제 2 도전체가 제공되는 구성으로 하여도 좋다. 여기서, 도전체(240)의 상면의 높이와 절연체(281)의 상면의 높이는 같은 정도로 할 수 있다. 또한 트랜지스터(200A)에서는 도전체(240)의 제 1 도전체 및 도전체(240)의 제 2 도전체를 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(240)를 단층, 또는 3층 이상의 적층 구조로 제공하는 구성으로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순으로 서수를 붙여 구별하는 경우가 있다.

[0361] 또한 트랜지스터(200A)는 채널 형성 영역을 포함하는 금속 산화물(230)(금속 산화물(230a), 금속 산화물(230b), 및 금속 산화물(230c))에 산화물 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다. 예를 들어, 금속 산화물(230)의 채널 형성 영역이 되는 금속 산화물로서는 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상인 것을 사용하는 것이 바람직하다.

[0362] 상기 금속 산화물은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 인듐(In) 및 아연(Zn)을 포함하는 것이 바람직하다. 또한 이들에 더하여 원소 M이 포함되는 것이 바람직하다. 원소 M으로서 알루미

늄(Al), 갈륨(Ga), 이트륨(Y), 주석(Sn), 붕소(B), 타이타늄(Ti), 철(Fe), 니켈(Ni), 저마늄(Ge), 지르코늄(Zr), 몰리브데넘(Mo), 란타넘(La), 세륨(Ce), 네오디뮴(Nd), 하프늄(Hf), 탄탈럼(Ta), 텅스텐(W), 마그네슘(Mg), 및 코발트(Co) 중 하나 이상을 사용할 수 있다. 특히 원소 M은 알루미늄(Al), 갈륨(Ga), 이트륨(Y), 및 주석(Sn) 중 하나 이상으로 하는 것이 바람직하다. 또한 원소 M은 Ga 및 Sn 중 어느 한쪽 또는 양쪽을 가지는 것이 더 바람직하다.

[0363] 또한 도 30의 (B)에 나타낸 바와 같이, 금속 산화물(230b)은 도전체(242)와 중첩되지 않는 영역의 막 두께가 도전체(242)와 중첩되는 영역의 막 두께보다 얇아지는 경우가 있다. 이는, 도전체(242a) 및 도전체(242b)를 형성할 때, 금속 산화물(230b)의 상면의 일부를 제거함으로써 형성된다. 금속 산화물(230b)의 상면에서는, 도전체(242)가 되는 도전막을 성막하였을 때, 상기 도전막과의 계면 근방에 저항이 낮은 영역이 형성되는 경우가 있다. 이와 같이, 금속 산화물(230b)의 상면의 도전체(242a)와 도전체(242b) 사이에 위치하는 저항이 낮은 영역을 제거함으로써, 상기 영역에 채널이 형성되는 것을 방지할 수 있다.

[0364] 본 발명의 일 형태에 의하여 크기가 작은 트랜지스터를 가지며 정세도가 높은 표시 장치를 제공할 수 있다. 또는 온 전류가 큰 트랜지스터를 가지며 휘도가 높은 표시 장치를 제공할 수 있다. 또는 동작이 빠른 트랜지스터를 가지며 동작이 빠른 표시 장치를 제공할 수 있다. 또는 전기 특성이 안정적인 트랜지스터를 가지며 신뢰성이 높은 표시 장치를 제공할 수 있다. 또는 오프 전류가 작은 트랜지스터를 가지며 소비 전력이 낮은 표시 장치를 제공할 수 있다.

[0365] 본 발명의 일 형태인 표시 장치에 사용할 수 있는 트랜지스터(200A)의 자세한 구성에 대하여 설명한다.

[0366] 도전체(205)는 금속 산화물(230) 및 도전체(260)와 중첩되는 영역을 가지도록 배치된다. 또한 도전체(205)는 절연체(216)에 매립되어 제공되는 것이 바람직하다. 여기서, 도전체(205)의 상면의 평탄성을 양호하게 하는 것이 바람직하다. 예를 들어, 도전체(205) 상면의 평균 면 거칠기(Ra)를 1nm 이하, 바람직하게는 0.5nm 이하, 더 바람직하게는 0.3nm 이하로 하면 좋다. 이로써, 도전체(205) 위에 형성되는 절연체(224)의 평탄성을 양호하게 하고, 금속 산화물(230b) 및 금속 산화물(230c)의 결정성 향상을 도모할 수 있다.

[0367] 여기서, 도전체(260)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한 도전체(205)는 제 2 게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 이 경우, 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써 트랜지스터(200A)의 V_{th}를 제어할 수 있다. 특히, 도전체(205)에 음의 전위를 인가함으로써, 트랜지스터(200A)의 V_{th}를 0V보다 크게 하고, 오프 전류를 저감할 수 있게 된다. 따라서, 도전체(205)에 음의 전위를 인가하면 인가하지 않은 경우보다 도전체(260)에 인가되는 전위가 0V일 때의 드레인 전류를 더 작게 할 수 있다.

[0368] 또한 도전체(205)는 금속 산화물(230)에서의 채널 형성 영역보다 크게 제공하는 것이 좋다. 특히, 도 30의 (C)에 나타낸 바와 같이, 도전체(205)는 채널 폭 방향과 교차되는 금속 산화물(230)의 단부보다 외측의 영역에서도 연장되어 있는 것이 바람직하다. 즉, 채널 폭 방향에서의 금속 산화물(230)의 측면의 외측에서 도전체(205)와 도전체(260)는 절연체를 개재하여 중첩되어 있는 것이 바람직하다.

[0369] 상기 구성을 가짐으로써, 제 1 게이트 전극으로서의 기능을 가지는 도전체(260)의 전계와 제 2 게이트 전극으로서의 기능을 가지는 도전체(205)의 전계에 의하여 금속 산화물(230)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다.

[0370] 또한 도 30의 (C)에 나타낸 바와 같이, 도전체(205)를 연장시켜 배선으로서도 기능시킨다. 다만, 이에 한정되지 않고, 도전체(205) 아래에 배선으로서 기능하는 도전체를 제공하는 구성으로 하여도 좋다.

[0371] 또한 도전체(205)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(205)를 단층으로 도시하였지만, 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.

[0372] 또한 도전체(205) 아래에 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물을 투과시키기 어려운) 도전체를 사용하여도 좋다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소를 투과시키기 어려운) 도전체를 사용하는 것이 바람직하다. 또한 본 명세서에 있어서, 불순물 또는 산소의 확산을 억제하는 기능이란 상기 불순물 및 상기 산소 중 어느 하나 또는 모두의 확산을 억제하는 기능으로 한다.

[0373] 도전체(205) 아래에 산소의 확산을 억제하는 기능을 가지는 도전체를 제공함으로써, 도전체(205)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전체로서는 예를 들어 탄탈럼, 질화 탄탈럼, 루테늄, 또는 산화 루테늄 등을 사용하는 것이 바람직하다. 따라서, 도전체(205)의 제 1 도전체로서는 상기 도전성 재료를 단층 또는 적층으로 하면 좋다.

[0374] 절연체(214)는 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(200A)로 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(214)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물을 투과시키기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등) 중 적어도 하나의 확산을 억제하는 기능을 가지는(상기 산소를 투과시키기 어려운) 절연성 재료를 사용하는 것이 바람직하다.

[0375] 예를 들어 절연체(214)로서 산화 알루미늄 또는 질화 실리콘 등을 사용하는 것이 바람직하다. 이로써, 물 또는 수소 등의 불순물이 절연체(214)보다 기판 측으로부터 트랜지스터(200A) 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(224) 등에 포함되는 산소가 절연체(214)보다 기판 측으로 확산되는 것을 억제할 수 있다.

[0376] 또한 층간막으로서 기능하는 절연체(216), 절연체(280), 및 절연체(281)는 절연체(214)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어, 절연체(216), 절연체(280), 및 절연체(281)로서, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공(空孔)을 가지는 산화 실리콘 등을 적절히 사용하면 좋다.

[0377] 절연체(222) 및 절연체(224)는 게이트 절연체로서의 기능을 가진다.

[0378] 여기서, 금속 산화물(230)과 접하는 절연체(224)는 가열에 의하여 산소가 이탈되는 것이 바람직하다. 본 명세서에서는 가열에 의하여 이탈되는 산소를 과잉 산소라고 부르는 경우가 있다. 예를 들어, 절연체(224)에는 산화 실리콘 또는 산화질화 실리콘 등을 적절히 사용하면 좋다. 산소를 포함하는 절연체를 금속 산화물(230)에 접하여 제공함으로써, 금속 산화물(230) 내의 산소 결손을 저감하여 트랜지스터(200A)의 신뢰성을 향상시킬 수 있다.

[0379] 구체적으로는 절연체(224)로서 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란 TDS(Thermal Desorption Spectroscopy) 분석에서 산소 원자로 환산한 산소의 이탈량이 1.0×10^{18}atoms/cm^3 이상, 바람직하게는 1.0×10^{19}atoms/cm^3 이상, 더 바람직하게는 2.0×10^{19}atoms/cm^3 이상, 또는 3.0×10^{20}atoms/cm^3 이상인 산화물막이다. 또한 상기 TDS 분석 시의 막의 표면 온도로서는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.

[0380] 또한 도 30의 (C)에 나타낸 바와 같이, 절연체(224)는 절연체(254)와 중첩되지 않고, 금속 산화물(230b)과 중첩되지 않는 영역의 막 두께가 이 외의 영역의 막 두께보다 얇아지는 경우가 있다. 절연체(224)에서 절연체(254)와 중첩되지 않으며, 금속 산화물(230b)과 중첩되지 않는 영역의 막 두께는 상기 산소를 충분히 확산시킬 수 있는 막 두께인 것이 바람직하다.

[0381] 절연체(222)는 절연체(214) 등과 마찬가지로, 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(200A)로 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어, 절연체(222)는 절연체(224)보다 수소 투과성이 낮은 것이 바람직하다. 절연체(222), 절연체(254), 및 절연체(274)에 의하여 절연체(224), 금속 산화물(230), 및 절연체(250) 등을 둘러쌈으로써, 외부로부터 물 또는 수소 등의 불순물이 트랜지스터(200A)로 침입하는 것을 억제할 수 있다.

[0382] 또한 절연체(222)는 산소(예를 들어 산소 원자, 산소 분자 등) 중 적어도 하나의 확산을 억제하는 기능을 가지는(상기 산소를 투과시키기 어려운) 것이 바람직하다. 예를 들어, 절연체(222)는 산소 투과성이 절연체(224)보다 낮은 것이 바람직하다. 절연체(222)가 산소나 불순물의 확산을 억제하는 기능을 가짐으로써, 금속 산화물(230)이 가지는 산소가 기판 측으로 확산되는 것을 저감할 수 있기 때문에 바람직하다. 또한 도전체(205)가 절연체(224)나 금속 산화물(230)이 가지는 산소와 반응하는 것을 억제할 수 있다.

[0383] 절연체(222)에는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하

프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 금속 산화물(230)로부터의 산소의 방출이나 트랜지스터(200A)의 주변부로부터 금속 산화물(230)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

[0384] 또는 이들 절연체에 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.

[0385] 또한 절연체(222)로서는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), 또는 $(Ba,Sr)TiO_3$(BST) 등 소위 high-k 재료를 포함하는 절연체를 단층 또는 적층으로 사용하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있게 된다.

[0386] 또한 절연체(222) 및 절연체(224)가 2층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다. 예를 들어, 절연체(222) 아래에 절연체(224)와 같은 절연체를 제공하는 구성으로 하여도 좋다.

[0387] 금속 산화물(230)은 금속 산화물(230a)과, 금속 산화물(230a) 위의 금속 산화물(230b)과, 금속 산화물(230b) 위의 금속 산화물(230c)을 가진다. 금속 산화물(230b) 아래에 금속 산화물(230a)을 가짐으로써, 금속 산화물(230a)보다 아래쪽에 형성된 구조물로부터 금속 산화물(230b)로의 불순물의 확산을 억제할 수 있다. 또한 금속 산화물(230b) 위에 금속 산화물(230c)을 가짐으로써, 금속 산화물(230c)보다 위쪽에 형성된 구조물로부터 금속 산화물(230b)로의 불순물의 확산을 억제할 수 있다.

[0388] 또한 금속 산화물(230)은 각 금속 원자의 원자수비가 다른 복수의 산화물층으로 이루어지는 적층 구조를 가지는 것이 바람직하다. 예를 들어, 금속 산화물(230)이 적어도 인듐(In)과 원소 M을 포함하는 경우, 금속 산화물(230a)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(230a)에 포함되는 원소 M의 원자수의 비율은 금속 산화물(230b)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(230b)에 포함되는 원소 M의 원자수의 비율보다 높은 것이 바람직하다. 또한 금속 산화물(230a)에 포함되는 원소 M의 In에 대한 원자수비는 금속 산화물(230b)에 포함되는 원소 M의 In에 대한 원자수비보다 큰 것이 바람직하다. 여기서 금속 산화물(230c)로서는 금속 산화물(230a) 또는 금속 산화물(230b)에 사용할 수 있는 금속 산화물을 사용할 수 있다.

[0389] 또한 금속 산화물(230a) 및 금속 산화물(230c)의 전도대 하단의 에너지가 금속 산화물(230b)의 전도대 하단의 에너지보다 높아지는 것이 바람직하다. 또한 바꿔 말하면 금속 산화물(230a) 및 금속 산화물(230c)의 전자 친화력이 금속 산화물(230b)의 전자 친화력보다 작은 것이 바람직하다. 이 경우, 금속 산화물(230c)로서는 금속 산화물(230a)에 사용할 수 있는 금속 산화물을 사용하는 것이 바람직하다. 구체적으로는 금속 산화물(230c)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(230c)에 포함되는 원소 M의 원자수의 비율은 금속 산화물(230b)을 구성하는 원소 전체의 원자수에 대한, 금속 산화물(230b)에 포함되는 원소 M의 원자수의 비율보다 높은 것이 바람직하다. 또한 금속 산화물(230c)에 포함되는 원소 M의 In에 대한 원자수비는 금속 산화물(230b)에 포함되는 원소 M의 In에 대한 원자수비보다 큰 것이 바람직하다.

[0390] 여기서, 금속 산화물(230a), 금속 산화물(230b), 및 금속 산화물(230c)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 바꿔 말하면 금속 산화물(230a), 금속 산화물(230b), 및 금속 산화물(230c)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는, 금속 산화물(230a)과 금속 산화물(230b)의 계면 및 금속 산화물(230b)과 금속 산화물(230c)의 계면에서 형성되는 혼합층의 결함 준위 밀도를 낮추는 것이 좋다.

[0391] 구체적으로는, 금속 산화물(230a)과 금속 산화물(230b), 금속 산화물(230b)과 금속 산화물(230c)이 산소 외에 공통의 원소를 가짐으로써(주성분으로 함으로써) 결함 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 금속 산화물(230b)이 In-Ga-Zn 산화물인 경우, 금속 산화물(230a) 및 금속 산화물(230c)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하여도 좋다. 또한 금속 산화물(230c)을 적층 구조로 하여도 좋다. 예를 들어 In-Ga-Zn 산화물과 상기 In-Ga-Zn 산화물 위의 Ga-Zn 산화물의 적층 구조, 또는 In-Ga-Zn 산화물과 상기 In-Ga-Zn 산화물 위의 산화 갈륨의 적층 구조를 사용할 수 있다. 바꿔 말하면 In-Ga-Zn 산화물과 In을 포함하지 않는 산화물의 적층 구조를 금속 산화물(230c)로서 사용하여도 좋다.

[0392] 구체적으로는, 금속 산화물(230a)로서 In:Ga:Zn=1:3:4[원자수비] 또는 1:1:0.5[원자수비]의 금속 산화물을 사용

하면 좋다. 또한 금속 산화물(230b)로서 In:Ga:Zn=4:2:3[원자수비] 또는 3:1:2[원자수비]의 금속 산화물을 사용하면 좋다. 또한 금속 산화물(230c)로서 In:Ga:Zn=1:3:4[원자수비], In:Ga:Zn=4:2:3[원자수비], Ga:Zn=2:1[원자수비], 또는 Ga:Zn=2:5[원자수비]의 금속 산화물을 사용하면 좋다. 또한 금속 산화물(230c)을 적층 구조로 하는 경우의 구체적인 예로서는 In:Ga:Zn=4:2:3[원자수비]과 Ga:Zn=2:1[원자수비]의 적층 구조, In:Ga:Zn=4:2:3[원자수비]과 Ga:Zn=2:5[원자수비]의 적층 구조, In:Ga:Zn=4:2:3[원자수비]과 산화 갈륨의 적층 구조 등을 들 수 있다.

[0393] 이때, 캐리어의 주된 경로는 금속 산화물(230b)이다. 금속 산화물(230a), 금속 산화물(230c)을 상술한 구성으로 함으로써, 금속 산화물(230a)과 금속 산화물(230b)의 계면 및 금속 산화물(230b)과 금속 산화물(230c)의 계면에서의 결함 준위 밀도를 낮출 수 있다. 그러므로, 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(200A)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다. 또한 금속 산화물(230c)을 적층 구조로 한 경우, 상술한 금속 산화물(230b)과 금속 산화물(230c)의 계면에서의 결함 준위 밀도를 낮추는 효과에 더하여, 금속 산화물(230c)이 가지는 구성 원소가 절연체(250) 측으로 확산되는 것을 억제하는 것이 기대된다. 더 구체적으로는, 금속 산화물(230c)을 적층 구조로 하고, 적층 구조의 위쪽에 In을 포함하지 않는 산화물을 배치시키기 때문에 절연체(250) 측으로 확산될 수 있는 In을 억제할 수 있다. 절연체(250)는 게이트 절연체로서 기능하기 때문에, In이 확산된 경우 트랜지스터의 특성 불량이 된다. 따라서, 금속 산화물(230c)을 적층 구조로 함으로써 신뢰성이 높은 표시 장치를 제공할 수 있게 된다.

[0394] 금속 산화물(230b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(242)(도전체(242a) 및 도전체(242b))가 제공된다. 도전체(242)로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 및 란타넘 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0395] 금속 산화물(230)과 접하도록 상기 도전체(242)를 제공함으로써, 금속 산화물(230)의 도전체(242) 근방에서 산소 농도가 저감되는 경우가 있다. 또한 금속 산화물(230)의 도전체(242) 근방에서 도전체(242)에 포함되는 금속과 금속 산화물(230)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이와 같은 경우, 금속 산화물(230)의 도전체(242) 근방의 영역에서 캐리어 밀도가 증가하여 상기 영역은 저저항 영역이 된다.

[0396] 여기서 도전체(242a)와 도전체(242b) 사이의 영역은 절연체(280)의 개구에 중첩되어 형성된다. 이에 의하여, 도전체(242a)와 도전체(242b) 사이에 도전체(260)를 자기 정합적으로 배치할 수 있다.

[0397] 절연체(250)는 게이트 절연체로서 기능한다. 절연체(250)는 금속 산화물(230c)의 상면에 접하여 배치하는 것이 바람직하다. 절연체(250)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘을 사용할 수 있다. 특히, 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.

[0398] 절연체(250)는 절연체(224)와 마찬가지로, 절연체(250) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(250)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다.

[0399] 또한 절연체(250)와 도전체(260) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(250)로부터 도전체(260)로의 산소 확산을 억제하는 것이 바람직하다. 이로써, 절연체(250)의 산소로 인한 도전체(260)의 산화를 억제할 수 있다.

[0400] 또한 상기 금속 산화물은 게이트 절연체의 일부로서의 기능을 가지는 경우가 있다. 따라서, 절연체(250)에 산화 실리콘이나 산화질화 실리콘 등을 사용하는 경우, 상기 금속 산화물에는 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 게이트 절연체를 절연체(250)와 상기 금속 산화물의 적층 구조로 함으로써, 열에 대하여 안정적이며 비유전율이 높은 적층 구조로 할 수 있다. 따라서, 게이트 절연체의 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위를 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)를 저감할 수 있다.

[0401] 구체적으로는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 특히, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다.

[0402] 도전체(260)는 도 30에서 2층 구조로 나타내었지만, 단층 구조이어도 좋고 3층 이상의 적층 구조이어도 좋다.

[0403] 도전체(260a)에는 상술한 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전체를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등) 중 적어도 하나의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0404] 또한 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(250)에 포함되는 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테늄, 또는 산화 루테늄 등을 사용하는 것이 바람직하다.

[0405] 또한 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(260)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(260b)는 적층 구조를 가져도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조를 가져도 좋다.

[0406] 또한 도 30의 (A) 및 (C)에 나타낸 바와 같이, 금속 산화물(230b)에서 도전체(242)와 중첩되지 않는 영역, 바꿔 말하면 금속 산화물(230)의 채널 형성 영역에서 금속 산화물(230)의 측면이 도전체(260)로 덮이도록 배치되어 있다. 이로써, 제 1 게이트 전극으로서 기능하는 도전체(260)의 전계를 금속 산화물(230)의 측면에 작용시키기 쉬워진다. 따라서, 트랜지스터(200A)의 온 전류를 증대시켜 주파수 특성을 향상시킬 수 있다.

[0407] 절연체(254)는 절연체(214) 등과 마찬가지로, 물 또는 수소 등의 불순물이 절연체(280) 측으로부터 트랜지스터(200A)로 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어, 절연체(254)는 절연체(224)보다 수소 투과성이 낮은 것이 바람직하다. 또한 도 30의 (B) 및 (C)에 나타낸 바와 같이, 절연체(254)는 금속 산화물(230c)의 측면, 도전체(242a)의 상면과 측면, 도전체(242b)의 상면과 측면, 금속 산화물(230a) 및 금속 산화물(230b)의 측면, 그리고 절연체(224)의 상면과 접하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 절연체(280)에 포함되는 수소가 도전체(242a), 도전체(242b), 금속 산화물(230a), 금속 산화물(230b), 및 절연체(224)의 상면 또는 측면으로부터 금속 산화물(230)로 침입하는 것을 억제할 수 있다.

[0408] 또한 절연체(254)는 산소(예를 들어 산소 원자, 산소 분자 등) 중 적어도 하나의 확산을 억제하는 기능을 가지는(상기 산소를 투과시키기 어려운) 것이 바람직하다. 예를 들어, 절연체(254)는 절연체(280) 또는 절연체(224)보다 산소 투과성이 낮은 것이 바람직하다.

[0409] 절연체(254)는 스퍼터링법을 사용하여 성막되는 것이 바람직하다. 절연체(254)를, 산소를 포함한 분위기에서 스퍼터링법을 사용하여 성막함으로써, 절연체(224)에서 절연체(254)와 접하는 영역 근방에 산소를 첨가할 수 있다. 이로써, 상기 영역으로부터 절연체(224)를 통하여 금속 산화물(230) 내에 산소를 공급할 수 있다. 여기서, 절연체(254)가 위쪽으로의 산소의 확산을 억제하는 기능을 가짐으로써, 산소가 금속 산화물(230)로부터 절연체(280)로 확산되는 것을 방지할 수 있다. 또한 절연체(222)가 아래쪽으로의 산소의 확산을 억제하는 기능을 가짐으로써, 산소가 금속 산화물(230)로부터 기판 측으로 확산되는 것을 방지할 수 있다. 이와 같이, 금속 산화물(230)의 채널 형성 영역에 산소가 공급된다. 이로써, 금속 산화물(230)의 산소 결손을 저감하여 트랜지스터의 노멀리 온화를 억제할 수 있다.

[0410] 절연체(254)로서는, 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 성막하는 것이 좋다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다.

[0411] 수소에 대하여 배리어성을 가지는 절연체(254)로 절연체(224), 절연체(250), 및 금속 산화물(230)을 덮음으로써, 절연체(280)는 절연체(254)에 의하여 절연체(224), 금속 산화물(230), 및 절연체(250)와 이격되어 있다. 이로써, 트랜지스터(200A)의 외부로부터 수소 등의 불순물이 침입하는 것을 억제할 수 있기 때문에, 트랜지스터(200A)에 양호한 전기 특성 및 신뢰성을 부여할 수 있다.

[0412] 절연체(280)는 절연체(254)를 개재하여 절연체(224), 금속 산화물(230), 및 도전체(242) 위에 제공된다. 예를 들어, 절연체(280)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘 등을 가지는 것이 바람직하다. 특히, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 특히, 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함하는 영역을 용이하게 형성할 수 있기 때문에 바람직하다.

[0413] 절연체(280) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 또한 절연체(280)의 상면은 평탄화되어도 좋다.

[0414] 절연체(274)는 절연체(214) 등과 마찬가지로, 물 또는 수소 등의 불순물이 위쪽으로부터 절연체(280)로 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 절연체(274)로서는 예를 들어 절연체(214), 절연체(254) 등에 사용할 수 있는 절연체를 사용하면 좋다.

[0415] 또한 절연체(274) 위에 층간막으로서 기능하는 절연체(281)를 제공하는 것이 바람직하다. 절연체(281)는 절연체(224) 등과 마찬가지로, 막 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[0416] 또한 절연체(281), 절연체(274), 절연체(280), 및 절연체(254)에 형성된 개구에 도전체(240a) 및 도전체(240b)를 배치한다. 도전체(240a) 및 도전체(240b)는 도전체(260)를 개재하여 대향하여 제공된다. 또한 도전체(240a) 및 도전체(240b)의 상면의 높이는 절연체(281)의 상면과 동일 평면상으로 하여도 좋다.

[0417] 또한 절연체(281), 절연체(274), 절연체(280), 및 절연체(254)의 개구의 내벽에 접하여 절연체(241a)가 제공되고, 그 측면에 접하여 도전체(240a)의 제 1 도전체가 형성되어 있다. 상기 개구의 바닥부의 적어도 일부에는 도전체(242a)가 위치하고, 도전체(240a)가 도전체(242a)와 접한다. 마찬가지로, 절연체(281), 절연체(274), 절연체(280), 및 절연체(254)의 개구의 내벽에 접하여 절연체(241b)가 제공되고, 그 측면에 접하여 도전체(240b)의 제 1 도전체가 형성되어 있다. 상기 개구의 바닥부의 적어도 일부에는 도전체(242b)가 위치하고, 도전체(240b)가 도전체(242b)와 접한다.

[0418] 도전체(240a) 및 도전체(240b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(240a) 및 도전체(240b)는 적층 구조로 하여도 좋다.

[0419] 또한 도전체(240)를 적층 구조로 하는 경우, 금속 산화물(230a), 금속 산화물(230b), 도전체(242), 절연체(254), 절연체(280), 절연체(274), 절연체(281)와 접하는 도전체에는 상술한 물 또는 수소 등의 불순물의 확산을 억제하는 기능을 가지는 도전체를 사용하는 것이 바람직하다. 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테늄, 또는 산화 루테늄 등을 사용하는 것이 바람직하다. 또한 물 또는 수소 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료는 단층 또는 적층으로 사용하여도 좋다. 상기 도전성 재료를 사용함으로써, 절연체(280)에 첨가된 산소가 도전체(240a) 및 도전체(240b)에 흡수되는 것을 방지할 수 있다. 또한 절연체(281)보다 위층으로부터 물 또는 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 금속 산화물(230)로 혼입되는 것을 억제할 수 있다.

[0420] 절연체(241a) 및 절연체(241b)로서는, 예를 들어 절연체(254) 등에 사용할 수 있는 절연체를 사용하면 좋다. 절연체(241a) 및 절연체(241b)는 절연체(254)에 접하여 제공되기 때문에, 절연체(280) 등으로부터 물 또는 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 금속 산화물(230)로 혼입되는 것을 억제할 수 있다. 또한 절연체(280)에 포함되는 산소가 도전체(240a) 및 도전체(240b)에 흡수되는 것을 방지할 수 있다.

[0421] 또한 도시하지 않았지만, 도전체(240a)의 상면 및 도전체(240b)의 상면에 접하여 배선으로서 기능하는 도전체를 배치하여도 좋다. 배선으로서 기능하는 도전체에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상기 도전체는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다. 상기 도전체는 절연체에 제공된 개구에 매립되도록 형성하여도 좋다.

[0422] <트랜지스터의 구성예 2>

[0423] 도 31의 (A), (B), 및 (C)는 본 발명의 일 형태인 표시 장치에 사용할 수 있는 트랜지스터(200B) 및 트랜지스터(200B) 주변의 상면도 및 단면도이다. 트랜지스터(200B)는 트랜지스터(200A)의 변형예이다.

[0424] 도 31의 (A)는 트랜지스터(200B)의 상면도이다. 또한 도 31의 (B) 및 (C)는 트랜지스터(200B)의 단면도이다. 여기서, 도 31의 (B)는 도 31의 (A)에 일점쇄선 B1-B2로 나타낸 부분의 단면도이고, 트랜지스터(200B)의 채널

길이 방향의 단면도이기도 하다. 또한 도 31의 (C)는 도 31의 (A)에 일점쇄선 B3-B4로 나타낸 부분의 단면도이고, 트랜지스터(200B)의 채널 폭 방향의 단면도이기도 하다. 또한 도 31의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하여 도시하였다.

[0425] 트랜지스터(200B)에서는 도전체(242a) 및 도전체(242b)가 금속 산화물(230c), 절연체(250), 및 도전체(260)와 중첩되는 영역을 가진다. 이로써, 트랜지스터(200B)는 온 전류가 높은 트랜지스터로 할 수 있다. 또한 트랜지스터(200B)는 제어하기 쉬운 트랜지스터로 할 수 있다.

[0426] 게이트 전극으로서 기능하는 도전체(260)는 도전체(260a)와 도전체(260a) 위의 도전체(260b)를 가진다. 도전체(260a)에는 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0427] 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(260b)의 재료 선택성을 향상시킬 수 있다. 즉, 도전체(260a)를 가짐으로써 도전체(260b)의 산화가 억제되어, 도전율이 저하되는 것을 방지할 수 있다.

[0428] 또한 도전체(260)의 상면 및 측면, 절연체(250)의 측면, 및 금속 산화물(230c)의 측면을 덮도록 절연체(254)를 제공하는 것이 바람직하다. 또한 절연체(254)는 물 또는 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연성 재료를 사용하는 것이 좋다.

[0429] 절연체(254)를 제공함으로써 도전체(260)의 산화를 억제할 수 있다. 또한 절연체(254)를 가짐으로써, 절연체(280)가 가지는 물, 수소 등의 불순물이 트랜지스터(200B)로 확산되는 것을 억제할 수 있다.

[0430] <트랜지스터의 구성예 3>

[0431] 도 32의 (A), (B), 및 (C)는 본 발명의 일 형태인 표시 장치에 사용할 수 있는 트랜지스터(200C) 및 트랜지스터(200C) 주변의 상면도 및 단면도이다. 트랜지스터(200C)는 트랜지스터(200A)의 변형예이다.

[0432] 도 32의 (A)는 트랜지스터(200C)의 상면도이다. 또한 도 32의 (B) 및 (C)는 트랜지스터(200C)의 단면도이다. 여기서, 도 32의 (B)는 도 32의 (A)에 일점쇄선 C1-C2로 나타낸 부분의 단면도이고, 트랜지스터(200C)의 채널 길이 방향의 단면도이기도 하다. 또한 도 32의 (C)는 도 32의 (A)에 일점쇄선 C3-C4로 나타낸 부분의 단면도이고, 트랜지스터(200C)의 채널 폭 방향의 단면도이기도 하다. 또한 도 32의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하여 도시하였다.

[0433] 트랜지스터(200C)는 금속 산화물(230c) 위에 절연체(250)를 가지고, 절연체(250) 위에 금속 산화물(252)을 가진다. 또한 금속 산화물(252) 위에 도전체(260)를 가지고, 도전체(260) 위에 절연체(270)를 가진다. 또한 절연체(270) 위에 절연체(271)를 가진다.

[0434] 금속 산화물(252)은 산소 확산을 억제하는 기능을 가지는 것이 바람직하다. 절연체(250)와 도전체(260) 사이에 산소의 확산을 억제하는 금속 산화물(252)을 제공함으로써, 도전체(260)로의 산소의 확산이 억제된다. 즉, 금속 산화물(230)에 공급되는 산소량의 감소를 억제할 수 있다. 또한 산소로 인한 도전체(260)의 산화를 억제할 수 있다.

[0435] 또한 금속 산화물(252)은 게이트 전극의 일부로서의 기능을 가져도 좋다. 예를 들어, 금속 산화물(230)로서 사용할 수 있는 산화물 반도체를 금속 산화물(252)로서 사용할 수 있다. 이 경우, 도전체(260)를 스퍼터링법으로 성막함으로써, 금속 산화물(252)의 전기 저항값을 저하시켜 도전체로 할 수 있다. 이것을 OC(Oxide Conductor) 전극이라고 부를 수 있다.

[0436] 또한 금속 산화물(252)은 게이트 절연체의 일부로서의 기능을 가지는 경우가 있다. 따라서, 절연체(250)에 산화 실리콘이나 산화질화 실리콘 등을 사용하는 경우, 금속 산화물(252)에는 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 상기 적층 구조로 함으로써, 열에 대하여 안정적이며 비유전율이 높은 적층 구조로 할 수 있다. 따라서, 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위를 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연층의 등가 산화막 두께(EOT)를 저감할 수 있다.

[0437] 트랜지스터(200C)에서 금속 산화물(252)을 단층으로 나타내었지만, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 게이트 전극의 일부로서 기능하는 금속 산화물과 게이트 절연체의 일부로서 기능하는 금속 산화물을 적층하여 제공하여도 좋다.

[0438] 금속 산화물(252)을 가짐으로써, 게이트 전극으로서 기능하는 경우에는 도전체(260)로부터의 전계의 영향을 감

소시키지 않고, 트랜지스터(200C)의 온 전류의 향상을 도모할 수 있다. 또는 게이트 절연체로서 기능하는 경우에는 절연체(250) 및 금속 산화물(252)의 물리적인 두께에 의하여 도전체(260)와 금속 산화물(230) 사이의 거리를 유지함으로써, 도전체(260)와 금속 산화물(230) 사이의 누설 전류를 억제할 수 있다. 따라서, 절연체(250)와 금속 산화물(252)의 적층 구조를 제공함으로써, 도전체(260)와 금속 산화물(230) 사이의 물리적인 거리 및 도전체(260)로부터 금속 산화물(230)에 가해지는 전계 강도를 용이하게 조정할 수 있다.

[0439] 구체적으로는 금속 산화물(252)로서, 금속 산화물(230)에 사용할 수 있는 산화물 반도체를 저저항화한 것을 사용할 수 있다. 또는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.

[0440] 특히, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연층인 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미네이트는 산화 하프늄막보다 내열성이 높다. 그러므로, 추후의 공정에서의 열 처리에서 결정화되기 어렵기 때문에 바람직하다. 또한 금속 산화물(252)은 필수적인 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.

[0441] 절연체(270)는 물 또는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연성 재료를 사용하는 것이 좋다. 예를 들어, 산화 알루미늄 또는 산화 하프늄 등을 사용하는 것이 바람직하다. 이로써, 절연체(270)보다 위쪽으로부터의 산소로 인하여 도전체(260)가 산화되는 것을 억제할 수 있다. 또한 물 또는 수소 등의 불순물이 절연체(270)보다 위쪽으로부터 도전체(260) 및 절연체(250)를 통하여 금속 산화물(230)로 혼입되는 것을 억제할 수 있다.

[0442] 절연체(271)는 하드 마스크로서 기능한다. 절연체(271)를 제공함으로써, 도전체(260)의 가공 시, 도전체(260)의 측면을 실질적으로 수직으로, 구체적으로는 도전체(260)의 측면과 기판 표면이 이루는 각도를 75° 이상 100° 이하, 바람직하게는 80° 이상 95° 이하로 할 수 있다.

[0443] 또한 절연체(271)에 물 또는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연성 재료를 사용함으로써, 배리어층으로서의 기능을 겸비시켜도 좋다. 이 경우, 절연체(270)는 제공하지 않아도 된다.

[0444] 절연체(271)를 하드 마스크로서 사용하여 절연체(270), 도전체(260), 금속 산화물(252), 절연체(250), 및 금속 산화물(230c)의 일부를 선택적으로 제거함으로써, 이들의 측면을 실질적으로 일치시키며, 금속 산화물(230b)의 표면의 일부를 노출시킬 수 있다.

[0445] 또한 트랜지스터(200C)는 노출된 금속 산화물(230b)의 표면의 일부에 영역(243a) 및 영역(243b)을 가진다. 영역(243a) 및 영역(243b) 중 한쪽은 소스 영역으로서 기능하고, 영역(243a) 및 영역(243b) 중 다른 쪽은 드레인 영역으로서 기능한다.

[0446] 영역(243a) 및 영역(243b)의 형성은, 예를 들어 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 또는 플라스마 처리 등을 사용하여 노출된 금속 산화물(230b)의 표면에 인 또는 붕소 등의 불순물 원소를 도입함으로써 실현할 수 있다. 또한 본 실시형태 등에서 '불순물 원소'란, 주성분 원소 외의 원소를 가리킨다.

[0447] 또한 금속 산화물(230b)의 표면의 일부를 노출시킨 후에 금속막을 성막하고, 그 후에 가열 처리를 수행함으로써, 상기 금속막에 포함되는 원소를 금속 산화물(230b)로 확산시켜 영역(243a) 및 영역(243b)을 형성할 수도 있다.

[0448] 금속 산화물(230b)의 불순물 원소가 도입된 영역은 전기 저항률이 저하된다. 그러므로, 영역(243a) 및 영역(243b)을 '불순물 영역' 또는 '저저항 영역'이라고 하는 경우가 있다.

[0449] 절연체(271) 및/또는 도전체(260)를 마스크로서 사용함으로써, 영역(243a) 및 영역(243b)을 자기 정합(셀프 얼라인먼트)적으로 형성할 수 있다. 따라서, 영역(243a) 및/또는 영역(243b)과 도전체(260)가 중첩되지 않아 기생 용량을 저감할 수 있다. 또한 채널 형성 영역과 소스 드레인 영역(영역(243a) 또는 영역(243b)) 사이에 오프셋 영역이 형성되지 않는다. 영역(243a) 및 영역(243b)을 자기 정합(셀프 얼라인먼트)적으로 형성함으로써, 온 전류의 증가, 문턱 전압의 저감, 동작 주파수의 향상 등을 실현할 수 있다.

[0450] 트랜지스터(200C)는 절연체(271), 절연체(270), 도전체(260), 금속 산화물(252), 절연체(250), 및 금속 산화물(230c)의 측면에 절연체(272)를 가진다. 절연체(272)는 비유전율이 낮은 절연체인 것이 바람직하다. 예를 들어, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등인 것이 바람

직하다. 특히, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 공공을 가지는 산화 실리콘을 절연체(272)에 사용하면, 추후의 공정에서 절연체(272) 내에 과잉 산소 영역을 용이하게 형성할 수 있기 때문에 바람직하다. 또한 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 또한 절연체(272)는 산소를 확산시키는 기능을 가지는 것이 바람직하다.

[0451] 또한 오프 전류를 더 저감하기 위하여 채널 형성 영역과 소스 드레인 영역 사이에 오프셋 영역을 제공하여도 좋다. 오프셋 영역이란, 전기 저항률이 높은 영역이고, 상술한 불순물 원소의 도입이 수행되지 않는 영역이다. 오프셋 영역의 형성은 절연체(272)의 형성 후에 상술한 불순물 원소의 도입을 수행함으로써 실현할 수 있다. 이 경우, 절연체(272)도 절연체(271) 등과 마찬가지로 마스크로서 기능한다. 따라서, 금속 산화물(230b)에서 절연체(272)와 중첩되는 영역에는 불순물 원소가 도입되지 않아 상기 영역의 전기 저항률을 높게 유지할 수 있다.

[0452] 또한 트랜지스터(200C)는 절연체(272), 금속 산화물(230) 위에 절연체(254)를 가진다. 절연체(254)는 스퍼터링법을 사용하여 성막되는 것이 바람직하다. 스퍼터링법을 사용함으로써, 물 또는 수소 등의 불순물이 적은 절연체를 성막할 수 있다.

[0453] 또한 스퍼터링법을 사용한 산화막은 피성막 구조체로부터 수소를 추출하는 경우가 있다. 따라서, 절연체(254)가 금속 산화물(230) 및 절연체(272)로부터 수소 및 물을 흡수함으로써 금속 산화물(230) 및 절연체(272)의 수소 농도를 저감할 수 있다.

[0454] <트랜지스터의 구성 재료>

[0455] 트랜지스터에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0456] [기판]

[0457] 트랜지스터(200A), 트랜지스터(200B), 또는 트랜지스터(200C)를 형성하는 기판으로서는 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서는 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한 반도체 기판으로서는 예를 들어 실리콘, 저마늄 등으로 이루어지는 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서는 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는 금속의 질화물을 가지는 기판, 금속의 산화물을 가지는 기판 등이 있다. 또한 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0458] [절연체]

[0459] 절연체로서는 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0460] 예를 들어 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 낮출 수 있다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서, 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0461] 또한 비유전율이 높은 절연체로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 가지는 산화물, 알루미늄 및 하프늄을 가지는 산화질화물, 실리콘 및 하프늄을 가지는 산화물, 실리콘 및 하프늄을 가지는 산화질화물, 또는 실리콘 및 하프늄을 가지는 질화물 등이 있다.

[0462] 또한 비유전율이 낮은 절연체로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.

[0463] 또한 산화물 반도체를 사용한 트랜지스터를 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체

(절연체(214), 절연체(222), 절연체(254), 및 절연체(274) 등)로 둘러쌈으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함하는 절연체를 단층으로 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈럼 등의 금속 산화물, 질화 알루미늄, 질화 알루미늄 타이타늄, 질화 타이타늄, 질화산화 실리콘, 또는 질화 실리콘 등의 금속 질화물을 사용할 수 있다.

[0464] 또한 게이트 절연체로서 기능하는 절연체는, 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 절연체인 것이 바람직하다. 예를 들어, 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 산화 실리콘 또는 산화질화 실리콘을 금속 산화물(230)과 접하는 구조로 함으로써, 금속 산화물(230)이 가지는 산소 결손을 보상할 수 있다.

[0465] [도전체]

[0466] 도전체로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 및 란타넘 등 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어, 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 전기 전도도가 높은 반도체, 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.

[0467] 또한 상기 재료로 형성되는 도전체를 복수 적층하여 사용하여도 좋다. 예를 들어, 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0468] 또한 트랜지스터의 채널 형성 영역에 금속 산화물을 사용하는 경우, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0469] 특히, 게이트 전극으로서 기능하는 도전체로서, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함하는 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함하는 도전성 재료를 사용하여도 좋다. 또한 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0470] 본 실시형태에서 예시한 구성예 및 이들에 대응하는 도면 등은 적어도 그 일부를 다른 구성예 또는 도면 등과 적절히 조합하여 실시할 수 있다.

[0471] 본 실시형태는 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0472] (실시형태 3)

[0473] 본 실시형태에서는 앞의 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물(이하, 산화물 반도체라고도 함)에 대하여 설명한다.

[0474] <결정 구조의 분류>

[0475] 우선, 산화물 반도체에서의 결정 구조의 분류에 대하여 도 33의 (A)를 사용하여 설명한다. 도 33의 (A)는 산화물 반도체, 대표적으로는 IGZO(In과, Ga와, Zn을 포함하는 금속 산화물)의 결정 구조의 분류를 설명하는 도면이다.

[0476] 도 33의 (A)에 나타낸 바와 같이, 산화물 반도체는 크게 나누어 'Amorphous(무정형)'와, 'Crystalline(결정성)'과, 'Crystal(결정)'로 분류된다. 또한 'Amorphous'의 범주에는 completely amorphous가 포함된다. 또한 'Crystalline'의 범주에는 CAAC(c-axis-aligned crystalline), nc(nanocrystalline), 및 CAC(cloud-aligned composite)가 포함된다. 또한 'Crystalline'의 분류에서는 single crystal, poly crystal, 및 completely amorphous는 제외된다. 또한 'Crystal'의 범주에는 single crystal 및 poly crystal이 포함된다.

[0477] 또한 도 33의 (A)에 나타낸 굵은 테두리 내의 구조는 'Amorphous(무정형)'와 'Crystal(결정)' 사이의 중간 상태이고, 새로운 경계 영역(New crystalline phase)에 속하는 구조이다. 즉, 상기 구조는 에너지적으로 불안정한 'Amorphous(무정형)'나, 'Crystal(결정)'과는 전혀 다른 구조라고 할 수 있다.

[0478] 또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 여기서, 'Crystalline'으로 분류되는 CAAC-IGZO막의 GIXD(Grazing-Incidence XRD) 측정에 의하여 얻어지는 XRD 스펙트럼을 도 33의 (B)에 나타내었다. 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 이하에서는, 도 33의 (B)에 나타낸 GIXD 측정에 의하여 얻어지는 XRD 스펙트럼을 단순히 XRD 스펙트럼이라고 기재한다. 또한 도 33의 (B)에 나타낸 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 도 33의 (B)에 나타낸 CAAC-IGZO막의 두께는 500nm이다.

[0479] 도 33의 (B)에 나타낸 바와 같이, CAAC-IGZO막의 XRD 스펙트럼에서는 명확한 결정성을 나타내는 피크가 검출된다. 구체적으로는, CAAC-IGZO막의 XRD 스펙트럼에서는 2θ=31° 근방에 c축 배향을 나타내는 피크가 검출된다. 또한 도 33의 (B)에 나타낸 바와 같이, 2θ=31° 근방의 피크는 피크 강도가 검출된 각도를 축으로 좌우 비대칭이다.

[0480] 또한 막 또는 기판의 결정 구조는, 극미 전자선 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(극미 전자선 회절 패턴이라고도 함)으로 평가할 수 있다. CAAC-IGZO막의 회절 패턴을 도 33의 (C)에 나타내었다. 도 33의 (C)는 기판에 대하여 평행하게 전자선을 입사하는 NBED에 의하여 관찰되는 회절 패턴을 나타낸 것이다. 또한 도 33의 (C)에 나타낸 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 극미 전자선 회절법에서는 프로브 직경을 1nm로 하여 전자선 회절이 수행된다.

[0481] 도 33의 (C)에 나타낸 바와 같이, CAAC-IGZO막의 회절 패턴에서는 c축 배향을 나타내는 복수의 스폿이 관찰된다.

[0482] [산화물 반도체의 구조]

[0483] 또한 산화물 반도체는 결정 구조에 착안한 경우, 도 33의 (A)와는 다른 분류가 되는 경우가 있다. 예를 들어, 산화물 반도체는 단결정 산화물 반도체와 이 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0484] 여기서, 상술한 CAAC-OS, nc-OS, 및 a-like OS에 대하여 자세히 설명한다.

[0485] [CAAC-OS]

[0486] CAAC-OS는 복수의 결정 영역을 가지고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역이다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉, CAAC-OS는 c축 배향을 가지고, a-b면 방향으로는 명확한 배향을 가지지 않는 산화물 반도체이다.

[0487] 또한 상기 복수의 결정 영역은 각각, 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된

다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 크기는 수십nm 정도가 되는 경우가 있다.

[0488] 또한 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 및 타이타늄 등 중에서 선택된 1종류 또는 복수 종류)에서, CAAC-OS는 인듐(In) 및 산소를 가지는 층(이하, In층)과, 원소 M, 아연(Zn), 및 산소를 가지는 층(이하 (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환될 수 있다. 따라서 (M, Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 원소 M이 포함되는 경우가 있다. 또한 In층에는 Zn이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM 이미지에서 격자상(格子像)으로 관찰된다.

[0489] 예를 들어, XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때, θ/2θ 스캔을 사용한 Out-of-plane XRD 측정에서는, c축 배향을 나타내는 피크가 2θ=31° 또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치(2θ의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.

[0490] 또한 예를 들어 CAAC-OS막의 전자선 회절 패턴에서, 복수의 휘점(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(다이렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.

[0491] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고 비정육각형인 경우가 있다. 또한 상기 변형에서 오각형, 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한 CAAC-OS에서는, 변형 근방에서도 명확한 결정립계(그레인 바운더리)를 확인할 수 없다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원자가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.

[0492] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이라고 불린다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류의 저하, 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는, Zn을 포함하는 구성이 바람직하다. 예를 들어, In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.

[0493] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서, CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입이나 결함의 생성 등에 의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서, CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서, OS 트랜지스터에 CAAC-OS를 사용하면 제조 공정의 자유도를 높일 수 있다.

[0494] [nc-OS]

[0495] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면, nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS에서는 상이한 나노 결정 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어, XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때, θ/2θ 스캔을 사용한 Out-of-plane XRD 측정에서는, 결정성을 나타내는 피크가 검출되지 않는다. 또한 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자선 회절(나노 빔 전자선 회절이라고도 함)을 수행하면, 다이렉트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자선 회절 패턴이 취득되는 경우가 있다.

[0496] [a-like OS]

[0497] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS에 비하여 막 내의 수소 농도가 높다.

[0498] [산화물 반도체의 구성]

[0499] 다음으로, 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.

[0500] [CAC-OS]

[0501] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재한 재료의 한 구성이다. 또한 이하에서는, 금속 산화물에 하나 또는 복수의 금속 원소가 편재하고, 상기 금속 원소를 가지는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0502] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하 클라우드상이라고도 함)이다. 즉, CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.

[0503] 여기서, In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비를 각각 [In], [Ga], 및 [Zn]이라고 표기한다. 예를 들어, In-Ga-Zn 산화물에서의 CAC-OS에서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한 제 2 영역은 [Ga]가 CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크고, [Ga]가 제 2 영역에서의 [Ga]보다 작은 영역이다. 또한 제 2 영역은 [Ga]가 제 1 영역에서의 [Ga]보다 크고, [In]이 제 1 영역에서의 [In]보다 작은 영역이다.

[0504] 구체적으로는, 상기 제 1 영역은 인듐 산화물, 인듐 아연 산화물 등이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 갈륨 아연 산화물 등이 주성분인 영역이다. 즉 상기 제 1 영역을, In을 주성분으로 하는 영역이라고 바꿔 말할 수 있다. 또한 상기 제 2 영역을, Ga를 주성분으로 하는 영역이라고 바꿔 말할 수 있다.

[0505] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.

[0506] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑으로부터, In을 주성분으로 하는 영역(제 1 영역)과, Ga를 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.

[0507] CAC-OS를 트랜지스터에 사용하는 경우에는, 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉, CAC-OS는 재료의 일부에서는 도전성 기능을 가지고 재료의 다른 일부에서는 절연성 기능을 가지며, 재료의 전체로서는 반도체로서의 기능을 가진다. 도전성 기능과 절연성 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류(I_{on}), 높은 전계 효과 이동도(μ), 및 양호한 스위칭 동작을 실현할 수 있다.

[0508] 산화물 반도체는 다양한 구조를 가지고, 각각이 다른 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.

[0509] <산화물 반도체를 가지는 트랜지스터>

[0510] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.

[0511] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0512] 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 캐리어 농도는 $1\times10^{17}cm^{-3}$ 이하, 바람직하게는 $1\times10^{15}cm^{-3}$ 이하, 더 바람직하게는 $1\times10^{13}cm^{-3}$ 이하, 더욱 바람직하게는 $1\times10^{11}cm^{-3}$ 이하, 더욱더 바람직하게는 $1\times10^{10}cm^{-3}$ 미만이고, $1\times10^{-9}cm^{-3}$ 이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면

좋다. 본 명세서 등에서, 불순물 농도가 낮고, 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 하는 경우가 있다.

[0513] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.

[0514] 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길어, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0515] 따라서 트랜지스터의 전기 특성을 안정화하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.

[0516] <불순물>

[0517] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.

[0518] 산화물 반도체에 14족 원소 중 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체에서의 실리콘이나 탄소의 농도와, 산화물 반도체와의 계면 근방의 실리콘이나 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 농도)를 2×10^{18}atoms/cm^3 이하, 바람직하게는 2×10^{17}atoms/cm^3 이하로 한다.

[0519] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하고 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로, SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 1×10^{18}atoms/cm^3 이하, 바람직하게는 2×10^{16}atoms/cm^3 이하로 한다.

[0520] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로, SIMS에 의하여 얻어지는 산화물 반도체 내의 질소 농도를 5×10^{19}atoms/cm^3 미만, 바람직하게는 5×10^{18}atoms/cm^3 이하, 더 바람직하게는 1×10^{18}atoms/cm^3 이하, 더욱 바람직하게는 5×10^{17}atoms/cm^3 이하로 한다.

[0521] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체에서 SIMS에 의하여 얻어지는 수소 농도를 1×10^{20}atoms/cm^3 미만, 바람직하게는 1×10^{19}atoms/cm^3 미만, 더 바람직하게는 5×10^{18}atoms/cm^3 미만, 더 바람직하게는 1×10^{18}atoms/cm^3 미만으로 한다.

[0522] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0523] 본 실시형태는 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0524] (실시형태 4)

[0525] 본 실시형태에서는 본 발명의 일 형태인 표시 장치를 가지는 전자 기기에 대하여 설명한다.

[0526] 도 34의 (A)는 파인더(8100)를 장착한 상태의 카메라(8000)의 외관을 나타낸 도면이다. 카메라(8000)에는 촬상 장치가 제공되어 있다. 카메라(8000)는, 예를 들어 디지털 카메라로 할 수 있다. 또한 도 34의 (A)에서는 카메라(8000)와 파인더(8100)를 별개의 전자 기기로 하고, 이들을 탈착할 수 있는 구성으로 하였지만, 카메라

(8000)의 하우징(8001)에 표시 장치를 가지는 파인더가 내장되어 있어도 좋다.

[0527] 카메라(8000)는 하우징(8001), 표시부(8002), 조작 버튼(8003), 셔터 버튼(8004) 등을 가진다. 또한 카메라(8000)에는 탈착 가능한 렌즈(8006)가 장착된다.

[0528] 여기서 카메라(8000)는 렌즈(8006)를 하우징(8001)으로부터 떼서 교환할 수 있는 구성으로 하였지만, 렌즈(8006)와 하우징이 일체화되어 있어도 좋다.

[0529] 카메라(8000)는 셔터 버튼(8004)을 누름으로써 촬상할 수 있다. 또한 표시부(8002)는 터치 패널로서의 기능을 가지며, 표시부(8002)를 터치함으로써 촬상할 수도 있다.

[0530] 카메라(8000)의 하우징(8001)은 전극을 가지는 마운트를 가지고, 파인더(8100) 외에 스트로보 장치 등을 접속할 수 있다.

[0531] 파인더(8100)는 하우징(8101), 표시부(8102), 버튼(8103) 등을 가진다. 파인더(8100)는 전자 뷰파인더로 할 수 있다.

[0532] 하우징(8101)은 카메라(8000)의 마운트와 결합되는 마운트를 가지고, 파인더(8100)를 카메라(8000)에 장착할 수 있다. 또한 상기 마운트는 전극을 가지고, 상기 전극을 통하여 카메라(8000)로부터 수신한 화상 등을 표시부(8102)에 표시시킬 수 있다.

[0533] 버튼(8103)은 전원 버튼으로서의 기능을 가진다. 버튼(8103)에 의하여 표시부(8102)의 표시의 온/오프를 전환할 수 있다.

[0534] 카메라(8000)의 표시부(8002) 및 파인더(8100)의 표시부(8102)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 본 발명의 일 형태의 표시 장치는 정세도가 매우 높기 때문에, 표시부(8002) 또는 표시부(8102)와 사용자의 거리가 가까워도 사용자에게 화소가 시인되지 않아, 더 현장감이 높은 화상을 표시부(8002) 또는 표시부(8102)에 표시할 수 있다. 특히, 파인더(8100)에 제공되는 표시부(8102)에 표시되는 화상은 사용자가 파인더(8100)의 접안부에 눈을 가까이 댐으로써 시인되기 때문에, 사용자와 표시부(8102) 사이의 거리가 매우 가까워진다. 따라서, 표시부(8102)에는 본 발명의 일 형태의 표시 장치를 적용하는 것이 특히 바람직하다. 또한 표시부(8102)에 본 발명의 일 형태의 표시 장치를 적용하는 경우, 표시부(8102)에 표시할 수 있는 화상의 해상도는 4K, 5K, 또는 그 이상으로 할 수 있다.

[0535] 또한 카메라(8000)에 제공된 촬상 장치에 의하여 촬상할 수 있는 화상의 해상도는 표시부(8002) 또는 표시부(8102)에 표시할 수 있는 화상의 해상도와 동등하거나, 또는 그 이상인 것이 바람직하다. 예를 들어, 표시부(8102)에 4K의 해상도의 화상을 표시할 수 있는 경우에는, 카메라(8000)에는 4K 이상의 화상을 촬상할 수 있는 촬상 장치를 제공하는 것이 바람직하다. 또한 예를 들어 표시부(8102)에 5K의 해상도의 화상을 표시할 수 있는 경우에는, 카메라(8000)에는 5K 이상의 화상을 촬상할 수 있는 촬상 장치를 제공하는 것이 바람직하다.

[0536] 도 34의 (B)는 헤드 마운트 디스플레이(8200)의 외관을 나타낸 도면이다.

[0537] 헤드 마운트 디스플레이(8200)는 장착부(8201), 렌즈(8202), 본체(8203), 표시부(8204), 케이블(8205) 등을 가진다. 또한 장착부(8201)에는 배터리(8206)가 내장된다.

[0538] 케이블(8205)은 배터리(8206)로부터 본체(8203)에 전력을 공급한다. 본체(8203)는 무선 수신기 등을 가지고, 수신한 화상 데이터 등에 대응하는 화상을 표시부(8204)에 표시시킬 수 있다. 또한 본체(8203)에 제공된 카메라로 사용자의 안구나 눈꺼풀의 움직임을 파악하고, 그 정보를 바탕으로 사용자의 시선의 좌표를 산출함으로써 사용자의 시선을 입력 수단으로서 사용할 수 있다.

[0539] 또한 장착부(8201)에는 사용자와 접하는 위치에 복수의 전극이 제공되어도 좋다. 본체(8203)는 사용자의 안구의 움직임에 따라 전극에 흐르는 전류를 검지함으로써, 사용자의 시선을 인식하는 기능을 가져도 좋다. 또한 상기 전극에 흐르는 전류를 검지함으로써, 사용자의 맥박을 모니터링하는 기능을 가져도 좋다. 또한 장착부(8201)는 온도 센서, 압력 센서, 가속도 센서 등 각종 센서를 가져도 좋고, 사용자의 생체 정보를 표시부(8204)에 표시하는 기능을 가져도 좋다. 또한 사용자의 머리의 움직임 등을 검출하여, 표시부(8204)에 표시하는 화상을 그 움직임에 맞추어 변화시켜도 좋다.

[0540] 표시부(8204)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 이로써, 헤드 마운트 디스플레이(8200)가 슬림 베젤화되고, 표시부(8204)에 고품질의 화상을 표시할 수 있고, 현장감이 높은 화상을 표시할 수 있다.

[0541] 도 34의 (C), (D), 및 (E)는 헤드 마운트 디스플레이(8300)의 외관을 나타낸 도면이다. 헤드 마운트 디스플레이(8300)는 하우징(8301), 표시부(8302), 밴드상의 고정구(8304), 한 쌍의 렌즈(8305)를 가진다.

[0542] 사용자는 렌즈(8305)를 통하여 표시부(8302)의 표시를 시인할 수 있다. 또한 표시부(8302)를 만곡시켜 배치하는 것이 바람직하다. 표시부(8302)를 만곡시켜 배치함으로써, 사용자가 높은 현장감을 느낄 수 있다. 또한 본 실시형태에서는, 표시부(8302)를 하나 제공하는 구성에 대하여 예시하였지만 이에 한정되지 않고, 예를 들어 표시부(8302)를 2개 제공하는 구성으로 하여도 좋다. 이 경우, 사용자의 한쪽 눈에 하나의 표시부가 배치되는 구성으로 하면, 시차를 사용한 3차원 표시 등을 수행하는 것도 가능해진다.

[0543] 또한 표시부(8302)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 본 발명의 일 형태의 표시 장치는 정세도가 매우 높기 때문에, 도 34의 (E)와 같이 렌즈(8305)를 사용하여 확대하더라도 사용자에게 화소가 시인되지 않아, 더 현장감이 높은 화상을 표시할 수 있다.

[0544] 다음으로, 도 34의 (A) 내지 (E)에 나타낸 전자 기기와 다른 전자 기기의 일례를 도 35의 (A) 내지 (G)에 나타내었다.

[0545] 도 35의 (A) 내지 (G)에 나타낸 전자 기기는 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9008) 등을 가진다.

[0546] 도 35의 (A) 내지 (G)에 나타낸 전자 기기는 다양한 기능을 가진다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용하여 다양한 데이터의 송신 또는 수신을 수행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한 도 35의 (A) 내지 (G)에 나타낸 전자 기기가 가질 수 있는 기능은 이들에 한정되지 않고 다양한 기능을 가질 수 있다. 또한 도 35의 (A) 내지 (G)에는 도시하지 않았지만, 전자 기기는 복수의 표시부를 가지는 구성으로 하여도 좋다. 또한 상기 전자 기기는 카메라 등이 제공되고, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 기록 매체(외부 기록 매체 또는 카메라에 내장된 기록 매체)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가져도 좋다.

[0547] 도 35의 (A) 내지 (G)에 나타낸 전자 기기의 자세한 사항에 대하여, 이하에서 설명한다.

[0548] 도 35의 (A)는 텔레비전 장치(9100)를 나타낸 사시도이다. 텔레비전 장치(9100)에는 대화면, 예를 들어 50인치 이상 또는 100인치 이상의 표시부(9001)를 제공할 수 있다.

[0549] 텔레비전 장치(9100)가 가지는 표시부(9001)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 이로써, 텔레비전 장치(9100)가 슬림 베젤화되고, 표시부(9001)에 고품질의 화상을 표시할 수 있고, 현장감이 높은 화상을 표시할 수 있다.

[0550] 도 35의 (B)는 휴대 정보 단말기(9101)를 나타낸 사시도이다. 휴대 정보 단말기(9101)는, 예를 들어 전화기, 수첩, 또는 정보 열람 장치 등에서 선택된 하나 또는 복수의 기능을 가진다. 구체적으로는 스마트폰으로서 사용할 수 있다. 또한 휴대 정보 단말기(9101)에는 스피커(9003), 접속 단자(9006), 센서(9007) 등을 제공하여도 좋다. 또한 휴대 정보 단말기(9101)는 문자나 화상을 그 복수의 면에 표시할 수 있다. 예를 들어 3개의 조작 버튼(9050)(조작 아이콘 또는 단순히 아이콘이라고도 함)을 표시부(9001) 중 한 면에 표시할 수 있다. 또한 파선의 직사각형으로 나타낸 정보(9051)를 표시부(9001)의 다른 면에 표시할 수 있다. 또한 정보(9051)의 일례로서는 전자 메일이나 SNS(social networking service)나 전화 등의 착신을 알리는 표시, 전자 메일이나 SNS 등의 제목, 전자 메일이나 SNS 등의 송신자명, 일시, 시각, 배터리의 잔량, 안테나 수신의 강도 등이 있다. 또는 정보(9051)가 표시되어 있는 위치에 정보(9051) 대신에 조작 버튼(9050) 등을 표시하여도 좋다.

[0551] 휴대 정보 단말기(9101)가 가지는 표시부(9001)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 이로써, 휴대 정보 단말기(9101)가 소형화되고, 표시부(9001)에 고품질의 화상을 표시할 수 있고, 현장감이 높은 화상을 표시할 수 있다.

[0552] 도 35의 (C)는 휴대 정보 단말기(9102)를 나타낸 사시도이다. 휴대 정보 단말기(9102)는 표시부(9001)의 3면

이상에 정보를 표시하는 기능을 가진다. 여기서는 정보(9052), 정보(9053), 정보(9054)가 각각 다른 면에 표시되어 있는 예를 나타내었다. 예를 들어, 휴대 정보 단말기(9102)의 사용자는 옷의 가슴 포켓에 휴대 정보 단말기(9102)를 수납한 상태로 그 표시(여기서는 정보(9053))를 확인할 수 있다. 구체적으로는, 착신한 전화의 발신자의 전화번호 또는 이름 등을 휴대 정보 단말기(9102)의 위쪽으로부터 관찰할 수 있는 위치에 표시한다. 사용자는 휴대 정보 단말기(9102)를 포켓에서 꺼내지 않고 표시를 확인하고, 전화를 받을지 여부를 판단할 수 있다.

[0553] 휴대 정보 단말기(9102)가 가지는 표시부(9001)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 이로써, 휴대 정보 단말기(9101)가 소형화되고, 표시부(9001)에 고품질의 화상을 표시할 수 있고, 현장감이 높은 화상을 표시할 수 있다.

[0554] 도 35의 (D)는 손목시계형 휴대 정보 단말기(9200)를 나타낸 사시도이다. 휴대 정보 단말기(9200)는 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등의 다양한 애플리케이션을 실행할 수 있다. 또한 표시부(9001)는 그 표시면이 만곡되어 제공되고, 만곡된 표시면을 따라 표시를 수행할 수 있다. 또한 휴대 정보 단말기(9200)는 통신 규격에 따른 근거리 무선 통신을 실행할 수 있다. 예를 들어 무선 통신이 가능한 헤드셋과 상호 통신함으로써 핸즈프리 통화를 할 수 있다. 또한 휴대 정보 단말기(9200)는 접속 단자(9006)를 가지고, 커넥터를 통하여 다른 정보 단말기와 직접 데이터를 주고받을 수 있다. 또한 접속 단자(9006)를 통하여 충전을 수행할 수도 있다. 또한 충전 동작은 접속 단자(9006)를 통하지 않고, 무선 급전에 의하여 수행하여도 좋다.

[0555] 휴대 정보 단말기(9200)가 가지는 표시부(9001)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 이로써, 휴대 정보 단말기(9200)가 슬림 베젤화되고, 표시부(9001)에 고품질의 화상을 표시할 수 있고, 현장감이 높은 화상을 표시할 수 있다.

[0556] 도 35의 (E), (F), 및 (G)는 접을 수 있는 휴대 정보 단말기(9201)를 나타낸 사시도이다. 또한 도 35의 (E)는 휴대 정보 단말기(9201)를 펼친 상태의 사시도이고, 도 35의 (F)는 휴대 정보 단말기(9201)를 펼친 상태 및 접은 상태 중 한쪽으로부터 다른 쪽으로 변화하는 도중의 상태의 사시도이고, 도 35의 (G)는 휴대 정보 단말기(9201)를 접은 상태의 사시도이다. 휴대 정보 단말기(9201)는 접은 상태에서는 휴대성이 뛰어나고, 펼친 상태에서는 이음매가 없고 넓은 표시 영역을 가지기 때문에 표시의 일람성이 뛰어나다. 휴대 정보 단말기(9201)가 가지는 표시부(9001)는 힌지(9055)에 의하여 연결된 3개의 하우징(9000)으로 지지된다. 힌지(9055)를 통하여 2개의 하우징(9000) 사이를 굴곡시킴으로써, 휴대 정보 단말기(9201)를 펼친 상태로부터 접은 상태로 가역적으로 변형시킬 수 있다. 예를 들어, 휴대 정보 단말기(9201)는 곡률 반경 1㎜ 이상 150㎜ 이하로 구부릴 수 있다.

[0557] 휴대 정보 단말기(9201)가 가지는 표시부(9001)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 이로써, 휴대 정보 단말기(9201)가 슬림 베젤화되고, 표시부(9001)에 고품질의 화상을 표시할 수 있고, 현장감이 높은 화상을 표시할 수 있다.

[0558] 본 실시형태에서 예시한 구성예 및 이들에 대응하는 도면 등은 적어도 그 일부를 다른 구성예 또는 도면 등과 적절히 조합하여 실시할 수 있다.

[0559] 본 실시형태는 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

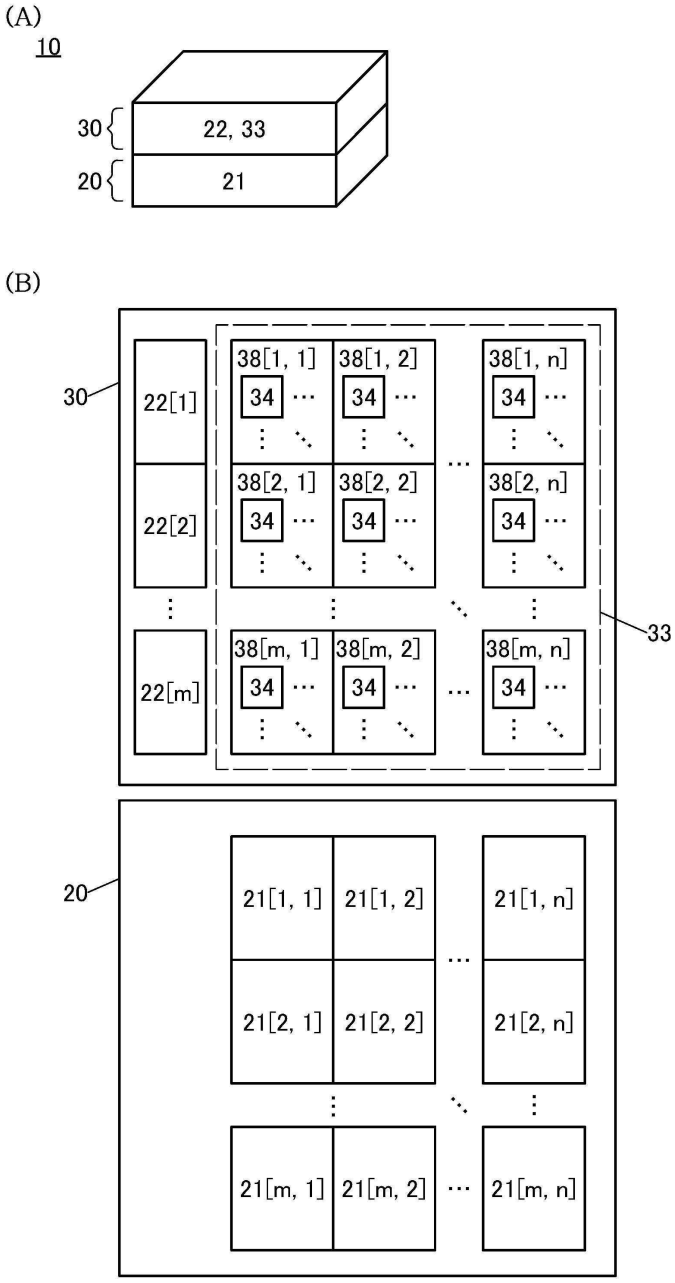
부호의 설명

[0560] C1: 용량 소자, N1: 노드, N2: 노드, Tr11: 트랜지스터, Tr12: 트랜지스터, Tr13: 트랜지스터, 10: 표시 장치, 10A: 표시 장치, 20: 제 1 층, 20a: 제 1 회로층, 20b: 제 2 회로층, 21: 제 1 회로, 22: 제 2 회로, 24: 보정 데이터 생성 회로, 26: 소스 드라이버 회로, 30: 제 2 층, 31: 배선, 32: 배선, 33: 표시부, 34: 화소, 36: 배선, 38: 화소 블록, 44: 시프트 레지스터 회로, 45: 래치 회로, 46: 디지털 아날로그 변환 회로, 47: 앰프 회로, 81: 논리 회로, 91: 전류 전압 변환 회로, 92: 아날로그 디지털 변환 회로, 93: 메모리 회로, 200A: 트랜지스터, 200B: 트랜지스터, 200C: 트랜지스터, 205: 도전체, 214: 절연체, 216: 절연체, 222: 절연체, 224: 절연체, 230: 금속 산화물, 230a: 금속 산화물, 230b: 금속 산화물, 230c: 금속 산화물, 240: 도전체, 240a: 도전체, 240b: 도전체, 241: 절연체, 241a: 절연체, 241b: 절연체, 242: 도전체, 242a: 도전체, 242b: 도전체, 243a: 영역, 243b: 영역, 244: 절연체, 250: 절연체, 252: 금속 산화물, 254: 절연체, 260: 도전체, 260a: 도전체, 260b: 도전체, 270: 절연체, 271: 절연체, 272: 절연체, 274: 절연체, 280: 절연체, 281: 절연체, 301a: 도전체, 301b: 도전체, 305: 도전체, 311: 도전체, 313: 도전체, 317: 도전체, 321: 하부 전극, 323: 절연체, 325: 상부 전극, 331: 도전체, 333: 도전체, 335: 도전체, 337: 도전체, 341: 도전체, 343: 도전체, 347: 도전

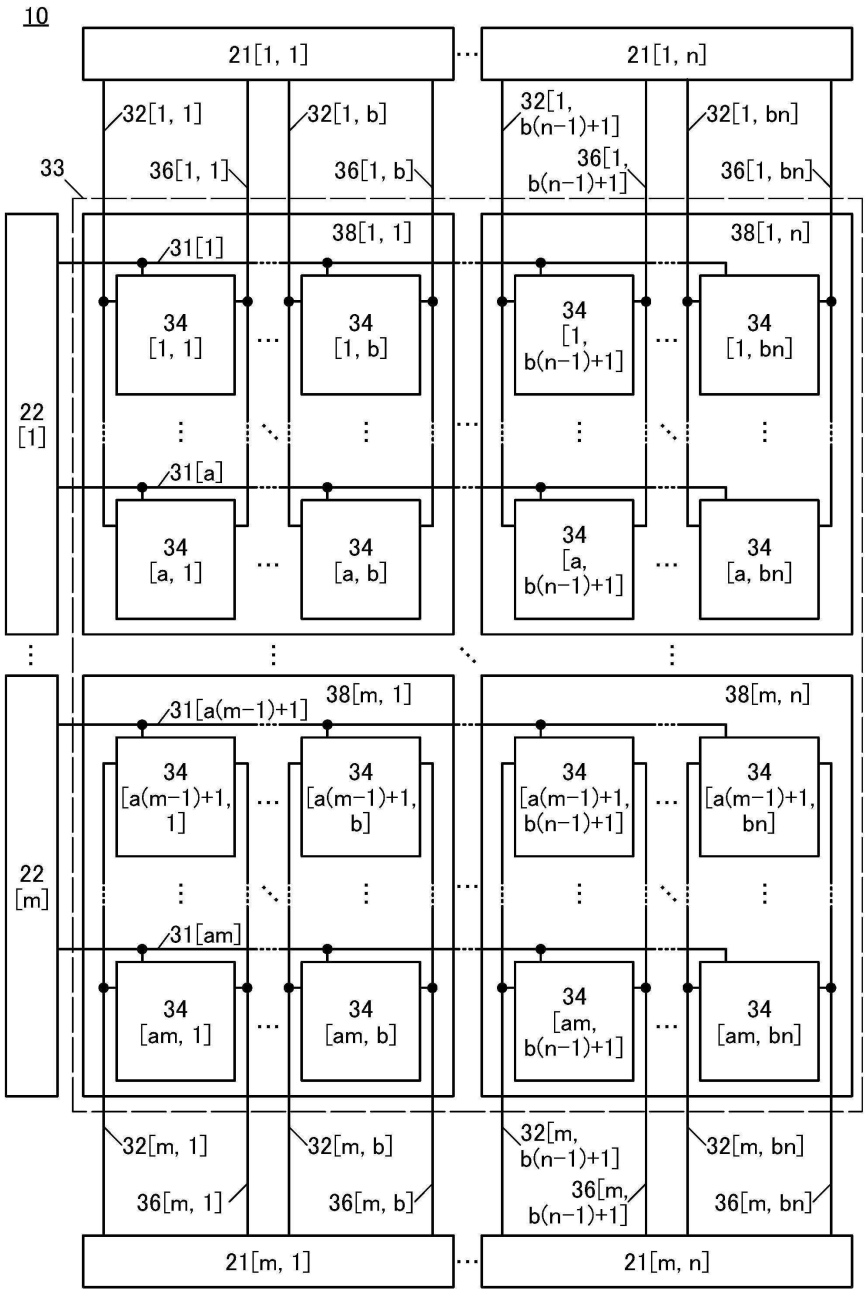
체, 351: 도전체, 353: 도전체, 355: 도전체, 357: 도전체, 361: 절연체, 363: 절연체, 403: 소자 분리층, 405: 절연체, 407: 절연체, 409: 절연체, 411: 절연체, 413: 절연체, 415: 절연체, 417: 절연체, 419: 절연체, 421: 절연체, 441: 트랜지스터, 443: 도전체, 445: 절연체, 447: 반도체 영역, 449a: 저저항 영역, 449b: 저저항 영역, 451: 도전체, 453: 도전체, 455: 도전체, 457: 도전체, 459: 도전체, 461: 도전체, 463: 도전체, 465: 도전체, 467: 도전체, 469: 도전체, 471: 도전체, 501: 절연체, 503: 절연체, 505: 절연체, 507: 절연체, 509: 절연체, 552: 트랜지스터, 562: 용량 소자, 572: 발광 소자, 601: 트랜지스터, 602: 트랜지스터, 603: 트랜지스터, 613: 절연체, 614: 절연체, 616: 절연체, 622: 절연체, 624: 절연체, 644: 절연체, 654: 절연체, 674: 절연체, 680: 절연체, 681: 절연체, 701: 기판, 705: 기판, 712: 실재, 716: FPC, 721: 정공 주입층, 722: 정공 수송층, 723: 발광층, 724: 전자 수송층, 725: 전자 주입층, 730: 절연체, 732: 밀봉층, 734: 절연체, 736: 착색층, 738: 차광층, 750: 트랜지스터, 760: 접속 전극, 772: 도전체, 778: 구조체, 780: 이방성 도전체, 782: 발광 소자, 786: EL층, 786a: EL층, 786b: EL층, 786c: EL층, 788: 도전체, 790: 용량 소자, 792: 전하 발생층, 800: 트랜지스터, 801a: 도전체, 801b: 도전체, 805: 도전체, 811: 도전체, 813: 도전체, 814: 절연체, 816: 절연체, 817: 도전체, 821: 절연체, 822: 절연체, 824: 절연체, 844: 절연체, 853: 도전체, 854: 절연체, 855: 도전체, 874: 절연체, 880: 절연체, 881: 절연체, 901: 부화소, 901B: 부화소, 901G: 부화소, 901R: 부화소, 902: 화소, 911: 도전체, 912: 도전체, 913: 반도체, 914: 반도체, 915a: 도전체, 915b: 도전체, 916a: 도전체, 916b: 도전체, 917: 도전체, 918: 도전체, 919: 도전체, 920: 도전체, 921: 도전체, 922: 도전체, 923: 도전체, 924: 도전체, 925: 도전체, 926: 도전체, 927: 도전체, 928: 도전체, 929: 도전체, 930: 도전체, 931: 도전체, 990: 도전체, 991: 접착층, 992: 절연체, 993a: 착색층, 993b: 착색층, 994: 접착층, 995: 기판, 1021: 절연체, 1022: 절연체, 1023: 절연체, 1024: 절연체, 1025: 절연체, 1026: 절연체, 1027: 절연체, 8000: 카메라, 8001: 하우징, 8002: 표시부, 8003: 조작 버튼, 8004: 셔터 버튼, 8006: 렌즈, 8100: 파인더, 8101: 하우징, 8102: 표시부, 8103: 버튼, 8200: 헤드 마운트 디스플레이, 8201: 장착부, 8202: 렌즈, 8203: 본체, 8204: 표시부, 8205: 케이블, 8206: 배터리, 8300: 헤드 마운트 디스플레이, 8301: 하우징, 8302: 표시부, 8304: 고정구, 8305: 렌즈, 9000: 하우징, 9001: 표시부, 9003: 스피커, 9005: 조작 키, 9006: 접속 단자, 9007: 센서, 9008: 마이크로폰, 9050: 조작 버튼, 9051: 정보, 9052: 정보, 9053: 정보, 9054: 정보, 9055: 힌지, 9100: 텔레비전 장치, 9101: 휴대 정보 단말기, 9102: 휴대 정보 단말기, 9200: 휴대 정보 단말기, 9201: 휴대 정보 단말기

도면

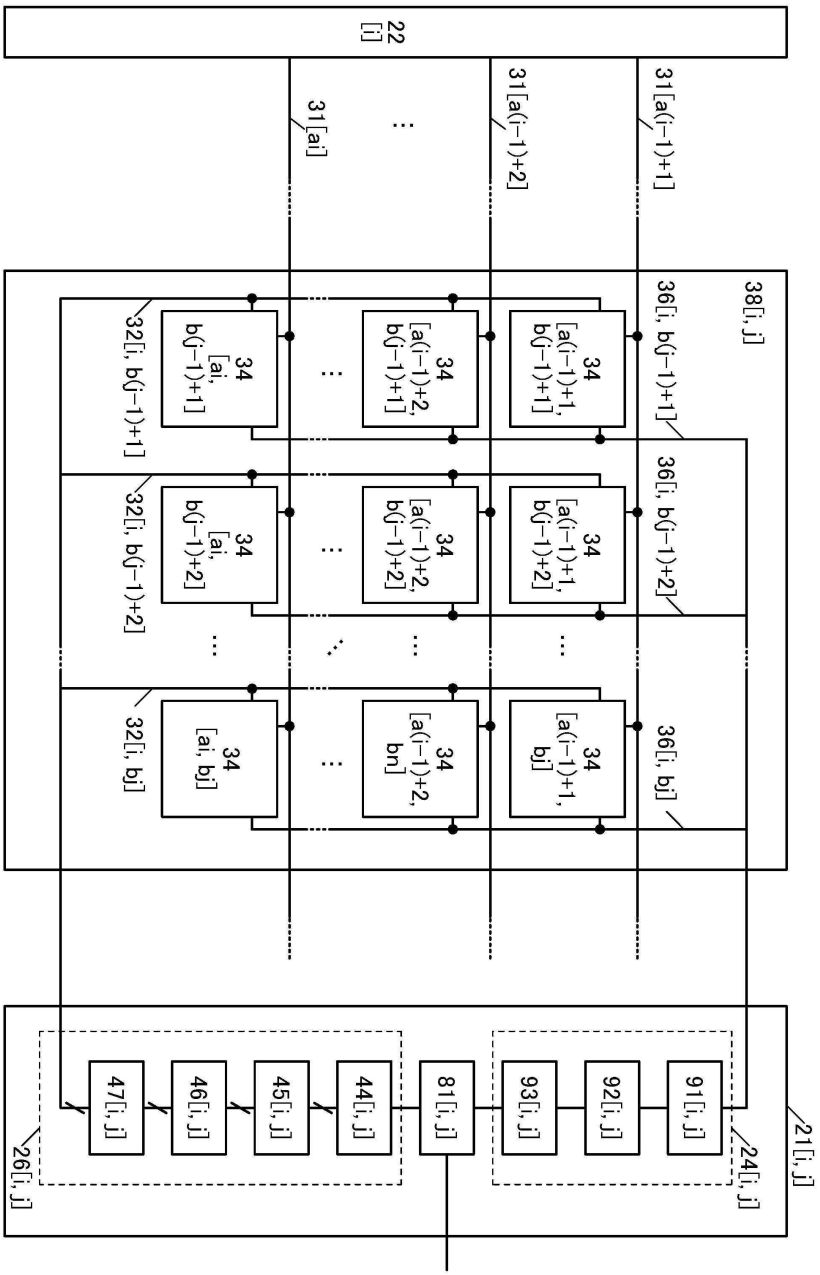
도면1


(A)
10
30
22, 33
20
21
(B)
30
22[1]
22[2]
22[m]
38[1, 1]
38[1, 2]
38[1, n]
38[2, 1]
38[2, 2]
38[2, n]
38[m, 1]
38[m, 2]
38[m, n]
34
33
20
21[1, 1]
21[1, 2]
21[1, n]
21[2, 1]
21[2, 2]
21[2, n]
21[m, 1]
21[m, 2]
21[m, n]

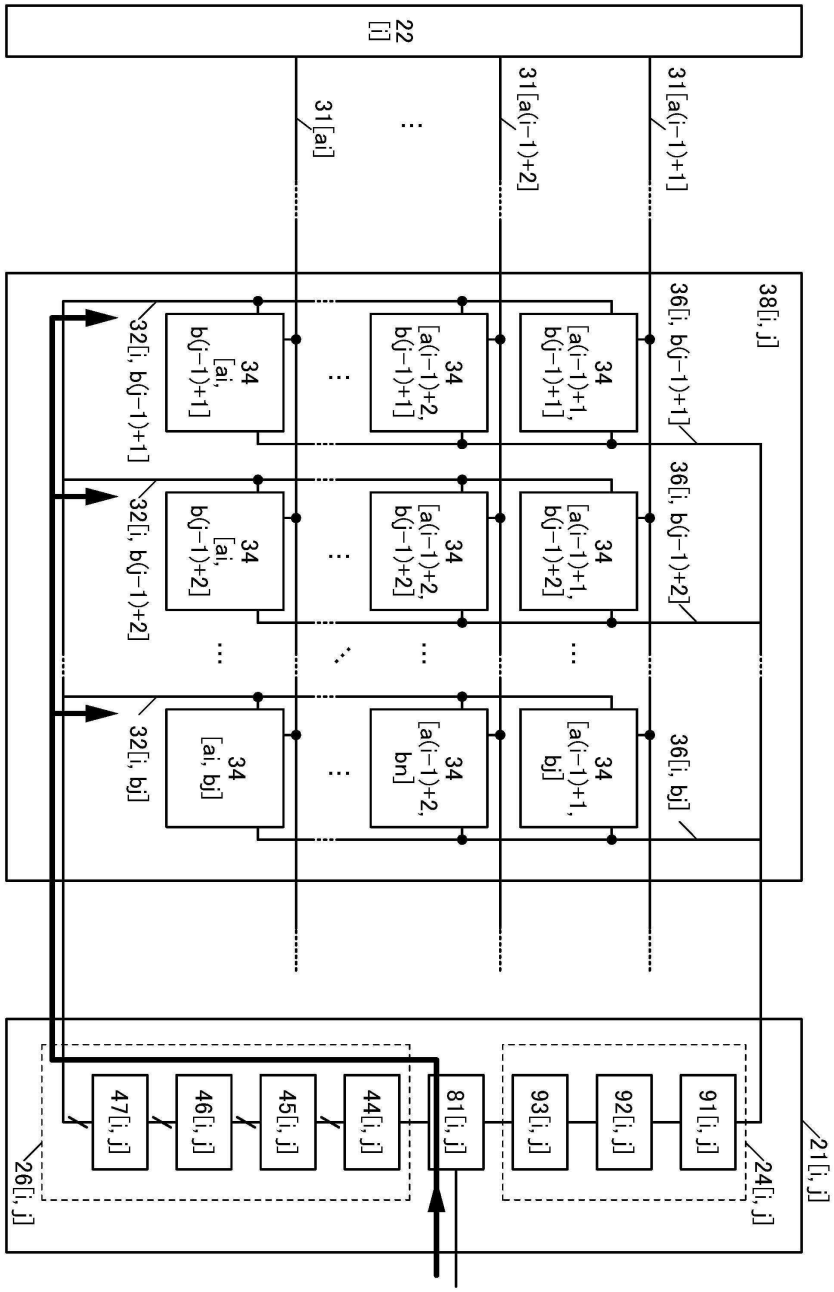
도면2


10
21[1, 1]
21[1, n]
32[1, 1]
32[1, b]
32[1, b(n−1)+1]
32[1, bn]
33
36[1, 1]
36[1, b]
36[1, b(n−1)+1]
36[1, bn]
38[1, 1]
38[1, n]
31[1]
34 [1, 1]
34 [1, b]
34 [1, b(n−1)+1]
34 [1, bn]
22 [1]
31[a]
34 [a, 1]
34 [a, b]
34 [a, b(n−1)+1]
34 [a, bn]
38[m, 1]
38[m, n]
31[a(m−1)+1]
34 [a(m−1)+1, 1]
34 [a(m−1)+1, b]
34 [a(m−1)+1, b(n−1)+1]
34 [a(m−1)+1, bn]
22 [m]
31[am]
34 [am, 1]
34 [am, b]
34 [am, b(n−1)+1]
34 [am, bn]
32[m, 1]
32[m, b]
32[m, b(n−1)+1]
32[m, bn]
36[m, 1]
36[m, b]
36[m, b(n−1)+1]
36[m, bn]
21[m, 1]
21[m, n]

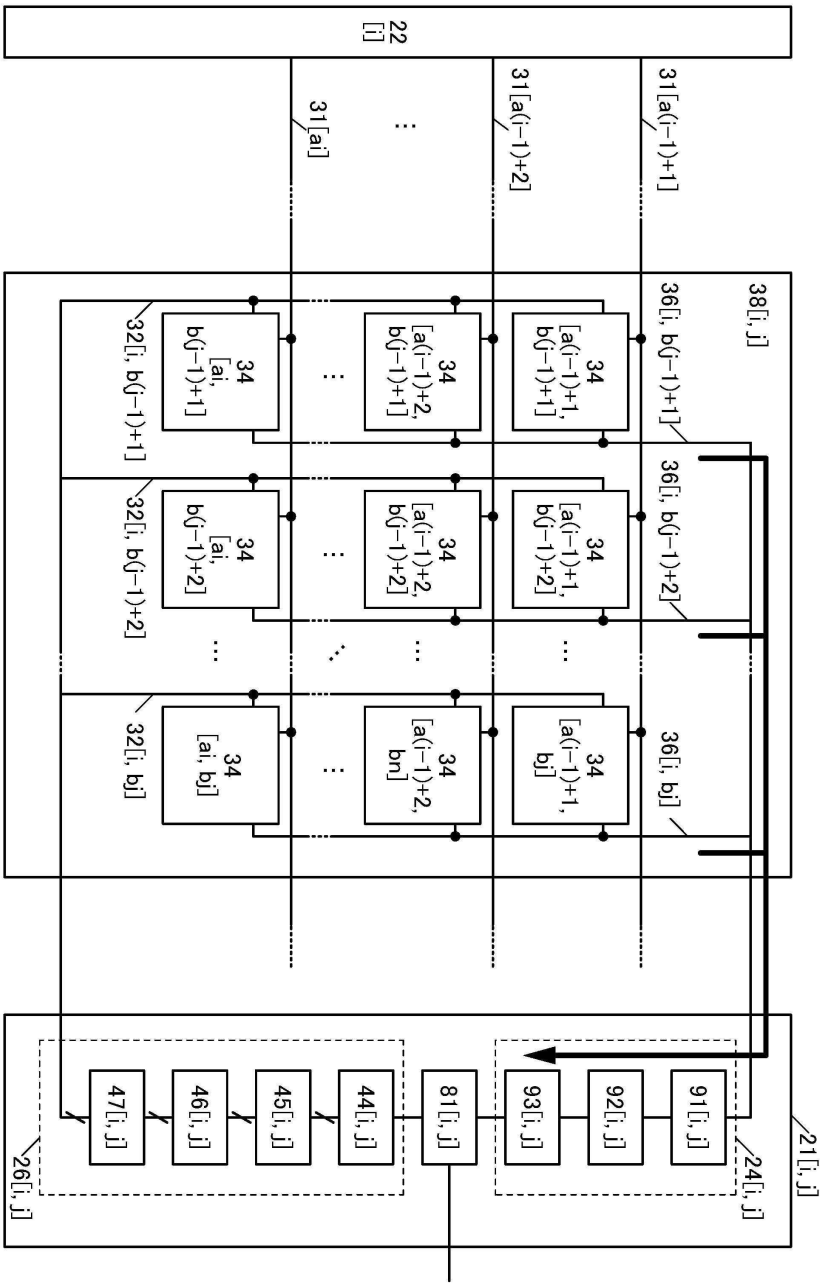
도면3


22[i]
31[a(i−1)+1]
31[a(i−1)+2]
31[ai]
38[i, j]
36[i, b(j−1)+1]
36[i, b(j−1)+2]
36[i, bj]
34 [a(i−1)+1, b(j−1)+1]
34 [a(i−1)+1, b(j−1)+2]
34 [a(i−1)+1, bj]
34 [a(i−1)+2, b(j−1)+1]
34 [a(i−1)+2, b(j−1)+2]
34 [a(i−1)+2, bn]
34 [ai, b(j−1)+1]
34 [ai, b(j−1)+2]
34 [ai, bj]
32[i, b(j−1)+1]
32[i, b(j−1)+2]
32[i, bj]
21[i, j]
24[i, j]
91[i, j]
92[i, j]
93[i, j]
81[i, j]
26[i, j]
44[i, j]
45[i, j]
46[i, j]
47[i, j]

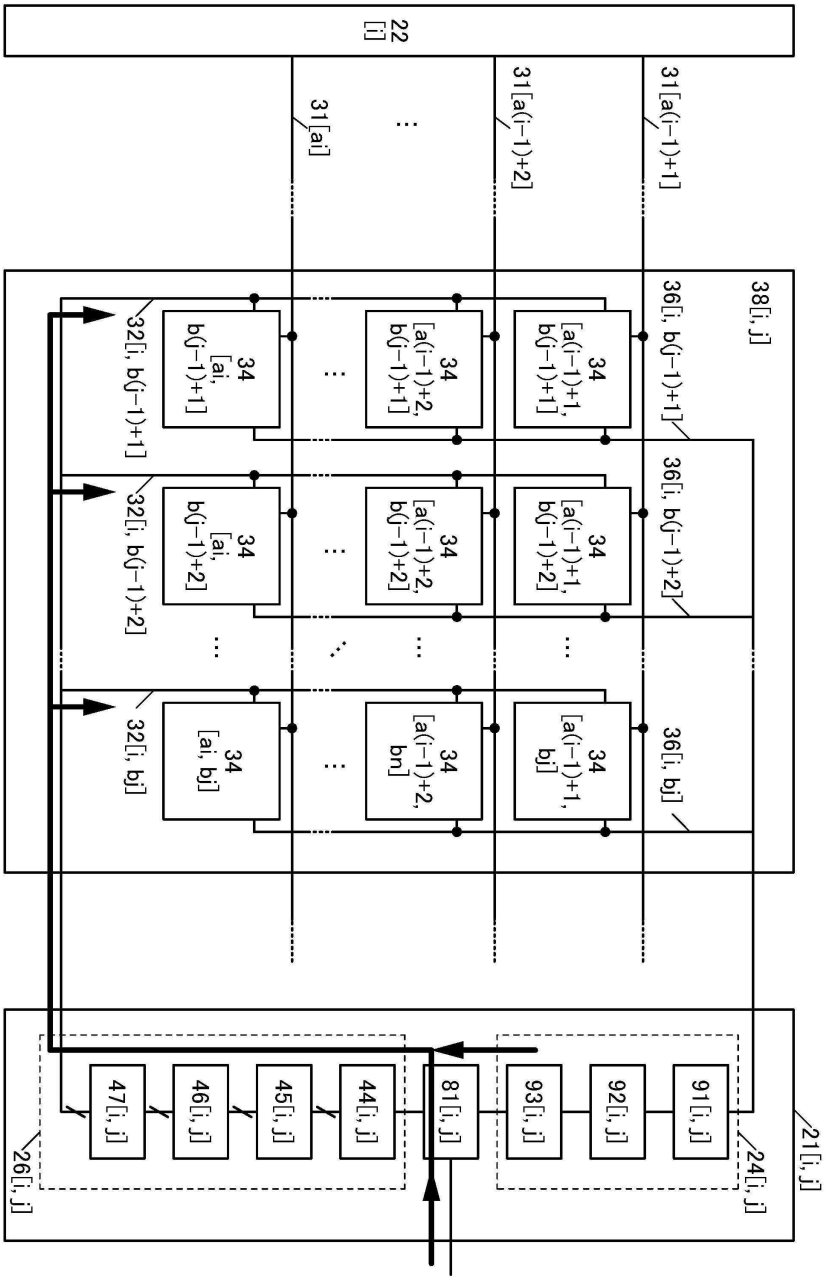
도면4


22 [i]
31[a(i−1)+1]
31[a(i−1)+2]
31[ai]
38[i, j]
36[i, b(j−1)+1]
36[i, b(j−1)+2]
36[i, bj]
34 [a(i−1)+1, b(j−1)+1]
34 [a(i−1)+2, b(j−1)+1]
34 [ai, b(j−1)+1]
34 [a(i−1)+1, b(j−1)+2]
34 [a(i−1)+2, b(j−1)+2]
34 [ai, b(j−1)+2]
34 [a(i−1)+1, bj]
34 [a(i−1)+2, bn]
34 [ai, bj]
32[i, b(j−1)+1]
32[i, b(j−1)+2]
32[i, bj]
21[i, j]
24[i, j]
26[i, j]
91[i, j]
92[i, j]
93[i, j]
81[i, j]
44[i, j]
45[i, j]
46[i, j]
47[i, j]

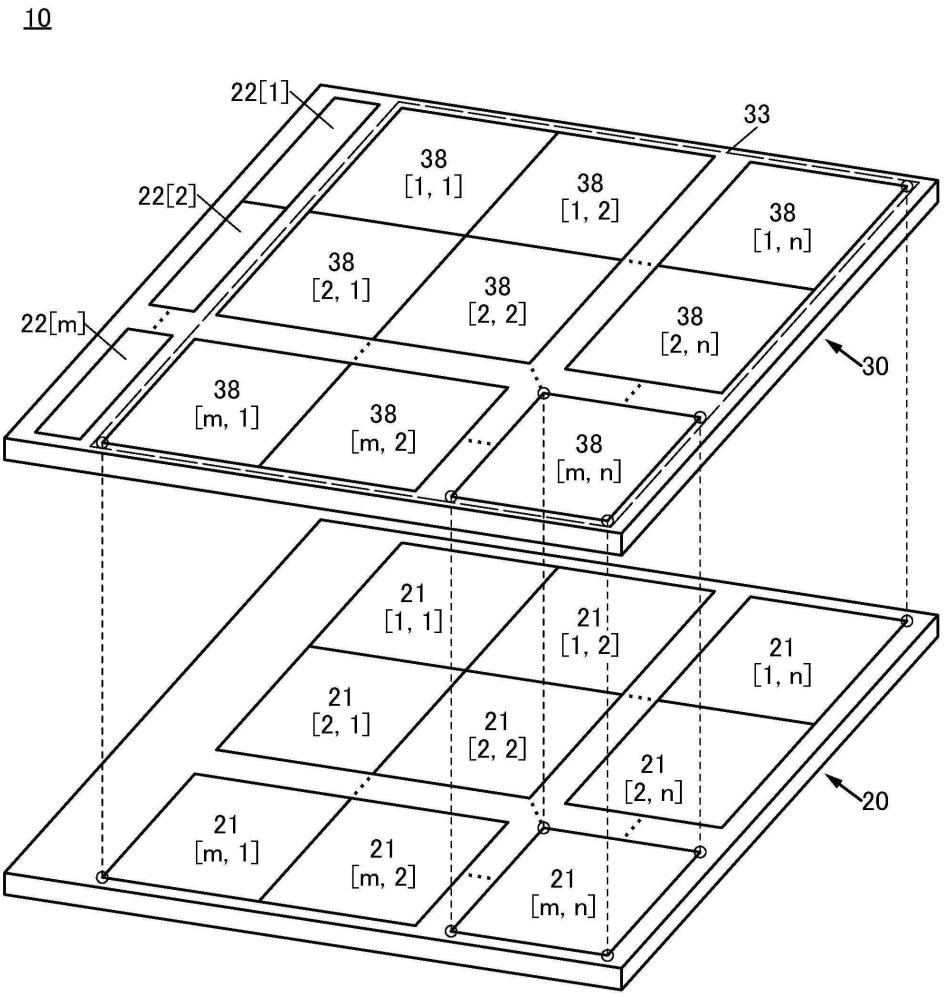
도면5


22 [i]
31[a(i−1)+1]
31[a(i−1)+2]
31[ai]
38[i, j]
36[i, b(j−1)+1]
36[i, b(j−1)+2]
36[i, bj]
34 [a(i−1)+1, b(j−1)+1]
34 [a(i−1)+2, b(j−1)+1]
34 [ai, b(j−1)+1]
34 [a(i−1)+1, b(j−1)+2]
34 [a(i−1)+2, b(j−1)+2]
34 [ai, b(j−1)+2]
34 [a(i−1)+1, bj]
34 [a(i−1)+2, bn]
34 [ai, bj]
32[i, b(j−1)+1]
32[i, b(j−1)+2]
32[i, bj]
21[i, j]
24[i, j]
91[i, j]
92[i, j]
93[i, j]
81[i, j]
44[i, j]
45[i, j]
46[i, j]
47[i, j]
26[i, j]

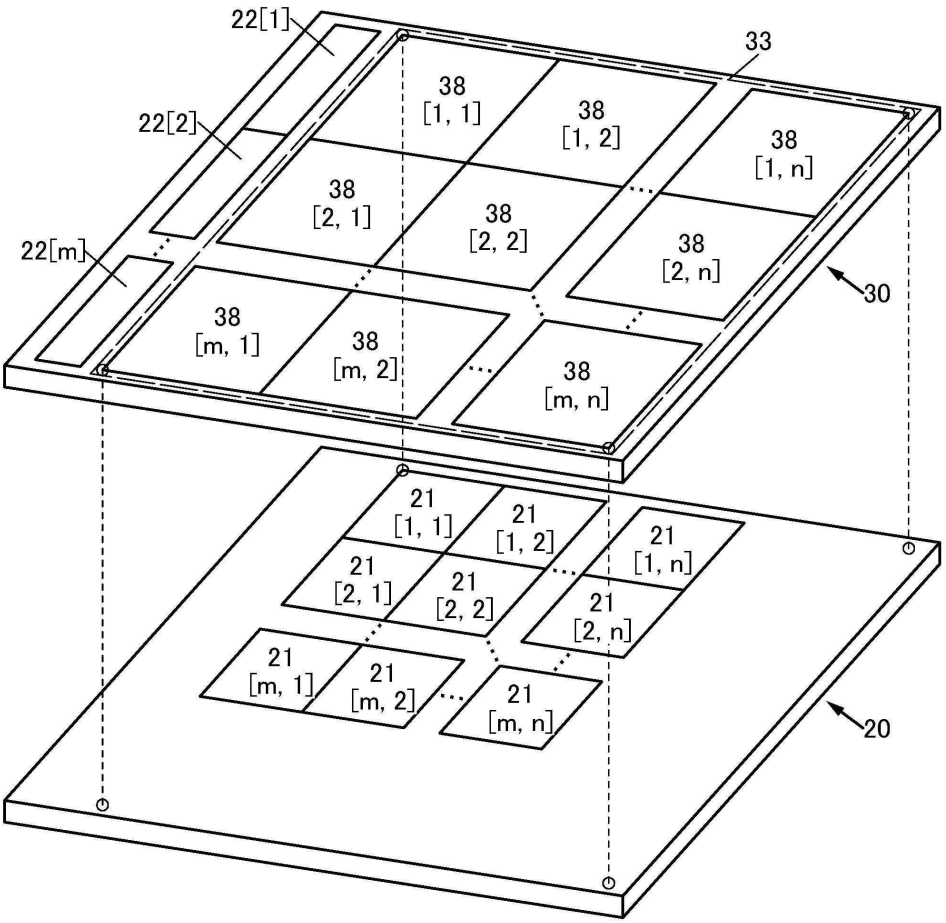
도면6


22 [i]
31[a(i−1)+1]
31[a(i−1)+2]
31[ai]
38[i, j]
36[i, b(j−1)+1]
36[i, b(j−1)+2]
36[i, bj]
34 [a(i−1)+1, b(j−1)+1]
34 [a(i−1)+2, b(j−1)+1]
34 [ai, b(j−1)+1]
34 [a(i−1)+1, b(j−1)+2]
34 [a(i−1)+2, b(j−1)+2]
34 [ai, b(j−1)+2]
34 [a(i−1)+1, bj]
34 [a(i−1)+2, bn]
34 [ai, bj]
32[i, b(j−1)+1]
32[i, b(j−1)+2]
32[i, bj]
21[i, j]
24[i, j]
91[i, j]
92[i, j]
93[i, j]
81[i, j]
26[i, j]
44[i, j]
45[i, j]
46[i, j]
47[i, j]

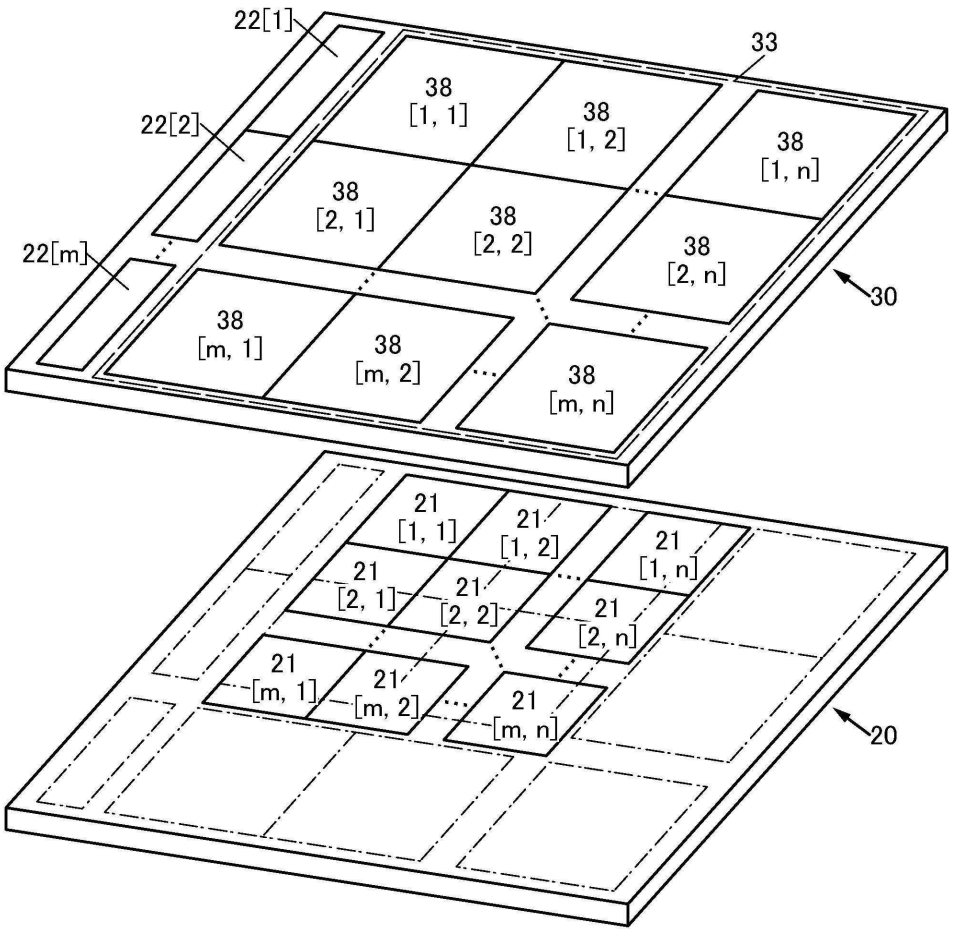
도면7


10
22[1]
22[2]
22[m]
33
38 [1, 1]
38 [1, 2]
38 [1, n]
38 [2, 1]
38 [2, 2]
38 [2, n]
38 [m, 1]
38 [m, 2]
38 [m, n]
30
21 [1, 1]
21 [1, 2]
21 [1, n]
21 [2, 1]
21 [2, 2]
21 [2, n]
21 [m, 1]
21 [m, 2]
21 [m, n]
20

도면8

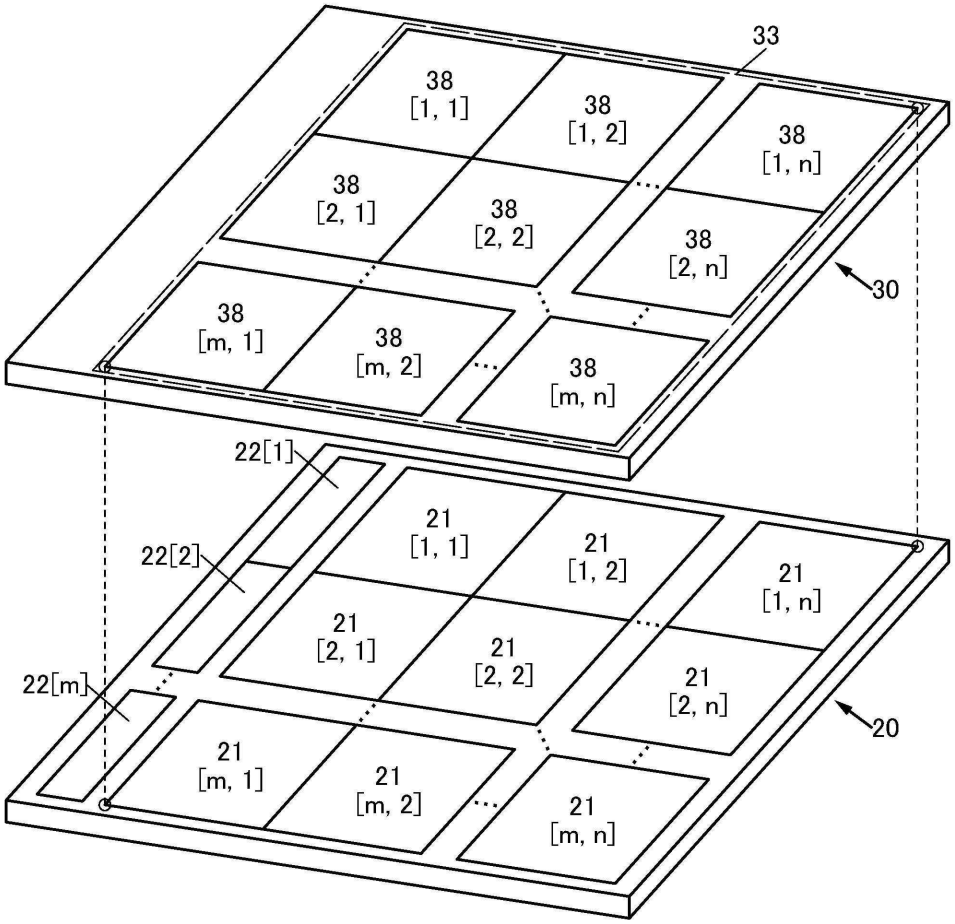

10
22[1]
22[2]
22[m]
33
38 [1, 1]
38 [1, 2]
38 [1, n]
38 [2, 1]
38 [2, 2]
38 [2, n]
38 [m, 1]
38 [m, 2]
38 [m, n]
30
21 [1, 1]
21 [1, 2]
21 [1, n]
21 [2, 1]
21 [2, 2]
21 [2, n]
21 [m, 1]
21 [m, 2]
21 [m, n]
20

도면9


10
22[1]
22[2]
22[m]
33
38 [1, 1]
38 [1, 2]
38 [1, n]
38 [2, 1]
38 [2, 2]
38 [2, n]
38 [m, 1]
38 [m, 2]
38 [m, n]
30
21 [1, 1]
21 [1, 2]
21 [1, n]
21 [2, 1]
21 [2, 2]
21 [2, n]
21 [m, 1]
21 [m, 2]
21 [m, n]
20

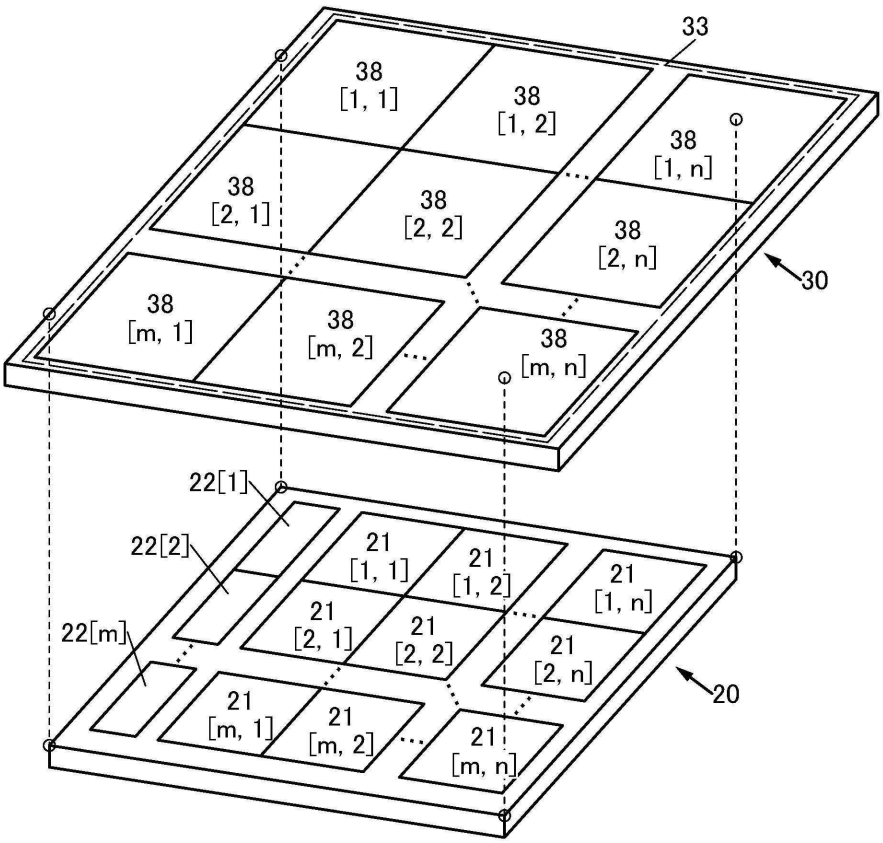
도면10

10

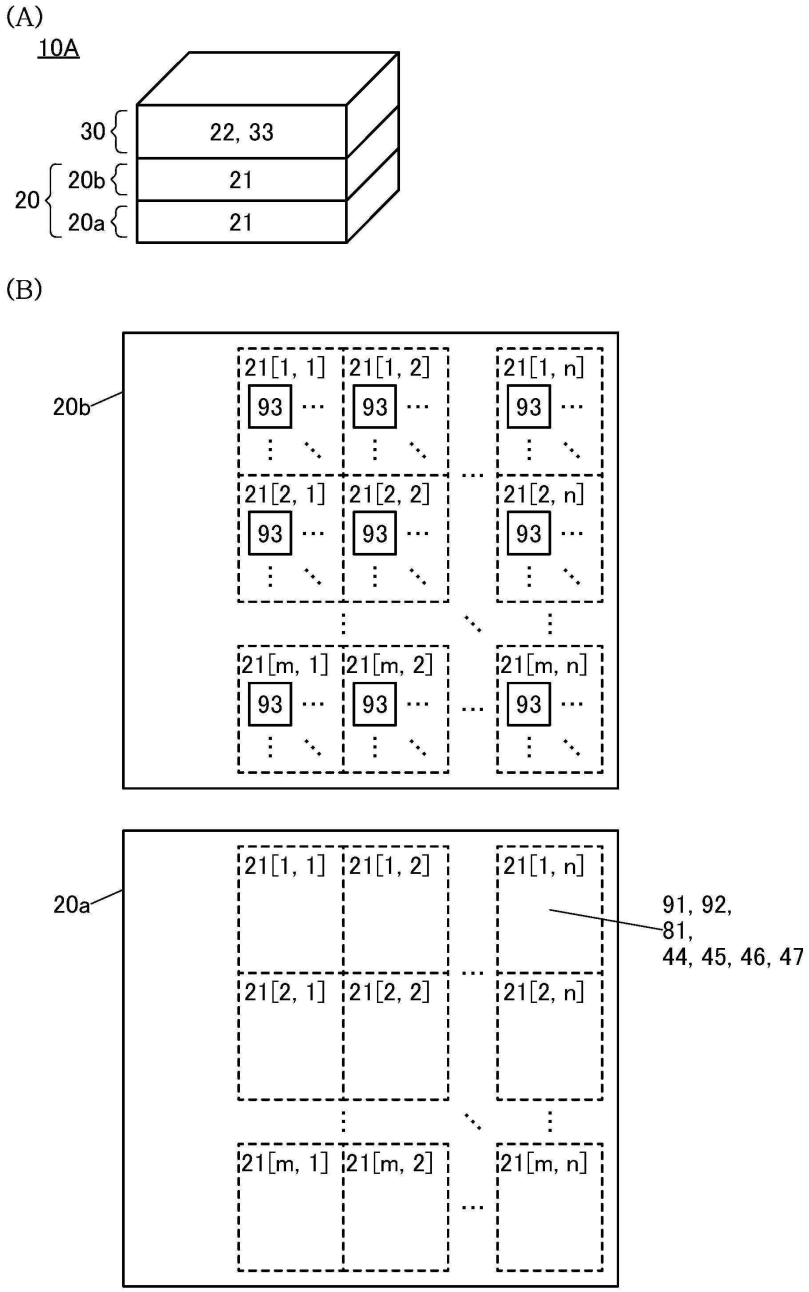

33
38 [1, 1]
38 [1, 2]
38 [1, n]
38 [2, 1]
38 [2, 2]
38 [2, n]
38 [m, 1]
38 [m, 2]
38 [m, n]
30
22[1]
22[2]
22[m]
21 [1, 1]
21 [1, 2]
21 [1, n]
21 [2, 1]
21 [2, 2]
21 [2, n]
21 [m, 1]
21 [m, 2]
21 [m, n]
20

도면11

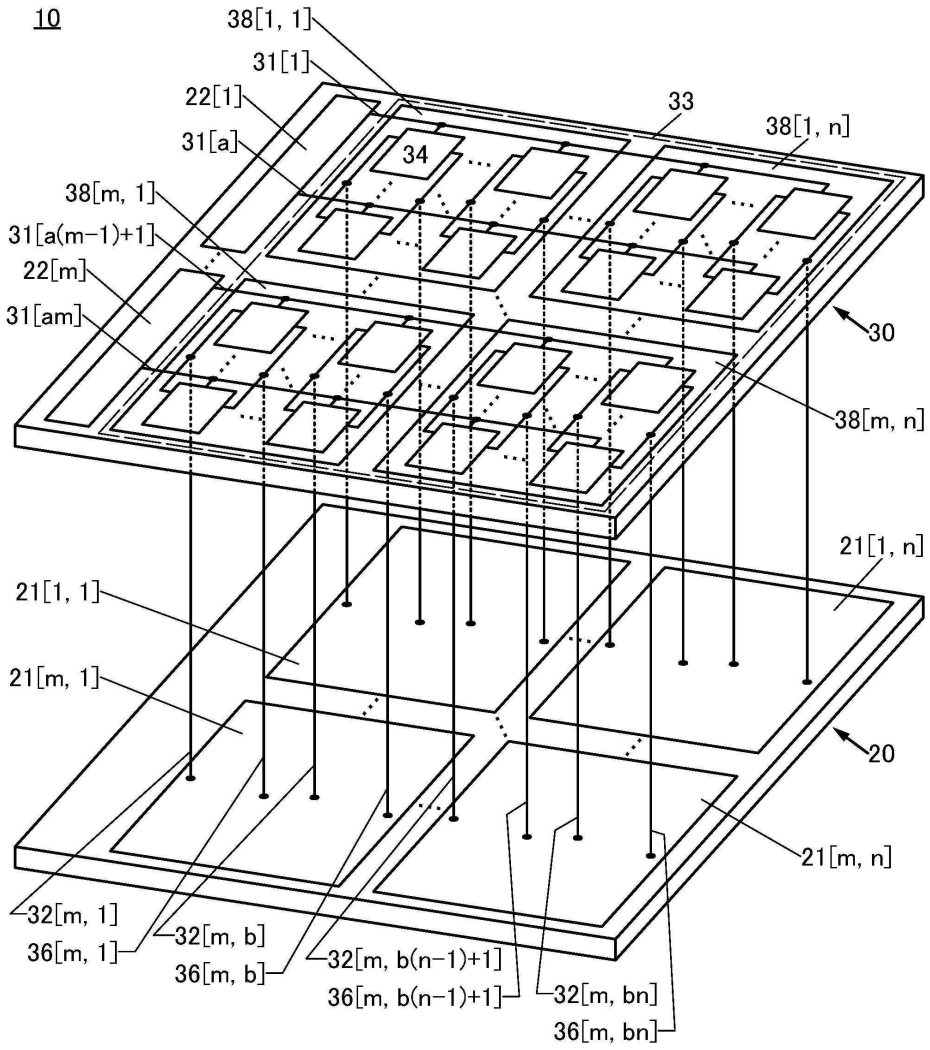
10


33
38 [1, 1]
38 [1, 2]
38 [1, n]
38 [2, 1]
38 [2, 2]
38 [2, n]
38 [m, 1]
38 [m, 2]
38 [m, n]
30
22[1]
22[2]
22[m]
21 [1, 1]
21 [1, 2]
21 [1, n]
21 [2, 1]
21 [2, 2]
21 [2, n]
21 [m, 1]
21 [m, 2]
21 [m, n]
20

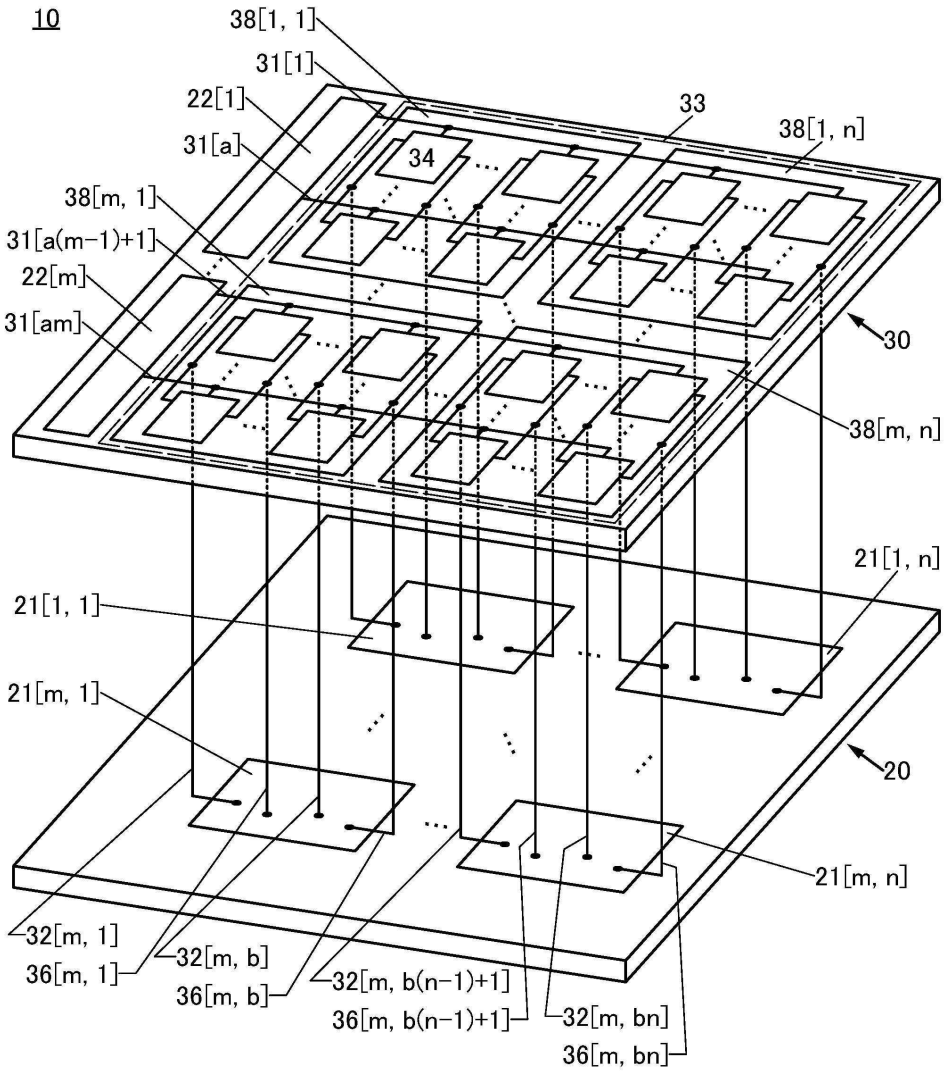
도면12


(A)
10A
30
22, 33
20
20b
21
20a
21
(B)
20b
21[1, 1]
21[1, 2]
21[1, n]
21[2, 1]
21[2, 2]
21[2, n]
21[m, 1]
21[m, 2]
21[m, n]
93
20a
91, 92,
81,
44, 45, 46, 47

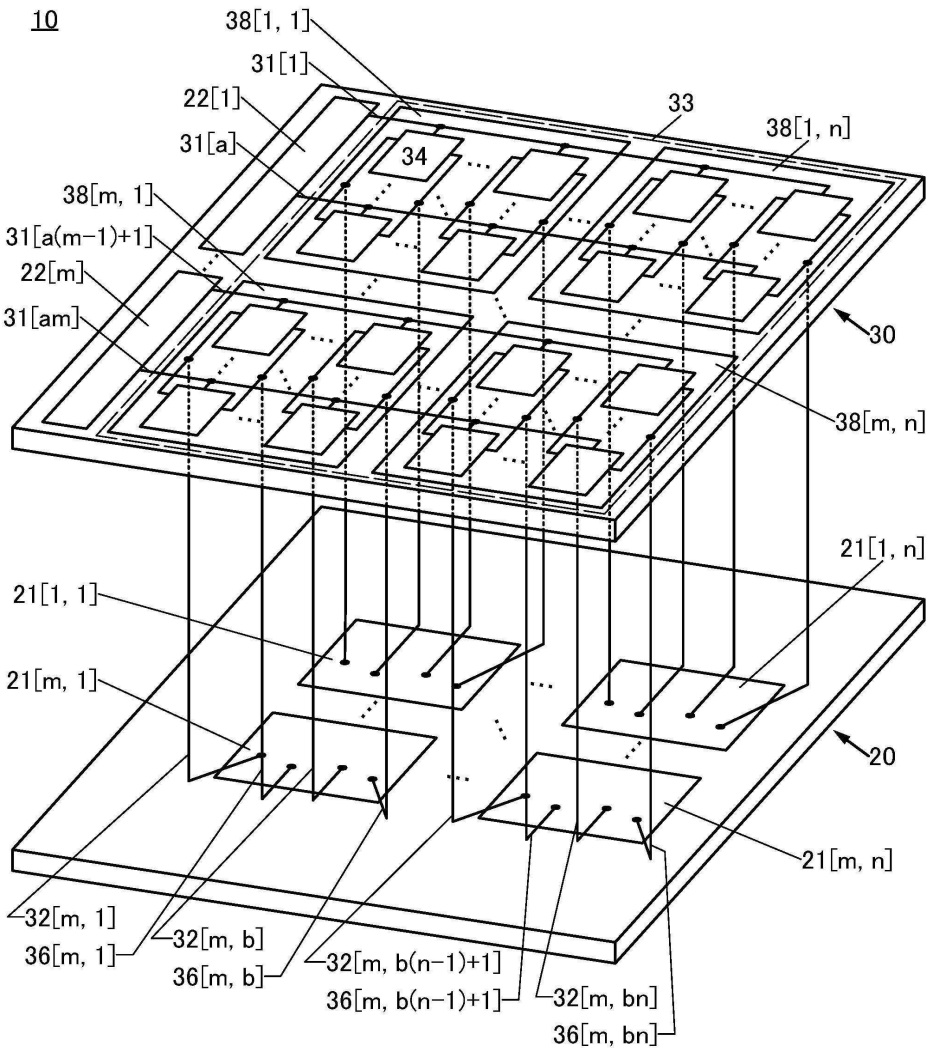
도면13


10
38[1, 1]
31[1]
22[1]
31[a]
33
38[1, n]
34
38[m, 1]
31[a(m−1)+1]
22[m]
31[am]
30
38[m, n]
21[1, n]
21[1, 1]
21[m, 1]
20
21[m, n]
32[m, 1]
36[m, 1]
32[m, b]
36[m, b]
32[m, b(n−1)+1]
36[m, b(n−1)+1]
32[m, bn]
36[m, bn]

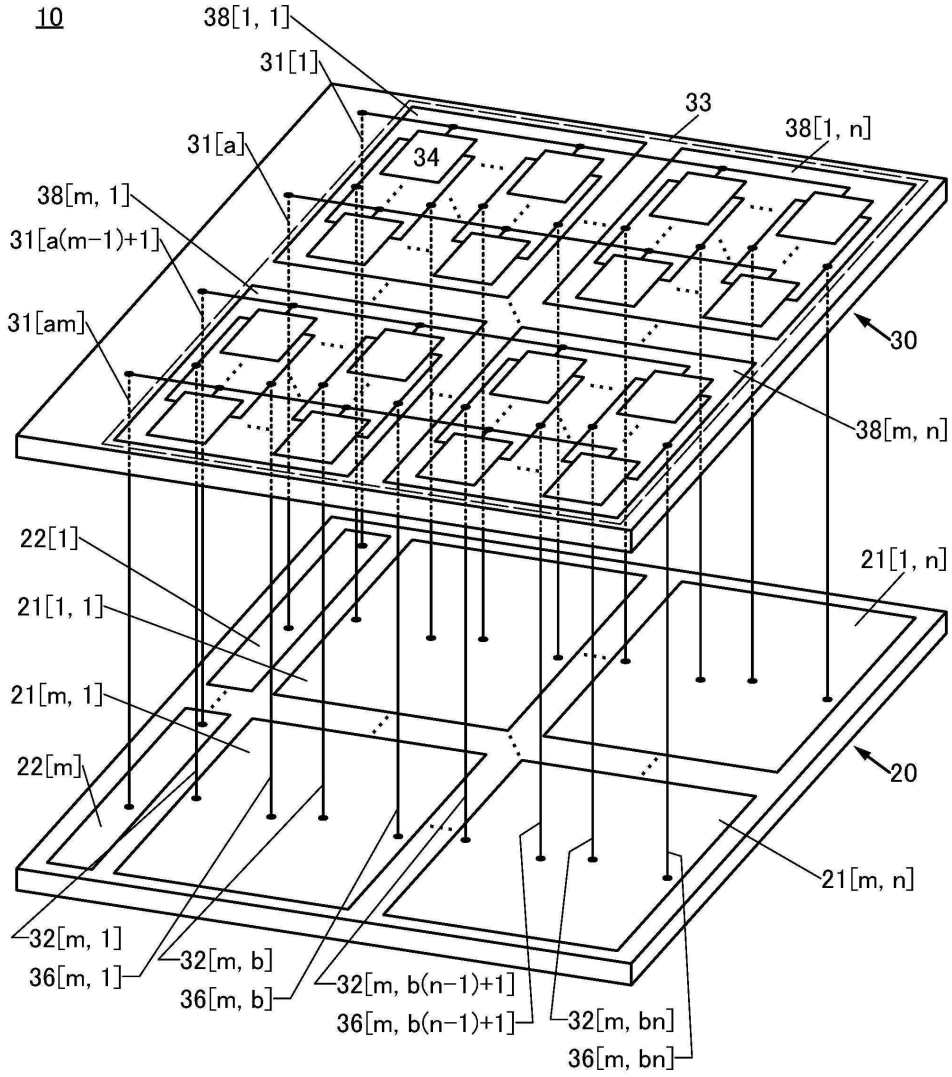
도면14


10
38[1, 1]
31[1]
22[1]
31[a]
34
33
38[1, n]
38[m, 1]
31[a(m-1)+1]
22[m]
31[am]
30
38[m, n]
21[1, n]
21[1, 1]
21[m, 1]
20
21[m, n]
32[m, 1]
36[m, 1]
32[m, b]
36[m, b]
32[m, b(n-1)+1]
36[m, b(n-1)+1]
32[m, bn]
36[m, bn]

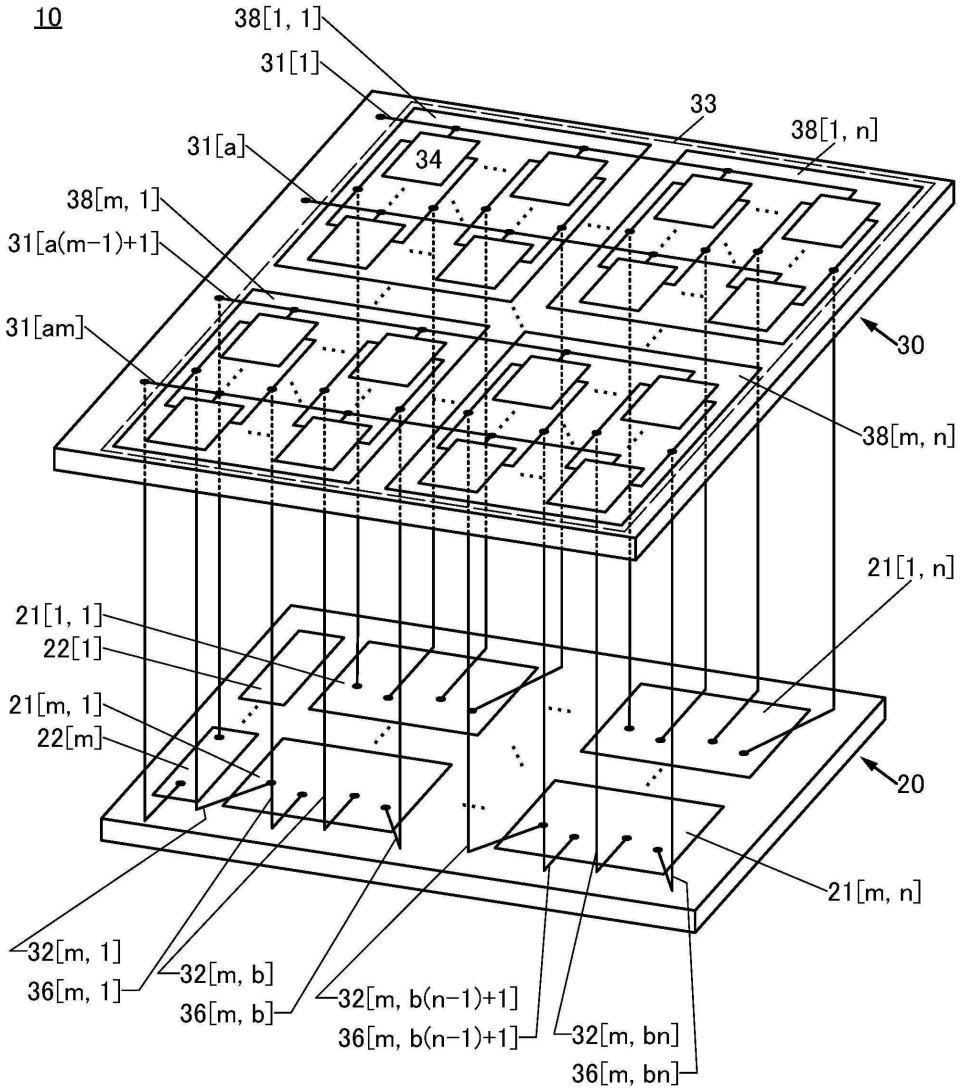
도면15


10
38[1, 1]
31[1]
22[1]
31[a]
34
33
38[1, n]
38[m, 1]
31[a(m−1)+1]
22[m]
31[am]
30
38[m, n]
21[1, n]
21[1, 1]
21[m, 1]
20
21[m, n]
32[m, 1]
36[m, 1]
32[m, b]
36[m, b]
32[m, b(n−1)+1]
36[m, b(n−1)+1]
32[m, bn]
36[m, bn]

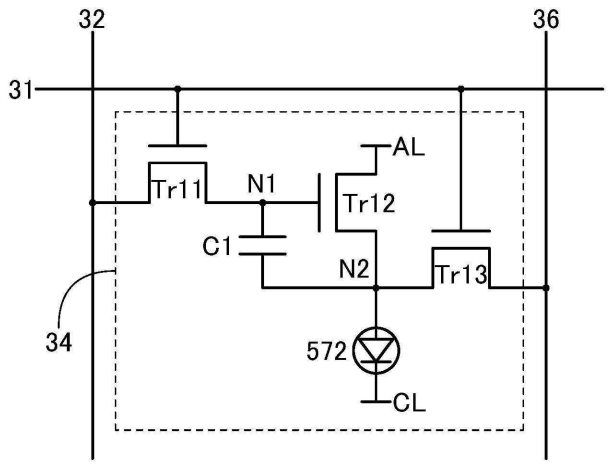
도면16


10
38[1, 1]
31[1]
33
38[1, n]
31[a]
34
38[m, 1]
31[a(m−1)+1]
31[am]
30
38[m, n]
22[1]
21[1, n]
21[1, 1]
21[m, 1]
22[m]
20
21[m, n]
32[m, 1]
36[m, 1]
32[m, b]
36[m, b]
32[m, b(n−1)+1]
36[m, b(n−1)+1]
32[m, bn]
36[m, bn]

도면17

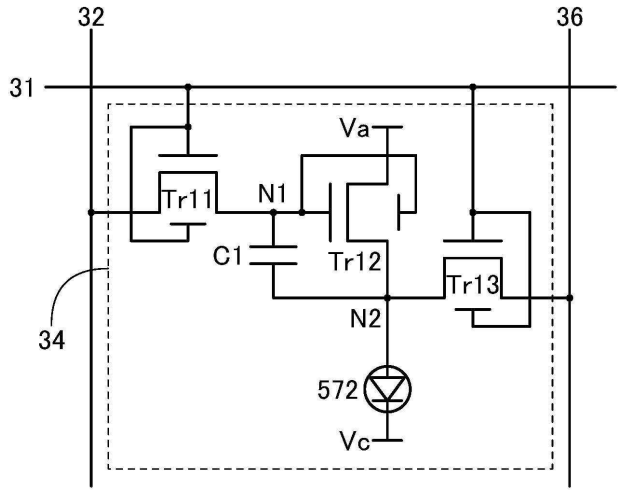

10
38[1, 1]
31[1]
33
38[1, n]
31[a]
34
38[m, 1]
31[a(m-1)+1]
31[am]
30
38[m, n]
21[1, n]
21[1, 1]
22[1]
21[m, 1]
22[m]
20
21[m, n]
32[m, 1]
36[m, 1]
32[m, b]
36[m, b]
32[m, b(n-1)+1]
36[m, b(n-1)+1]
32[m, bn]
36[m, bn]

도면18

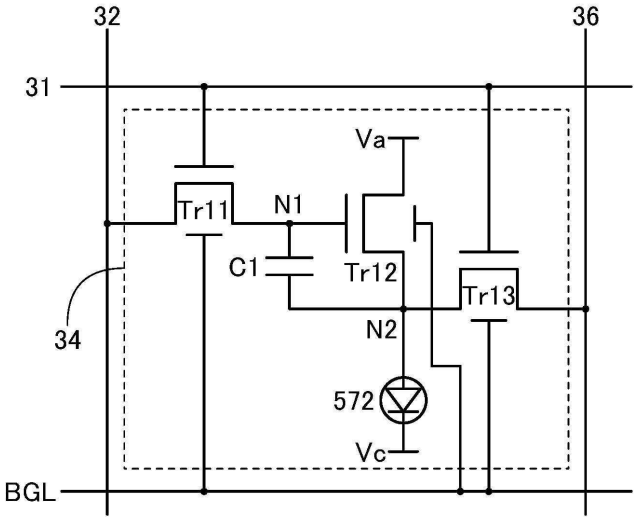

32
36
31
AL
Tr11
N1
Tr12
C1
N2
Tr13
34
572
CL

도면19

(A)

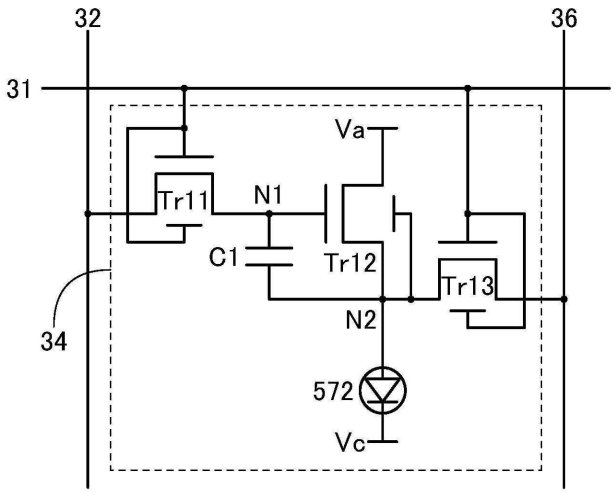

32
36
31
Va
Tr11
N1
C1
Tr12
Tr13
N2
34
572
Vc

(B)

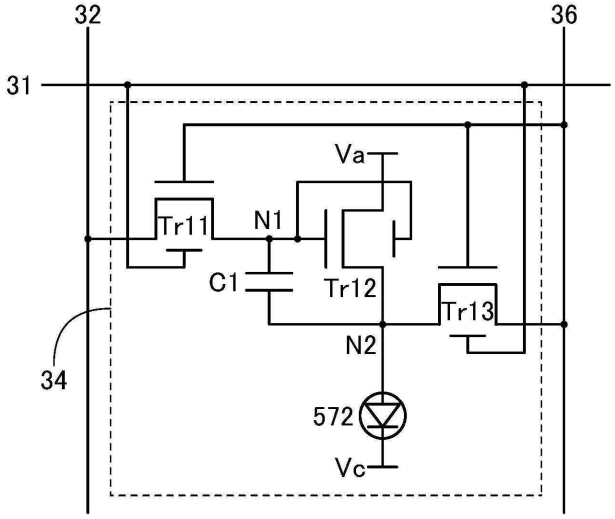

32
36
31
Va
Tr11
N1
C1
Tr12
Tr13
N2
34
572
Vc
BGL

도면20

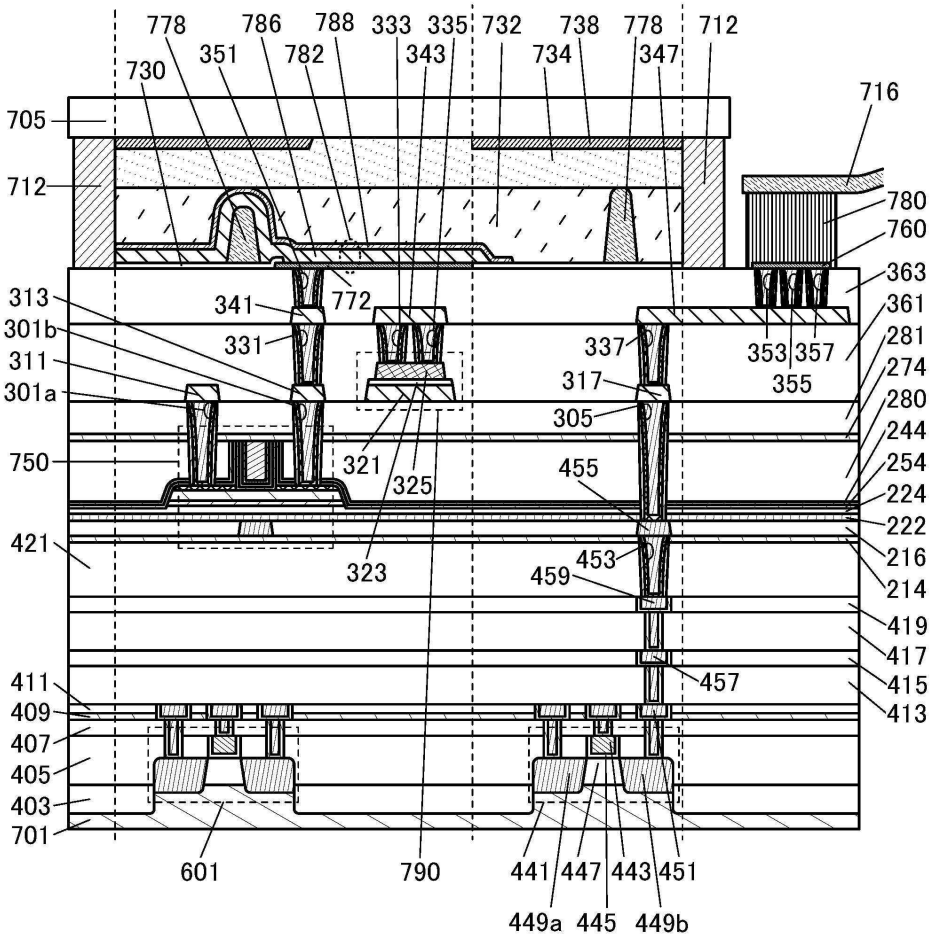
(A)


32
36
31
Va
Tr11
N1
C1
Tr12
Tr13
N2
34
572
Vc

(B)

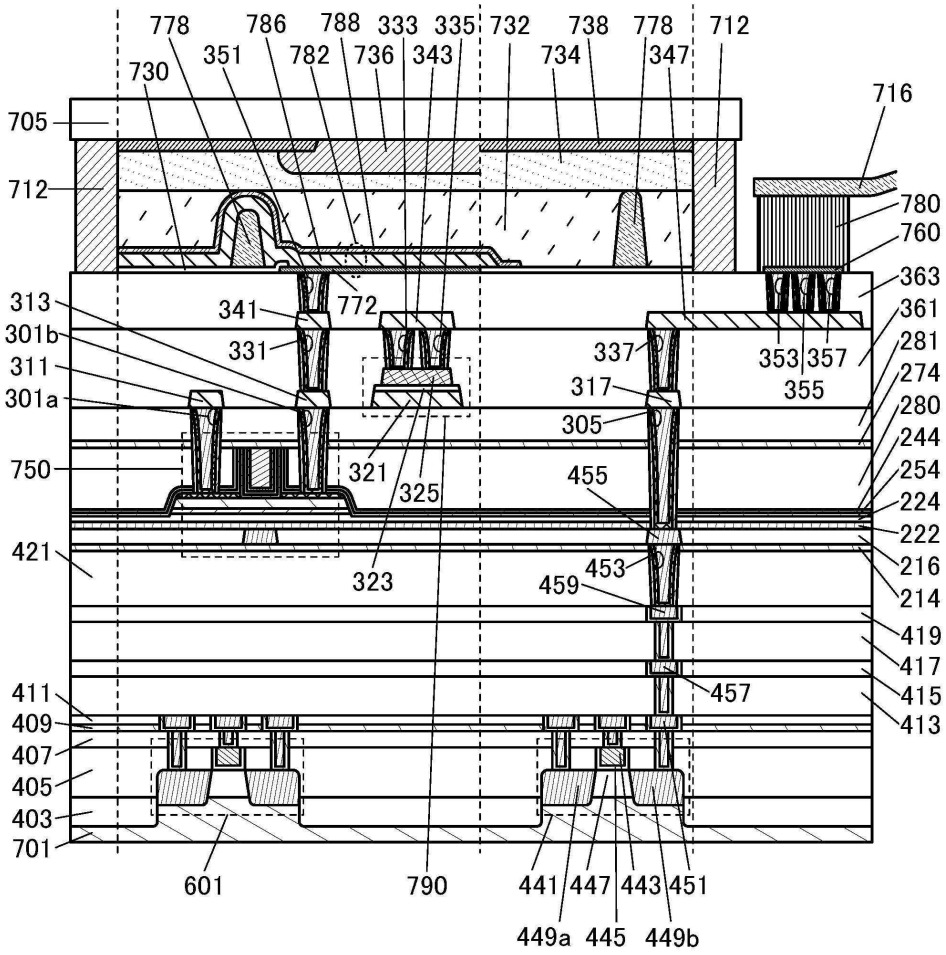

32
36
31
Va
Tr11
N1
C1
Tr12
Tr13
N2
34
572
Vc

도면21

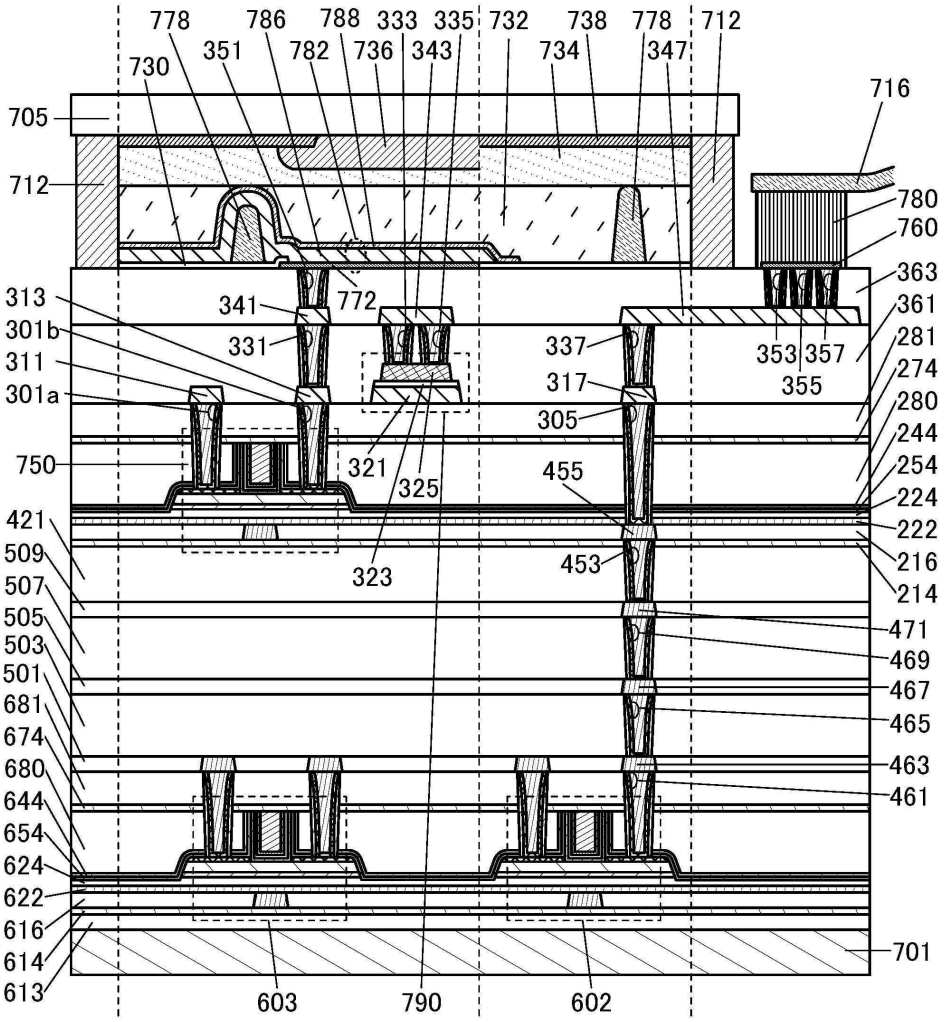

10
778
786
788
333
335
732
738
778
712
730
351
782
343
734
347
716
705
712
780
760
363
313
341
772
361
301b
331
337
281
311
353
357
274
317
355
301a
305
280
244
750
321
325
455
254
224
421
323
453
222
459
216
214
419
411
457
417
409
415
407
413
405
403
701
601
790
441
447
443
451
449a
445
449b

도면22

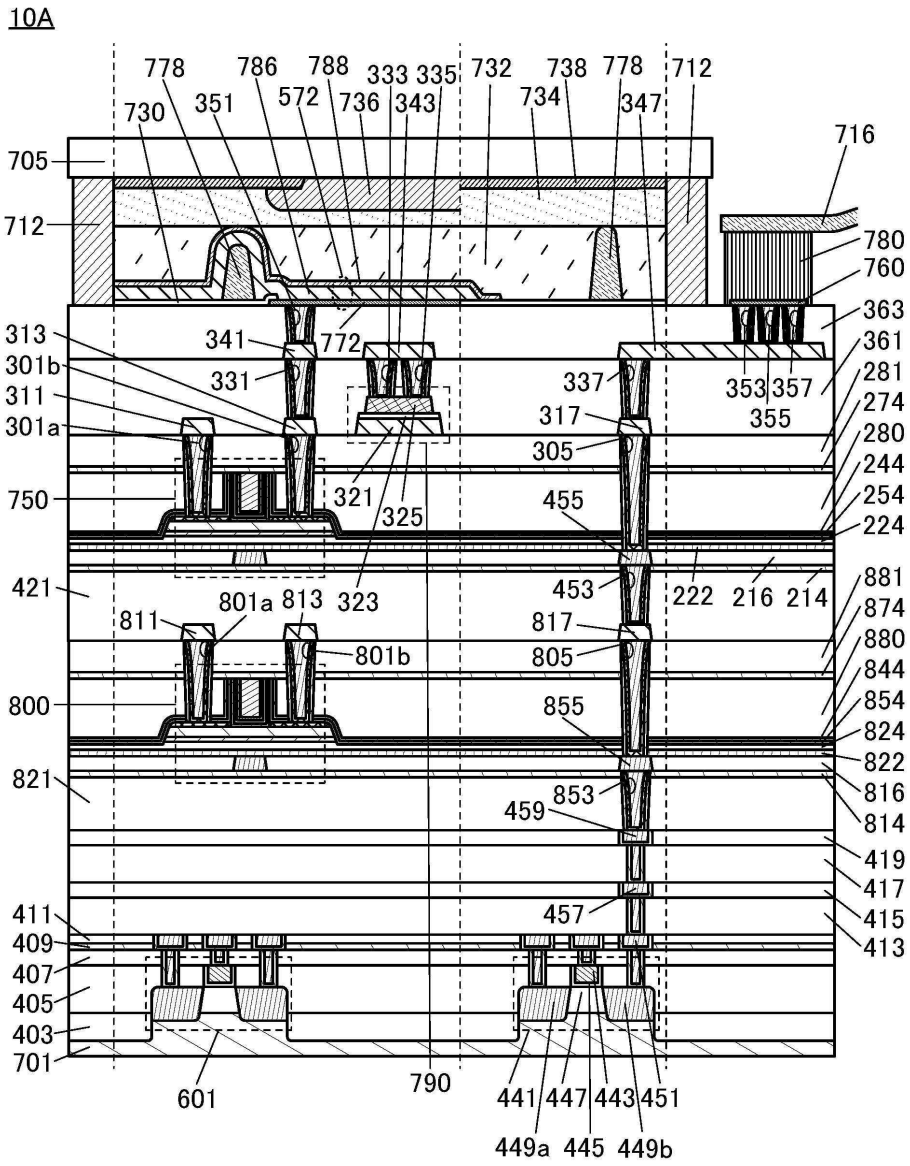
10


778
786
788
333
335
732
738
778
712
730
351
782
736
343
734
347
716
705
712
780
760
363
313
341
772
361
301b
331
337
281
311
353
357
274
317
355
301a
305
280
244
750
321
325
455
254
224
421
222
323
453
216
459
214
419
411
457
417
409
415
407
413
405
403
701
601
790
441
447
443
451
449a
445
449b

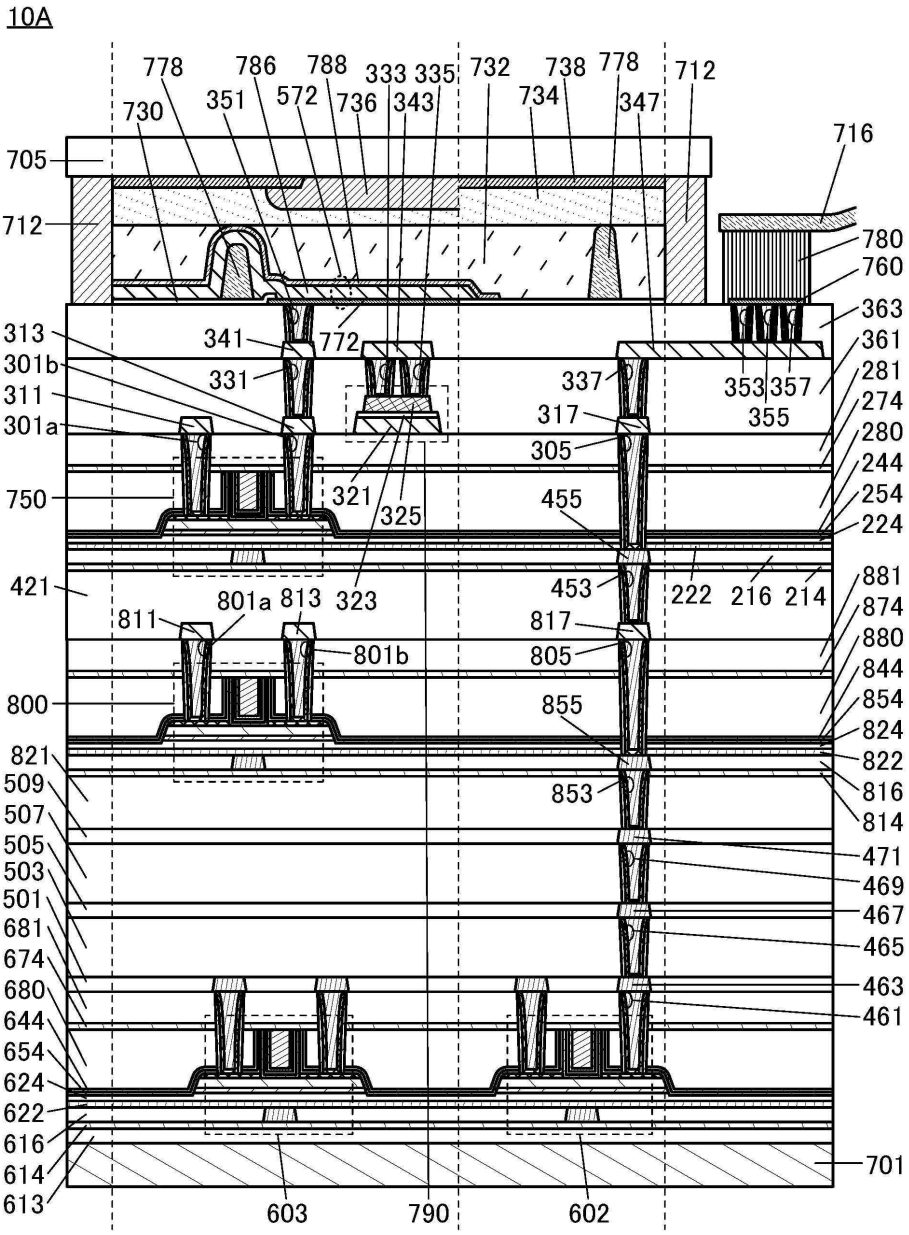
도면23


10
778
786
788
333
335
732
738
778
712
730
351
782
736
343
734
347
716
705
712
780
760
363
313
341
772
361
301b
331
337
353
357
281
311
317
355
274
301a
305
280
750
321
325
455
244
254
224
421
222
509
323
453
216
507
214
505
471
503
469
501
467
681
465
674
463
680
461
644
654
624
622
616
614
613
701
603
790
602

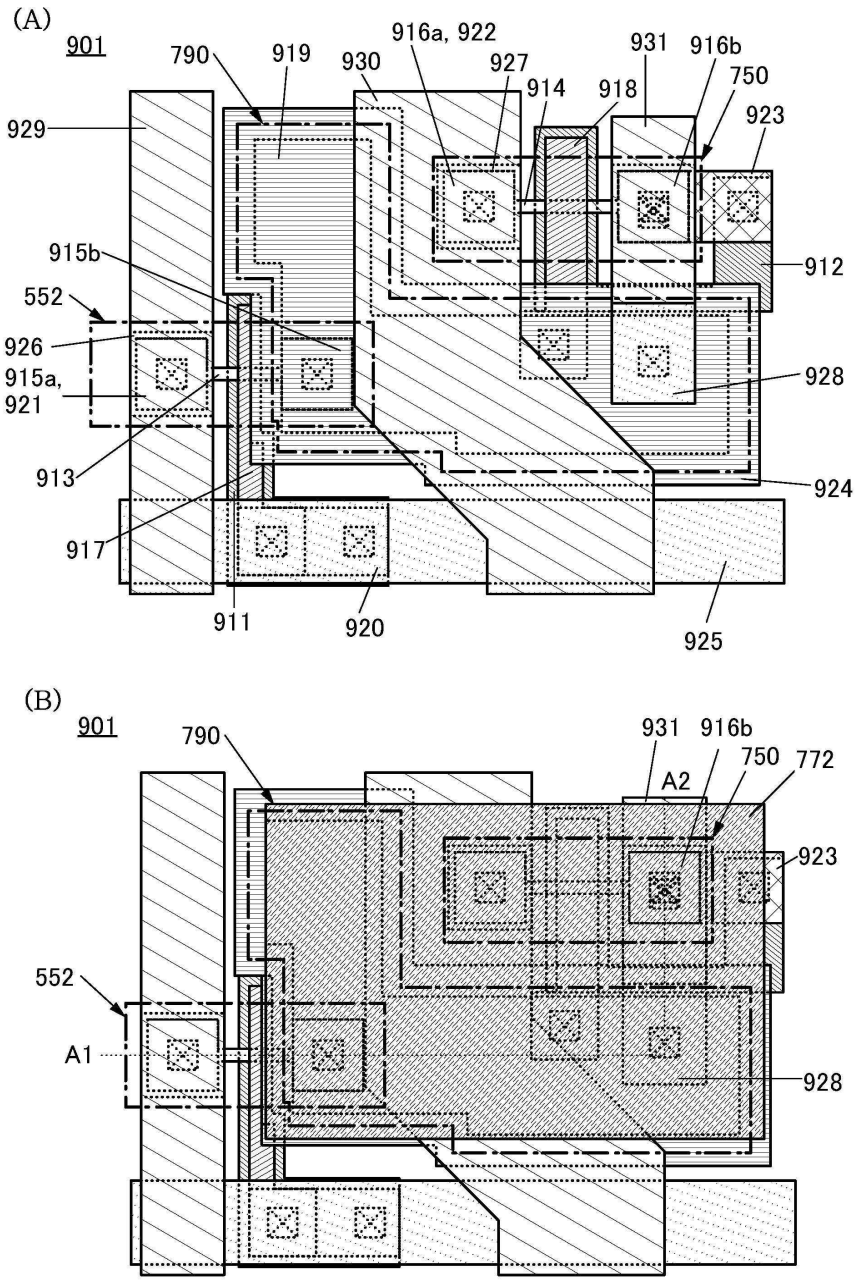
도면24


10A
778
786
788
333
335
732
738
778
712
730
351
572
736
343
734
347
716
705
712
780
760
363
313
341
772
361
301b
331
337
353
357
281
311
317
355
274
301a
305
280
750
321
325
455
244
254
224
421
801a
813
323
453
222
216
214
881
811
817
874
801b
805
880
800
855
844
854
824
821
822
853
816
459
814
419
411
457
417
409
415
407
413
405
403
701
601
790
441
447
443
451
449a
445
449b

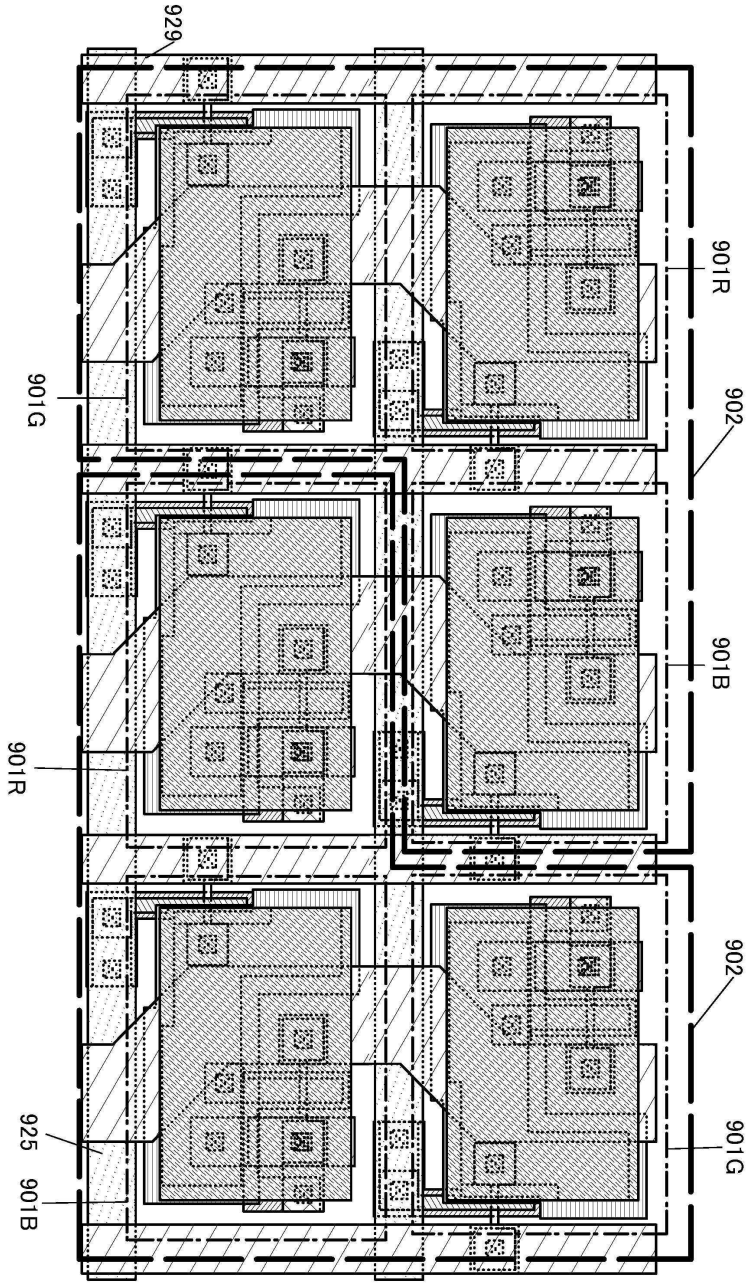
도면25


10A
778
786
788
333
335
732
738
778
712
730
351
572
736
343
734
347
716
705
712
780
760
363
313
341
772
361
301b
331
337
353
357
281
311
317
355
274
301a
305
280
750
321
325
455
244
254
224
421
453
222
216
214
881
801a
813
323
811
817
874
801b
805
880
800
855
844
854
821
824
509
822
853
816
507
814
505
471
503
469
501
467
681
465
674
463
680
461
644
654
624
622
616
614
613
701
603
790
602

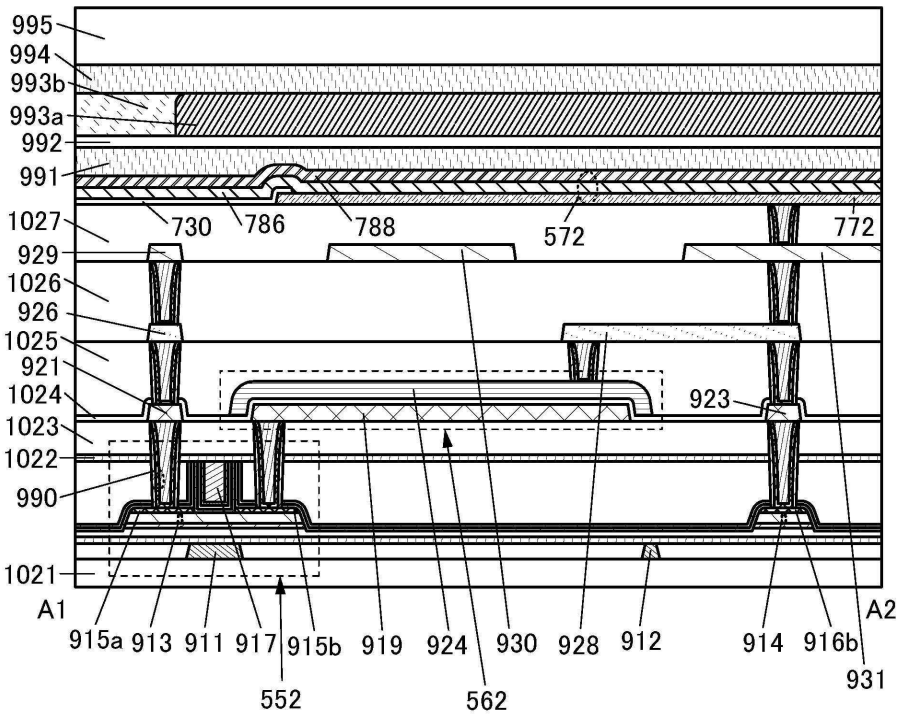
도면26


(A)
901
790
919
930
916a, 922
927
914
918
931
916b
750
923
929
915b
552
926
915a,
921
913
917
911
920
912
928
924
925
(B)
901
790
931
916b
750
772
A2
923
552
A1
928

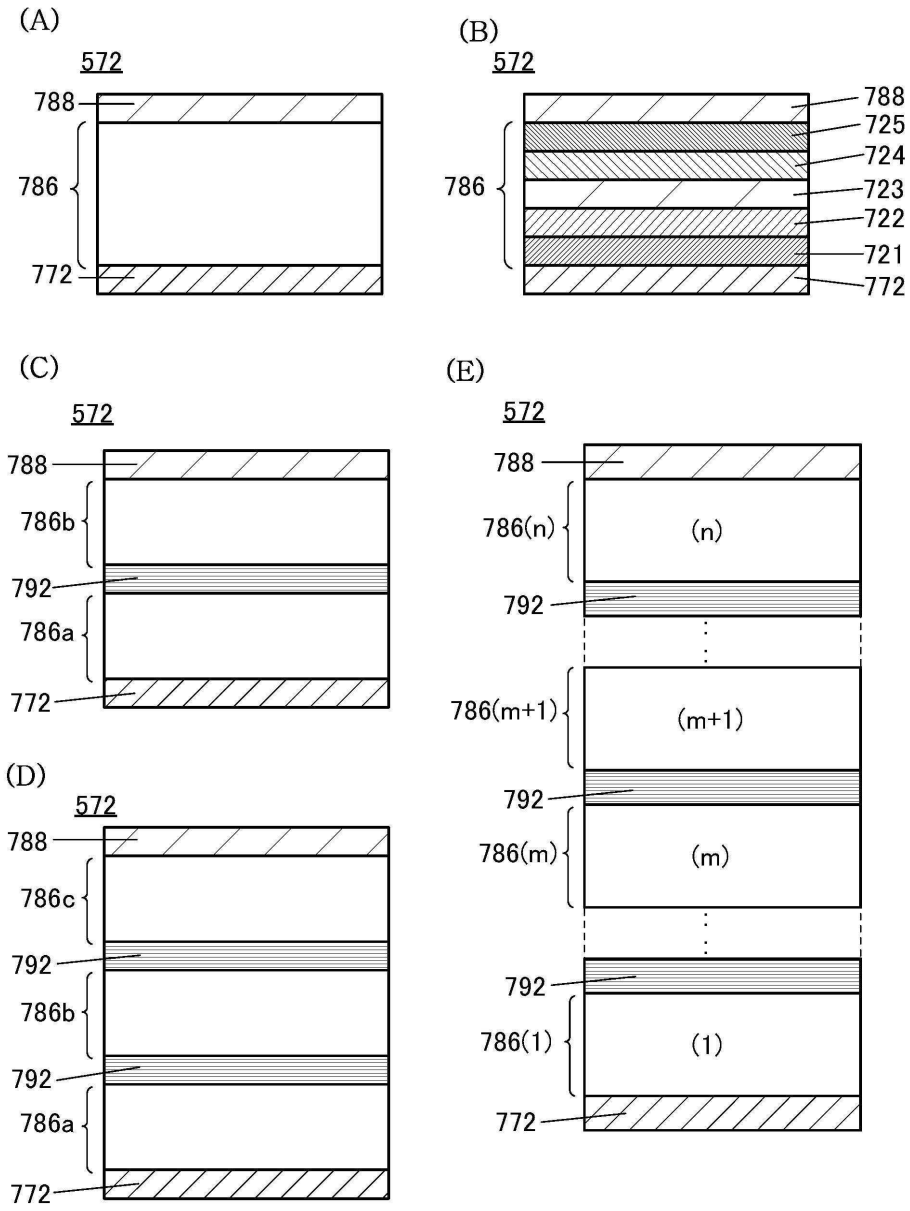
도면27



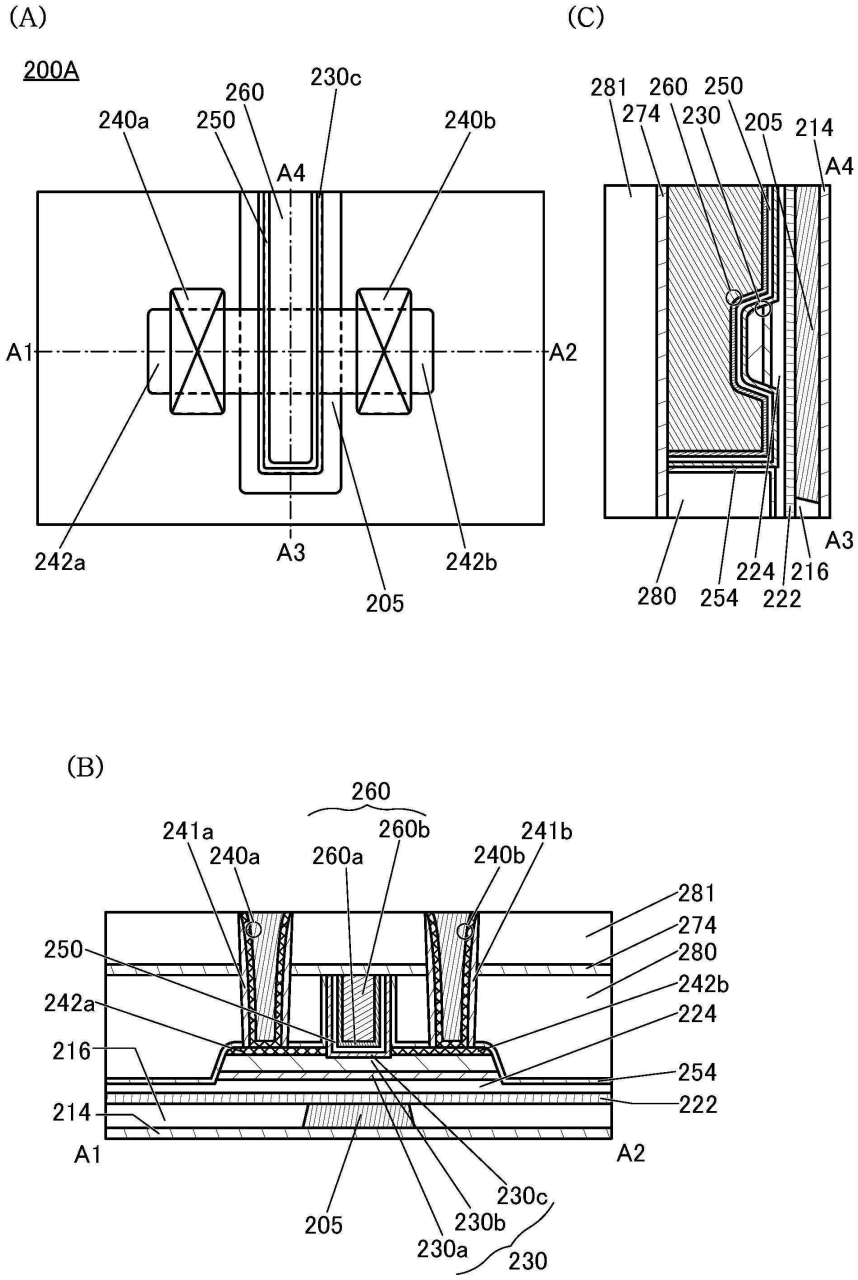
도면28


995
994
993b
993a
992
991
1027
929
1026
926
1025
921
1024
1023
1022
990
1021
730
786
788
572
772
923
A1
A2
915a
913
911
917
915b
919
924
930
928
912
914
916b
931
552
562

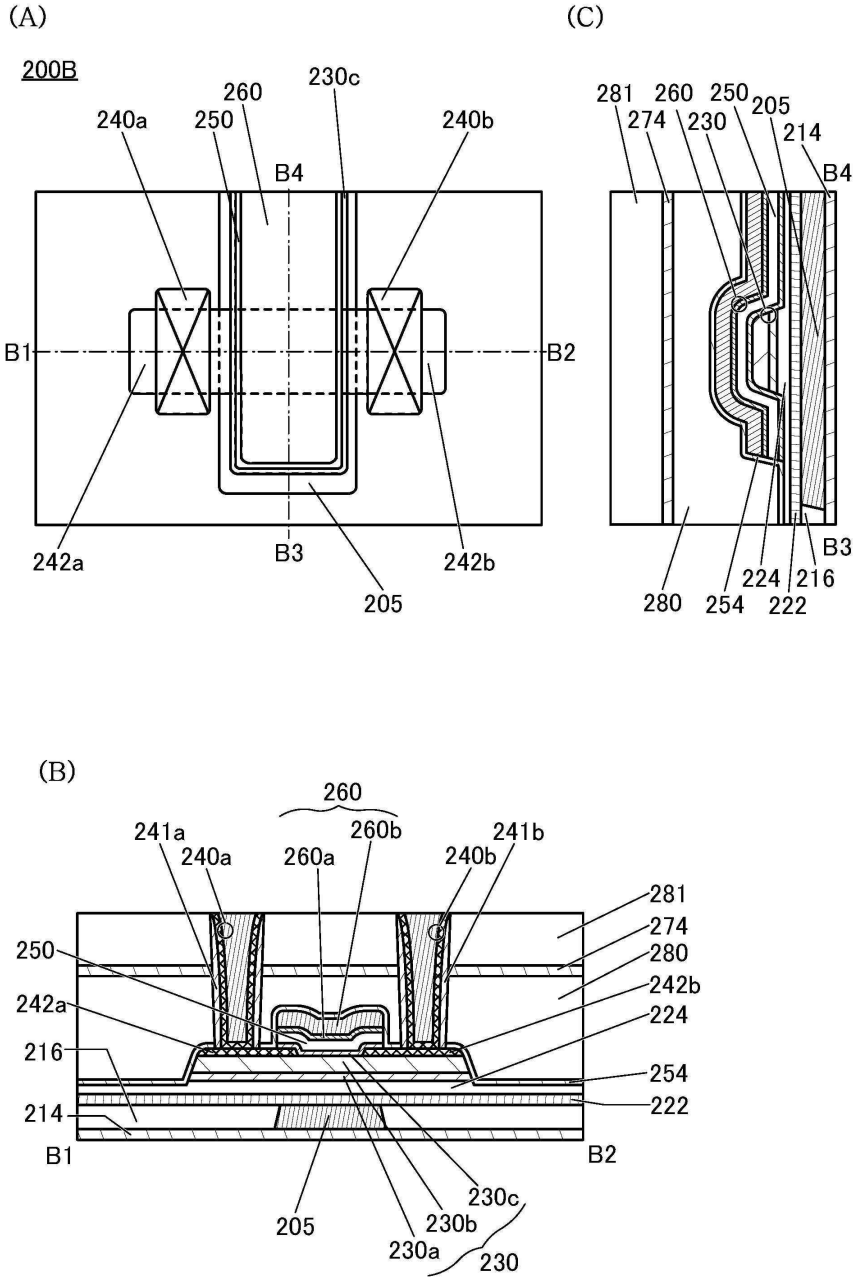
도면29


(A)
572
788
786
772
(B)
572
788
725
724
723
722
721
772
786
(C)
572
788
786b
792
786a
772
(D)
572
788
786c
792
786b
792
786a
772
(E)
572
788
786(n)
(n)
792
786(m+1)
(m+1)
792
786(m)
(m)
792
786(1)
(1)
772

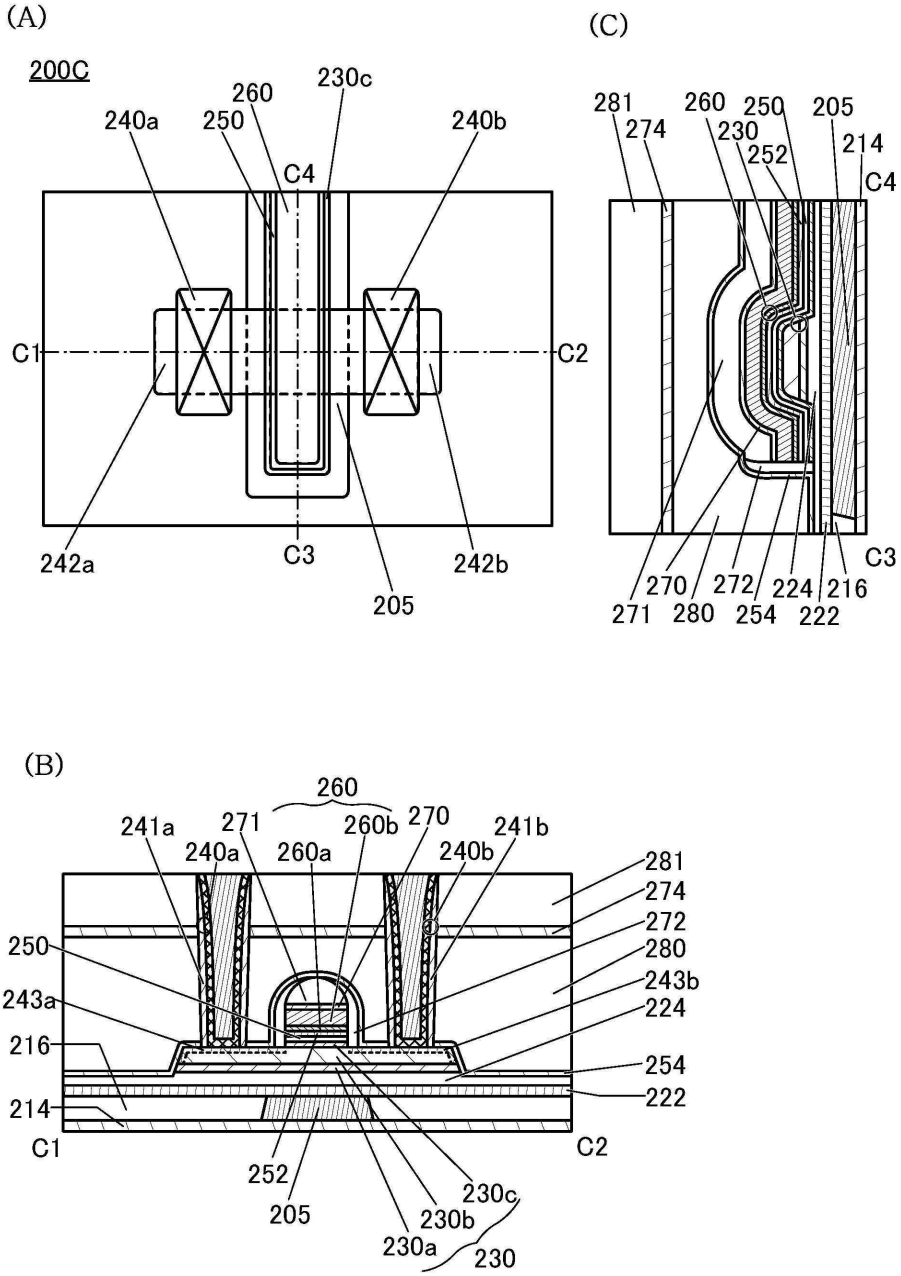
도면30


(A)
200A
240a
250
260
230c
240b
A4
A1
A2
A3
242a
205
242b
(C)
281
260
250
274
230
205
214
A4
A3
280
254
224
222
216
(B)
260
241a
240a
260a
260b
240b
241b
281
274
280
242b
224
254
222
250
242a
216
214
A1
A2
205
230c
230b
230a
230

도면31

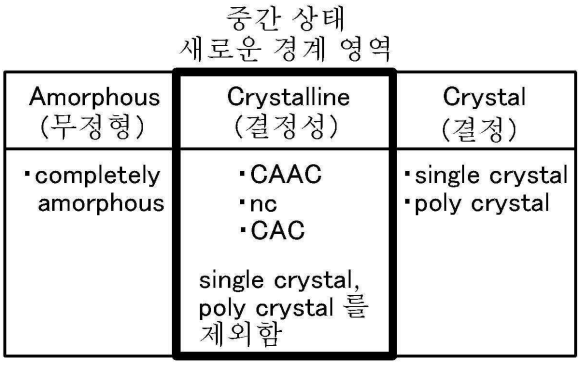

(A)
200B
240a
250
260
230c
240b
B4
B1
B2
B3
242a
242b
205
(C)
281
260
250
205
274
230
214
B4
B3
280
254
224
222
216
(B)
260
241a
240a
260b
260a
240b
241b
281
274
280
242b
224
254
222
250
242a
216
214
B1
B2
205
230c
230b
230a
230

도면32

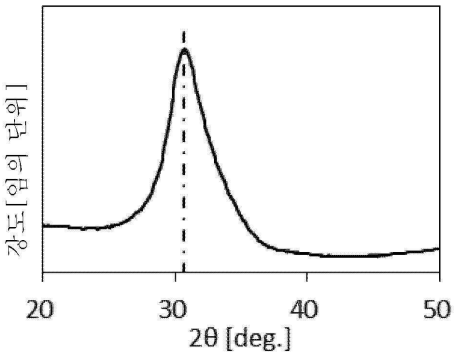

(A)
200C
240a
250
260
230c
240b
C4
C1
C2
C3
242a
242b
205
(C)
281
274
260
250
230
252
205
214
C4
C3
270
271
280
272
254
224
222
216
(B)
260
241a
271
260b
270
241b
240a
260a
240b
281
274
272
280
243b
224
254
222
250
243a
216
214
C1
C2
252
205
230c
230b
230a
230

도면33

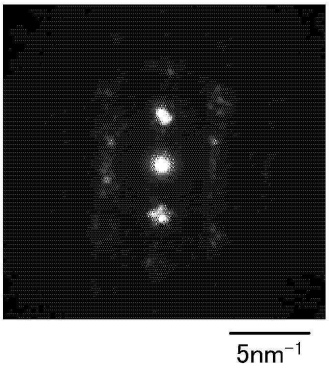
(A)


중간 상태
새로운 경계 영역
Amorphous
(무정형)
Crystalline
(결정성)
Crystal
(결정)
·completely amorphous
·CAAC
·nc
·CAC
single crystal, poly crystal 를 제외함
·single crystal
·poly crystal

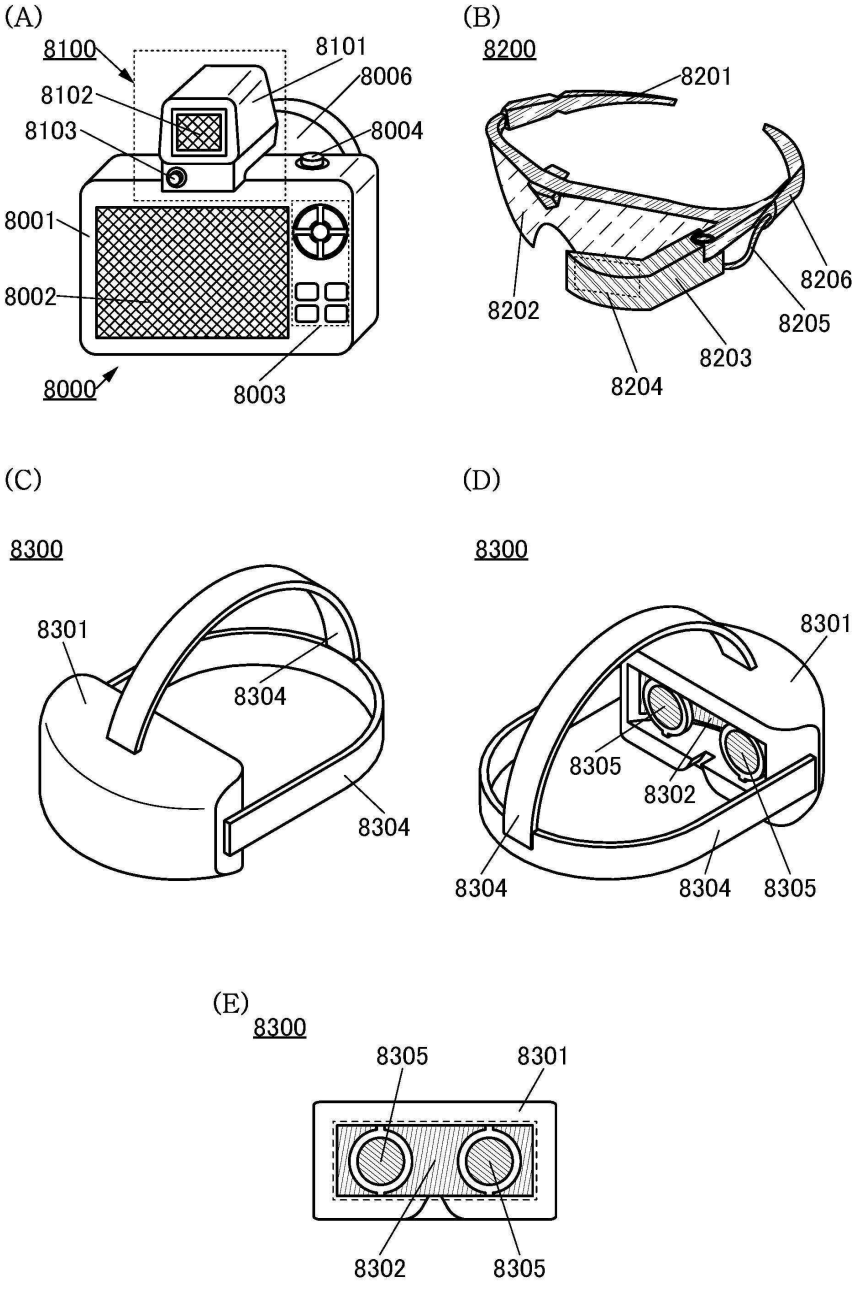
(B)


강도[임의 단위]
20
30
40
50
2θ [deg.]

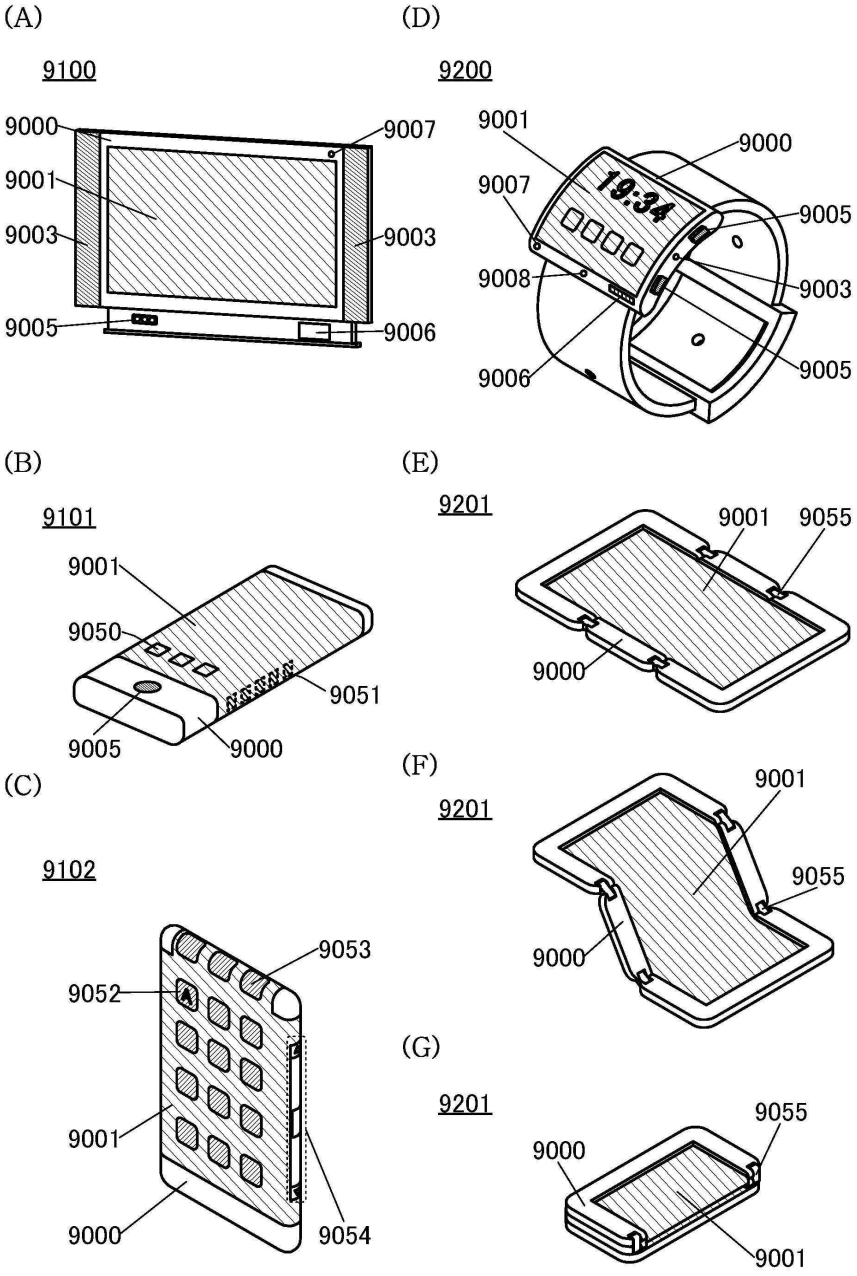
(C)


5nm⁻¹

도면34


(A)
8100
8101
8006
8102
8004
8103
8001
8002
8000
8003
(B)
8200
8201
8206
8202
8205
8203
8204
(C)
8300
8301
8304
8304
(D)
8300
8301
8305
8302
8304
8304
8305
(E)
8300
8305
8301
8302
8305

도면35


(A)
9100
9000
9007
9001
9003
9003
9005
9006
(D)
9200
9001
9000
9007
19:34
9005
9008
9003
9006
9005
(B)
9101
9001
9050
9051
9005
9000
(E)
9201
9001
9055
9000
(C)
9102
9053
9052
9001
9000
9054
(F)
9201
9001
9055
9000
(G)
9201
9055
9000
9001