

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-19461  
(P2005-19461A)

(43) 公開日 平成17年1月20日(2005.1.20)

(51) Int. Cl.<sup>7</sup> F I テーマコード (参考)  
 H O 1 L 29/78 H O 1 L 29/78 3 O 1 D 5 F 1 4 O  
 H O 1 L 29/78 3 O 1 S

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号	特願2003-178384 (P2003-178384)	(71) 出願人	503361248 富士電機デバイステクノロジー株式会社 東京都品川区大崎一丁目11番2号
(22) 出願日	平成15年6月23日 (2003.6.23)	(74) 代理人	100104190 弁理士 酒井 昭徳
		(72) 発明者	山路 将晴 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(72) 発明者	北村 明夫 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(72) 発明者	藤島 直人 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

最終頁に続く

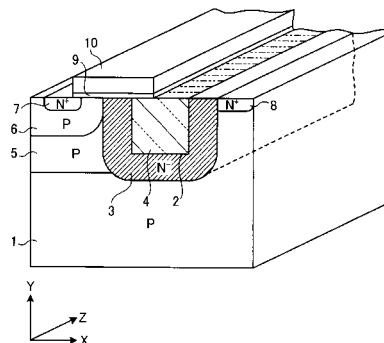
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 トレンチの周囲に最適な濃度の不純物イオンを注入し、拡散させるとともに、幅の広いトレンチ領域内を酸化物等で埋めること。

【解決手段】 半導体基板1に、X方向(ソース-ドレイン方向)に交差するZ方向の長さが1 μm程度の複数のトレンチ2 3をZ方向に並べて形成する。各トレンチ2 3のX方向に交差する側面に対して斜めイオン注入をおこなう。各トレンチ2 3の底面に垂直にイオン注入をおこなう。酸化・ドライブをおこない、各トレンチ2 3内を酸化物で満たすとともに、隣り合うトレンチ2 3間の半導体部分を酸化させることにより、複数のトレンチ2 3がつながった幅の広いトレンチ領域2が、酸化物4で埋められた状態となる。同時に、各トレンチ2 3の周囲に注入されていた不純物がZ方向にも拡散し、トレンチ領域2の周囲に一樣なオフセットドレイン領域3ができる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 導電型の半導体基板の表面層に互いに平行に形成された第 2 導電型のソース領域と第 2 導電型のドレイン領域を有し、かつ前記ドレイン領域と前記ソース領域との間に前記ソース領域から離れた第 2 導電型のドレインドリフト領域を備えた半導体装置を製造するにあたって、

前記半導体基板に、前記ソース領域および前記ドレイン領域の前記平行な方向（以下「第 1 方向」という）の長さが、前記ソース領域および前記ドレイン領域を横切る第 2 の方向の長さよりも小さい複数のトレンチを、前記第 1 の方向に並ぶように形成する工程と、  
各トレンチの、前記第 1 の方向に平行な側面に対して斜めで、かつ前記第 2 の方向に平行な方向から不純物イオンを注入して、前記半導体基板の、各トレンチの側面のうちの前記第 1 の方向に平行な側面に沿う領域にのみ不純物イオンを注入する工程と、  
各トレンチの底面に対して垂直に不純物イオンを注入して、前記半導体基板の、各トレンチの底面に沿う領域に不純物イオンを注入する工程と、  
を含むことを特徴とする半導体装置の製造方法。

10

## 【請求項 2】

前記トレンチを基板表面に対して垂直に形成し、前記トレンチの側面に対して、 $60^\circ$  以下で、かつ

$\tan^{-1} \left( \frac{[\text{前記トレンチの前記第 2 の方向の長さ}]}{([\text{前記トレンチの深さ}] + [\text{イオン注入マスクの厚さ}])} \right)$

20

のイオン打ち込み角度で斜めイオン注入をおこなうことを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 3】

さらに、前記半導体基板を加熱して、前記半導体基板に注入された前記不純物イオンを前記第 1 の方向へ拡散させ、複数の前記トレンチの全体にわたって共通の様な不純物拡散領域を形成する工程を含むことを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

## 【請求項 4】

さらに、前記半導体基板を加熱して、前記半導体基板に注入された前記不純物イオンを拡散させ、個々のトレンチごとに独立した不純物拡散領域を形成する工程を含むことを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

30

## 【請求項 5】

第 1 導電型の半導体基板の表面層に第 2 導電型のソース領域と第 2 導電型のドレイン領域を有し、かつ前記ドレイン領域と前記ソース領域との間に前記ソース領域から離れた第 2 導電型のドレインドリフト領域を備えた半導体装置を製造するにあたって、

前記半導体基板に、前記ソース領域および前記ドレイン領域に平行な第 1 の方向の長さが、前記ソース領域および前記ドレイン領域を横切る第 2 の方向の長さよりも小さい複数のトレンチを、前記第 1 の方向に並ぶように形成する工程と、

前記半導体基板を加熱して各トレンチ内を酸化物で満たすとともに、隣り合うトレンチ間の半導体部分を酸化させる工程と、

40

を含むことを特徴とする半導体装置の製造方法。

## 【請求項 6】

第 1 導電型の半導体基板の表面層に第 2 導電型のソース領域と第 2 導電型のドレイン領域を有し、かつ前記ドレイン領域と前記ソース領域との間に前記ソース領域から離れた第 2 導電型のドレインドリフト領域を備えた半導体装置を製造するにあたって、

前記半導体基板に、前記ソース領域および前記ドレイン領域に平行な第 1 の方向の長さが、前記ソース領域および前記ドレイン領域を横切る第 2 の方向の長さよりも小さい複数のトレンチを、前記第 1 の方向に並ぶように形成する工程と、

前記半導体基板を加熱して前記トレンチの中央部分に隙間を残した状態で前記トレンチの側面および底面に沿って酸化物を形成する工程と、

50

前記トレンチの中央部分に残った前記隙間内に酸化物を堆積させて前記隙間を酸化物で埋める工程と、  
を含むことを特徴とする半導体装置の製造方法。

【請求項7】

前記第1の方向に並ぶ複数の前記トレンチよりなるトレンチ列を、前記第2の方向に複数並ぶように形成することを特徴とする請求項1～6のいずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パワーICなどに使用される横型高耐圧トレンチMOSFETを構成する半導体装置の製造方法に関し、特にトレンチ領域の周囲にオフセットドレイン領域を形成するプロセスにおいて最適な不純物拡散方法およびトレンチ領域内の酸化物の埋め込み方法を提供する半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来よりトレンチ技術は、DRAMなどにおいてキャパシタンスを作製する技術や素子分離のためのSOI技術として、またディスクリットMOSFETのトレンチゲート技術として、種々検討されている。また、近年、パワーICなどに使用される横型高耐圧MOSFETにおいてもトレンチ技術を応用する提案がなされている。

【0003】

横型高耐圧MOSFETの構造の一つに、トレンチの周囲にオフセットドレイン領域を設けたものがある。このようにトレンチの周囲にオフセットドレイン領域を設けるためには、トレンチの周囲に最適な濃度の不純物イオンを注入する技術と、幅の広いトレンチ内に酸化物等の絶縁膜を埋め込む技術が必要である。

【0004】

本発明者らも、トレンチ周囲への不純物イオンの注入技術、および幅の広いトレンチ内への酸化物の埋め込み技術について、先に出願している（たとえば、特許文献1参照。）。

【0005】

【特許文献1】

特開2003-37267号公報

【0006】

【発明が解決しようとする課題】

しかしながら、トレンチの周囲にオフセットドレイン領域を設けるためのイオン注入技術や、幅の広いトレンチを絶縁膜で埋める技術に関して、本発明者らによる提案以外には、実現上有効な提案や報告はほとんどない。前記特許文献1に開示された方法にも、さらなる改善の余地は残されている。

【0007】

本発明は、上記事情に鑑みてなされたものであって、トレンチの周囲にオフセットドレイン領域を有する横型高耐圧トレンチMOSFETを得るために、トレンチの周囲に最適な濃度の不純物イオンを注入、拡散させる方法、および幅の広いトレンチ領域内を酸化物等で埋める方法を含む半導体装置の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる半導体装置の製造方法は、第1導電型の半導体基板の表面層に互いに平行に形成された第2導電型のソース領域と第2導電型のドレイン領域を有し、かつ前記ドレイン領域と前記ソース領域との間に前記ソース領域から離れた第2導電型のドレインドリフト領域を備えた半導体装置を製造するにあたって、前記半導体基板に、前記ソース領域および前記ドレイン領域の前記平行な方向（以下「第1方向」という）の長さが、前記ソース領域および前記ドレイン領域を横切る第2の方向の長さよ

10

20

30

40

50

りも小さい複数のトレンチを、前記第1の方向に並ぶように形成する工程と、各トレンチの、前記第1の方向に平行な側面に対して斜めで、かつ前記第2の方向に平行な方向から不純物イオンを注入して、前記半導体基板の、各トレンチの側面のうちの前記第1の方向に平行な側面に沿う領域にのみ不純物イオンを注入する工程と、各トレンチの底面に対して垂直に不純物イオンを注入して、前記半導体基板の、各トレンチの底面に沿う領域に不純物イオンを注入する工程と、を含むことを特徴とする。

【0009】

この発明において、前記トレンチを基板表面に対して垂直に形成し、前記トレンチの側面に対して、 $60^\circ$ 以下で、かつ $\tan^{-1}([\text{前記トレンチの前記第2の方向の長さ}] / ([\text{前記トレンチの深さ}] + [\text{イオン注入マスクの厚さ}] )$ のイオン打ち込み角度で斜めイオン注入をおこなうようにしてもよい。また、さらに、前記半導体基板を加熱して、前記半導体基板に注入された前記不純物イオンを前記第1の方向へ拡散させ、複数の前記トレンチの全体にわたって共通の様な不純物拡散領域を形成する工程を含む構成としてもよいし、あるいは、前記半導体基板を加熱して、前記半導体基板に注入された前記不純物イオンを拡散させ、個々のトレンチごとに独立した不純物拡散領域を形成する工程を含む構成としてもよい。

10

【0010】

この発明によれば、半導体基板の広い領域にわたって様なドレインドリフト領域、あるいは半導体基板の広い領域にわたって間欠的に複数のドレインドリフト領域を形成することができる。また、トレンチ側面とトレンチ底面とで独立して不純物濃度を制御することができる。

20

【0011】

また、上記目的を達成するため、本発明にかかる半導体装置の製造方法は、第1導電型の半導体基板の表面層に第2導電型のソース領域と第2導電型のドレイン領域を有し、かつ前記ドレイン領域と前記ソース領域との間に前記ソース領域から離れた第2導電型のドレインドリフト領域を備えた半導体装置を製造するにあたって、前記半導体基板に、前記ソース領域および前記ドレイン領域に平行な第1の方向の長さが、前記ソース領域および前記ドレイン領域を横切る第2の方向の長さよりも小さい複数のトレンチを、前記第1の方向に並ぶように形成する工程と、前記半導体基板を加熱して各トレンチ内を酸化物で満たすとともに、隣り合うトレンチ間の半導体部分を酸化させる工程と、を含むことを特徴とする。

30

【0012】

この発明によれば、複数のトレンチにわたって、各トレンチ内に充填された酸化物が、トレンチ間の半導体部分が酸化して相互につながることによって、半導体基板の広い領域に酸化物を埋めこんだ領域を形成することができる。

【0013】

また、上記目的を達成するため、本発明にかかる半導体装置の製造方法は、第1導電型の半導体基板の表面層に第2導電型のソース領域と第2導電型のドレイン領域を有し、かつ前記ドレイン領域と前記ソース領域との間に前記ソース領域から離れた第2導電型のドレインドリフト領域を備えた半導体装置を製造するにあたって、前記半導体基板に、前記ソース領域および前記ドレイン領域に平行な第1の方向の長さが、前記ソース領域および前記ドレイン領域を横切る第2の方向の長さよりも小さい複数のトレンチを、前記第1の方向に並ぶように形成する工程と、前記半導体基板を加熱して前記トレンチの中央部分に隙間を残した状態で前記トレンチの側面および底面に沿って酸化物を形成する工程と、前記トレンチの中央部分に残った前記隙間内に酸化物を堆積させて前記隙間を酸化物で埋める工程と、を含むことを特徴とする。

40

【0014】

この発明によれば、複数のトレンチにわたって、各トレンチ内に形成された酸化物が、トレンチ間の半導体部分が酸化して相互につながり、かつ各トレンチ内に残った隙間が酸化物で充填されることによって、半導体基板の広い領域に酸化物を埋めこんだ領域を形成す

50

ることができる。

【0015】

以上の発明において、前記第1の方向に並ぶ複数の前記トレンチよりなるトレンチ列を、前記第2の方向に複数並ぶように形成してもよい。そうすれば、第2の方向、すなわちソース-ドレイン方向にも広いトレンチ領域を酸化物で埋めることができる。

【0016】

【発明の実施の形態】

以下に、本発明の実施の形態にかかる半導体装置の製造方法について図面を参照しつつ詳細に説明する。

【0017】

実施の形態1

図1は、本発明にかかる半導体装置の製造方法により製造される横型トレンチMOSFETの構成の一例を示す断面斜視図である。図1に示すように、横型トレンチMOSFETは、P型の半導体基板1、トレンチ領域2、N<sup>-</sup>オフセットドレイン領域3、トレンチ領域2内を埋める酸化物4、Pウェル領域5、Pベース領域6、N<sup>+</sup>ソース領域7、N<sup>+</sup>ドレイン領域8、ゲート酸化膜9およびゲート電極10備えている。

【0018】

トレンチ領域2は、半導体基板1の表面部分において、その表面から形成されており、酸化物4で埋められている。N<sup>-</sup>オフセットドレイン領域3はトレンチ領域2の周囲、すなわちトレンチ領域2の側面および底面を囲むように形成されている。Pウェル領域5は、半導体基板1の、トレンチ領域2に対してソース側の表面部分において、N<sup>-</sup>オフセットドレイン領域3の外側に隣接して形成されている。

【0019】

Pベース領域6はPウェル領域5の表面部分に形成されている。N<sup>+</sup>ソース領域7は、Pベース領域6の表面部分において、N<sup>-</sup>オフセットドレイン領域3から離れて形成されている。N<sup>+</sup>ドレイン領域8は、N<sup>-</sup>オフセットドレイン領域3の、トレンチ領域2に対してドレイン側(ソース側の反対側)の表面部分に形成されている。ゲート酸化膜9はN<sup>+</sup>ソース領域7からN<sup>-</sup>オフセットドレイン領域3のソース側部分に至る表面上に形成されている。ゲート電極10はゲート酸化膜9上に形成されている。

【0020】

また、図1では省略されているが、層間絶縁膜、ソース電極、ドレイン電極およびパッシベーション膜が設けられている。層間絶縁膜はゲート電極10およびトレンチ領域2の上部を覆っている。ソース電極はPベース領域6およびN<sup>+</sup>ソース領域7に電気的に接続している。ドレイン電極はN<sup>+</sup>ドレイン領域8に電気的に接続している。パッシベーション膜は半導体装置全体を被覆している。

【0021】

つぎに、図1に示す構成の横型トレンチMOSFETの製造プロセスについて説明する。なお、説明の便宜上、図1に示すように、N<sup>+</sup>ソース領域7およびN<sup>+</sup>ドレイン領域8に平行な方向(第1の方向)をZ方向とし、N<sup>+</sup>ソース領域7およびN<sup>+</sup>ドレイン領域8を横切る方向(第2の方向)をX方向とし、基板深さ方向をY方向とする。

【0022】

図2~図5は、その製造プロセスを説明するための図であり、半導体装置の製造途中の段階における構造を順に示す縦断面図である。まず、P型の半導体基板1を用意し(図2(a)参照)、その半導体基板1を酸化してその表面にたとえば1 $\mu$ mの厚さの酸化膜21を形成する(図2(b)参照)。つづいて、その酸化膜21の上にレジスト22を塗布する(図2(c)参照)。そして、露光、現像をおこなってレジスト22の、トレンチ領域2の形成領域上の部分をスリット状に除去する(図3(d)参照)。

【0023】

ついで、残留したレジスト22をマスクにしてエッチングをおこない、トレンチ領域2を形成する領域の基板表面をスリット状に露出させる(図3(e)参照)。その後、レジス

10

20

30

40

50

ト灰化によりレジスト 22 を除去する ( 図 3 ( f ) 参照 ) 。レジスト灰化後の基板表面を X 方向から見たときの様子、すなわち図 3 ( f ) の A - A における断面図を図 6 に示す。

【 0 0 2 4 】

ついで、基板表面に残留した酸化膜 21 をマスクにしてシリコンエッチングをおこない、半導体基板 1 にたとえば幅 ( X 方向の長さ ) が  $20 \mu\text{m}$  で、深さ ( Y 方向の長さ ) が  $20 \mu\text{m}$  で、奥行き ( Z 方向の長さ ) が  $1 \mu\text{m}$  の複数のトレンチ 23 をたとえば Z 方向に  $1 \mu\text{m}$  間隔で形成する ( 図 4 ( g ) 参照 ) 。

【 0 0 2 5 】

トレンチエッチング後の基板表面を X 方向から見たときの様子、すなわち図 4 ( g ) の B - B における断面図を図 7 に示す。図 7 に示すように、スリット状のトレンチ 23 が Z 方向に並ぶ。なお、図 1 においてトレンチ領域 2 内を埋める酸化物 4 の表面の仮想線 ( 二点鎖線 ) は、この Z 方向に並ぶスリット状のトレンチ 23 を表している。

10

【 0 0 2 6 】

しかる後、各トレンチ 23 の側面のうち、Z 方向に平行な側面、すなわち X 方向と交差する側面 24 に対して斜めの方向から N 型不純物としてたとえばリンイオンを注入する ( 図 4 ( h ) 参照 ) 。このときのイオン注入量はたとえば  $2.8 \times 10^{12} \text{ cm}^{-2}$  である。また、イオン注入角  $\theta$ 、すなわちイオン注入方向とトレンチ 23 の X 方向と交差する側面 24 とのなす角度は、 $60^\circ$  以下であり、かつ次の式で表される。ただし、トレンチ 23 の X 方向および Y 方向の長さをそれぞれ  $L_x$  および  $L_y$  とし、イオン注入マスクの厚さを  $d_y$  とする。

20

【 0 0 2 7 】

$$\theta = \tan^{-1} ( L_x / ( L_y + d_y ) )$$

【 0 0 2 8 】

本実施の形態では、上述したように、トレンチ 23 の X 方向の長さ  $L_x$  および Y 方向の長さ  $L_y$  はともに  $20 \mu\text{m}$  である。また、イオン注入マスク、すなわち酸化膜 21 の厚さ  $d_y$  は  $1 \mu\text{m}$  である。したがって、このような寸法の際のイオン注入角  $\theta$  は、 $\tan^{-1} ( 20 \mu\text{m} / ( 20 \mu\text{m} + 1 \mu\text{m} ) )$  となり、おおよそ  $44^\circ$  となる。

【 0 0 2 9 】

この角度でイオン打ち込みをおこなうことによって、半導体基板 1 の、トレンチ 23 の X 方向と交差する側面 24 にのみリンイオンが注入される。これは、イオンの打ち込み方向から見て、トレンチ 23 の底面はトレンチ 23 の周囲の酸化膜 21 の影になるため、トレンチ 23 の底面にはリンイオンが到達しないが、トレンチ 23 の X 方向と交差する側面 24 は影にならないからである。したがって、トレンチ 23 の X 方向の長さ  $L_x$  と Y 方向の長さ  $L_y$ 、および酸化膜 21 の厚さ  $d_y$  が変わると、それに対応して斜めイオン注入の注入角  $\theta$  も変わることになる。

30

【 0 0 3 0 】

ついで、各トレンチ 23 の底面に対して垂直な方向、すなわちトレンチ 23 の側面に対して  $0^\circ$  の方向から N 型不純物としてたとえばリンイオンを注入する ( 図 4 ( i ) 参照 ) 。この  $0^\circ$  イオン注入では、各トレンチ 23 の底面にのみリンイオンが注入される ( 図 5 ( j ) 参照 ) 。なお、図 4 ( i ) および図 5 ( j ) において、トレンチ 23 の側面および底面に沿う破線は、注入された不純物を表している。

40

【 0 0 3 1 】

ここで、N<sup>-</sup>オフセットドレイン領域 3 の、トレンチ領域 2 の側面に沿う部分と底面に沿う部分とでリンイオンの表面濃度を同一にするため、底面へのイオン注入量を、おおよそ側面へのイオン注入量の  $1/2$  倍とする。したがって、 $0^\circ$  イオン注入時のイオン注入量はたとえば  $2 \times 10^{12} \text{ cm}^{-2}$  である。また、先の斜めイオン注入では、各トレンチ 23 の底面に沿う部分にはリンイオンが注入されないため、トレンチ領域 2 の底面に沿う部分に局所的なリンイオンの高濃度領域が形成されることはない。

【 0 0 3 2 】

ついで、酸化・ドライブをおこない、拡散深さ  $x_j$  がたとえば  $4 \mu\text{m}$  程度となるようにド

50

ライブさせる。このとき、各トレンチ 2 3 間の半導体部分が酸化されて厚さ  $2 \mu\text{m}$  の酸化物が生じる。それによって、各トレンチ 2 3 内が酸化物で充填されるとともに、各トレンチ 2 3 間の半導体部分が完全に酸化物となり、複数のトレンチ 2 3 がつながったトレンチ領域 2 が、酸化物 4 で埋められた状態となる。

#### 【0033】

また、この熱酸化の際に、各トレンチ 2 3 の X 方向と交差する側面 2 4 および底面に注入されていた不純物が Z 方向にも拡散する。それによって、各トレンチ 2 3 の周囲にできる不純物拡散領域が互いにつながり、トレンチ領域 2 の周囲に一樣な  $N^-$  オフセットドレイン領域 3 ができる (図 5 (k) 参照)。

#### 【0034】

ついで、基板表面の酸化膜を除去し (図 5 (l) 参照)、P ウェル領域 5、P ベース領域 6、 $N^+$  ソース領域 7、 $N^+$  ドレイン領域 8、ゲート酸化膜 9 およびゲート電極 10 を周知の方法により形成する。そして、層間絶縁膜、ソース電極、ドレイン電極、ゲート電極およびパッシベーション膜を形成して、図 1 に示す構成の横型トレンチ MOSFET ができあがる。

#### 【0035】

上述した実施の形態 1 によれば、MOSFET のソース・ドレイン間のチャネル幅方向にスリット状の複数のトレンチ 2 3 を形成し、スリット状の複数のトレンチ 2 3 の周囲に最適な濃度の不純物イオンを注入し、拡散させるとともに、幅の広いトレンチ領域 2 内を酸化物 4 で埋めることができる。したがって、幅の広いトレンチ領域 2 の周囲にオフセットドレイン領域 3 を有する横型高耐圧トレンチ MOSFET を得ることができる。また、オフセットドレイン領域 3 の、トレンチ領域 2 の側面に沿う部分と、底面に沿う部分とに別々にイオン注入をおこなうことにより、それぞれの部分の不純物濃度を最適に制御することができる。

#### 【0036】

なお、 $N^-$  オフセットドレイン領域 3 の、トレンチ領域 2 の側面に沿う部分の不純物濃度を、底面に沿う部分の不純物濃度よりも高くしてもよい。あるいは、 $N^-$  オフセットドレイン領域 3 の、トレンチ領域 2 の底面に沿う部分の不純物濃度を、側面に沿う部分の不純物濃度よりも高くしてもよい。

#### 【0037】

たとえば、トレンチ領域 2 の X 方向と交差する側面に沿う部分の不純物濃度を  $2 \times 10^{15} \text{ cm}^{-3}$  とし、底面に沿う部分の不純物濃度を  $3 \times 10^{15} \text{ cm}^{-3}$  となるようにしてもよい。このように、トレンチ領域 2 の底面に沿う部分についてのみ高濃度化しても、耐圧 700 V を達成することができ、底面部の拡散抵抗を下げることができる。したがって、底面と側面のイオン注入を打ち分けることによって、デバイスの耐圧と単位面積当たりのオン抵抗のトレードオフを改善することができる。

#### 【0038】

実施の形態 2 .

実施の形態 2 は、 $N^-$  オフセットドレイン領域 3 を形成するためのイオン注入および酸化・ドライブをおこなった後に、酸化膜を堆積させることにより、トレンチ領域 2 を酸化物 4 で埋める構成のものである。図 8 および図 9 は、それぞれ、実施の形態 2 の製造プロセスを説明するための図であり、半導体装置の製造途中の段階における構造を順に示す断面斜視図および縦断面図である。

#### 【0039】

実施の形態 1 と同様にして、マスク酸化膜 21 をマスクとしてシリコンエッチングをおこない、図 8 に示すように、半導体基板 1 にたとえば幅 (X 方向の長さ) が  $20 \mu\text{m}$  で、深さ (Y 方向の長さ) が  $20 \mu\text{m}$  で、奥行き (Z 方向の長さ) が  $3 \mu\text{m}$  の複数のトレンチ 2 3 をたとえば Z 方向に  $1 \mu\text{m}$  間隔で形成する。特に限定しないが、図 8 に示す例では、10 個のトレンチ 2 3 が形成されている。

#### 【0040】

10

20

30

40

50

ついで、実施の形態 1 と同様にして、各トレンチ 2 3 の X 方向と交差する側面に対する斜めイオン注入と、各トレンチ 2 3 の底面に対するイオン注入をおこなう。ここまでの状態が図 8 に示されている。なお、図 8 において、各トレンチ 2 3 の側面および底面に沿う破線は、注入された不純物を表す。

#### 【0041】

ついで、酸化・ドライブをおこない、トレンチ領域 2 の周囲に一様な N<sup>-</sup> オフセットドレイン領域 3 を形成する。このとき、各トレンチ 2 3 間の半導体部分が酸化されて厚さ 2 μm の酸化物が生じる。それによって、隣り合うトレンチ 2 3 同士の間の半導体部分は完全に酸化物 3 1 となる。しかし、各トレンチ 2 3 内には 1 μm 程度の隙間 3 2 が残り、トレンチ 2 3 内が完全に酸化物で埋められた状態にはならない(図 9 (a) 参照)。

10

#### 【0042】

そこで、基板表面に後 TEOS や HTO などの酸化膜 3 3 を堆積して、各トレンチ 2 3 内の隙間 3 2 を酸化膜 3 3 で埋める(図 9 (b) 参照)。その後、基板表面の酸化膜をエッチバックして除去する。これによって、トレンチ領域 2 が、熱酸化により酸化物 3 1 と堆積による酸化膜 3 3 からなる酸化物 4 で埋められた状態となる(図 9 (c) 参照)。

#### 【0043】

そして、P ウェル領域 5、P ベース領域 6、N<sup>+</sup> ソース領域 7、N<sup>+</sup> ドレイン領域 8、ゲート酸化膜 9 およびゲート電極 10 を周知の方法により形成する。最後に、層間絶縁膜、ソース電極、ドレイン電極およびパッシベーション膜を形成することにより、図 1 に示す構成の横型トレンチ MOSFET ができあがる。

20

#### 【0044】

上述した実施の形態 2 によれば、熱酸化につづいて酸化膜の堆積をおこなうので、より一層、幅の広いトレンチ領域 2 内を酸化物 4 で埋めることができる。したがって、より幅の広いトレンチ領域 2 の周囲にオフセットドレイン領域 3 を有する横型高耐圧トレンチ MOSFET を得ることができる。

#### 【0045】

実施の形態 3 .

実施の形態 3 は、図 10 に示すように、平面形状が X 方向に細長い形状の複数のトレンチ 2 3 を Z 方向に並べたトレンチ列 4 1, 4 2 を、X 方向に複数列並ぶように形成するものである。図 10 および図 11 は、それぞれトレンチエッチング後およびイオン注入後の状態を示す断面斜視図である。

30

#### 【0046】

特に限定しないが、図 10 に示す例では、半導体基板 1 に、Z 方向に 10 個のトレンチが並ぶトレンチ列 4 1, 4 2 が、X 方向に 2 列形成されている。一方のトレンチ列 4 1 と他方のトレンチ列 4 2 との間の半導体部分の幅は、熱酸化によりその半導体部分が完全に酸化物に変化し得る程度であり、たとえば 1 μm である。

#### 【0047】

なお、トレンチ形成時の酸化膜 2 1 のトレンチパターンが図 10 に対応したパターンとなる点を除いて、実施の形態 1 または実施の形態 2 の製造プロセスと同じである。したがって、製造プロセスについての説明を省略する。

40

#### 【0048】

実施の形態 3 によれば、トレンチ 2 3 を Z 方向だけでなく、X 方向にも複数形成するので、X 方向により一層、幅の広いトレンチ領域 2 内を酸化物 4 で埋めることができる。したがって、より幅の広いトレンチ領域 2 の周囲にオフセットドレイン領域 3 を有する横型高耐圧トレンチ MOSFET を得ることができる。また、トレンチ形成後におこなうイオン注入や酸化・ドライブなどの処理の際に、Z 方向に隣り合うトレンチ 2 3 に挟まれて細長く残った半導体部分が倒れるのを防ぐことができる。

#### 【0049】

以上において本発明は、上述した各実施の形態に限らず、種々変更可能である。たとえば、上述した寸法や濃度等の数値は一例であり、本発明はその数値に限定されるものではな

50

い。また、イオン注入および酸化・ドライブにより、 $N^-$ オフセットドレイン領域3が、個々のトレンチ23ごとに独立して存在するようにしてもよい。

【0050】

また、本発明は、第1導電型をN型とし、第2導電型をP型とする場合も同様に成り立つ。また、本発明は、P型基板に限らず、N型基板を用いる場合にも適用できる。また、本発明は、横型高耐圧トレンチMOSFETに限らず、たとえば、ドレイン領域内にドレイン領域は導電型の異なる不純物領域を形成したIGBTなど、トレンチ構造を有する半導体装置においてトレンチを形成する際に広く適用することができる。

【0051】

【発明の効果】

本発明によれば、トレンチの周囲に最適な濃度の不純物イオンを注入し、拡散させるとともに、幅の広いトレンチ領域内を酸化物等で埋めることができる。したがって、幅の広いトレンチ領域の周囲にオフセットドレイン領域を有する横型高耐圧トレンチMOSFETを得ることができる。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の製造方法により製造される半導体装置の一例を示す断面斜視図である。

【図2】本発明の実施の形態1により製造途中の半導体装置の構造を示す縦断面図である。

【図3】本発明の実施の形態1により製造途中の半導体装置の構造を示す縦断面図である。

【図4】本発明の実施の形態1により製造途中の半導体装置の構造を示す縦断面図である。

【図5】本発明の実施の形態1により製造途中の半導体装置の構造を示す縦断面図である。

【図6】図3(f)のA-Aにおける断面図である。

【図7】図4(g)のB-Bにおける断面図である。

【図8】本発明の実施の形態2により製造途中の半導体装置の構造を示す断面斜視図である。

【図9】本発明の実施の形態2により製造途中の半導体装置の構造を示す縦断面図である。

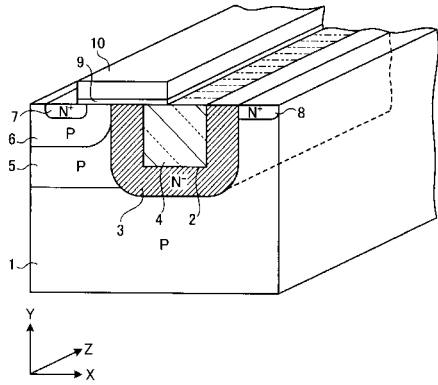
【図10】本発明の実施の形態3により製造途中の半導体装置の構造を示す断面斜視図である。

【図11】本発明の実施の形態3により製造途中の半導体装置の構造を示す断面斜視図である。

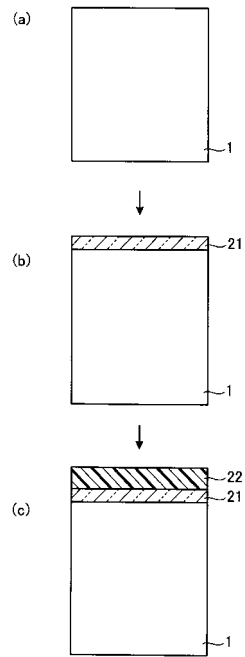
【符号の説明】

- 1 半導体基板
- 2 トレンチ領域
- 3 ドレインドリフト領域、不純物拡散領域（オフセットドレイン領域）
- 4 酸化物
- 7 ソース領域
- 8 ドレイン領域
- 21 イオン注入マスク（酸化膜）
- 23 トレンチ
- 24 第1の方向に平行な側面（X方向と交差する側面）
- 32 隙間
- 33 酸化膜
- 41, 42 トレンチ列

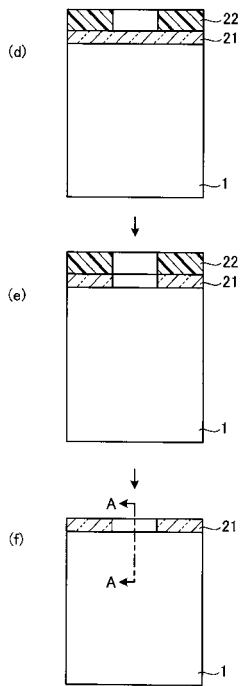
【 図 1 】



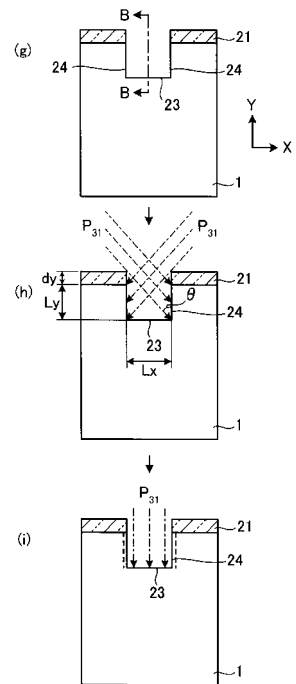
【 図 2 】



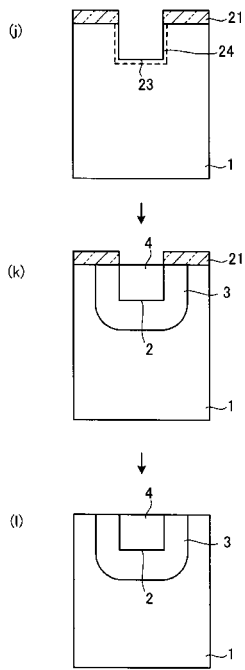
【 図 3 】



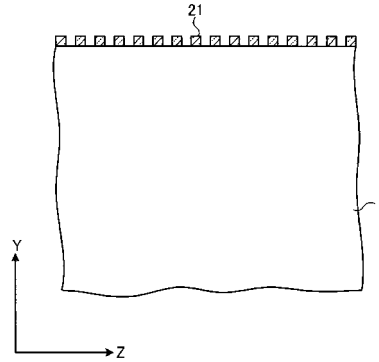
【 図 4 】



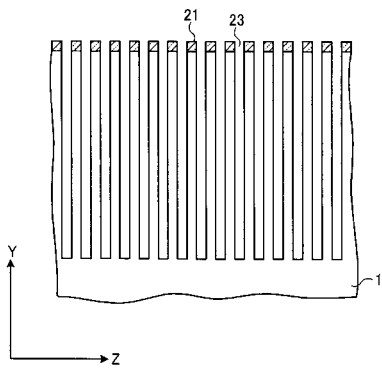
【 図 5 】



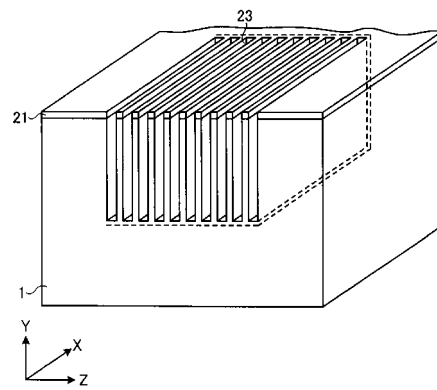
【 図 6 】



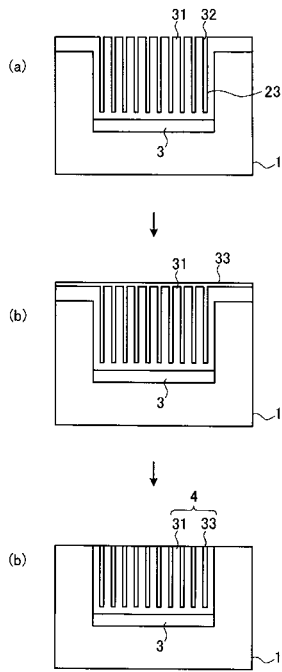
【 図 7 】



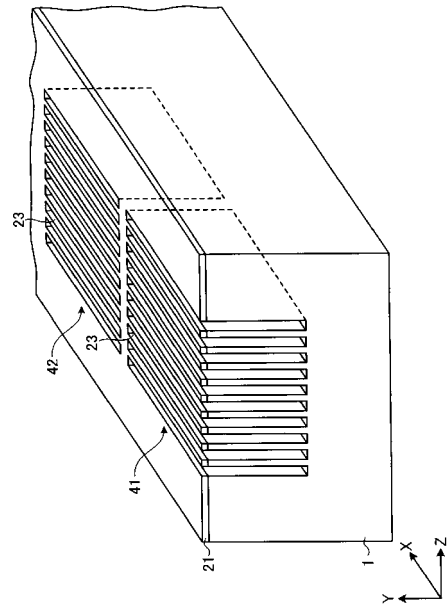
【 図 8 】



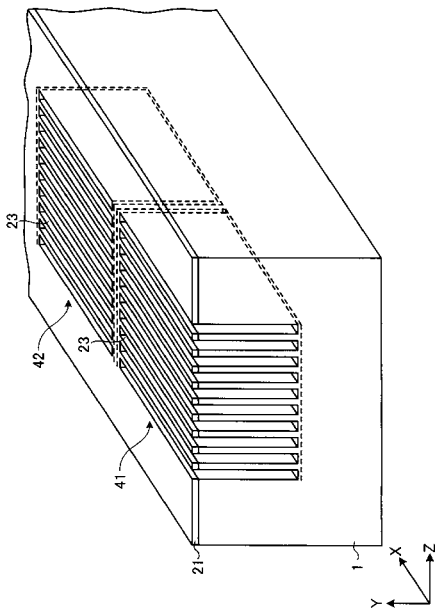
【 図 9 】



【 図 1 0 】



【 図 1 1 】



---

フロントページの続き

Fターム(参考) 5F140 AA00 AA25 AC21 AC22 BH13 BH14 BH30 BH41 BH45 BH47  
BH49 BK02 BK13 BK14 CE06