

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月2日(02.11.2017)



(10) 国際公開番号

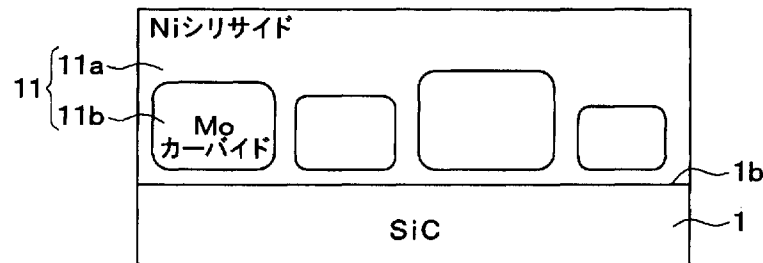
WO 2017/187760 A1

- (51) 国際特許分類:
H01L 21/28 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2017/007590
- (22) 国際出願日: 2017年2月28日(28.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-089578 2016年4月27日(27.04.2016) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 河合 潤(KAWAI Jun); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 杉浦 和彦(SUGIURA Kazuhiko); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 木本 康司(KIMOTO Yasuji); 〒4801192 愛知県長久手市横道4番地の1 株式会社豊田中央研究所内 Aichi (JP). 近藤 嘉代(KONDO Kayo); 〒4801192 愛知県長久手市横道4番地の1 株式会社豊田中央研究所内 Aichi (JP).
- (74) 代理人: 金 順 姫 (JIN Shunji); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 炭化珪素半導体装置およびその製造方法

[図3]



11a Ni silicide
11b Mo carbide

(57) Abstract: Provided is a silicon carbide semiconductor device that includes the following: a semiconductor substrate (1), which has a front surface (1a) and a back surface (1b) and which is constituted from silicon carbide; and an ohmic electrode (11), which is joined in an ohmic manner to the front surface or the back surface of the semiconductor substrate. The ohmic electrode includes a metal silicide (11a) and a metal carbide (11b). The metal silicide surrounds the periphery of the metal carbide, which is formed as blocks. The metal silicide is disposed between the semiconductor substrate and the metal carbide.

(57) 要約: 炭化珪素半導体装置は、表面(1a)および裏面(1b)を有し、炭化珪素で構成された半導体基板(1)と、該半導体基板の前記表面もしくは前記裏面に対してオーミック接合させられたオーミック電極(11)とを有する。前記オーミック電極は、金属シリサイド(11a)と金属カーバイド(11b)を含む。ブロック状で構成された前記金属カーバイドの周囲を前記金属シリサイドが囲んでいる。前記半導体基板と前記金属カーバイドとの間に前記金属シリサイドが配置されている。

[続葉有]



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：炭化珪素半導体装置およびその製造方法

関連出願の相互参照

[0001] 本出願は、2016年4月27日に提出された日本特許出願番号2016-89578号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、炭化珪素（以下、SiCという）で構成される半導体素子のオーミック電極のコンタクト抵抗の低減を実現できるSiC半導体装置およびその製造方法に関するものである。

背景技術

[0003] 従来より、SiC基板を用いて縦型パワーデバイス等の半導体素子を形成する場合、基板抵抗を低減するために、表面側にデバイスを構成する各種不純物層や電極などを形成したのち、SiC基板の裏面側を研削して薄板化することが検討されている。この場合、SiC基板の裏面側を研削したのち、裏面側にオーミック電極を形成することが必要となる。ただし、オーミック電極を形成する際に、既にSiC基板の表面側にデバイスを構成する各種不純物層や電極が形成されていることから、これらに熱的ダメージを与えないようにすることが必要となる。例えば、熱的ダメージを与えないようにする技術として、局所的な加熱を行うことができるレーザアニール技術が使用されている。

[0004] レーザアニールなどを用いてオーミック電極を形成する場合、例えば電極材料としてNi（ニッケル）などを用い、SiCに含まれるSiとの結合によってシリサイド化させることでオーミック接合が得られるようにする。ところが、その一方で、SiCに含まれるCがオーミック電極とSiCとの界面にグラファイトとして析出してしまう。このため、オーミック電極を構成するための電極材料に加えて、Mo（モリブデン）などのカーバイド化する金属を用いることで、グラファイトが生成されることを抑制している（特許

文献 1 参照)。

先行技術文献

特許文献

[0005] 特許文献1：特開 2 0 1 0 - 2 0 5 8 2 4 号公報

発明の概要

[0006] Moカーバイドなどの金属カーバイドはNiシリサイドなどの金属シリサイドと比較して抵抗が高く、金属カーバイドがSiCとの界面に密着するように形成されていて、良好なオーミック特性を得ることができなかった。

[0007] 本開示は、より良好なオーミック特性を得ることができるSiC半導体装置およびその製造方法を提供することを目的とする。

[0008] 本開示の第一の態様において、炭化珪素半導体装置は、表面および裏面を有し、炭化珪素で構成された半導体基板と、該半導体基板の前記表面もしくは前記裏面に対してオーミック接合させられたオーミック電極とを有する。前記オーミック電極は、金属シリサイドと金属カーバイドを含む。ブロック状で構成された前記金属カーバイドの周囲を前記金属シリサイドが囲んでいる。前記半導体基板と前記金属カーバイドとの間に前記金属シリサイドが配置されている。

[0009] 上記の炭化珪素半導体装置において、金属シリサイドを生成した構造において、金属カーバイドが生成されるようにしてグラファイトの析出を抑制できる構造とすることで、コンタクト抵抗の低減を図ることが可能となる。また、金属カーバイドがブロック状となるようにしつつ、金属カーバイドと半導体基板との間の隙間に金属シリサイドが入り込む構造としている。このため、金属シリサイドとSiCとの接触面積が増え、電流経路を拡張することが可能となって、さらにコンタクト抵抗を低減することが可能となる。よって、より良好なオーミック特性が得られる。

[0010] 本開示の第二の態様において、表面および裏面を有し、炭化珪素で構成された半導体基板の前記表面もしくは前記裏面に対してオーミック接合させられるオーミック電極を形成する炭化珪素半導体装置の製造方法は、金属シリ

サイドを生成する金属元素を含む第1金属材料と金属カーバイドを生成する金属元素を含む第2金属材料とを用いて、前記半導体基板の前記表面もしくは前記裏面に対して、前記第1金属材料と前記第2金属材料とを成膜することと、前記第1金属材料と前記第2金属材料に対してエネルギー密度が $1.4 \text{ J} / \text{cm}^2$ 以上のレーザ光を照射することによって、前記第2金属材料に含まれる金属元素と炭化珪素中の炭素とによってブロック状の金属カーバイドを生成すると共に、前記第1金属材料に含まれる金属元素と炭化珪素中の珪素とによって前記金属カーバイドの周囲を囲みつつ、前記半導体基板と前記金属カーバイドとの間に配置されるように前記金属シリサイドを形成することと、を含んでいる。

[0011] 上記の炭化珪素半導体装置の製造方法において、金属シリサイドを生成した構造において、金属カーバイドが生成されるようにしてグラファイトの析出を抑制できる構造とすることで、コンタクト抵抗の低減を図ることが可能となる。また、金属カーバイドがブロック状となるようにしつつ、金属カーバイドと半導体基板との間の隙間に金属シリサイドが入り込む構造としている。このため、金属シリサイドとSiCとの接触面積が増え、電流経路を拡張することが可能となって、さらにコンタクト抵抗を低減することが可能となる。よって、より良好なオーミック特性が得られる。

図面の簡単な説明

[0012] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、第1実施形態にかかるSiC半導体装置の断面図であり、
[図2A]図2Aは、図1に示すSiC半導体装置におけるn⁺型SiC基板とドレイン電極との接触部のNi元素の断面原子マップであり、
[図2B]図2Bは、図2Aを線図で表した図であり、
[図3]図3は、図1に示すSiC半導体装置におけるn⁺型SiC基板とドレイン電極との接触部の断面模式図であり、
[図4]図4(a)から図4(d)は、図1に示すSiC半導体装置におけるド

レイン電極の形成工程を示した断面図であり、

[図5]図5は、エネルギー密度とコンタクト抵抗との関係を示した図であり、

[図6A]図6Aは、比較例として示した n^+ 型SiC基板とドレイン電極との接触部のN元素の断面原子マップであり、

[図6B]図6Bは、図6Aを線図で表した図であり、

[図7]図7は、比較例における n^+ 型SiC基板とドレイン電極との接触部の断面模式図であり、

[図8A]図8Aは、レーザ光のエネルギー密度を 0.7 J/cm^2 としたときの元素分析を行った結果を示す図であり、

[図8B]図8Bは、レーザ光のエネルギー密度を 1.0 J/cm^2 としたときの元素分析を行った結果を示す図であり、

[図8C]図8Cは、レーザ光のエネルギー密度を 1.4 J/cm^2 としたときの元素分析を行った結果を示す図であり、

[図8D]図8Dは、レーザ光のエネルギー密度を 1.6 J/cm^2 としたときの元素分析を行った結果を示す図であり、

[図8E]図8Eは、レーザ光のエネルギー密度を 1.8 J/cm^2 としたときの元素分析を行った結果を示す図であり、

[図8F]図8Fは、レーザ光のエネルギー密度を 2.0 J/cm^2 としたときの元素分析を行った結果を示す図である。

発明を実施するための形態

[0013] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0014] (第1実施形態)

以下、本開示を図に示す実施形態について説明する。まず、図1を参照して、本実施形態にかかるSiC半導体装置について説明する。本実施形態では、縦型の半導体素子としてのプレーナ型の縦型パワーMOSFETを備えるSiC半導体装置について説明する。本SiC半導体装置は、例えばイン

バータに適用すると好適なものである。

[0015] 縦型パワーMOSFETは、 n^+ 型SiC基板1を用いて形成されている。

n^+ 型SiC基板1は、上面を主表面1aとし、主表面1aの反対面である下面を裏面1bとしており、単結晶SiCからなるものである。例えば、 n^+ 型SiC基板1として、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のものをを用いている。

[0016] n^+ 型SiC基板1の主表面1a上には、 n^+ 型SiC基板1よりも低いドーパント濃度を有するSiCにて構成された n^- 型エピタキシャル層（以下、 n^- 型エピ層という）2が積層されている。

[0017] n^- 型エピ層2の表層部における所定領域には、所定深さを有する p^- 型ベース領域3a、3bが互いに離れて形成されている。また、 p^- 型ベース領域3a、3bには、一部厚さが厚くなったディープベース層30a、30bが備えられている。このディープベース層30a、30bは、後述する n^+ 型ソース領域4a、4bに重ならない部分に形成されている。そして、 p^- 型ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みの厚くなった部分が、ディープベース層30a、30bが形成されていない厚みの薄い部分よりも不純物濃度が濃くなっている。このようなディープベース層30a、30bを形成することによって、 n^+ 型SiC基板1とディープベース層30a、30bとの間の電界強度を高くすることができ、この位置でアバランシェブレークダウンさせ易くすることができる。

[0018] p^- 型ベース領域3aの表層部における所定領域には、当該 p^- 型ベース領域3aよりも浅い n^+ 型ソース領域4aが形成されている。また、 p^- 型ベース領域3bの表層部における所定領域には、当該 p^- 型ベース領域3bよりも浅い n^+ 型ソース領域4bが形成されている。

[0019] さらに、 n^+ 型ソース領域4aと n^+ 型ソース領域4bとの間における n^- 型エピ層2および p^- 型ベース領域3a、3bの表面部には n^- 型層5aおよび n^+ 型層5bからなる n 型SiC層5が延設されている。つまり、 p^- 型ベース領域3a、3bの表面部においてソース領域4a、4bと n^- 型エピ層2とを繋ぐように n 型SiC層5が配置されている。この n 型SiC層5は、デバイス

の動作時にデバイス表面においてチャネル形成層として機能する。以下、 n 型SiC層5を表面チャネル層という。

[0020] 表面チャネル層5は、例えば n -型エピ層2および p -型ベース領域3a、3bの表面部に n 型不純物をイオン注入することで形成されている。表面チャネル層5のうち p -型ベース領域3a、3bの上部に配置された n -型層5aのドーパント濃度は、 n -型エピ層2および p -型ベース領域3a、3bのドーパント濃度以下となっている。また、 n -型エピ層2の表面部に形成された n +型層5bのドーパント濃度は、 n -型エピ層2よりも高濃度とされている。これにより、低オン抵抗化が図られている。

[0021] また、 p -型ベース領域3a、3b、 n +型ソース領域4a、4bの表面部には凹部6a、6bが形成されており、凹部6a、6bの底部から p 型不純物濃度が濃いディープベース層30a、30bが露出させられている。

[0022] 表面チャネル層5の上面および n +型ソース領域4a、4bの上面にはシリコン酸化膜などで構成されるゲート絶縁膜7が形成されている。さらに、ゲート絶縁膜7の上にはゲート電極8が形成されており、ゲート電極8はシリコン酸化膜などで構成される絶縁膜9にて覆われている。その上にはソース電極10が形成され、ソース電極10は n +型ソース領域4a、4bおよび p -型ベース領域3a、3bに接続されている。

[0023] また、 n +型SiC基板1の裏面1bには、ドレイン電極11が形成されている。ドレイン電極11は、 n +型SiC基板1の裏面1bに対してオーミック接合されたオーミック電極となっている。ドレイン電極11は、Ni、Co（コバルト）、Nb（ニオブ）のように金属シリサイドを形成する第1金属材料と、Mo、Ti（チタン）、Nb、W（タングステン）、Ta（タンタル）のように金属カーバイドを形成する第2金属材料とを用いて構成されている。なお、ここでは、第1金属材料としてNi、第2金属材料としてMoを用いた場合を例に挙げて説明する。

[0024] オーミック電極を構成するドレイン電極11の接触部を拡大すると、図2Aおよび図2Bに示す状態になっている。また、この図を模式的に示すと、

図3のような状態になっている。

[0025] 図2A、図2Bおよび図3に示すように、本実施形態では、ドレイン電極11は、NiがSiと結合したNiシリサイド11aとMoがCと結合したMoカーバイド11bとを含んだ構成とされている。

[0026] Moカーバイド11bは、Moカーバイドにて構成され、結晶性を有したブロック状のもので構成されており、ドレイン電極11のうちSiCとの界面近傍に点在している。より詳しくは、図3に示すように、n⁺型SiC基板1の裏面にはブロック状のMoカーバイド11bが点在させられている。ここでいうブロック状とは、一纏まりになっている状態を意味しており、大きさおよび形状については任意である。Moカーバイド11bは、各ブロックの最大寸法が例えば3nm以上40nm以下のもので構成される。

[0027] Niシリサイド11aは、Ni-Siが非晶質の状態で存在しており、ドレイン電極11のうち少なくともSiCとの界面に接するように形成されている。具体的には、Niシリサイド11aは、Moカーバイド11bの周囲を囲むように形成されており、かつ、Moカーバイド11bとSiCとの間に介在するように形成されている。つまり、Moカーバイド11bがn⁺型SiC基板1の裏面から離れた状態となっており、Moカーバイド11bとn⁺型SiC基板1の裏面との間の隙間にNiシリサイド11aが入り込んだ状態になっている。

[0028] Moカーバイド11bとn⁺型SiC基板1の裏面との間に入り込んだNiシリサイド11aの厚さ、換言すればMoカーバイド11bとn⁺型SiC基板1との距離は、例えば1nm以上3nm以下となっている。なお、ここでいうNiシリサイド11aの厚みについては、Moカーバイド11bとn⁺型SiC基板1との間の距離が最短距離となる位置での厚みを示している。

[0029] 以上のような構造によって、本実施形態にかかる縦型の半導体素子を備えたSiC半導体装置が構成されている。

[0030] 次に、図1に示す縦型パワーMOSFETの製造方法について説明する。ただし、本実施形態にかかる縦型パワーMOSFETの基本的な製造方法に

関しては従来と同様であるため、従来と異なるドレイン電極 11 の形成方法について主に説明する。

[0031] 本実施形態にかかる縦型パワーMOSFETは、図4(a)から図4(d)に示す各製造工程を経て製造される。

[0032] まず、図4(a)に示すように、例えば $350\mu\text{m}$ の厚みで構成された n^+ 型SiC基板1を用意する。 n^+ 型SiC基板1は、例えば n 型不純物をドーピングしたSiCインゴットをスライスしたのち研磨することによって製造される。そして、図示しないが、 n^+ 型SiC基板1の表面側に半導体素子の構成要素の少なくとも一部を形成するデバイス形成工程を行う。すなわち、 n -型エピ層2をエピタキシャル成長させたのち、図示しないマスクを用いたイオン注入により、 p -型ベース領域3a、3bやディープベース層30a、30bの形成工程、 n^+ 型ソース領域4a、4bの形成工程、表面チャネル層5の形成工程を行う。さらに、ゲート絶縁膜7の形成工程、ゲート電極8の形成工程、絶縁膜9の形成工程およびソース電極10の形成工程等を行うことで、デバイスとして縦型パワーMOSFETの各構成要素を形成する。

[0033] 図示しないが、研削研磨によって n^+ 型SiC基板1の裏面1b側の一部を除去し、 n^+ 型SiC基板1を薄膜化する。そして、図4(b)～図4(d)に示す工程を行うことで、薄膜化後の n^+ 型SiC基板1の裏面1b上にドレイン電極11を形成する工程を行う。

[0034] 具体的には、図4(b)に示す工程として、薄膜化後の n^+ 型SiC基板1の裏面1bに対して金属薄膜110を形成する。例えば、 n^+ 型SiC基板1の裏面1b上にMoなどの第2金属材料110bとNiなどの第1金属材料110aを順番に形成することにより、 n^+ 型SiC基板1の裏面1b上に金属薄膜110を形成する。第1金属材料110aとしてNiを用い、第2金属材料110bとしてMoを用いる場合には、例えば、Niの膜厚を 100nm 、Moの膜厚を 70nm としている。これら第1金属材料110aや第2金属材料110bについては、例えば蒸着やスパッタリングによって形成している。

- [0035] 次に、図4(c)に示す工程として、金属薄膜110にレーザ光50を照射することによりレーザアニールを行う。例えば、LD励起固体レーザなどの固体レーザを用いて、スキャンしながらX-Y平面上において金属薄膜110が形成されたn⁺型SiC基板1を走査し、レーザ光50をn⁺型SiC基板1の裏面1b側に照射する。例えば、チップ単位でレーザ光照射を行うという局所的なレーザアニールを行っている。このように、レーザアニールのような局所的なアニールとすることで、レーザ照射されていない領域の高温化を抑制できる低温プロセスによってドレイン電極11をオーミック接合させることが可能となる。このため、n⁺型SiC基板1の表面1a側に形成されたデバイスへの影響を抑制することが可能となる。
- [0036] このとき、例えば基本波長が1064nmの固体レーザを用い、波長変換アダプタにて3倍波となる355nmもしくは4倍波となる266nmの波長に変換したものをレーザ光50として用いている。これらの波長とすることで、レーザ光50がSiCを透過しないようにできる。また、レーザ光50のエネルギー密度を1.4J/cm²以上、例えば1.4~2.0J/cm²としている。
- [0037] これにより、第1金属材料110aを構成する金属元素とn⁺型SiC基板1に含まれるSiとをシリサイド化反応させて、金属シリサイドを生成することができる。また、第2金属材料110bを構成する金属元素とn⁺型SiC基板1に含まれるCとが反応し、金属カーバイドが生成される。本実施形態のように、第1金属材料110aをNiで構成し、第2金属材料110bをMoで構成する場合、図2および図3に示すように、金属シリサイドとしてNiシリサイド11aが生成され、金属カーバイドとしてMoカーバイド11bが生成される。このように、第1金属材料110aのみでなく、第2金属材料110bを用いることで、金属カーバイドが生成されるようにできるため、第2金属材料110bを用いない場合のようにグラファイトが析出することを抑制できる。したがって、グラファイトが析出したときに生じるコンタクト抵抗の増加を抑制することが可能となる。

[0038] このようにして、図4（d）に示すようなドレイン電極11が形成されるが、ドレイン電極11を形成する際のレーザアニール時に、レーザ光50のエネルギー密度を $1.4 \text{ J} / \text{cm}^2$ 以上に設定している。このため、図2および図3に示したように、Moカーバイド11bをブロック状のものにできると共に、Niシリサイド11aにてMoカーバイド11bの周囲を囲み、Moカーバイド11bとSiCとの間にNiシリサイド11aが入り込むような構造にできる。これについて、実験結果を参照して説明する。

[0039] 本発明者らは、金属シリサイドを生成する金属材料と金属カーバイドを生成する金属材料を用い、固体レーザによるレーザアニールにおいて、レーザ光50のエネルギー密度を変化させて、ドレイン電極11のコンタクト抵抗について調べた。ここではレーザ光50のエネルギー密度を $0.4 \sim 2.0 \text{ J} / \text{cm}^2$ の間において変化させて実験を行った。その結果、本発明者らはエネルギー密度に応じてドレイン電極11のコンタクト抵抗が変化することを見出した。

[0040] 図5は、実験を行った試料ごとの結果をプロットした図である。この図に示されるように、エネルギー密度に応じてドレイン電極11のコンタクト抵抗が変化していることが判る。具体的には、レーザ光50のエネルギー密度を $0.4 \text{ J} / \text{cm}^2$ としたときには、コンタクト抵抗が $0.1 \Omega \cdot \text{cm}^2$ より大きな値となっており、エネルギー密度が $1.0 \text{ J} / \text{cm}^2$ 程度までは $0.05 \Omega \cdot \text{cm}^2$ 程度と比較的大きな値となっていた。これに対して、エネルギー密度が $1.4 \sim 1.6 \text{ J} / \text{cm}^2$ 範囲では、コンタクト抵抗が $0.0001 \Omega \cdot \text{cm}^2$ 以下まで低減されていた。さらにエネルギー密度が高くなると、コンタクト抵抗が若干上昇するものの、ほぼ $0.0001 \Omega \cdot \text{cm}^2$ 程度となっていて、コンタクト抵抗が低くなっていることが判る。

[0041] さらに、このような結果が得られる原因について調べるために、本発明者らは、ドレイン電極11のうちSiCとの接触部の構造について調べた。上記した図2および図3は、レーザ光50のエネルギー密度を $1.6 \text{ J} / \text{cm}^2$ としたときの様子を示している。また、図6A、図6Bおよび図7は、レー

ザ光50のエネルギー密度を $1.0 \text{ J} / \text{cm}^2$ としたときの様子を示している。

[0042] 図2および図3に示すように、レーザ光50のエネルギー密度を $1.4 \text{ J} / \text{cm}^2$ 以上としたときには、ブロック状のMoカーバイド11bが n^+ 型SiC基板1の裏面1bから離れた状態となっていた。そして、Moカーバイド11bと n^+ 型SiC基板1の裏面1bとの間の隙間にNiシリサイド11aが入り込んだ状態になっていた。これに対して、図6A、図6Bおよび図7に示すように、レーザ光50のエネルギー密度を $1.0 \text{ J} / \text{cm}^2$ 以下としたときには、Moカーバイド11bが n^+ 型SiC基板1の裏面に密着した状態となっていた。このような構造上の相違が出るのは、レーザ光50のエネルギー密度によってNiのマイグレーションに差が出るためと考えられる。レーザ光50のエネルギー密度を $1.4 \text{ J} / \text{cm}^2$ 以上にすると、マイグレーションによってNiがMoカーバイド11bと n^+ 型SiC基板1の裏面1bとの間に回り込み、この間にもシリサイド11aが生成される。このため、図2および図3のような構造が実現されると推測される。

[0043] また、より詳細にドレイン電極11のうちSiCとの接触部の様子を調べるために、オージェ電子分光法（AES: Auger Electron Spectroscopy）により、レーザ光50のエネルギー密度が $0.7 \sim 2.0 \text{ J} / \text{cm}^2$ とした場合について元素分析を行った。具体的には、ドレイン電極11のうちMoカーバイド11bが形成されている位置を通る断面において、元素分析を行った。その結果、図8A～図8Fに示す結果が得られた。

[0044] 図8A～図8Fにおいて、Si、Cの強度が高くなっている部分が n^+ 型SiC基板1、Ni、Moの強度が高くなっている部分がドレイン電極11を示している。図8Aおよび図8Bに示されるように、レーザ光50のエネルギー密度を 0.7 、 $1.0 \text{ J} / \text{cm}^2$ としたときには、ドレイン電極11のうち n^+ 型SiC基板1との境界位置の部分はMoで占められており、Niは殆ど存在していない状態になっている。この結果からも、レーザ光50のエネルギー密度を $1.0 \text{ J} / \text{cm}^2$ 以下としたときには、Moカーバイド11bが

S i C基板1の裏面に密着した状態となっていることが判る。

[0045] これに対して、図8C～図8Fに示されるように、レーザ光50のエネルギー密度が $1.4 \sim 2.0 \text{ J} / \text{cm}^2$ としたときには、図中矢印で示したように、ドレイン電極11のうち n^+ 型S i C基板1との境界位置の部分にN iが存在していることが確認できる。この結果からも、レーザ光50のエネルギー密度を $1.4 \text{ J} / \text{cm}^2$ 以上としたときには、Moカーバイド11bと n^+ 型S i C基板1の裏面との間の隙間にN iシリサイド11aが入り込んだ状態になっていることが判る。

[0046] このように、ドレイン電極11のうち n^+ 型S i C基板1との接触部において、N iシリサイド11aがMoカーバイド11bとS i Cとの間に入り込んだ構造になっている。このため、N iシリサイド11aとS i Cとの接触面積が増え、電流経路を拡張することが可能となって、上記のようにコンタクト抵抗を低減することが可能になったと考えられる。そして、このような構造をレーザ光50のエネルギー密度を $1.4 \text{ J} / \text{cm}^2$ 以上としたレーザアニールによって実現している。したがって、局所的な加熱を行うことでデバイスへのダメージを抑制しつつ、よりコンタクト抵抗の低減を図ることが可能となる。

[0047] この後の工程については図示しないが、ブレードダイシング等によってデバイス形成を行った n^+ 型S i C基板1をチップ単位に分割する。これにより、本実施形態にかかる図1に示した縦型パワーMOSFETを備えたS i C半導体装置が完成する。

[0048] 以上説明したように、本実施形態では、オーミック電極となるドレイン電極11のうち n^+ 型S i C基板1の裏面1bとの接触部をN iシリサイド11aとMoカーバイド11bとによって構成している。そして、Moカーバイド11bが n^+ 型S i C基板1の裏面1bから離れ、N iシリサイド11aがMoカーバイド11bと n^+ 型S i C基板1の裏面1bとの間に介在する構造となるようにしている。

[0049] このように、N iシリサイド11aを生成した構造において、Moカーバ

イド11bが生成されるようにしてグラファイトの析出を抑制できる構造とすることで、コンタクト抵抗の低減を図ることが可能となる。また、Moカーバイド11bが結晶性を有するブロック状となるようにしつつ、Moカーバイド11bとn⁺型SiC基板1の裏面1bとの間の隙間にNiシリサイド11aが入り込む構造としている。このため、Niシリサイド11aとSiCとの接触面積が増え、電流経路を拡張することが可能となって、さらにコンタクト抵抗を低減することが可能となる。よって、より良好なオーミック特性が得られる。

[0050] (他の実施形態)

例えば、第1実施形態では、SiC基板の表面側に各構成要素が形成されるデバイスの裏面側のオーミック電極を例に挙げて説明した。しかしながら、上記第1実施形態で説明した構造についてはSiC基板の表面側に各構成要素が形成される裏面側にのみ適用できるのではなく、SiCに対してオーミック電極を形成する構造であれば、どのような部位についても適用できる。例えば、SiC基板の表面側にオーミック電極を形成する場合についても適用可能である。その場合においても、デバイスの各構成要素を形成してからオーミック電極を形成する構成とする場合には、レーザアニールを用いるようにすることで、局所的な加熱が可能となって、デバイスへの影響を抑制することが可能となる。

[0051] また、第1実施形態では、金属カーバイドとSiCとの間の隙間に金属シリサイドが入り込む構造を実現する製造工程の一例として、レーザアニールを例に挙げた。レーザアニールは局所的な加熱が行えて、デバイスへの影響を抑制できるという効果がある点で有効であるが、レーザアニールによらずに他の方法、例えばランプアニールなどによって上記構造を実現しても、上記第1実施形態と同様の効果を得ることができる。また、レーザアニールの一例として固体レーザを用いることについて説明したが、固体レーザに限ることはなく、例えばエキシマレーザなどを用いることもできる。エキシマレーザを用いる場合には、例えば248nm、308nmの波長のものを用い

つつ、エネルギー密度を 1.4 J/cm^2 以上に設定すると好ましい。

[0052] また、上記第1実施形態では、半導体素子として縦型パワーMOSFETを備えたSiC半導体装置を例に挙げて説明したが、これも単なる一例であり、ダイオードやIGBTなどの他の半導体素子を備えるようにしても良い。すなわち、SiCにて構成される半導体基板に対して形成される半導体素子に対してオーミック電極が備えられるようなSiC半導体装置であれば、どのようなものであっても良い。

[0053] また、上記したように、第1金属材料110aとしては、Ni、Co、Nbのように金属シリサイドを形成するもの、第2金属材料110bとしては、Mo、Ti、Nb、W、Taのように金属カーバイドを形成するものを用いることができる。これらの金属の中で、第1金属材料と第2金属材料のいずれにも用いることができる材料については、材料の組み合わせにより、金属シリサイドを形成したり金属カーバイドを形成したりする。例えば、Ti、Nbについては、Niと組み合わせされると第2金属材料としての役割を果たして金属カーバイドを構成するが、W、Taなどと組み合わせると第1金属材料としての役割を果たして金属シリサイドを構成する。

[0054] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

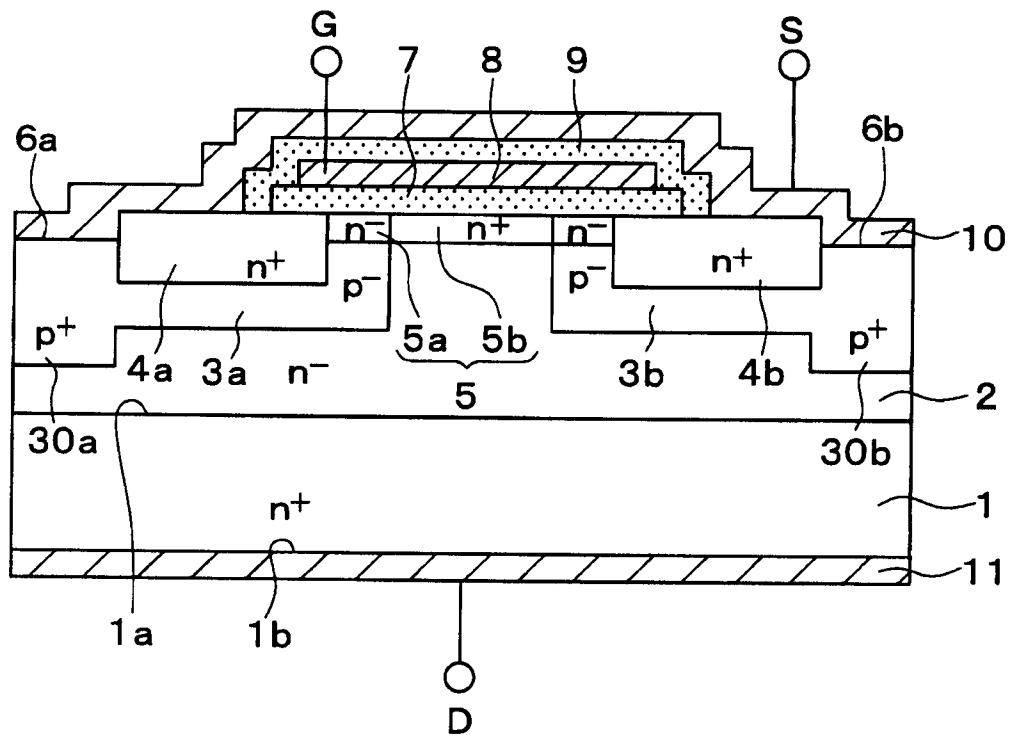
- [請求項1] 表面（1 a）および裏面（1 b）を有し、炭化珪素で構成された半導体基板（1）と、
該半導体基板の前記表面もしくは前記裏面に対してオーミック接合させられたオーミック電極（1 1）とを有し、
前記オーミック電極は、金属シリサイド（1 1 a）と金属カーバイド（1 1 b）を含み、
ブロック状で構成された前記金属カーバイドの周囲を前記金属シリサイドが囲んでおり、
前記半導体基板と前記金属カーバイドとの間に前記金属シリサイドが配置されている炭化珪素半導体装置。
- [請求項2] 前記金属カーバイドは結晶性を有している請求項1に記載の炭化珪素半導体装置。
- [請求項3] 前記金属シリサイドは非晶質である請求項1または2に記載の炭化珪素半導体装置。
- [請求項4] ブロック状で構成された前記金属カーバイドの各ブロックは、最大寸法が3 nm以上かつ40 nm以下となっている請求項1ないし3のいずれか1つに記載の炭化珪素半導体装置。
- [請求項5] 前記金属シリサイドのうち前記半導体基板と前記金属カーバイドとの間に位置する部分の厚みは1 nm以上かつ3 nm以下となっている請求項1ないし4のいずれか1つに記載の炭化珪素半導体装置。
- [請求項6] 前記金属シリサイドはNiシリサイド（1 1 a）を含み、
前記金属カーバイドはMoカーバイド（1 1 b）を含んでいる請求項1ないし5のいずれか1つに記載の炭化珪素半導体装置。
- [請求項7] 表面（1 a）および裏面（1 b）を有し、炭化珪素で構成された半導体基板（1）の前記表面もしくは前記裏面に対してオーミック接合させられるオーミック電極（1 1）を形成する炭化珪素半導体装置の製造方法であって、

金属シリサイド（11a）を生成する金属元素を含む第1金属材料（110a）と金属カーバイド（11b）を生成する金属元素を含む第2金属材料（110b）とを用いて、前記半導体基板の前記表面もしくは前記裏面に対して、前記第1金属材料と前記第2金属材料とを成膜することと、

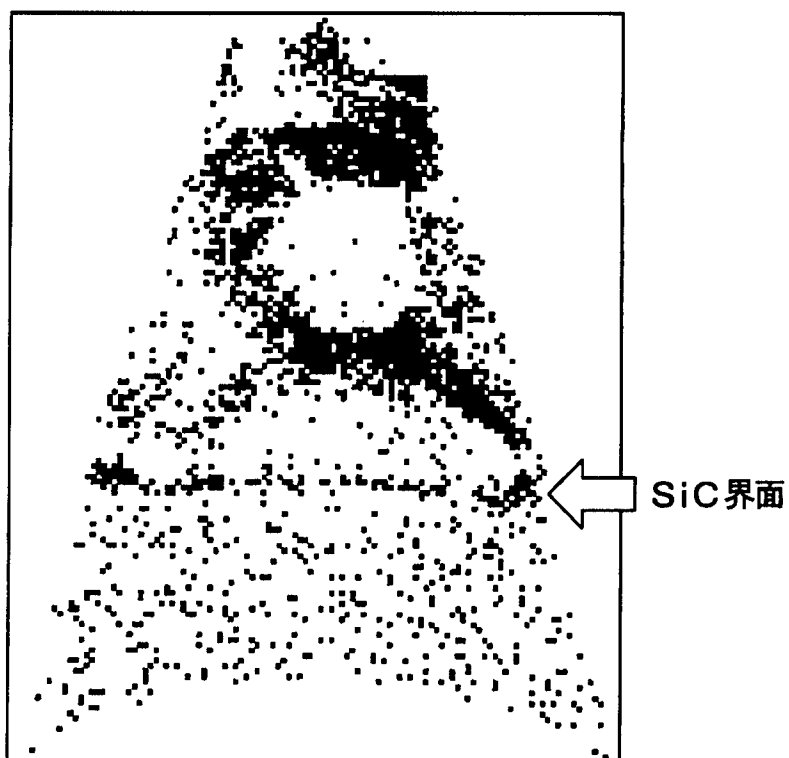
前記第1金属材料と前記第2金属材料に対してエネルギー密度が $1.4 \text{ J} / \text{cm}^2$ 以上のレーザ光（50）を照射することによって、前記第2金属材料に含まれる金属元素と炭化珪素中の炭素とによってブロック状の金属カーバイドを生成すると共に、前記第1金属材料に含まれる金属元素と炭化珪素中の珪素とによって前記金属カーバイドの周囲を囲みつつ、前記半導体基板と前記金属カーバイドとの間に配置されるように前記金属シリサイドを形成することと、を含んでいる炭化珪素半導体装置の製造方法。

[請求項8] 前記レーザ光のエネルギー密度を $2.0 \text{ J} / \text{cm}^2$ 以下とする請求項7に記載の炭化珪素半導体装置の製造方法。

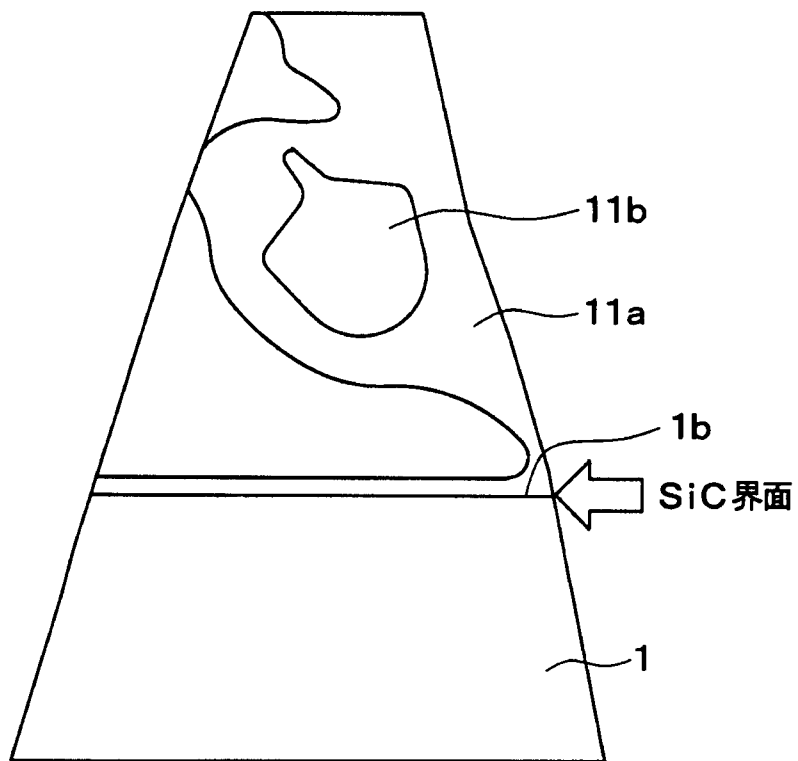
[図1]



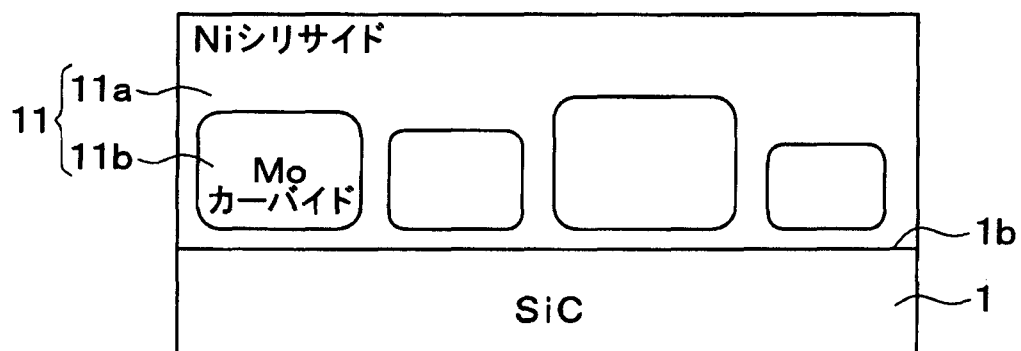
[図2A]



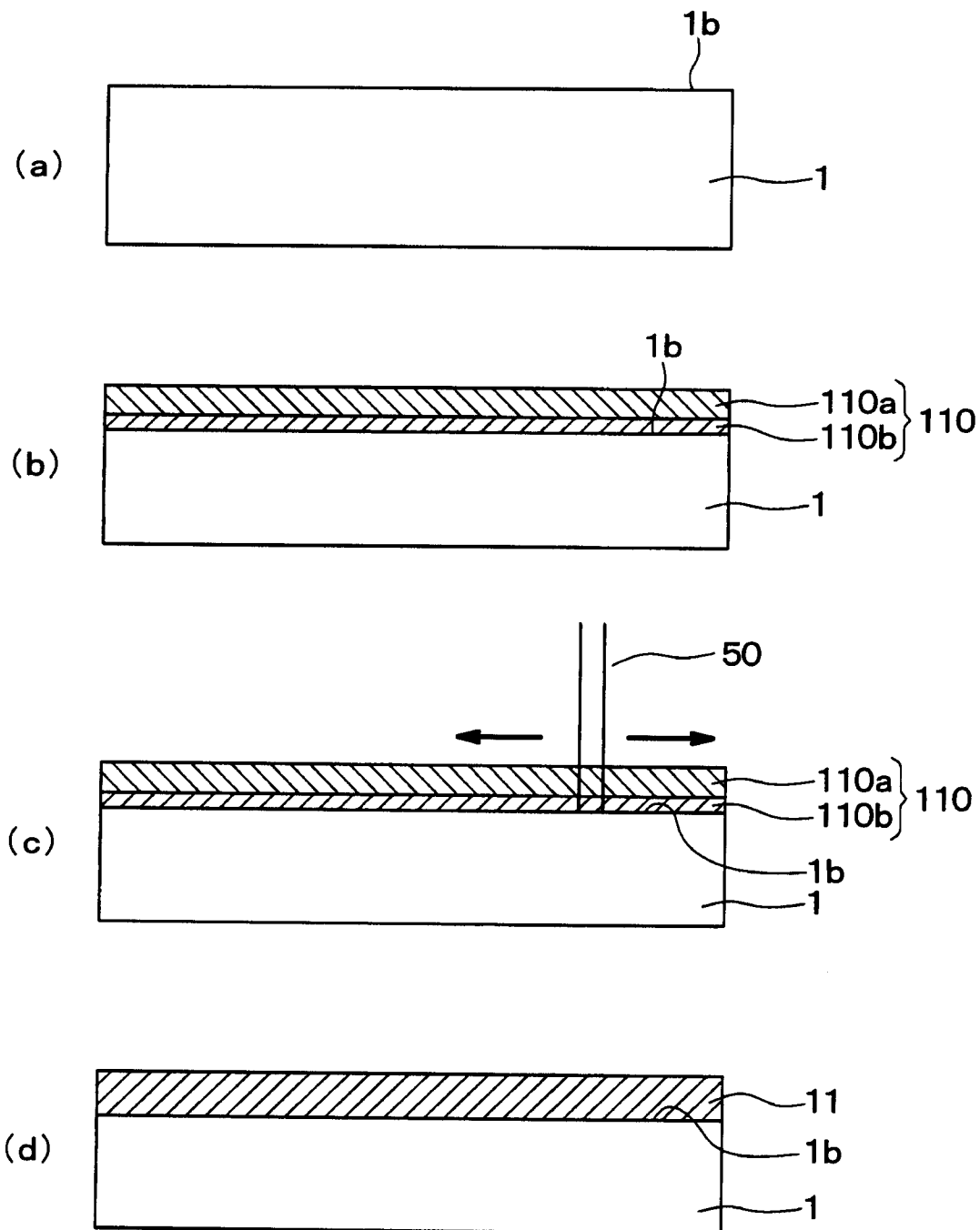
[図2B]



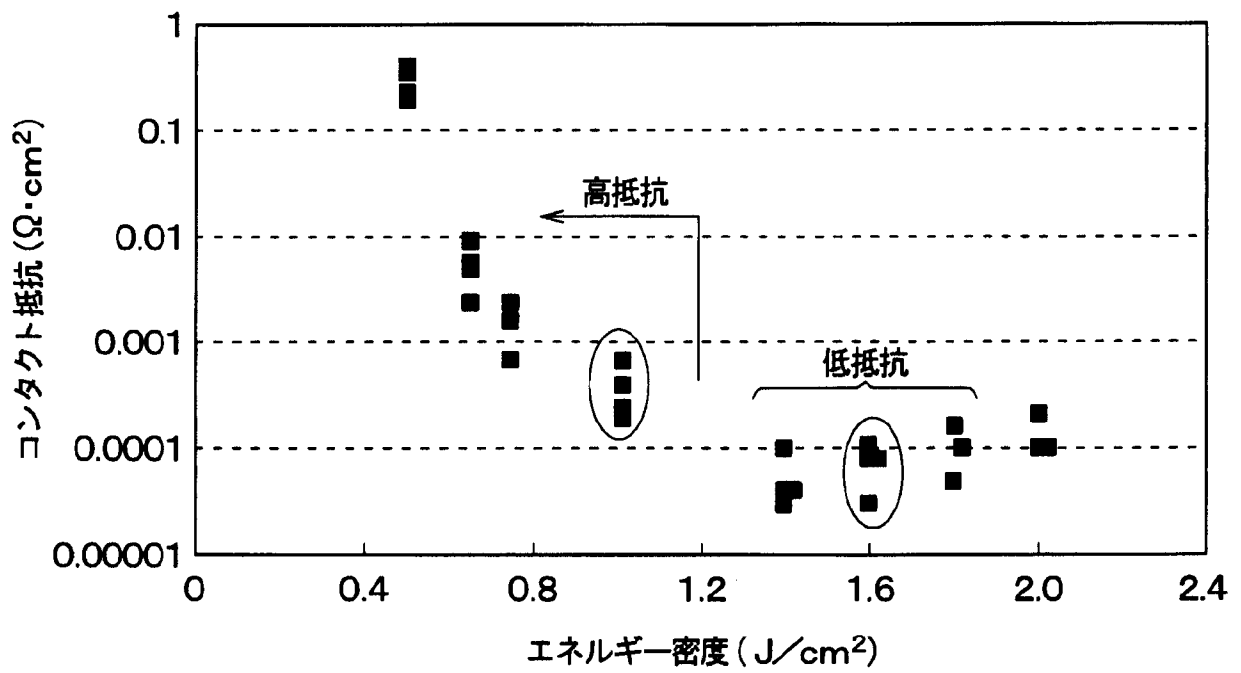
[図3]



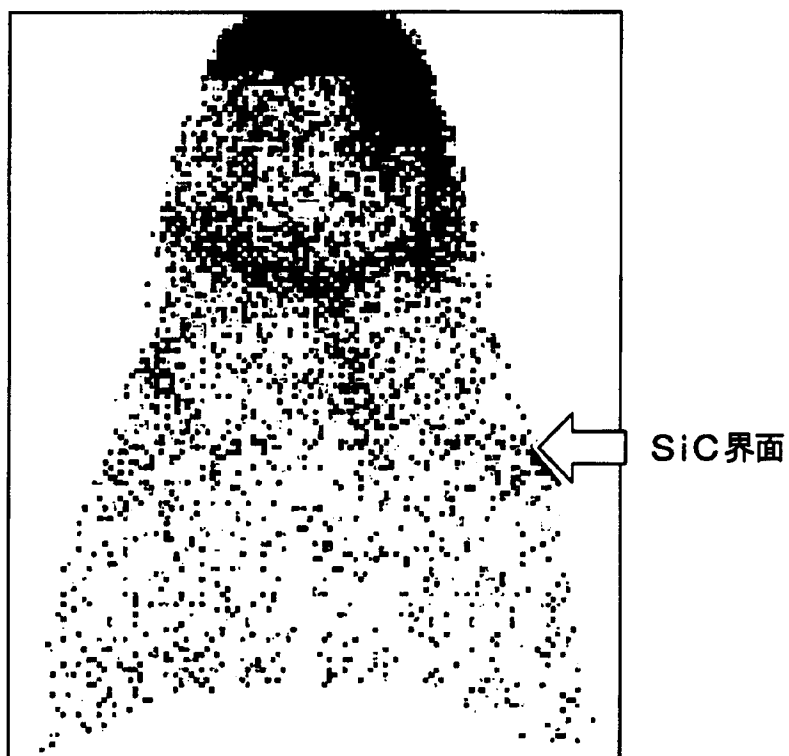
[図4]



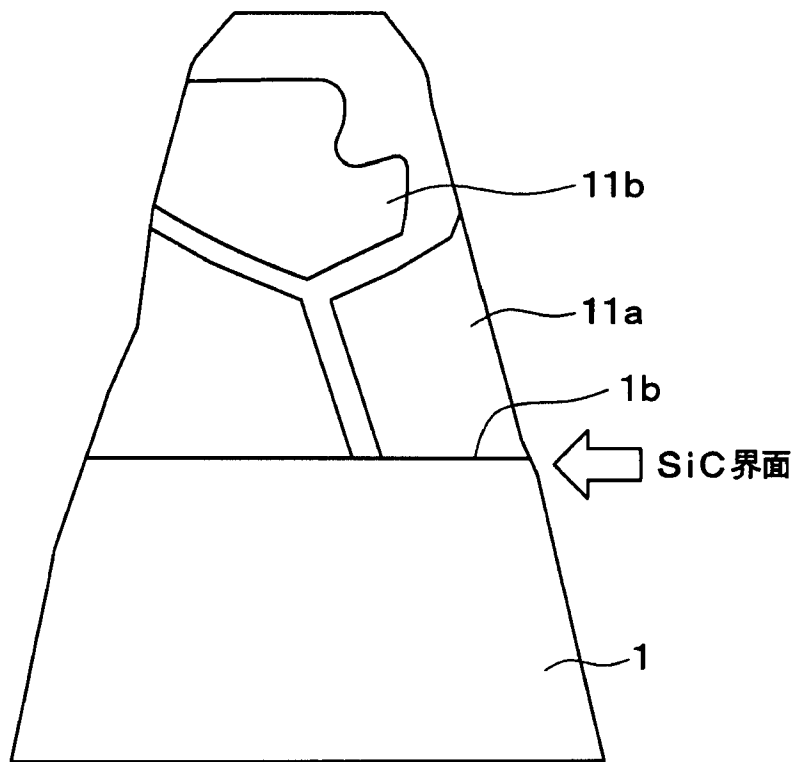
[図5]



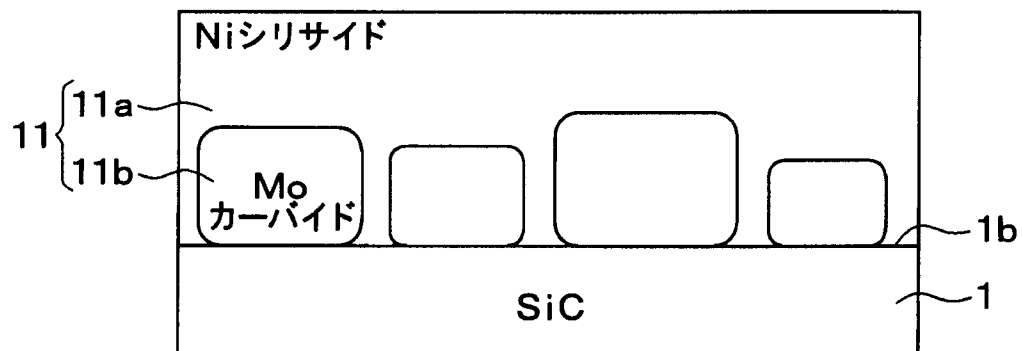
[図6A]



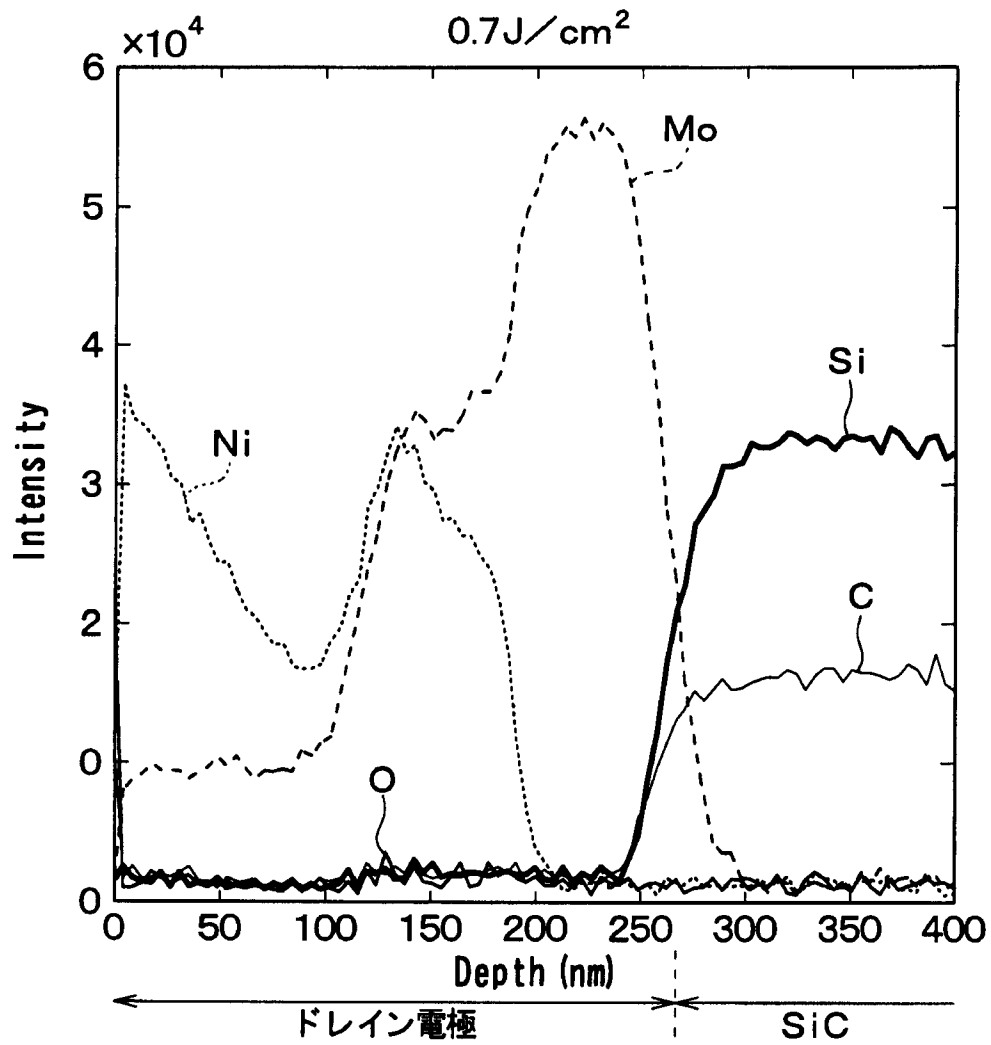
[図6B]



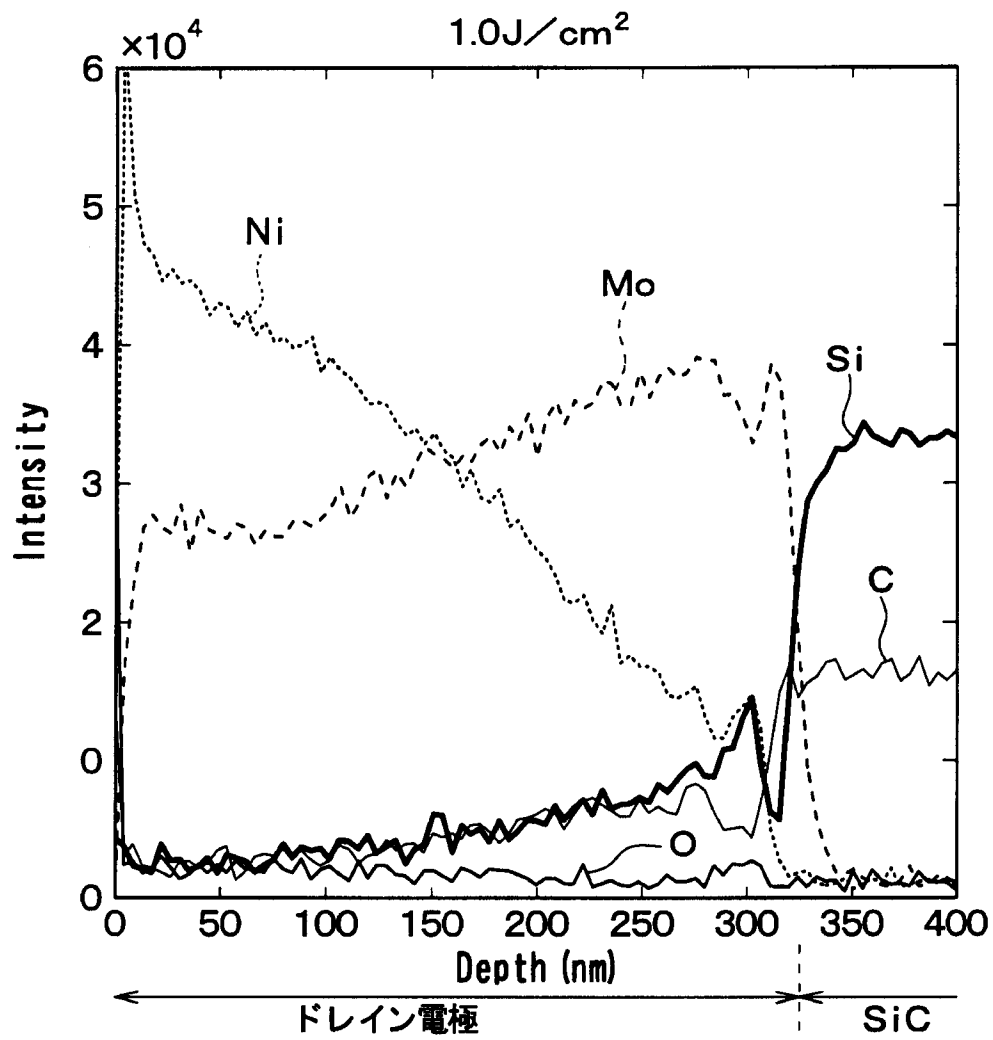
[図7]



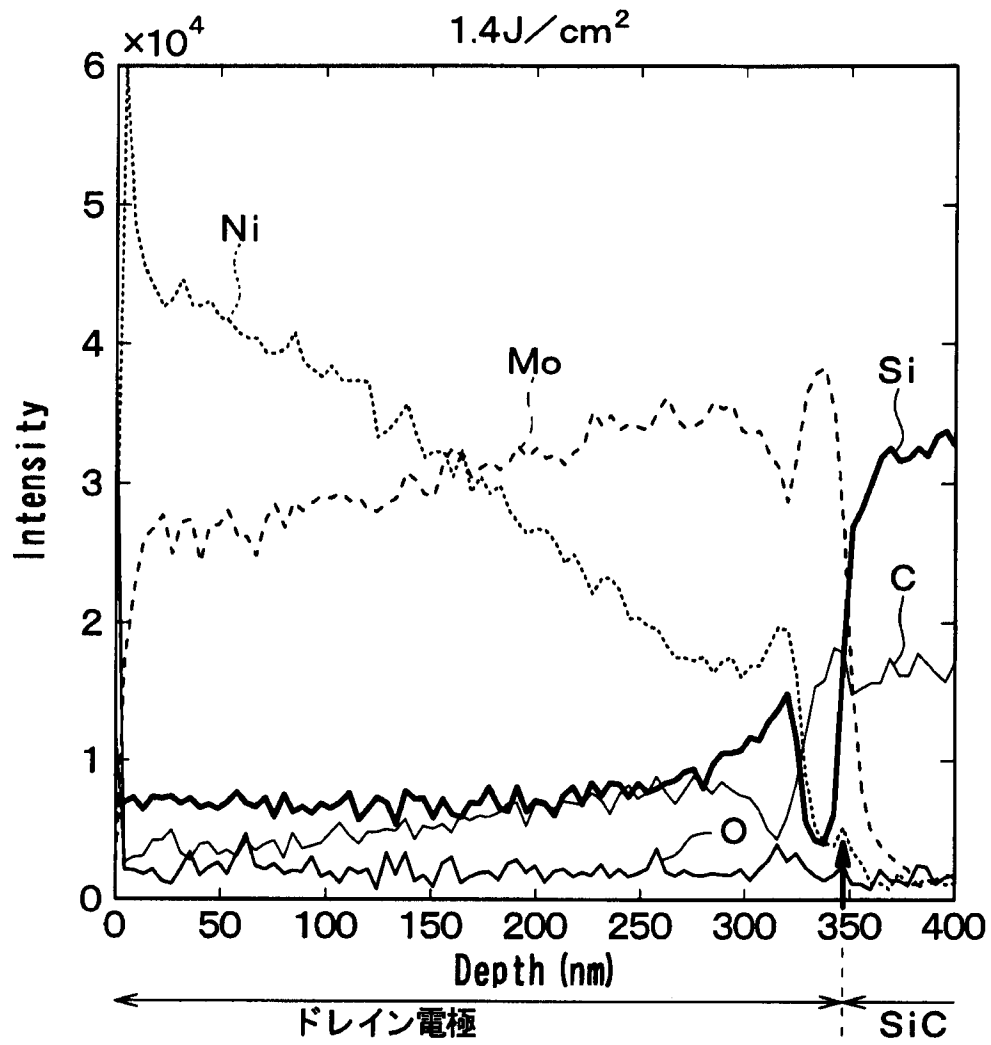
[図8A]



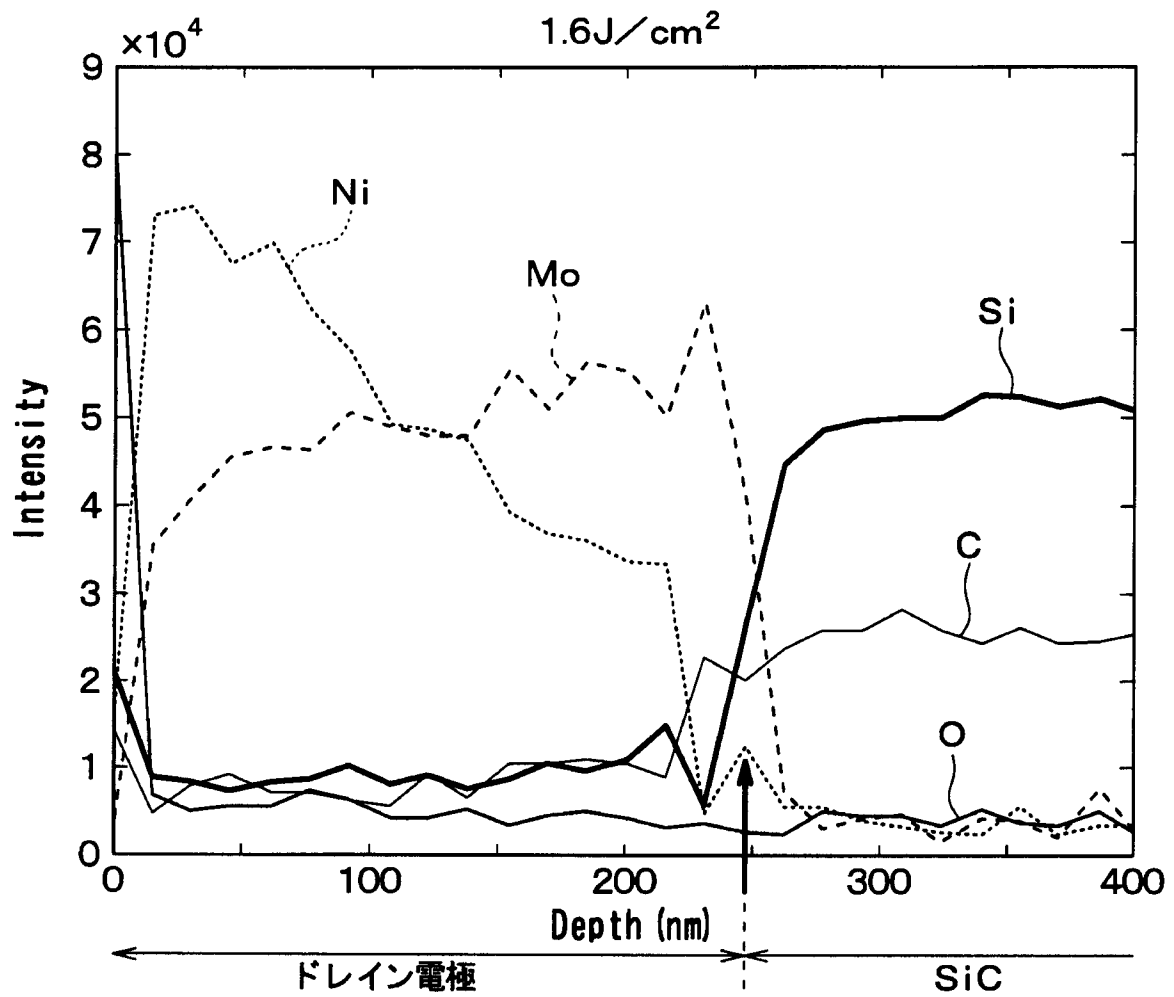
[図8B]



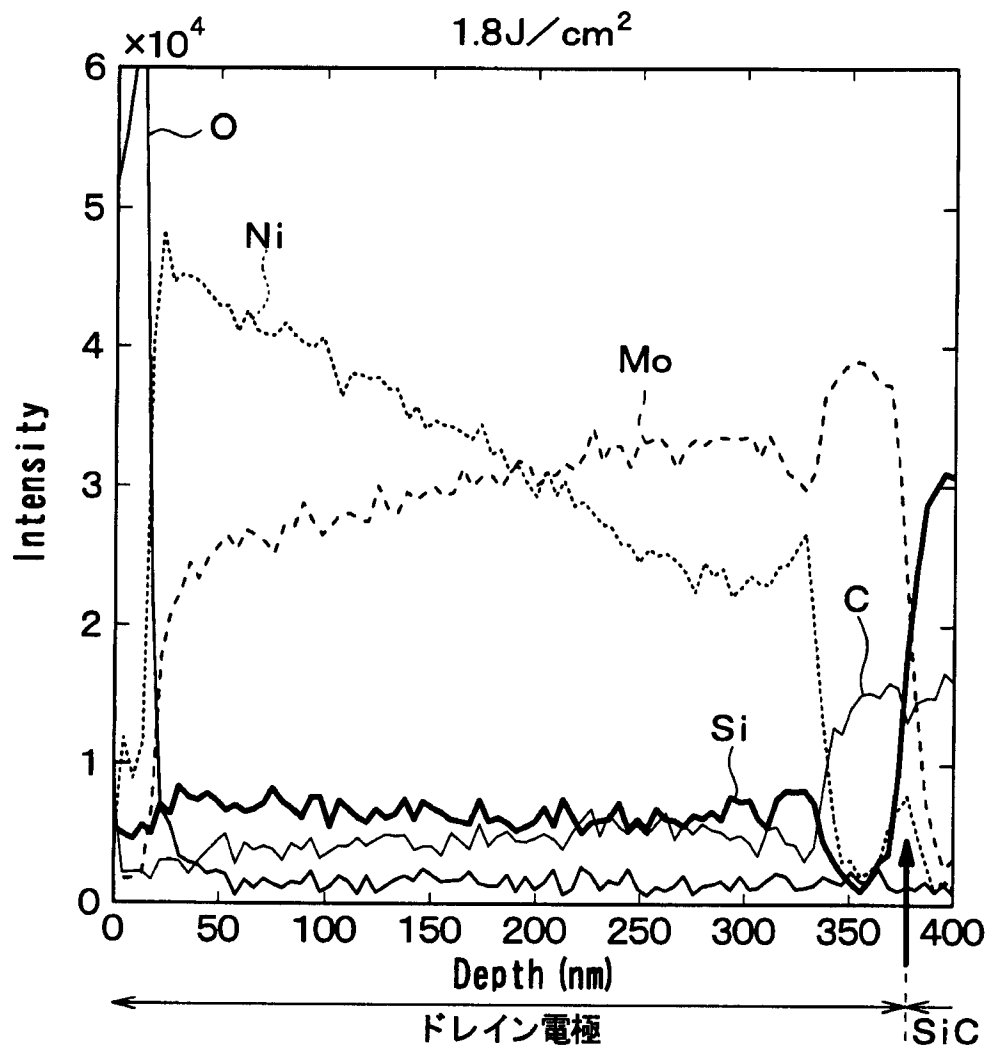
[図8C]



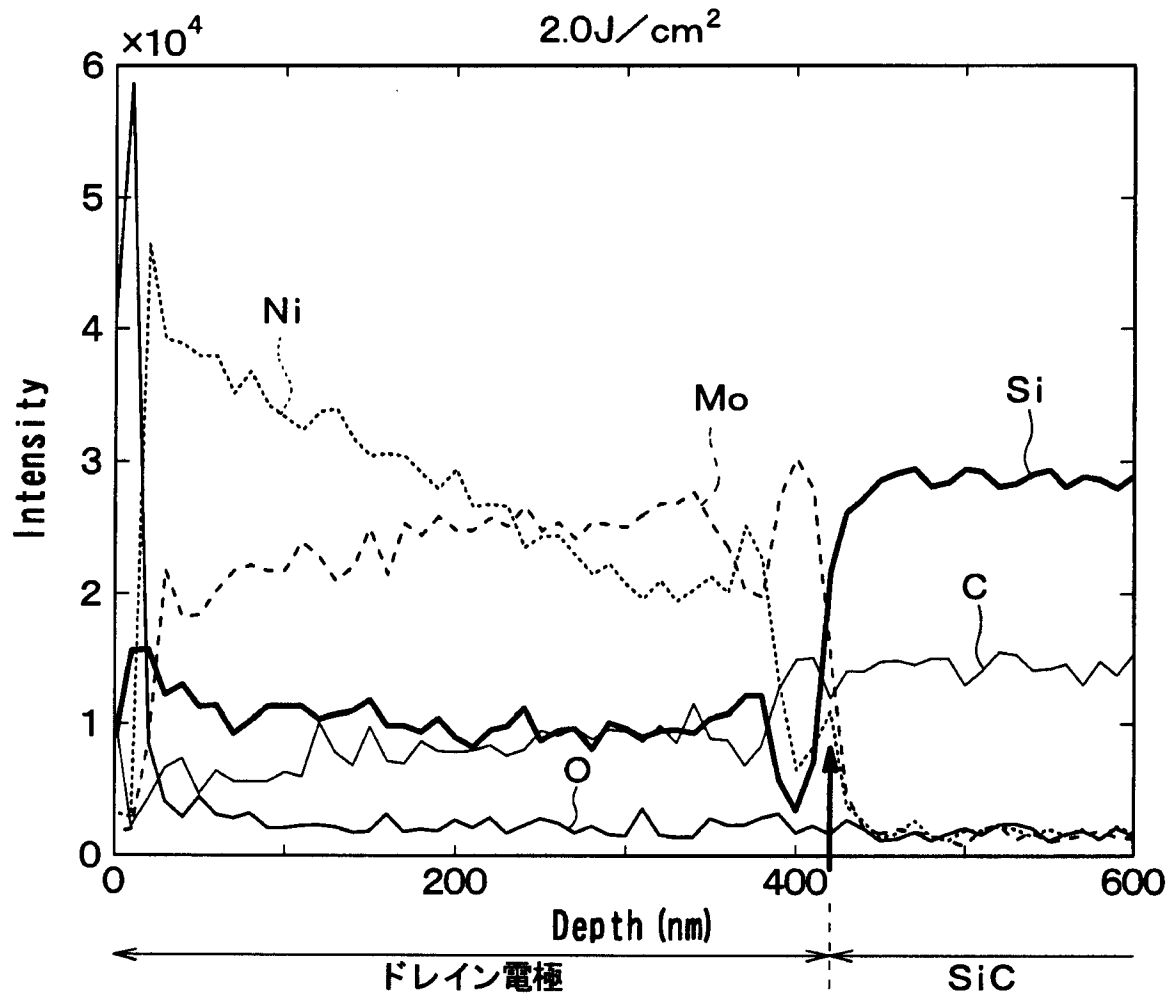
[図8D]



[図8E]



[図8F]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007590

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/28, H01L21/336, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-205824 A (Denso Corp.), 16 September 2010 (16.09.2010), paragraphs [0048] to [0050]; fig. 2, 4 (Family: none)	1-8
Y	JP 2016-046311 A (Sumitomo Electric Industries, Ltd.), 04 April 2016 (04.04.2016), paragraphs [0032] to [0052] & WO 2016/027584 A1 paragraphs [0032] to [0052]	1-8
A	JP 2012-222074 A (National Institute of Advanced Industrial Science and Technology), 12 November 2012 (12.11.2012), entire text & US 2014/0051241 A1 & WO 2012/137959 A1	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 March 2017 (30.03.17)

Date of mailing of the international search report
11 April 2017 (11.04.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007590

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-332358 A (Denso Corp.), 07 December 2006 (07.12.2006), entire text (Family: none)	1-8
A	JP 2016-046448 A (Sumitomo Heavy Industries, Ltd.), 04 April 2016 (04.04.2016), entire text (Family: none)	1-8
A	JP 2014-078732 A (Fuji Electric Co., Ltd.), 01 May 2014 (01.05.2014), entire text (Family: none)	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/28, H01L21/336, H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-205824 A（株式会社デンソー）2010.09.16, 段落 [0048]-[0050], 図2, 4（ファミリーなし）	1-8
Y	JP 2016-046311 A（住友電気工業株式会社）2016.04.04, 段落 [0032]-[0052] & WO 2016/027584 A1, 段落[0032]-[0052]	1-8
A	JP 2012-222074 A（独立行政法人産業技術総合研究所）2012.11.12, 全文 & US 2014/0051241 A1 & WO 2012/137959 A1	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

30.03.2017

国際調査報告の発送日

11.04.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐藤 靖史

50

5895

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-332358 A (株式会社デンソー) 2006.12.07, 全文 (ファミリーなし)	1-8
A	JP 2016-046448 A (住友重機械工業株式会社) 2016.04.04, 全文 (ファミリーなし)	1-8
A	JP 2014-078732 A (富士電機株式会社) 2014.05.01, 全文 (ファミリーなし)	1-8