



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I861115 B

(45) 公告日：中華民國 113 (2024) 年 11 月 11 日

(21) 申請案號：109117500

(22) 申請日：中華民國 109 (2020) 年 05 月 26 日

(51) Int. Cl. : H01L23/522 (2006.01)

H01L23/528 (2006.01)

H01L25/065 (2023.01)

H01L27/06 (2006.01)

(30) 優先權：2019/05/31 美國

62/855,374

2020/04/15 美國

16/849,630

(71) 申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)  
日本(72) 發明人：利布曼 拉爾斯 LIEBMANN, LARS (US)；史密斯 傑佛瑞 SMITH, JEFFREY  
(US)；德維利耶 安東 DEVILLIERS, ANTON (US)；查訥姆甘姆 丹尼爾  
CHANEMOUGAME, DANIEL (US)

(74) 代理人：周良謀；周良吉

(56) 參考文獻：

TW 201636627A

US 20170345909A1

審查人員：詹惟雯

申請專利範圍項數：20 項 圖式數：8 共 47 頁

(54) 名稱

用於複雜邏輯單元的緊湊型三維堆疊互補式場效電晶體架構

(57) 摘要

一種 3D IC 包括：一基板，具有一基板表面；半導體裝置的一第一堆疊，沿著該基板的一厚度方向堆疊；半導體裝置的一第二堆疊，沿著該基板的該厚度方向堆疊並且在沿著該基板表面的一方向中與該第一堆疊相鄰設置。該第一堆疊與該第二堆疊的各半導體裝置包括一閘極、以及設置在各自的該閘極之相對側上的一對源極-汲極區域，且該第一堆疊與該第二堆疊的各閘極係一分離開極。一閘極接觸件係物理性連接至該等半導體裝置之一第一者的一第一分離開極。在該 3D IC 中，該閘極接觸件形成一區域互連結構的至少一部份，該區域互連結構將第一半導體裝置電性連接至第二半導體裝置。

A 3D IC includes a substrate having a substrate surface, a first stack of semiconductor devices stacked along a thickness direction of the substrate, and a second stack of semiconductor devices stacked along the thickness direction of the substrate and provided adjacent to the first stack in a direction along the substrate surface. Each semiconductor device of the first and second stack includes a gate and a pair of source-drain regions provided on opposite sides of the respective gate, and each gate of the first and second stack is a split gate. A gate contact is physically connected to a first split gate of a first one of the semiconductor devices. The gate contact forms at least part of a local interconnect structure that electrically connects the first semiconductor device to a second semiconductor device in the 3D IC.

指定代表圖：

符號簡單說明：

800:結構

805a,805b:電力牆

811:佈線

812:主動裝置柱

813,815:互連件

817,818:閘極搭接片

819:閘極接觸件

P2<sub>G</sub>,N2<sub>G</sub>,P3<sub>G</sub>,N3<sub>G</sub>:閘極區域

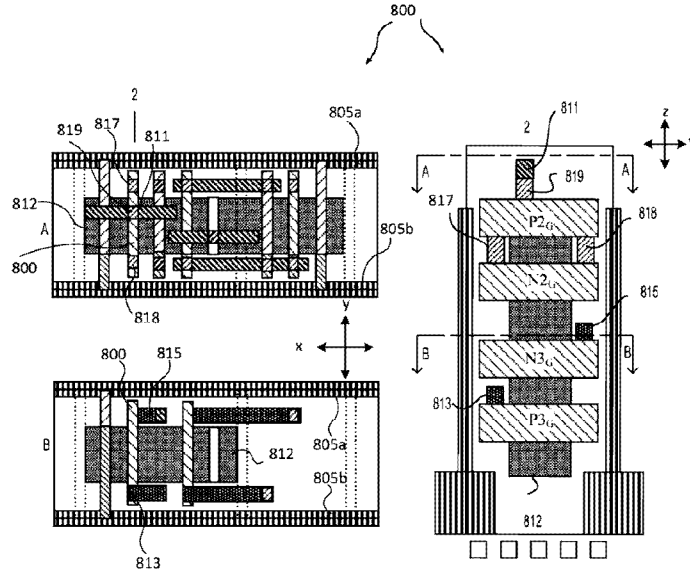
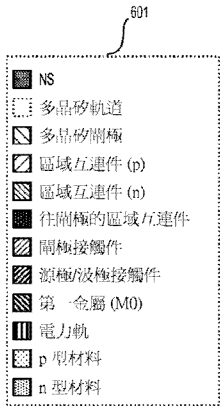


圖 8B



公告本

I861115

【發明摘要】

【中文發明名稱】 用於複雜邏輯單元的緊湊型三維堆疊互補式場效電晶體架構

【英文發明名稱】 COMPACT 3D STACKED CFET ARCHITECTURE FOR COMPLEX LOGIC CELLS

【中文】

一種 3D IC 包括：一基板，具有一基板表面；半導體裝置的一第一堆疊，沿著該基板的一厚度方向堆疊；半導體裝置的一第二堆疊，沿著該基板的該厚度方向堆疊並且在沿著該基板表面的一方向中與該第一堆疊相鄰設置。該第一堆疊與該第二堆疊的各半導體裝置包括一閘極、以及設置在各自的該閘極之相對側上的一對源極-汲極區域，且該第一堆疊與該第二堆疊的各閘極係一分離閘極。一閘極接觸件係物理性連接至該等半導體裝置之一第一者的一第一分離閘極。在該 3D IC 中，該閘極接觸件形成一區域互連結構的至少一部份，該區域互連結構將第一半導體裝置電性連接至第二半導體裝置。

【英文】

A 3D IC includes a substrate having a substrate surface, a first stack of semiconductor devices stacked along a thickness direction of the substrate, and a second stack of semiconductor devices stacked along the thickness direction of the substrate and provided adjacent to the first stack in a direction along the substrate

surface. Each semiconductor device of the first and second stack includes a gate and a pair of source-drain regions provided on opposite sides of the respective gate, and each gate of the first and second stack is a split gate. A gate contact is physically connected to a first split gate of a first one of the semiconductor devices. The gate contact forms at least part of a local interconnect structure that electrically connects the first semiconductor device to a second semiconductor device in the 3D IC.

【指定代表圖】 圖 8B

【代表圖之符號簡單說明】

800: 結構

805a, 805b: 電力牆

811: 佈線

812: 主動裝置柱

813, 815: 互連件

817, 818: 閘極搭接片

819: 閘極接觸件

P2<sub>G</sub>, N2<sub>G</sub>, P3<sub>G</sub>, N3<sub>G</sub>: 閘極區域

## 【發明說明書】

【中文發明名稱】 用於複雜邏輯單元的緊湊型三維堆疊互補式場效電晶體架構

【英文發明名稱】 COMPACT 3D STACKED CFET ARCHITECTURE FOR COMPLEX LOGIC CELLS

### 【技術領域】

【0001】 本揭露係關於包括半導體裝置、電晶體、及積體電路的微電子裝置，包括此種裝置的設計與微加工方法。

[相關申請案的交互參照]

【0002】 本申請案主張 2019 年 5 月 31 日提交且標題為「Compact 3D Stacked CFET Architecture for Complex Logic Cells」的美國臨時專利申請案第 62/855,374 號、以及 2020 年 4 月 15 日提交且標題為「Compact 3D Stacked CFET Architecture for Complex Logic Cells」的美國專利申請案第 16/849,630 號之優先權，其所有揭露皆以參照的方法引入本文中。

### 【先前技術】

【0003】 此處所提供之先前技術描述係為了一般性呈現本揭露之背景的目的。本案列名發明人的工作成果、至此先前技術段落的所述範圍、以及申請時可能不適格作為先前技術的實施態樣，均不明示或暗示承認為對抗本揭露內容的先前技術。

【0004】 積體電路係廣泛使用在電子工業中以提供像是智慧型手機、電腦等等的電子裝置。積體電路（IC）包括例如為電晶體、電容器等等的許多半導體裝置，以藉由在半導體基板上佈線而交互連接。對於更小且更快 IC 的需求總是持續增長，以支持電子裝置的更大量複雜功能。這種需求使得半導體製造產業需要將基板上的 IC 面積進行微縮，同時還改善 IC 的效能及功耗效率。

【0005】 在半導體 IC 的製造中（尤其是在微觀尺度上），係執行各種加工處理，例如膜形成沉積、蝕刻遮罩創建、圖案化、材料蝕刻與移除、以及摻雜處理。這些處理係重複地執行以在基板上形成所需的半導體裝置元件。歷史上，已利用微加工在一平面中形成 IC 的電晶體，並伴隨著在主動裝置平面上形成 IC 的佈線/金屬化，而因此被描述成二維（2D）電路或 2D 加工。在微縮上的成果已大幅提高 2D 電路中每單位面積的電晶體數量，而能夠將像是邏輯與記憶體電路的異質性（heterogeneous）功能電路整合至同一半導體基板上。然而，隨著縮放進入數位奈米半導體裝置的加工節點，2D 微縮的成果正面臨更大的挑戰。半導體裝置的加工業者已表明對三維（3D）半導體電路的需求，其中電晶體係堆疊在彼此的頂部而作為進一步微縮 IC 的另一種方法。

#### 【發明內容】

【0006】 本文中的技術能夠在不將接腳密度（即，進入邏輯單元的存取點密度）增加至一個程度下啟用電晶體上電晶體（transistor-on-transistor）3D 整合，其中在該程度下單元一縮放的收益係被由接腳存取壅

塞所導致的接線能力劣化所蓋過。根據本揭露的實施態樣（1），係提供一種三維（3D）積體電路（IC）。該 3D IC 包括具有一基板表面的一基板、以及設置在該基板中的一電力軌。一半導體裝置係設置在該基板中並且沿著該基板的一厚度方向設置於該電力軌上，其中該基板的該厚度方向係實質垂直於該基板表面，該第一半導體裝置具有一第一閘極、以及設置在該第一閘極之相對側上的一第一對源極－汲極區域。一第二半導體裝置係設置在該基板中並且沿著該厚度方向而堆疊在該第一半導體裝置上，該第二半導體裝置具有一第二閘極、以及設置在該第二閘極之相對側上的一第二對源極－汲極區域，該第一閘極係與該第二閘極物理性分離。一導電性閘極對閘極（gate-to-gate）搭接片連接係從該第一閘極延伸至該第二閘極，使得該第一閘極係電性連接至該第二閘極。

**【0007】** 實施態樣（2）包括實施態樣（1）的 3D IC，其中該閘極對閘極搭接片包括從該第一閘極延伸至該第二閘極的至少一垂直接觸件。

**【0008】** 實施態樣（3）包括實施態樣（2）的 3D IC，其中該第一閘極與該第二閘極係共線地堆疊。

**【0009】** 實施態樣（4）包括實施態樣（3）的 3D IC，其中該閘極對閘極搭接片包括彼此物理性分離的複數該垂直接觸件。

**【0010】** 實施態樣（5）包括實施態樣（1）的 3D IC，其中該第一閘極與該第二閘極係堆疊成一交錯配置。

**【0011】** 實施態樣（6）包括實施態樣（5）的 3D IC，更包括：一第一閘極接觸件，連接至該第一閘極；以及一第二閘極接觸件，連接至該第二閘極，該第一閘極接觸件具有比該第二閘極接觸件更大的垂直高度。

【0012】實施態樣（7）包括實施態樣（6）的 3D IC，更包括一佈線層，該佈線層係設置在該基板中並且沿著該厚度方向設置在該第二半導體裝置上，其中該第一閘極接觸件與該第二閘極接觸件係各自垂直地延伸以與該佈線層連接。

【0013】實施態樣（8）包括實施態樣（1）的 3D IC，更包括一混合磊晶結構，該混合磊晶結構係將該第一半導體裝置的一源極－汲極區域與該第二半導體裝置的一源極－汲極區域連接。

【0014】實施態樣（9）包括實施態樣（8）的 3D IC，其中該混合磊晶結構係配置以提供來自該 3D IC 的一公共輸出接腳。

【0015】實施態樣（10）包括實施態樣（1）的 3D IC，更包括從該電力軌垂直延伸的一電力牆。

【0016】實施態樣（11）包括一種 3D IC，包括：一基板，具有一基板表面；複數半導體裝置的一第一堆疊，沿著該基板的一厚度方向堆疊；以及複數半導體裝置的一第二堆疊，沿著該基板的該厚度方向堆疊並且在沿著該基板表面的一方向中與該第一堆疊相鄰設置。該第一堆疊與該第二堆疊的各半導體裝置包括一閘極、以及設置在各自的該閘極之相對側上的一對源極－汲極區域，且該第一堆疊與該第二堆疊的各閘極係一分離閘極。一閘極接觸件係物理性連接至該等半導體裝置之一第一者的一第一分離閘極，其中在該 3D IC 中，該閘極接觸件形成一區域互連結構的至少一部份，該區域互連結構將第一半導體裝置電性連接至第二半導體裝置。

【0017】實施態樣（12）包括實施態樣（11）的 3D IC，其中該第一半導體裝置及該第二半導體裝置係依序堆疊在半導體裝置的該第一堆疊中。

【0018】實施態樣（13）包括實施態樣（12）的 3D IC，其中該閘極接觸件係一閘極對閘極搭接片，該閘極對閘極搭接片係從該第一分離閘極垂直延伸至該第二半導體裝置的一第二分離閘極，使得該第一半導體裝置及該第二半導體裝置係電性連接的。

【0019】實施態樣（14）包括實施態樣（13）的 3D IC，更包括：一佈線層，在該厚度方向中設置於半導體裝置的該第一堆疊與該第二堆疊上；以及一垂直接觸件，從該第二分離閘極垂直延伸，以將一公共輸入提供至該第一半導體裝置及該第二半導體裝置。

【0020】實施態樣（15）包括實施態樣（12）的 3D IC，其中該第一分離閘極係與該第二半導體裝置的該第二分離閘極呈現交錯的關係。

【0021】實施態樣（16）包括實施態樣（15）的 3D IC，更包括：一佈線層，在該厚度方向中設置於半導體裝置的該第一堆疊與該第二堆疊上；一第一垂直接觸件，從該第一分離閘極垂直延伸至該佈線層；以及一第二垂直接觸件，從該第二分離閘極垂直延伸至該佈線層，其中該第一垂直接觸件具有比該第二垂直接觸件更高的高度。

【0022】實施態樣（17）包括實施態樣（11）的 3D IC，其中該第一半導體裝置及該第二半導體裝置係分別設置在該第一堆疊與該第二堆疊中。

【0023】實施態樣（18）包括實施態樣（17）的 3D IC，其中該區域互連結構係將該第一分離閘極電性連接至位於半導體裝置之該第二堆疊中的一第二分離閘極。

【0024】實施態樣（19）包括實施態樣（18）的 3D IC，其中該閘極接觸件包括一水平互連結構，該水平互連結構係從該第一堆疊沿著該基板表面延伸至該第二堆疊。

【0025】實施態樣（20）包括實施態樣（18）的 3D IC，其中該區域互連結構係將該第一分離閘極電性連接至位於該第二堆疊中之一半導體裝置的一源極－汲極區域。

【0026】實施態樣（21）包括實施態樣（20）的 3D IC，其中該閘極接觸件包括一水平互連結構，該水平互連結構從該第一堆疊沿著該基板表面延伸至該第二堆疊。

【0027】實施態樣（22）包括實施態樣（21）的 3D IC，更包括一區域互連墊片，該區域互連墊片係從該源極－汲極區域沿著該基板表面的該方向中進行延伸，其中一垂直接觸件係從該第一分離閘極垂直延伸至該區域互連墊片。

【0028】應注意的是，此發明內容章節並不指明本揭露或所請發明的每一個實施例及/或漸進新穎的實施態樣。反之，本發明內容只提供不同實施例及對於習知技術之對應新穎點的初步說明。對於發明及實施例的額外細節及/或可能的觀點，讀者可參見本揭露之實施方式章節及對應圖式，如下方更進一步的說明。

**【圖式簡單說明】**

**【0029】** 當結合隨附圖式閱讀後續詳細描述時，可最佳理解本揭露之實施態樣。值得注意的是，根據業界中的標準方法，各種特徵部並不依比例繪製。實際上，各特徵部的尺寸可為了描述清楚而任意地增加或縮減。

**【0030】** 圖 1 顯示異質性 3D 整合的示例；

**【0031】** 圖 2 顯示均質性堆疊的示例；

**【0032】** 圖 3 顯示具有相對不良面積縮放的 3D IC；

**【0033】** 圖 4 為可由本文所揭露之技術所實施的兩個輸入 XOR 邏輯電路的邏輯圖；

**【0034】** 圖 5A 為使用在閘極上閘極堆疊中之 XOR 單元的俯視平面圖；

**【0035】** 圖 5B 係呈現在圖 5A 中單元的源極－汲極面之垂直橫截面圖；

**【0036】** 圖 5C 係呈現在圖 5A 中單元的閘極面之垂直橫截面圖；

**【0037】** 圖 6A 及 6B 係根據本揭露的實施例而繪示一技術架構的概觀，該技術架構係緊密地提供複雜邏輯單元（例如，XOR 邏輯功能），同時使接腳存取壅塞的問題最小化；

**【0038】** 圖 7 為可根據本揭露的實施例進行實施，且具有 5 個 CFET 的 XOR 邏輯電路之詳細示意圖；

**【0039】** 圖 8A 為根據本揭露之實施例的 XOR 單元之垂直截面 1 的詳細圖；

【0040】圖 8B 為根據本揭露之實施例的 XOR 單元之垂直截面 2 的詳細圖；

【0041】圖 8C 為根據本揭露之實施例的 XOR 單元之垂直截面 3 的詳細圖；

【0042】圖 8D 為根據本揭露之實施例的 XOR 單元之垂直截面 4 的詳細圖；

【0043】圖 8E 為根據本揭露之實施例的 XOR 單元之垂直截面 5 的詳細圖；

【0044】圖 8F 為根據本揭露之實施例的 XOR 單元之垂直截面 6 的詳細圖；以及

【0045】圖 8G 為根據本揭露之實施例的 XOR 單元之垂直截面 7 的詳細圖。

#### 【實施方式】

【0046】本發明的概念係透過本發明的某些實施例來進行最佳地描述，所述的某些實施例係參照隨附圖式而在本文中進行詳細地描述，其中在通篇說明書中類似的元件符號指的是類似的特徵。應當理解的是，當在本文中使用術語「發明」時，係意旨於表示在下方描述之實施例中所隱含的發明概念而並不僅係實施例本身。應當進一步理解的是，整體發明概念並不限於以下描述的說明性實施例，並應當以這種觀點來閱讀下方的實施方式。

**【0047】** 此外，詞語「示例性」在本文中係用以表示「作為示例、實例、或是說明」。在本文中指明作為示例性的任何構造、處理、設計、技術等實施例並不必被視為比其他實施例更佳或有利。在本文中指明為示例性的示例之特定品質或適用性既非預期性的亦並非為暗示性的。

**【0048】** 此外，為了易於描述，可在本文中使用例如「下方」、「之下」、「低於」、「上方」、「高於」等等的空間相對術語，以描述在圖式中繪示的一元件（或特徵）與另一元件（或特徵）的關係。除了圖式中所繪示的位向之外，所述空間相對術語係意旨於含括設備在使用中或操作中的不同位向。可將設備以其他方式定向（旋轉 90 度、或位於其他位向），並且同樣地可將本文所使用的空間相對術語相應地進行詮釋。

**【0049】** 當然，為了清楚起見，已呈現本文所述之不同步驟的討論順序。一般來說，這些步驟可在任何合適的順序下執行。另外，儘管可在本揭露的不同地方討論本文中的各個不同特徵、技術、配置等，但是其係意旨在於可將各個概念彼此獨立地或彼此組合地執行。因此，本發明可在許多不同方式下進行實施與檢視。

**【0050】** 如先前技術中所述，除了習知的 2D 微縮之外，半導體裝置的加工業者已表明對三維（3D）半導體電路的需求，其中電晶體係堆疊在彼此的頂部而作為進一步微縮 IC 的另一種方法。3D 整合（即，半導體裝置的垂直堆疊）的目標在於藉由在體積而並非面積中增加電晶體密度來克服 2D 微縮的限制。雖然裝置堆疊已成功由快閃記憶體產業以採用 3D NAND 來證明與實施，但應用至隨機邏輯設計實質上係更加困難。目前主要係透過兩種方法來實現對例如中央處理單元（CPU）、圖像處理單元

(GPU)、場域可程式閘陣列(FPGA)、以及系統晶片(SoC)之邏輯晶片的 3D 整合：一種方式為異質性堆疊，而另一種方式則較接近均質性堆疊。

【0051】圖 1 顯示異質性 3D 整合的示例，該示例係使用如 *Process Integration Aspects enabling 3D sequential stacked planar and FinFet Technology*, Anne VanDooren, IMEC PTW Spring 2018 之中所揭露的晶圓/晶片堆疊與矽穿孔(TSV)技術。在此 3D 方法中，係為了不同特定任務而在設計與製造中優化各晶片，並接著將 3D 整合使用作為有效的封裝技術以建構堆疊的 SoC。舉例來說，如圖 1 中所示意性顯示，IC 100 包括可被優化以包含化學與生物感測器的晶片 101，以及晶片 103 係專用於其他感測器與成像器，而晶片 105 包括奈米裝置與微機電(MEMS)裝置。晶片 107 可優化用於 RF、ADC、及/或 DAC 功能，而晶片 109 可提供記憶體堆疊。晶片 111 可設計用於處理器及晶片 113 專用於將能量/功率提供至整體 IC。TSV 115 係提供以將各種功能性晶片整合於緻密封裝的 IC 100 中。異質性整合方法的細節係提供於 2019 年 10 月發行在 [eps.iee.org/hir](http://eps.iee.org/hir) 的 *Heterogeneous Integration Roadmap, 2019 Edition* 之中。

【0052】圖 2 顯示如 *Monolithic 3D IC: The Time is Now*, Brian Cronquist and Zvi Or-Bach, Monolithic, 2014 Intl. Workshop on Data-Abundant System Technology, April 2014 之中所揭露的均質性堆疊方法之示例。這種方法使用晶圓接合處理以克服與晶片堆疊中所使用的微米尺度之 TSV 相關的密度損失。利用該接合方法，係將基底晶圓 210 進行處理以形成例如 nMOS 211 與 pMOS 213 的裝置、以及金屬化/佈線 215 的數

層。接著，將常被稱為轉移予體層（**transferred donor layer**）的薄化矽晶絕緣體（**SoI**）層 200 設置在基底晶圓 210 的頂部上，並藉由氧化物－氧化物接合 225 而將其接合以形成完整結構 200。與上述晶片堆疊的異質性方法相比，由於所需的通孔尺寸明顯較小（ $\sim 100$  nm 節距），因此利用這種晶圓接合方法可達成較佳的層間連接性。然而，本案發明人意識到此方法並非真正的單片整合（**monolithic integration**），原因在於獨立處理的晶圓或晶圓片段係堆疊在彼此的頂部。因此，該晶圓接合方法無法為半導體加工提供真正的縮放解決方案。此外，與此晶圓接合處理相關的處理複雜性以及成本開銷並未達成與真正單片 3D 整合相關的縮放目標。

**【0053】** 真正的單片 3D 整合係涉及在同一矽基板上加工複數裝置層面。3D NAND 是記憶體晶片的真正單片整合之一示例。3D 邏輯的真正單片整合係更具挑戰性的，其部分原因在於需要多種類的佈線以將各裝置層進行連接與功能化。

**【0054】** 本文的技術提供能夠有效率且緊密地將電晶體單片整合至 3D 邏輯功能中的裝置架構與相應的區域互連結構。所述技術包括垂直與橫向區域互連構造的綜合組，以允許在電晶體上電晶體（**transistor-on-transistor**）的 3D 整合處理中有效率且緊密地設計複雜的邏輯單元。

**【0055】** 如上所述，用於 3D 整合的方法包括使用矽穿孔（**TSV**）、序列 3D 接合、以及單片（真正單片）3D 整合的晶圓堆疊，其中裝置層面係從單一矽基板開始建構。使用進行堆疊的單元粒度（**granularity**）可將 3D 整合方法進一步分類，即巨集上巨集（**macro-on-macro**）3D 方法、閘極上閘極（**gate-on-gate**）3D 方法、以及電晶體上電晶體 3D 方法。

【0056】在巨集上巨集 3D 方法中，係將整個功能區塊或邏輯巨集進行堆疊。利用稀疏連接性可良好地實現整個區塊的堆疊，且因此基於 TSV 的方法可為有效的。在閘極上閘極 3D 方法中，藉由將標準單元（邏輯設計上的基本建構區塊）堆疊在彼此的頂部並可使佈線層面位於裝置層體（tier）之間的空間中，以將功能區塊分為兩層體。圖 5C 顯示在裝置平面之間具有五個佈線層面的 3D 架構，其將進一步討論於下。儘管使用序列 3D 係可能實現閘極上閘極，但此方法顯示出非常有限的縮放效益。由於需要將大量佈線層面整合在兩裝置層面之間，以成功完成各單元的單元內佈線以及所需的單元至單元（cell-to-cell）佈線，因此要在單片整合方法中實現閘極上閘極 3D 係具有挑戰性的。

【0057】在電晶體上電晶體 3D 方法中，係將單獨的電晶體垂直地堆疊以形成每體積非常高的裝置密度。雖然此方法為具有成本效益的縮放握有許多前景，但一個疑慮在於利用堆疊的電晶體來形成簡易邏輯單元（NAND、NOR、AOI...）會將單元的覆蓋區（footprint）減低至一個程度，在該程度下要將給定單元連接至剩餘設計會變得無效率或是具有挑戰性的而失敗（通常稱為接腳存取壅塞）。亦即，伴隨電晶體上電晶體 3D 整合的一種挑戰在於垂直堆疊的電晶體可能在本質上變得難以與座落在裝置平面上方的佈線層面進行連接。這可能會導致不良的單元面積縮放（在交錯的電晶體接觸件的情況下）、或是在單元頂部處的過量接腳密度而造成無法接線的佈線壅塞。圖 3 顯示具有相對不良面積縮放的 3D IC。如圖所示，IC 結構 300 包括一單元，該單元包括堆疊的 n 型電晶體 301－307 與堆疊的 p 型電晶體 309－315、以及單元邊界 317。接腳 319 提供從佈線層面至

各電晶體之間極的连接。如圖所示，從上方的佈線層面存取堆疊裝置可能需要昂貴的多閘極金字塔階梯。

**【0058】** 本文中的技術係能夠在不將接腳密度（即，進入邏輯單元中的存取點密度）提高至一個程度的情況下實現電晶體上電晶體 3D 整合，其中在該程度下單元－縮放的收益係被由接腳存取壅塞所導致的接線能力劣化所蓋過。

**【0059】** 本文中的設計係藉由預合成將複數操作內部串接在一起的較複雜邏輯單元，以避免邏輯單元相對於其電晶體總數具有大量的輸入（例如，AOI22 在 4 個電晶體上具有 4 個輸入）。這包括建構具有大型電晶體的邏輯基元以輸入信號總數。此方法係被稱為大型區塊合成並已在產業中進行探究。本文中的技術還使用新穎的區域互連構造，以允許在三維空間中的電晶體配置有效率地在這些高階邏輯單元中進行佈線。互斥或 (XOR) 邏輯功能為複雜或高階邏輯單元的示例。圖 4 為可由本文所揭露之技術所實施的兩個輸入 XOR 邏輯電路的邏輯圖。如圖所示，XOR 電路 400 的 A1 輸入係提供至反向器 401，而 A2 輸入係提供至與反向器 405 串聯的反向器 403。反向器 401、403 及 405 各自可實施作為互補式 FET。反向器 401、403 及 405 的輸出係提供至跨接的附加互補式 FET 電路 407 及 409，以提供 XOR 電路 400 的邏輯輸出。

**【0060】** 圖 5A 為 XOR 單元的俯視平面圖，其繪示如在閘極上閘極堆疊中所使用之 XOR 單元的 2D 繪圖 (rendering)。圖例 501 提供與佈局的不同區域相關的結構及/或材料之指示。如圖所示，單元 500 的佈局可包括與複數閘極 (G) 路徑 (track) 沿著基板的東－西方向交替排列、並南－北

延伸而與主動區域 503 相交的複數源極－汲極（SD）路徑。如本領域中具有通常知識者所知，這些交替的 SD 與 G 區域在基板的東－西方向中形成半導體裝置的陣列。單元邊界係由位在頂部及底部上的電力軌 505、以及位在圖式最左側及最右側上的多晶矽閘極路徑 G 所形成。還顯示裝置接觸件 507 及 509 的示例。這種閘極上閘極方法形成相對大型的單元尺寸以及佈線複雜度。尤其，如圖 5A 中所顯示，單元尺寸為 7T（路徑）高乘以 8 多晶矽路徑寬。於是，需要三個金屬層面以完成單元內的佈線（M0、M1、及 Mx）。在閘極上閘極堆疊的實施例中，這三個佈線層面可位於後續裝置層體之間的空間中。

【0061】圖 5B 係呈現在圖 5A 中單元的源極－汲極面之垂直橫截面圖，而圖 5C 係呈現在圖 5A 中單元的閘極面之垂直橫截面圖。結構 500 包括主動區域 503、以及設置在主動裝置平面下方之基板中的埋入式電力軌 505。還提供中間電力軌 506。亦如圖所示，半導體裝置的下方層體 511、佈線層體 513、半導體裝置的中間層體 515、以及半導體裝置的頂部層體 517 係在基板上的厚度方向中進行堆疊。亦顯示 2x 接線路徑的底部層 519。如圖所示，圖 5A－5C 的閘極上閘極堆疊架構在裝置平面之間的佈線層 513 中包括五個佈線層面。這種配置係揭露在申請號第 16/667,442 號且標題為「ARCHITECTURE FOR MONOLITHIC 3D INTEGRATION OF SEMICONDUCTOR DEVICES」的美國專利申請案中，其所有內容皆以參照的方式併入本文中。如上所述，圖 5A－5C 顯示出在單片整合方法中實施閘極上閘極 3D，由於需要將大量的佈線層面（此處為 5 個層面）整合在

兩裝置層面之間中以成功地完成各單元的單元內佈線、以及所需的單元對單元佈線，而因此具有挑戰性。

【0062】圖 6A 及 6B 係根據本揭露的實施例而繪示一技術架構的概觀，該技術架構係緊密地提供複雜邏輯單元（例如，XOR 邏輯功能），同時使接腳存取壅塞的問題最小化。圖 6A 顯示在穿過單元 Z 軸的兩個水平截面 A 及 B 處的俯視佈局圖，而圖 6B 係顯示在圖 6A 中沿著 y 軸而標號的七個平面處的垂直截面圖 1-7。結構 600 的平面圖並非係沿著 A 與 B 的真實截面，而是將部分結構顯示成透明的以說明平面 A 和 B 下方的結構特徵。圖例 601 係提供以將圖 6A 的結構及/或材料與圖 6B 中的相同結構及/或材料進行關聯。如圖 6A 中所示，單元尺寸為 5T（路徑）高乘以 6 個多晶矽路徑寬，相對於圖 5A-5C 的閘極上閘極配置提供了 XOR 單元的顯著微縮。在圖 6B 中係顯示能夠具有這種微縮效益的各種結構特徵部的概觀。如圖所示，特徵部包括埋入式電力軌 BPR、電力牆 PW、區域互連墊片 LIT、佈線路線 M0、區域互連件 LI、閘極搭接片 GS、垂直接觸件 VC、以及混合磊晶結構 ME。

【0063】如圖 6B 的截面 1 所示，結構 600 包括區域互連墊片 LIT，以將裝置的 SD 區域連接到從埋入式電力軌 BPR 升高的「電力牆」PW 中。這種電力牆的細節係揭露在公告號 US 2020/0075489 且標題為「POWER DISTRIBUTION NETWORK FOR 3D LOGIC AND MEMORY」的申請案中，其所有內容皆以參照的方式併入本文中。這種特徵部係能夠由電晶體上電晶體堆疊所啟用，該電晶體上電晶體堆疊在裝置堆疊中完成整個複雜

的邏輯單元，並且將佈線（其將必須與電力牆相交）留於該裝置堆疊上方的空間。

**【0064】** 現在請參照圖 6B 的截面 2，裝置係實施作為「分離閘極」，亦即，可將每一電晶體（即使是在 n/p 對中）進行獨立接觸。為了促進與一對堆疊閘極的公共連接，係引入新的閘極對閘極搭接片 GS。為了能夠在 3D 配置中將一電晶體的輸出使用作為另一電晶體的信號輸入，係引入往閘極結構的新「區域互連件」LI。如截面 3 所示，為了將頂部層體中電晶體的輸出進行佈線以作為底部層體中電晶體所用的信號輸入，係引入垂直接觸件 VC 以將頂部的區域互連墊片 LIT 搭接至底部的閘極區域互連件 LI。

**【0065】** 如圖 6B 的截面 4 所示，係提供分離閘極的配置，其中各電晶體能夠接收獨立的輸入信號。為了促進於此，係引入一對的可變高度閘極接觸件 VC、以及交錯的閘極延伸部。在截面 5 中，為了有效地收集數個垂直堆疊電晶體的輸出並將它們接線至公共輸出接腳，而引入混合磊晶 ME 結構。ME 係顯示成半透明的，使位於 ME 中的堆疊 SD 區域為可見的。在截面 6 中，係顯示出垂直連接件 VC 的適應性，該垂直連接件 VC 係能夠連接至上方的佈線平面 M0、以及電晶體源極或汲極下方的區域互連件 LI 平面。在圖 6B 的截面 7 中，為了將信號輸入從頂部層體中的一電晶體搭接至底部層體中的另一電晶體，係引入往閘極區域互連件 LI 的底側垂直接觸件 VC。

**【0066】** 現在將參照圖 7 與 8A–8G 來更詳細地描述本文中的技術。為了便於解釋實施例，敘述將集中在 XOR 邏輯功能（互斥或）上。XOR 邏

輯功能係複雜或高階邏輯單元的一種示例，但本文中係考量使用其他邏輯功能。

【0067】圖 7 為利用編號為  $CFET_1 - CFET_5$  的 5 個互補式場效電晶體 (CFET) 所實施的 XOR 邏輯電路之詳細示意圖。係顯示出該電路的所有 10 個 FET。在圖 7 中，指定符  $P_x$  係表示標號  $x$  的 CFET 之 P 型電晶體，而  $N_x$  係表示標號  $x$  的 CFET 之 N 型電晶體。此外，SD1 係表示相關電晶體的第一源極/汲極區域，SD2 係表示相關電晶體的第二源極/汲極區域，而 G 表示相關電晶體的閘極。舉例來說，「 $P1_{SD1}$ 」指的是標號 1 的 CFET 之 P 型電晶體的第一 SD 區域，而「 $N1_{SD2}$ 」指的是標號 1 的 CFET 之 N 型電晶體的第二 SD 區域。類似地，「 $P1_G$ 」指的是標號 1 的 CFET 之 P 型電晶體的閘極區域。這些 CFET 係實施作為堆疊的 CFET 結構，其將進一步敘述於下。圖 7 示意性地顯示由區域互連件與接觸件所形成的必要單元間連接（細線），其亦敘述於下。

【0068】圖 8A – 8G 分別係根據本揭露實施例中圖 6A 的截面 1 – 7 之詳細圖。圖 6A 及 6B 的標號規則係沿用於圖 8A – 8G。圖例 601 以及圖 6A 的平面圖係為了參考而重新繪製在圖 8A – 8G 的每一者中。這些結構 800 的平面圖並非是沿著 A 與 B 的真實截面，而是將結構 800 的一部分顯示成透明的，以說明在平面 A 與 B 下方的結構特徵。

【0069】圖 8A 為根據本揭露之實施例的 XOR 單元之垂直截面 1 的詳細圖。結構 800 係代表具有通常平面基板表面的單片半導體基板的一部分。如圖所示，該結構 800 包括埋入式電力軌 803a，以作為將電力輸送至 p 型電晶體的 VDD；以及埋入式電力軌 803b，以作為將電力輸送至 n 型電晶

體的 VSS。SD 區域  $P3_{SD1}$ 、 $N3_{SD1}$ 、 $N2_{SD1}$ 、 $P2_{SD1}$  係在基板的厚度方向中彼此依序堆疊。在圖 8A 的實施例中，電晶體的 SD 區域係在該結構的主動裝置柱 812 內共線地堆疊。此外，SD 區域  $P3_{SD1}$  及  $N3_{SD1}$  形成與 XOR 單元的  $CFET_3$  相關的 SD 區域互補對，而 SD 區域  $P2_{SD1}$  及  $N2_{SD1}$  形成與 XOR 單元的  $CFET_2$  相關的 SD 區域互補對。因此，藉由電晶體的摻雜類型而將堆疊的電晶體對配置為交替的堆疊位向（即，n 在 p 上，接著是 p 在 n 上）改善了植佈與功函數沉積的效率。比起將堆疊中的所有裝置對保持在相同的堆疊順序（n-p n-p），交替的位向可改善植佈以及特定裝置類型之選擇性沉積的處理效率。

**【0070】** 數種區域互連件與接觸結構係提供以將必要的半導體裝置進行電性連接，以形成 XOR 電路。具體來說，埋入式電力軌 803a 係分別透過電力牆 805a 與水平互連墊片 807 及 808 而連接至  $P3_{SD1}$  及  $P2_{SD1}$ ，而埋入式電力軌 803b 係分別透過電力牆 805b 與水平互連墊片 809 及 810 而連接至  $N3_{SD1}$  及  $N2_{SD1}$ 。還顯示 M0 層的佈線 811。圖 8A 的結構特徵係顯示在從圖 6A 所重新繪製的平面圖中，其中該平面圖係部分透明的以顯示位於平面 A 及 B 下方的結構特徵。舉例來說，平面圖 A 顯示區域互連墊片 808、以及位在區域互連墊片 808 的平面下方之一平面上的區域互連墊片 810。類似地，平面圖 B 顯示區域互連墊片 809、以及位在區域互連墊片 809 的平面下方之一平面上的區域互連墊片 807。

**【0071】** 圖 8B 為根據本揭露之實施例的 XOR 單元之垂直截面 2 的詳細圖。如圖所示，閘極區域  $P3_G$ 、 $N3_G$ 、 $N2_G$ 、 $P2_G$  係在基板的厚度方向中彼此依序堆疊。如上方圖 6 中所述，這些閘極區域係實施作為分離閘極，

使得各閘極區域可獨立地進行接觸。在圖 8B 的實施例中，電晶體的閘極區域係共線地進行堆疊。區域互連件 813 及 815 係在 y 方向中延伸以與如下方所述的閘極區域 P5<sub>G</sub>、N5<sub>G</sub> 連接。閘極對閘極搭接片 817 及 818 係將公共連接提供至堆疊閘極的 P2<sub>G</sub> 與 N2<sub>G</sub> 對。此外，閘極接觸件 819 係與佈線 811 連接，以將 A2 輸入提供至 XOR 單元。因此，平面圖 A 的透明度顯示出佈線 811、以及位於該佈線下方的閘極接觸件 819、與位於 P2<sub>G</sub> 下方的閘極搭接片 817。類似地，平面圖 B 的透明度顯示出互連件 815、以及位於 P3<sub>G</sub> 下方的互連件 813。

【0072】圖 8C 為根據本揭露之實施例的 XOR 單元之垂直截面 3 的詳細圖。如圖所示，SD 區域 P3<sub>SD2</sub>、N3<sub>SD2</sub>、N2<sub>SD2</sub>、P2<sub>SD2</sub> 係在該結構的主動裝置柱 812 內彼此依序共線地堆疊。亦即，P3<sub>SD2</sub>、N3<sub>SD2</sub>、N2<sub>SD2</sub>、P2<sub>SD2</sub> 形成 XOR 單元的 CFET<sub>3</sub> 及 CFET<sub>2</sub> 的電晶體所用的第二 SD 區域。此外，SD 區域 P3<sub>SD2</sub>、N3<sub>SD2</sub>、N2<sub>SD2</sub>、及 P2<sub>SD2</sub> 分別與 P5<sub>SD1</sub>、N5<sub>SD1</sub>、N4<sub>SD1</sub>、P4<sub>SD1</sub> 各自形成公共的源極—汲極，而形成 XOR 單元的 CFET<sub>5</sub> 及 CFET<sub>4</sub> 的電晶體所用的第一汲極區域。亦如圖所示，形成 P2<sub>SD2</sub> 及 P4<sub>SD1</sub> 的公共 SD 區域係透過水平互連墊片 821 及垂直接觸件 823 而連接至 CFET 的下方層體中的區域互連件 815。類似地，形成 N2<sub>SD2</sub> 及 N4<sub>SD1</sub> 的公共 SD 區域係透過水平互連墊片 825 及垂直接觸件 827 而連接至區域互連件 813。因此，平面圖 A 的透明度顯示出佈線 811、以及位於 N3<sub>SD2</sub> 下方的互連墊片 821 及 SD 接觸件 823。類似地，平面圖 B 的透明度顯示出互連件 813、以及位於 P3<sub>SD2</sub> 下方的互連件 815。

【0073】圖 8D 為根據本揭露之實施例的 XOR 單元之垂直截面 4 的詳細圖。如圖所示，分離的閘極區域  $P5_G$ 、 $N5_G$ 、 $N4_G$ 、及  $P4_G$  係在基板的厚度方向中彼此依序堆疊。此外，閘極區域  $P4_G$  及  $N4_G$  係彼此交錯的，使得可變高度的閘極接觸件 839 及 841 可提供與頂部佈線的 M0 層面之佈線 833 及 837 的接觸。亦顯示佈線 835。分離的閘極區域  $P5_G$  及  $N5_G$  係分別連接至閘極接觸件 829 及 831。

【0074】圖 8E 為根據本揭露之實施例的 XOR 單元之垂直截面 5 的詳細圖。如圖所示，SD 區域  $P5_{SD2}$ 、 $N5_{SD2}$ 、 $N4_{SD2}$ 、及  $P4_{SD2}$  係在該結構的主動裝置柱 812 內彼此依序共線地堆疊。亦即， $P5_{SD2}$ 、 $N5_{SD2}$ 、 $N4_{SD2}$ 、及  $P4_{SD2}$  形成 XOR 單元的 CFET 5 及 4 的電晶體所用的第二 SD 區域。此外，這些 SD 區域係提供作為混合磊晶生長區域 839，以有效率地收集複數垂直堆疊電晶體的輸出，並將它們接線至 XOR 電路的公共輸出接腳。這種輸出係藉由 SD 接觸件 841 及 M0 的佈線 835 所提供。

【0075】圖 8F 為根據本揭露之實施例的 XOR 單元之垂直截面 6 的詳細圖。如圖所示，SD 區域  $N1_{SD1}$ 、 $P1_{SD1}$  係在該結構的主動裝置柱 812 內彼此依序共線地堆疊。亦即， $N1_{SD1}$ 、 $P1_{SD1}$  形成 XOR 單元的 CFET<sub>1</sub> 的電晶體所用的第一 SD 區域。亦如圖所示，公共 SD 區域  $P1_{SD1}$  係透過水平互連墊片 843 及垂直接觸件 845 而連接至佈線 833。類似地，形成  $N1_{SD1}$  的 SD 區域係透過水平互連墊片 847 及垂直 SD 接觸件 849 而連接至區域互連件 831。亦顯示區域互連件 829。因此，平面圖 A 的透明度顯示出佈線 833、互連墊片 843 及 SD 接觸件 845。類似地，平面圖 B 的透明度顯示出互連墊片 847 以及接觸件 849 與互連件 831。

【0076】圖 8G 為根據本揭露之實施例的 XOR 單元之垂直截面 7 的詳細圖。如圖所示，閘極區域 N1<sub>G</sub> 及 P1<sub>G</sub> 係在基板的厚度方向中彼此依序堆疊。在圖 8G 的實施例中，係將電晶體的閘極區域共線地堆疊。閘極對閘極搭接片 851 及 852 係提供往堆疊閘極對 N1<sub>G</sub> 及 P1<sub>G</sub> 的公共連接。此外，閘極接觸件 853 係與佈線 837 連接以將 A1 輸入的一部分提供至 XOR 單元。閘極接觸件 855 將公共閘極連接至區域互連件 829。因此，平面圖 A 的透明度顯示出佈線 837、以及位於該佈線下方的閘極接觸件 853、與位於 N1<sub>G</sub> 下方的閘極搭接片 851。類似地，平面圖 B 的透明度顯示出互連件 829 以及位於 N1<sub>G</sub> 下方的閘極接觸件 855。

【0077】本文中所使用的術語僅係出自描述特定實施例的目的，而並非意旨於限制本發明。除非在上下文中另外明確指出，否則本文中所使用的單數形式「一」、「一」及「該」也意旨於包括複數形式。還將能理解的是，當在本說明書中使用術語「包括」及/或「包括」時，係指明所述特徵、整體、步驟、操作、元件、及/或構件的存在，但並不排除存在或附加一或更多特徵、整體、步驟、操作、元件、構件、及/或其群組。

【0078】在下方申請專利範圍中的相應結構、材料、動作、及所有方法或步驟加上功能元件的等同物係意旨於包括與具體請求保護之其他請求保護元件結合以執行功能所用的任何結構、材料、或動作。本發明的實施方式已出自說明及描述的目的而呈現，但並非意旨為窮舉性或將本發明限制在所揭露的形式中。在不背離本發明的範圍及精神的情況下，許多修改及變更對於本領域中具有通常知識者來說將為顯而易知的。實施例係選擇並描述以最佳地解釋本發明的原理及實際應用，並使本領域中的其他具有

通常知識者能夠以具有各種修改的各種實施例來理解本發明，其中該等修改係適於預期的特定用途。

**【0079】** 上方的實施方式係意旨於繪示本發明概念的可行實行例，且並非為限制性的。在檢閱本揭露之後，許多變更、修改、及替代對於本領域中具有通常知識者將變得顯而易知。舉例來說，可因此以與示出及描述的那些構件等同的構件進行替換、可將獨立描述的元件及方法進行組合、以及可將描述為分散的元件分佈在許多構件上。因此，本發明的範圍不應參照上方的實施方式，而是應該參照隨附申請專利範圍及其等同物的完整範圍所判定。

**【0080】** 在整份說明書中提及「一實施例」或「實施例」是代表與該實施例結合描述的特定特徵、結構、材料、或特性係包括在至少一實施例中，但不表示它們存在於每個實施例中。因此，在說明書各處出現的詞組「在一實施例中」並不一定指向相同實施例。此外，特定特徵、結構、材料、或特性可利用任何合適的方法以在一或更多實施例中結合。

### **【符號說明】**

#### **【0081】**

100: 積體電路 (IC)

101, 103, 105, 107, 109, 111, 113: 晶片

115: 矽穿孔 (TSV)

200: 結構

210: 基底晶圓

- 211: nMOS
- 213: pMOS
- 215: 佈線
- 200: 薄化矽晶絕緣體 (SoI) 層
- 225: 氧化物－氧化物接合
- 300: IC 結構
- 301－307: n 型電晶體
- 309－315: p 型電晶體
- 317: 單元邊界
- 319: 接腳
- 400: 互斥或 (XOR) 電路
- 401, 403, 405: 反向器
- 407, 409: 互補式 FET 電路
- 500: 單元
- 501: 圖例
- 503: 主動區域
- 505: 電力軌
- 506: 中間電力軌
- 507, 509: 接觸件
- 511: 下方層體
- 513: 佈線層體
- 515: 中間層體

- 517: 頂部層體
- 519: 底部層
- 600: 結構
- 601: 圖例
- 800: 結構
- 803a, 803b: 埋入式電力軌
- 805a, 805b: 電力牆
- 807, 808, 809, 810: 互連墊片
- 811: 佈線
- 812: 主動裝置柱
- 813, 815: 互連件
- 817, 818: 閘極搭接片
- 819: 閘極接觸件
- 821, 825: 互連墊片
- 823, 827, 829, 831: 垂直接觸件
- 833, 835, 837: 佈線
- 839: 混合磊晶生長區域
- 839, 841: 接觸件
- 843: 互連墊片
- 845: 接觸件
- 847: 互連墊片
- 849: 接觸件

851, 852: 閘極搭接片

853, 855: 閘極接觸件

M0, M1, M<sub>x</sub>: 佈線

BPR: 埋入式電力軌

PW: 電力牆

LIT: 區域互連墊片

LI: 區域互連件

GS: 閘極搭接片

VC: 垂直接觸件

ME: 混合磊晶結構

N1<sub>SD1</sub>, P1<sub>SD1</sub>, N2<sub>SD1</sub>, P2<sub>SD1</sub>, N2<sub>SD2</sub>, P2<sub>SD2</sub>, P3<sub>SD1</sub>, N3<sub>SD1</sub>, P3<sub>SD2</sub>, N3<sub>SD2</sub>,

N4<sub>SD1</sub>, P4<sub>SD1</sub>, N4<sub>SD2</sub>, P4<sub>SD2</sub>, P5<sub>SD1</sub>, N5<sub>SD1</sub>, P5<sub>SD2</sub>, N5<sub>SD2</sub>,: SD 區域

N1<sub>G</sub>, P1<sub>G</sub>, P2<sub>G</sub>, N2<sub>G</sub>, P3<sub>G</sub>, N3<sub>G</sub>, N4<sub>G</sub>, P4<sub>G</sub>, P5<sub>G</sub>, N5<sub>G</sub>,: 閘極區域

## 【發明申請專利範圍】

【請求項1】 一種三維（3D）積體電路（IC），包括：

一基板，具有一基板表面；

一電力軌，設置在該基板中；

一第一半導體裝置，設置在該基板中並且沿著該基板的一厚度方向設置於該電力軌上，該基板的該厚度方向係實質垂直於該基板表面，該第一半導體裝置在沿著該基板表面之一水平方向具有一第一閘極、以及設置在該第一閘極之相對側上的一第一對源極－汲極區域；

一第二半導體裝置，設置在該基板中並且沿著該厚度方向而堆疊在該第一半導體裝置上，該第二半導體裝置在沿著該基板表面之一水平方向具有一第二閘極、以及設置在該第二閘極之相對側上的一第二對源極－汲極區域，該第一閘極係與該第二閘極物理性分離；

其中該第一閘極在垂直於該厚度方向的一第一平面具有一頂面，且該第二閘極在垂直於該厚度方向的一第二平面具有一底面使得該頂面的一第一面向部份直接相對於該底面的一第二面向部份；

一導電性閘極對閘極（gate-to-gate）搭接片，包括一垂直接觸件從該第一面向部分延伸連接至該第二面向部分，使得該垂直接觸件位在該等面向部分之間且該第一閘極係電性連接至該第二閘極；以及

一混合磊晶結構，該混合磊晶結構係將該第一半導體裝置的一源極－汲極區域與該第二半導體裝置的一源極－汲極區域連接。

【請求項2】 如請求項 1 之 3D IC，其中該第一閘極與該第二閘極係共線地堆疊。

【請求項3】如請求項 2 之 3D IC，其中該導電性閘極對閘極搭接片包括彼此物理性分離的複數該垂直接觸件。

【請求項4】如請求項 1 之 3D IC，其中該第一閘極與該第二閘極係堆疊成一交錯配置。

【請求項5】如請求項 1 之 3D IC，其中該混合磊晶結構係配置以提供來自該 3D IC 的一公共輸出接腳。

【請求項6】如請求項 1 之 3D IC，更包括從該電力軌垂直延伸的一電力牆。

【請求項7】一種三維(3D)積體電路 (IC)，包括：

一基板，具有一基板表面；

一電力軌，設置在該基板中；

一第一半導體裝置，設置在該基板中並且沿著該基板的一厚度方向設置於該電力軌上，該基板的該厚度方向係實質垂直於該基板表面，該第一半導體裝置在沿著該基板表面之一水平方向具有一第一閘極、以及設置在該第一閘極之相對側上的一第一對源極－汲極區域；

一第二半導體裝置，設置在該基板中並且沿著該厚度方向而堆疊在該第一半導體裝置上，該第二半導體裝置在沿著該基板表面之一水平方向具有一第二閘極、以及設置在該第二閘極之相對側上的一第二對源極－汲極區域，該第一閘極係與該第二閘極物理性分離；

一導電性閘極對閘極 (gate-to-gate) 搭接片，從該第一閘極延伸連接至該第二閘極，使得該第一閘極係電性連接至該第二閘極，其中該第一閘極與該第二閘極係堆疊成一交錯配置；

一第一閘極接觸件，連接至該第一閘極；以及

一第二閘極接觸件，連接至該第二閘極，該第一閘極接觸件具有比該第二閘極接觸件更大的垂直高度。

**【請求項8】** 如請求項 7 之 3D IC，更包括一佈線層，該佈線層係設置在該基板中並且沿著該厚度方向設置在該第二半導體裝置上，其中該第一閘極接觸件與該第二閘極接觸件係各自垂直地延伸以與該佈線層連接。

**【請求項9】** 一種三維（3D）積體電路（IC），包括：

一基板，具有一基板表面；

複數半導體裝置的一第一堆疊，沿著該基板的一厚度方向堆疊；

該等半導體裝置的一第二堆疊，沿著該基板的該厚度方向堆疊並且在沿著該基板表面的一方向中與該第一堆疊相鄰設置，其中該第一堆疊與該第二堆疊的各半導體裝置在沿著該基板表面的一方向包括各自的一閘極、以及設置在各自的該閘極之相對側上的一對源極－汲極區域，且該第一堆疊與該第二堆疊的各閘極係一分離閘極；以及

一閘極接觸件，物理性連接至該等半導體裝置之一第一半導體裝置的一第一分離閘極，其中該閘極接觸件形成一區域互連結構的至少一部份，該區域互連結構將該等半導體裝置之該第一半導體裝置電性連接至位於該 3D IC 中的該等半導體裝置之一第二半導體裝置。

**【請求項10】** 如請求項 9 之 3D IC，其中該第一半導體裝置及該第二半導體裝置係依序堆疊在該等半導體裝置的該第一堆疊中。

**【請求項11】** 如請求項 10 之 3D IC，其中該閘極接觸件係一閘極對閘極搭接片，該閘極對閘極搭接片係從該第一分離閘極垂直延伸至該第二半

導體裝置的一第二分離閘極，使得該第一半導體裝置及該第二半導體裝置係電性連接的。

**【請求項12】** 如請求項 11 之 3D IC，更包括：

一佈線層，在該厚度方向中設置於該等半導體裝置的該第一堆疊與該第二堆疊上；以及

一垂直接觸件，從該第二分離閘極垂直延伸，以將一公共輸入提供至該第一半導體裝置及該第二半導體裝置。

**【請求項13】** 如請求項 10 之 3D IC，其中該第一分離閘極係與該第二半導體裝置的一第二分離閘極呈現交錯的關係。

**【請求項14】** 如請求項 13 之 3D IC，更包括：

一佈線層，在該厚度方向中設置於該等半導體裝置的該第一堆疊與該第二堆疊上；

一第一垂直接觸件，從該第一分離閘極垂直延伸至該佈線層；以及

一第二垂直接觸件，從該第二分離閘極垂直延伸至該佈線層，其中該第一垂直接觸件具有比該第二垂直接觸件更高的高度。

**【請求項15】** 如請求項 9 之 3D IC，其中該第一半導體裝置及該第二半導體裝置係分別設置在該第一堆疊與該第二堆疊中。

**【請求項16】** 如請求項 15 之 3D IC，其中該區域互連結構係將該第一分離閘極電性連接至位於該等半導體裝置之該第二堆疊中的一第二分離閘極。

【請求項17】 如請求項 16 之 3D IC，其中該閘極接觸件包括一水平互連結構，該水平互連結構係從該第一堆疊沿著該基板表面延伸至該第二堆疊。

【請求項18】 如請求項 16 之 3D IC，其中該區域互連結構係將該第一分離閘極電性連接至位於該第二堆疊中之一半導體裝置的一源極－汲極區域。

【請求項19】 如請求項 18 之 3D IC，其中該閘極接觸件包括一水平互連結構，該水平互連結構從該第一堆疊沿著該基板表面延伸至該第二堆疊。

【請求項20】 如請求項19之3D IC，更包括一區域互連墊片，該區域互連墊片係從該源極－汲極區域沿著該基板表面的該方向中進行延伸，其中一垂直接觸件係從該第一分離閘極垂直延伸至該區域互連墊片。

【發明圖式】

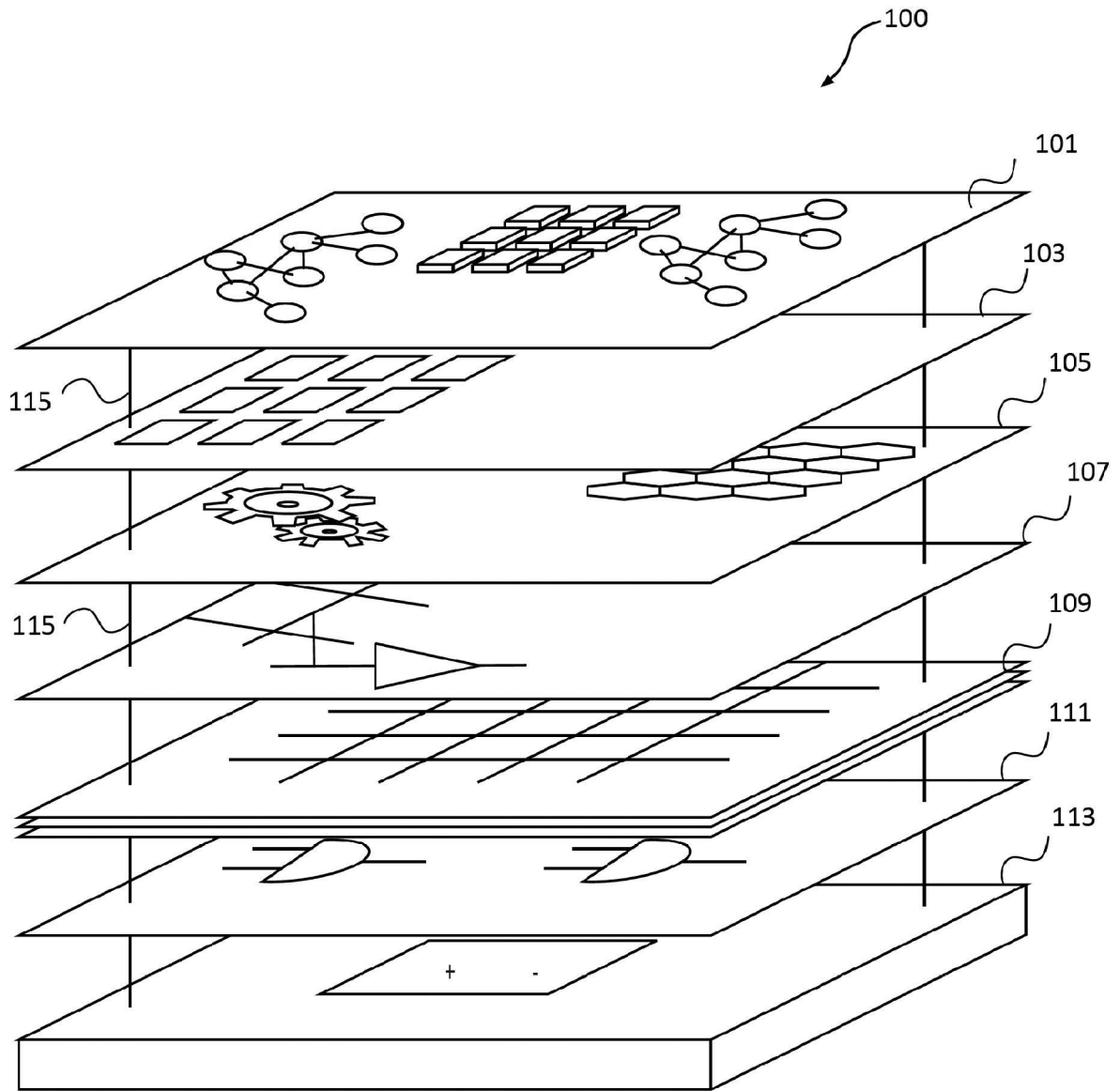


圖 1

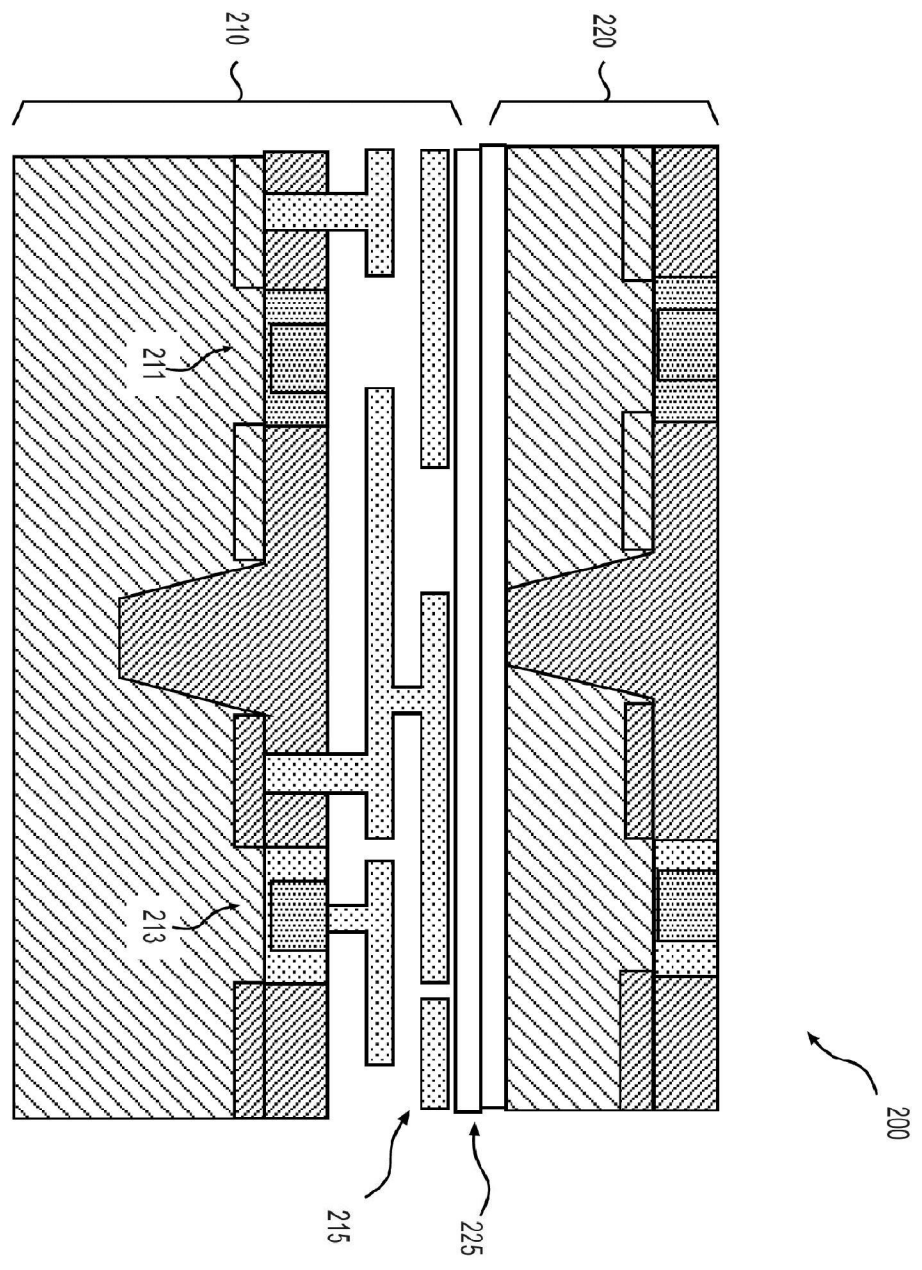


圖 2

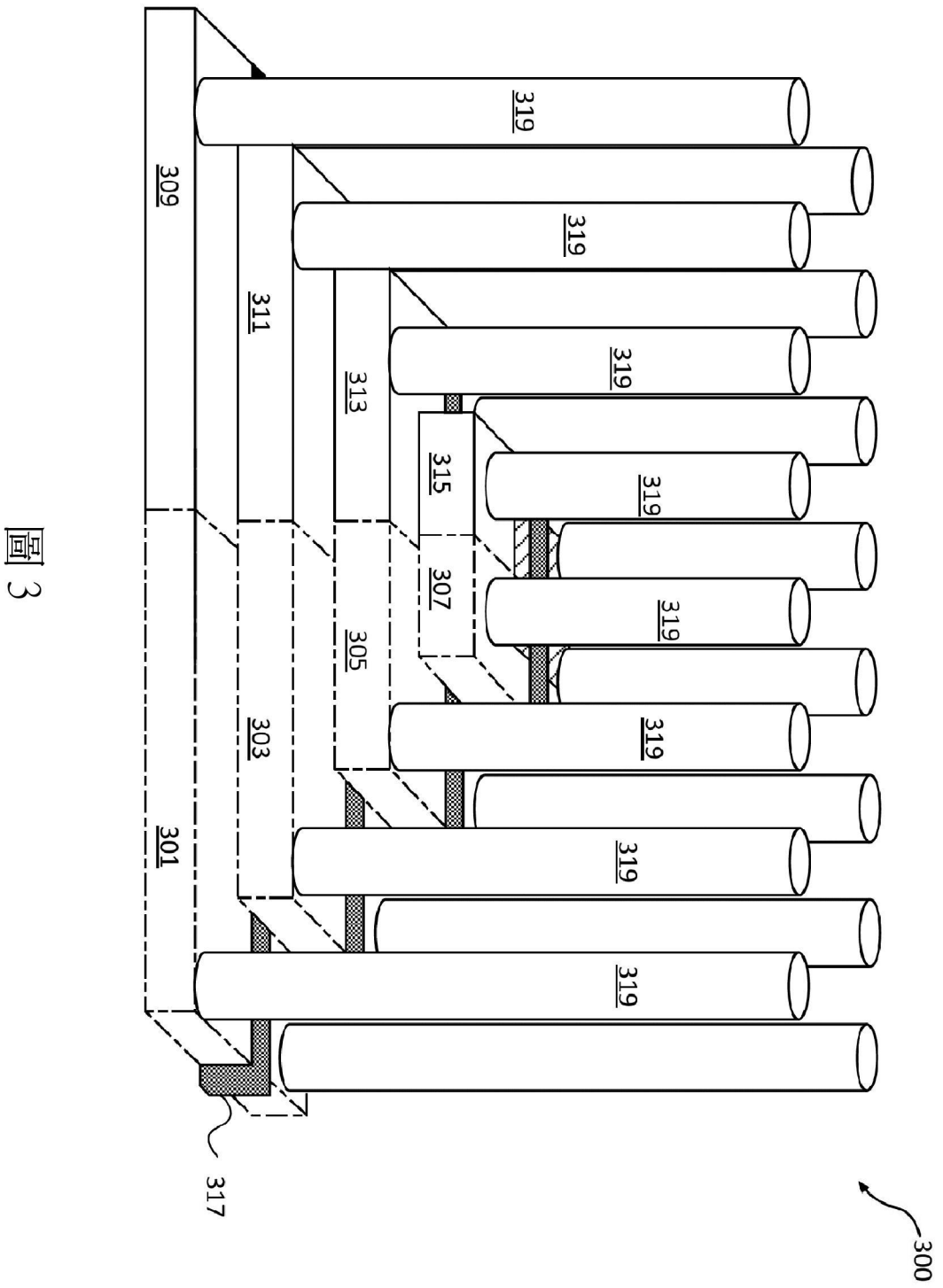


圖 3

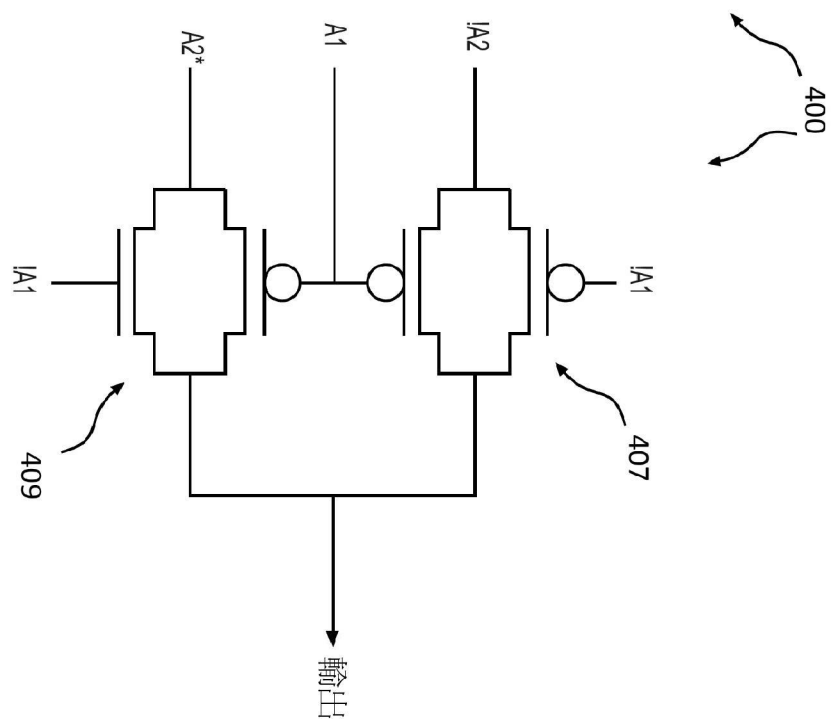
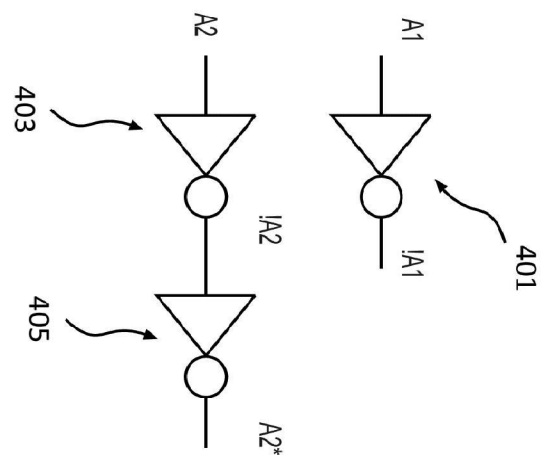


圖 4



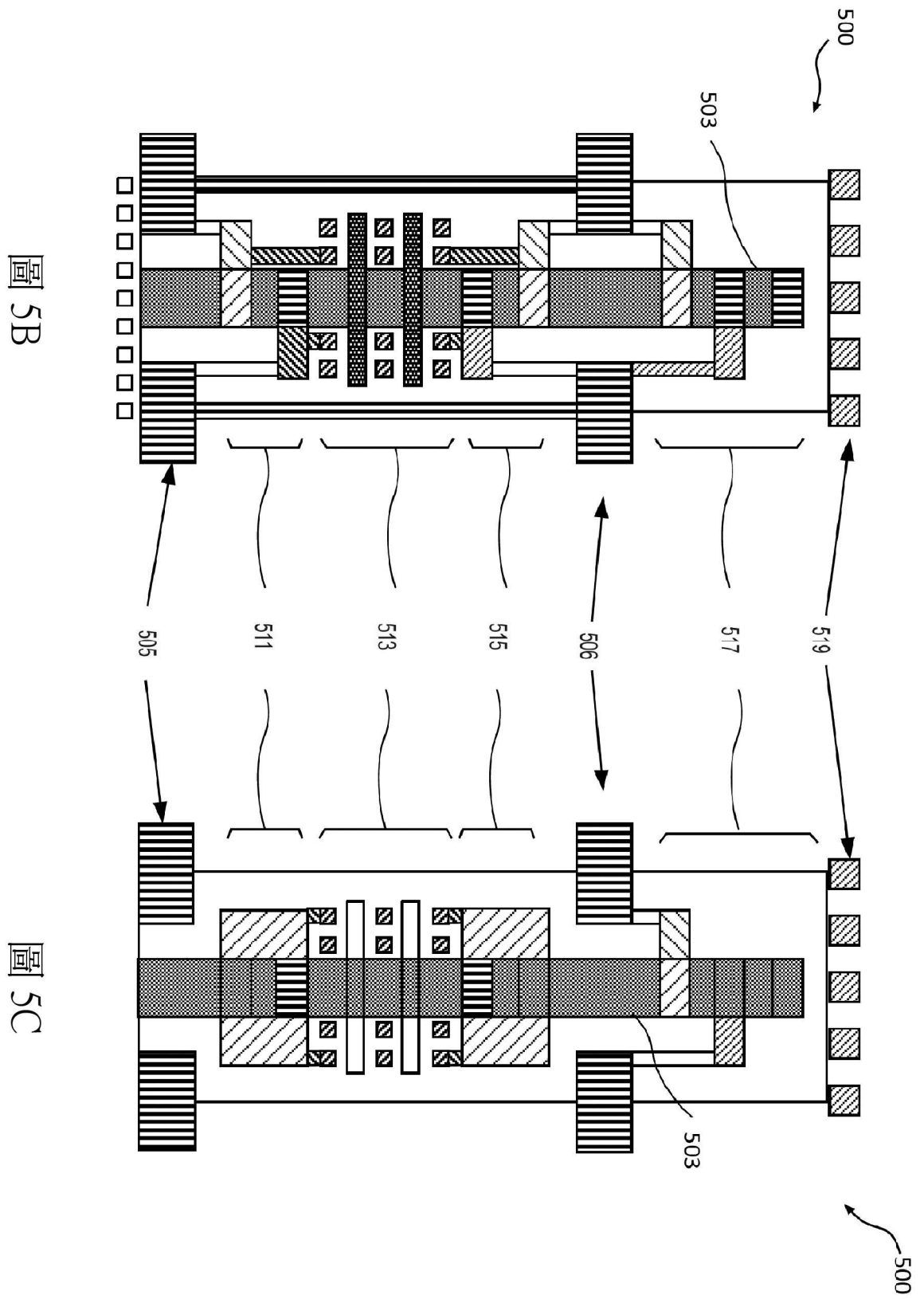


圖 5B

圖 5C

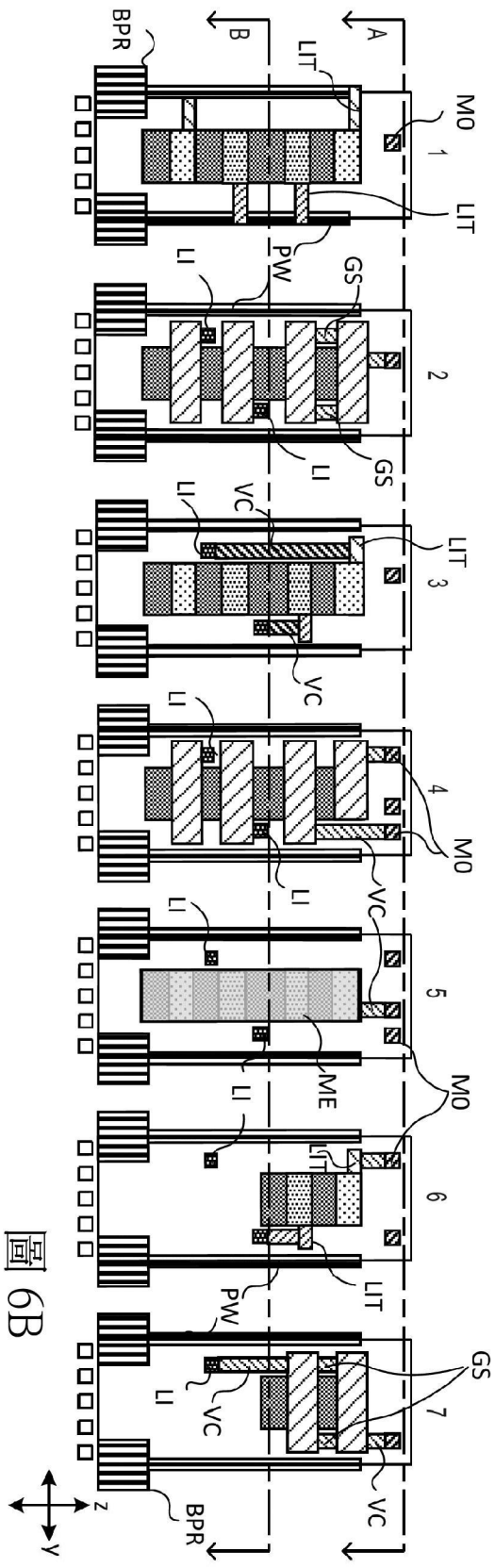


圖 6B

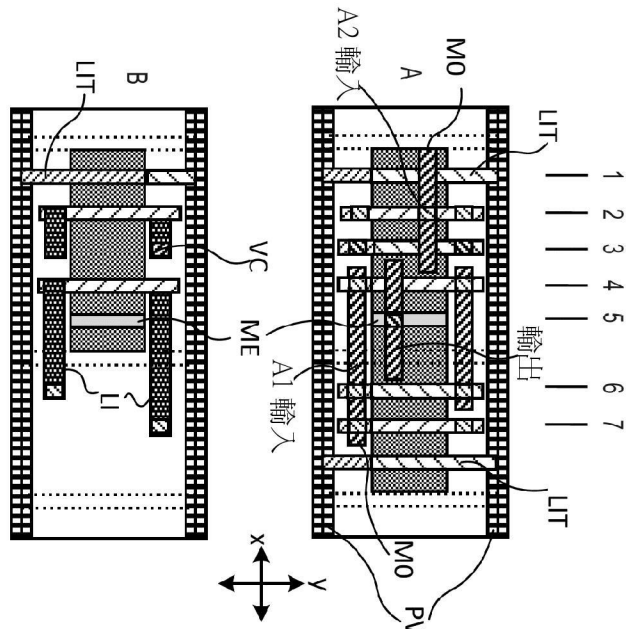
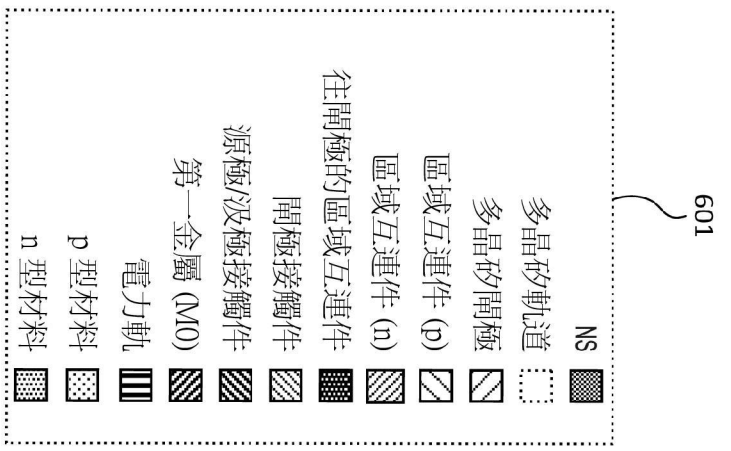


圖 6A

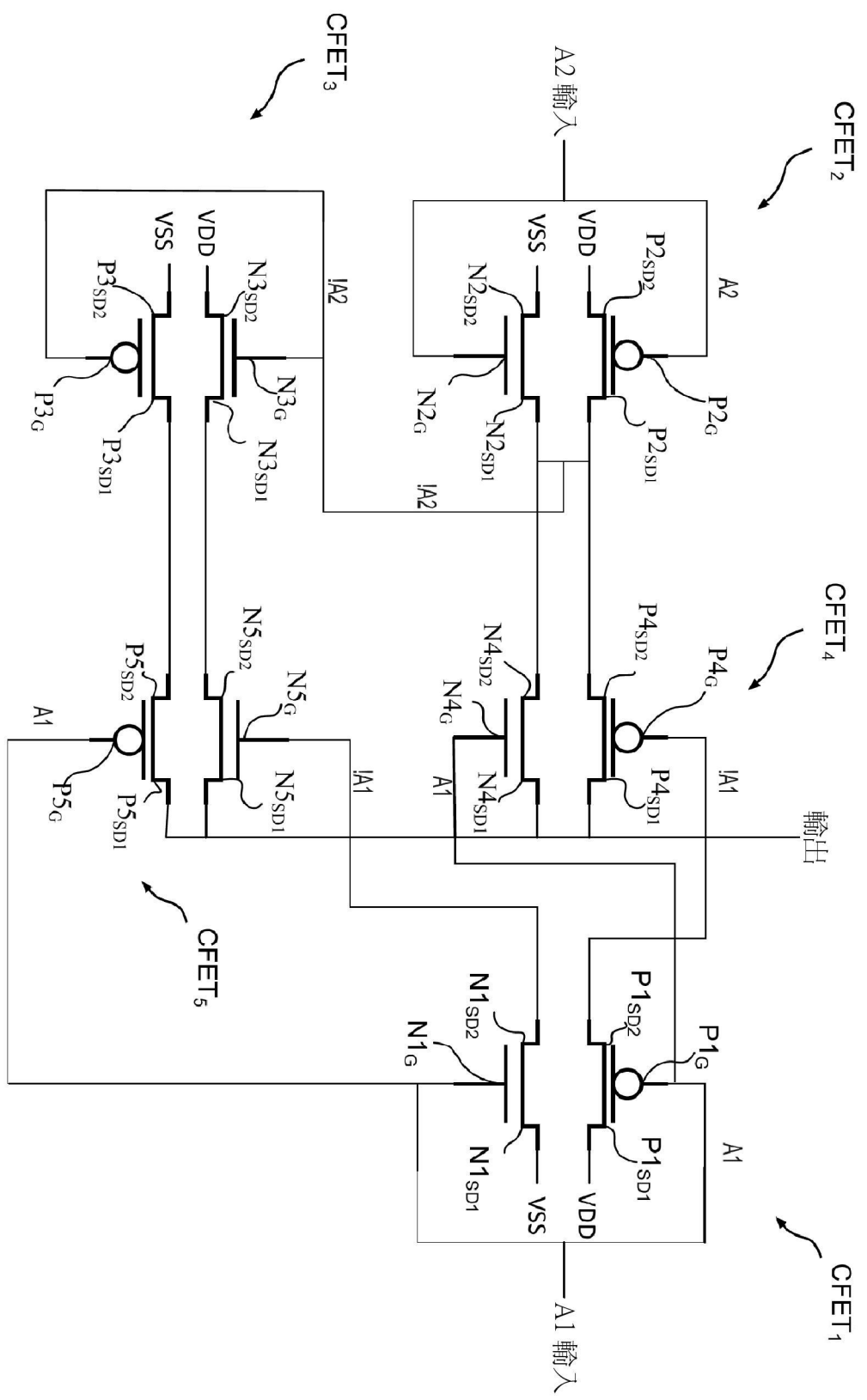


圖 7

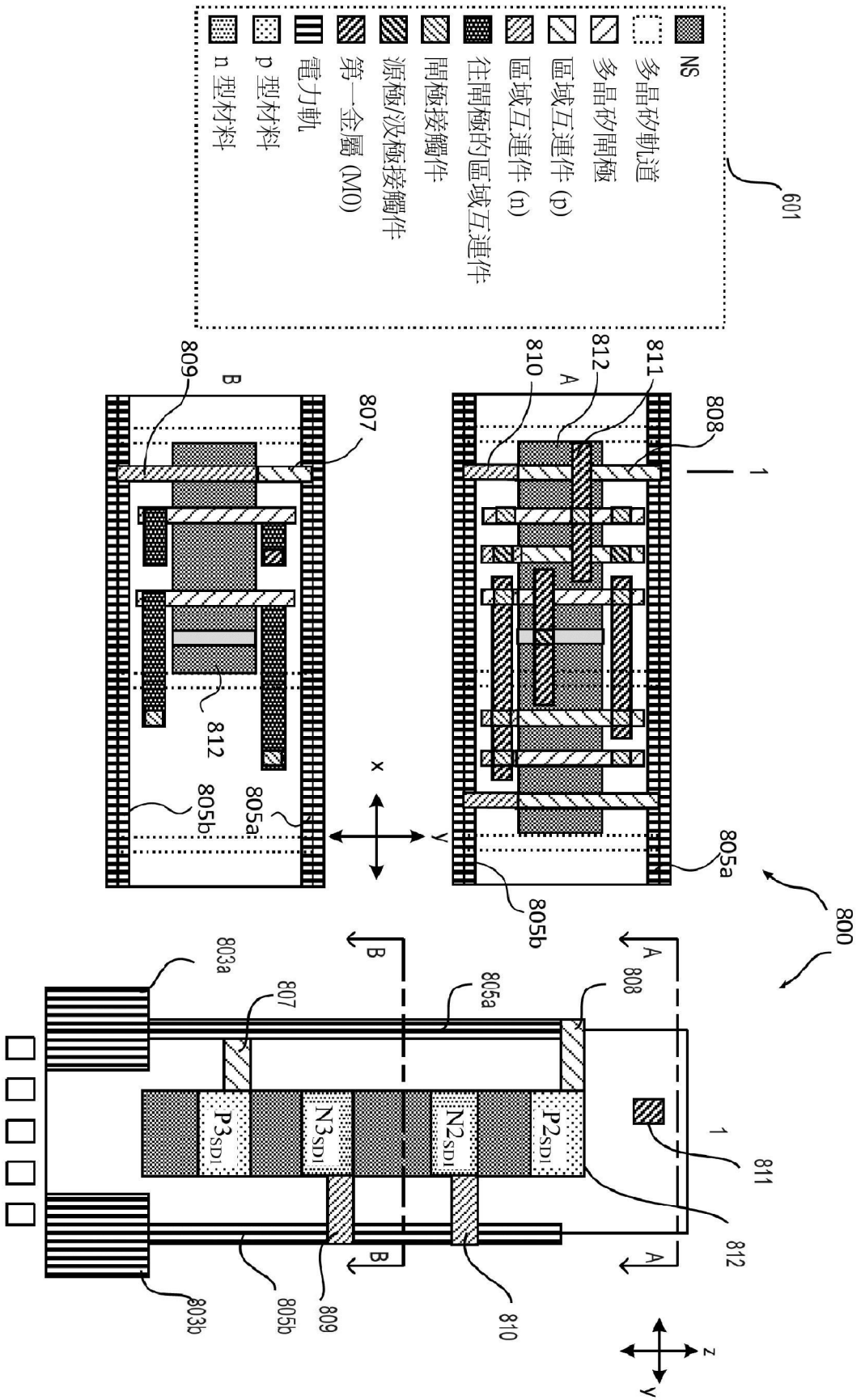


圖 8A

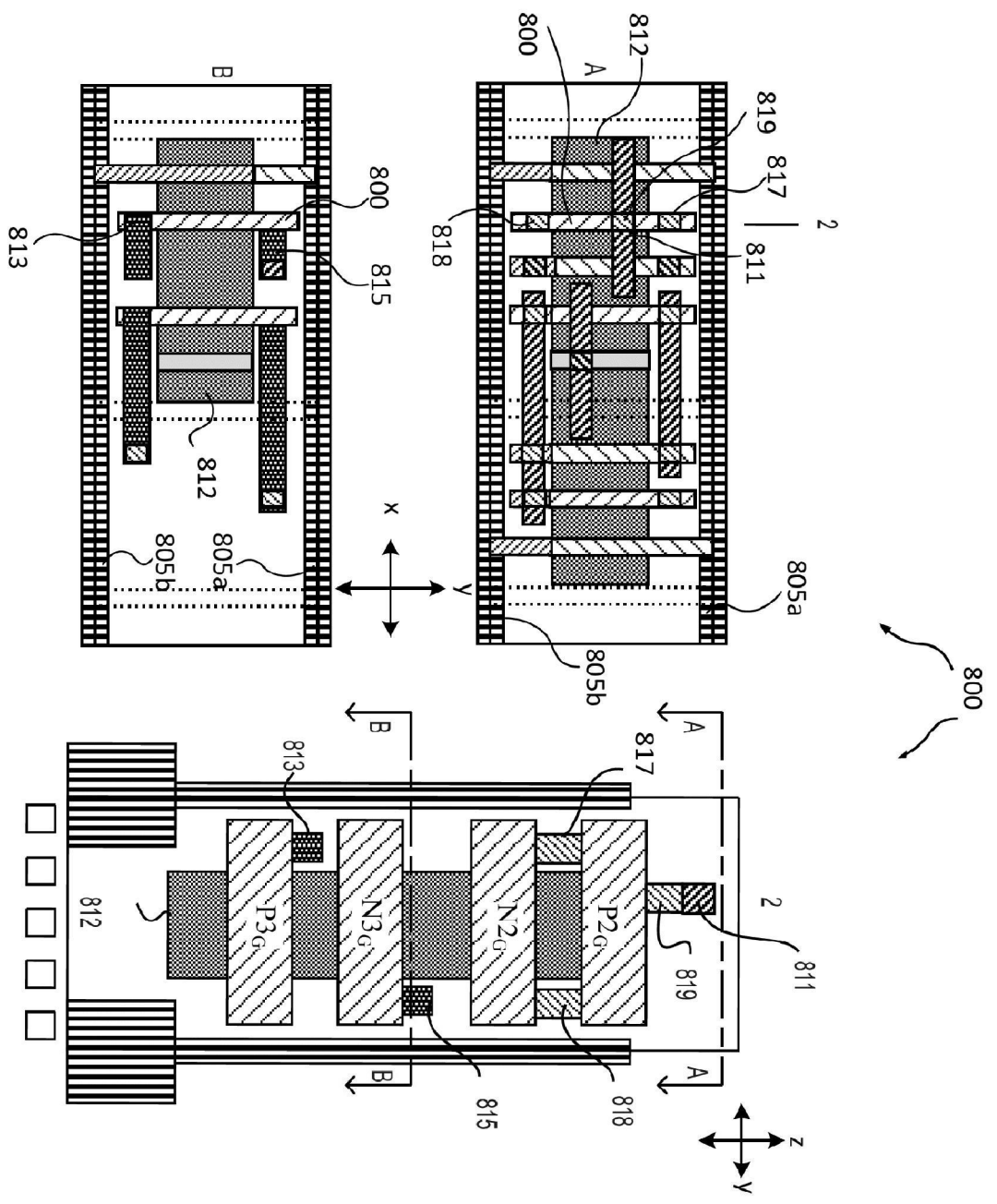
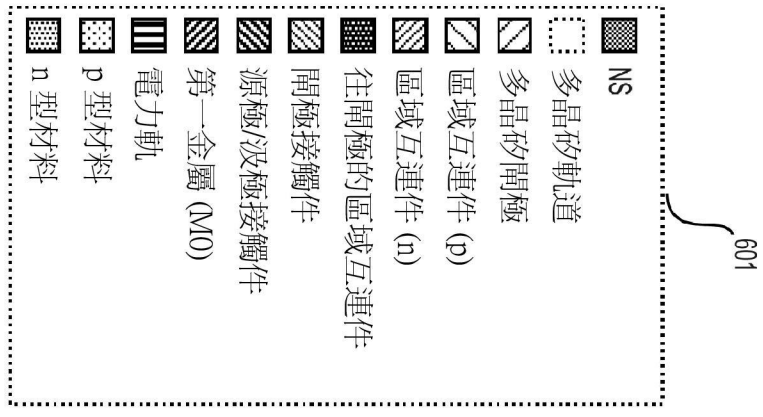


圖 8B



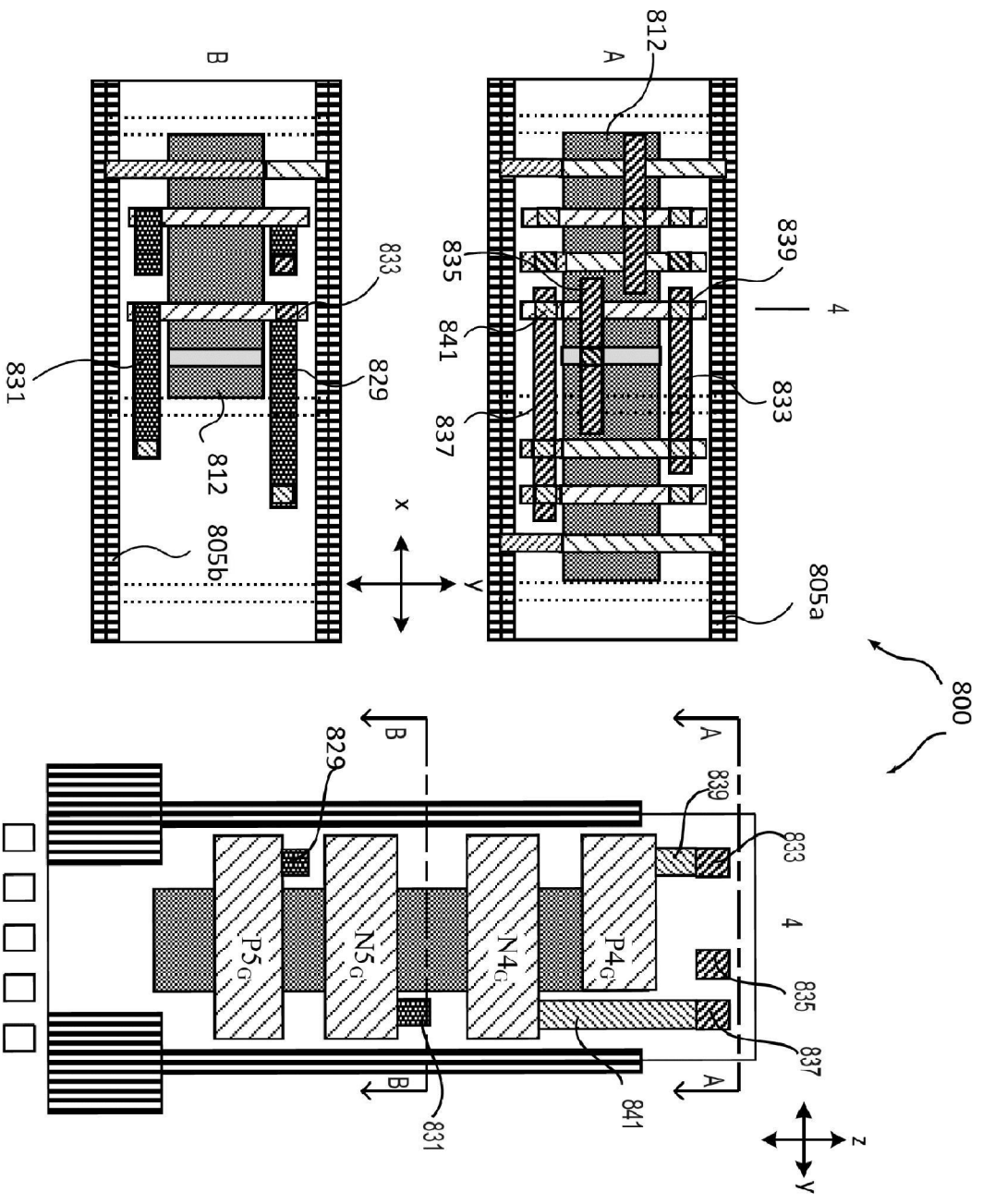
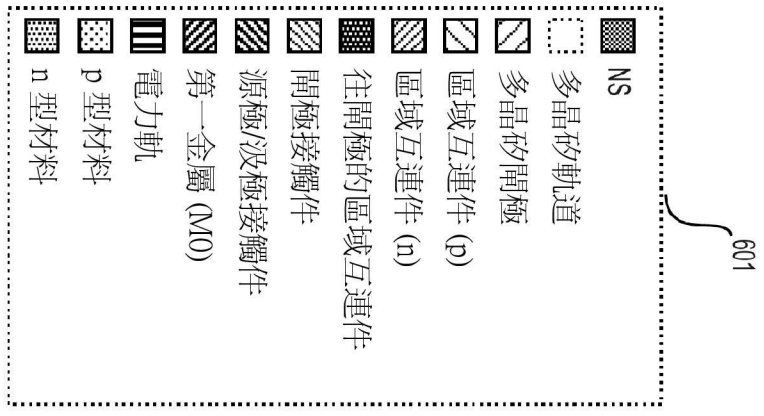


圖 8D

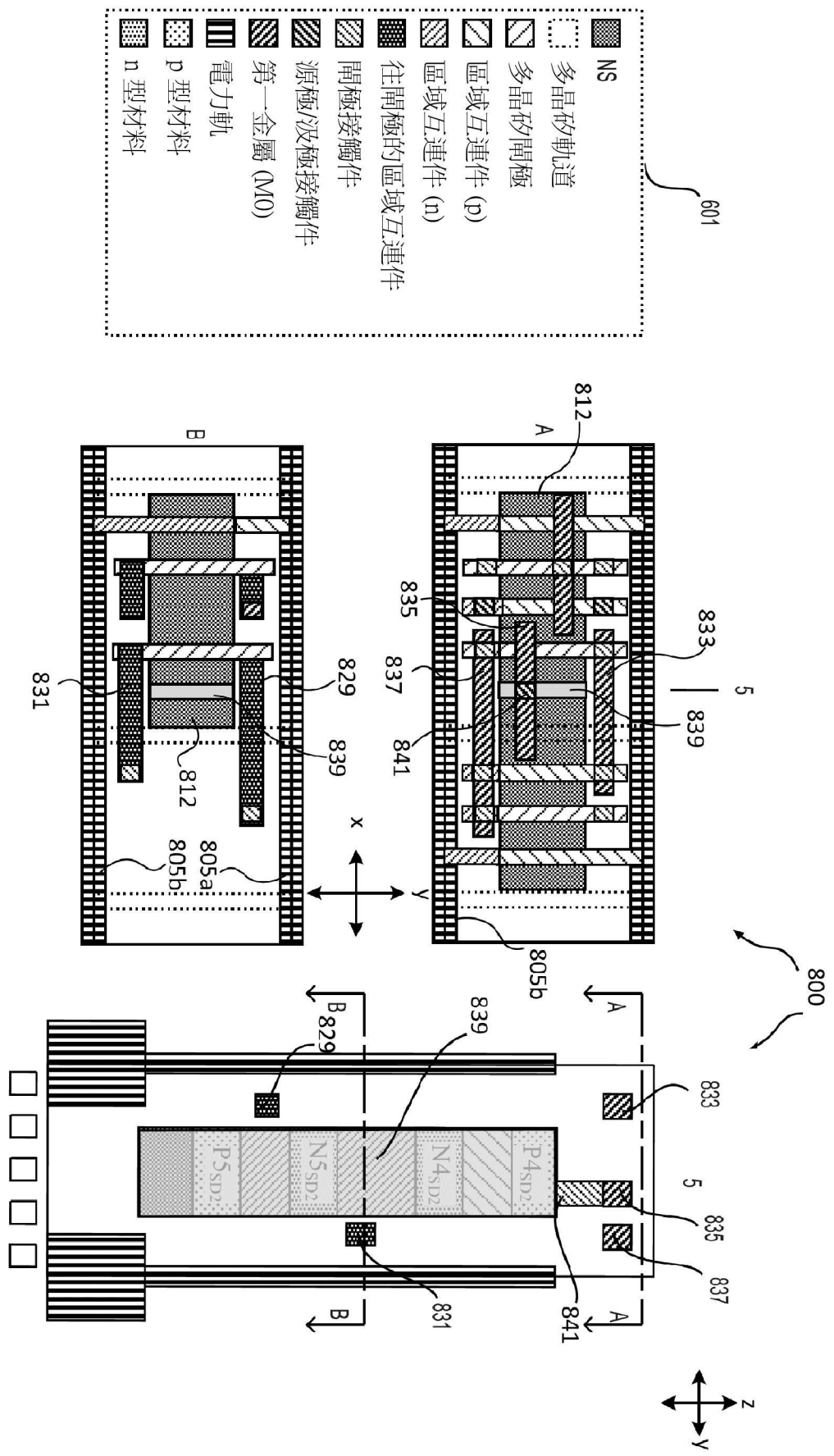


圖 8E

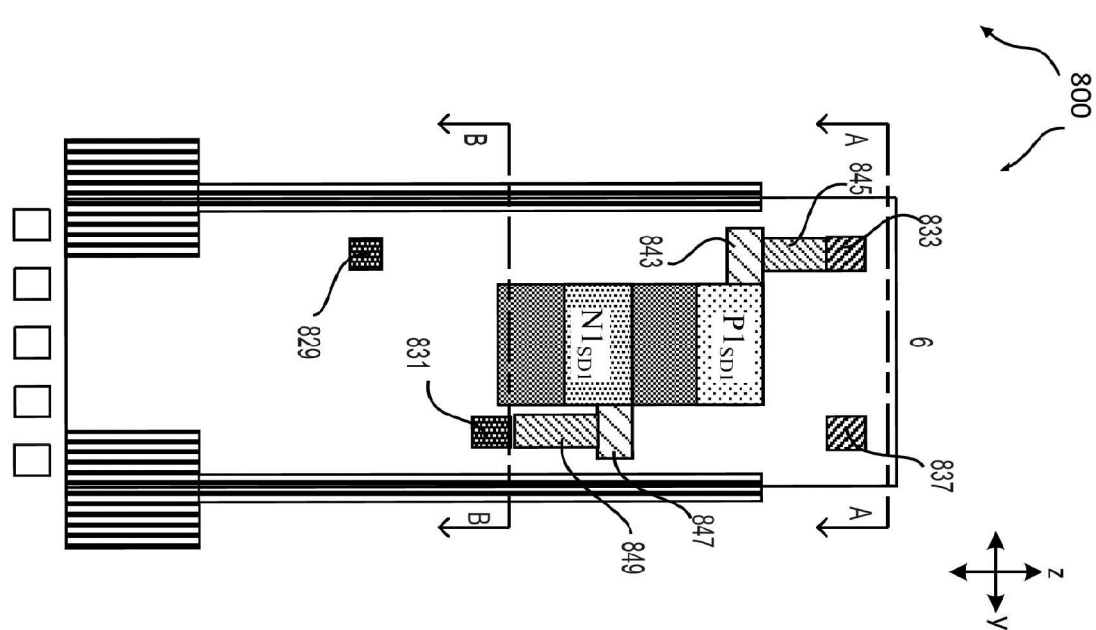
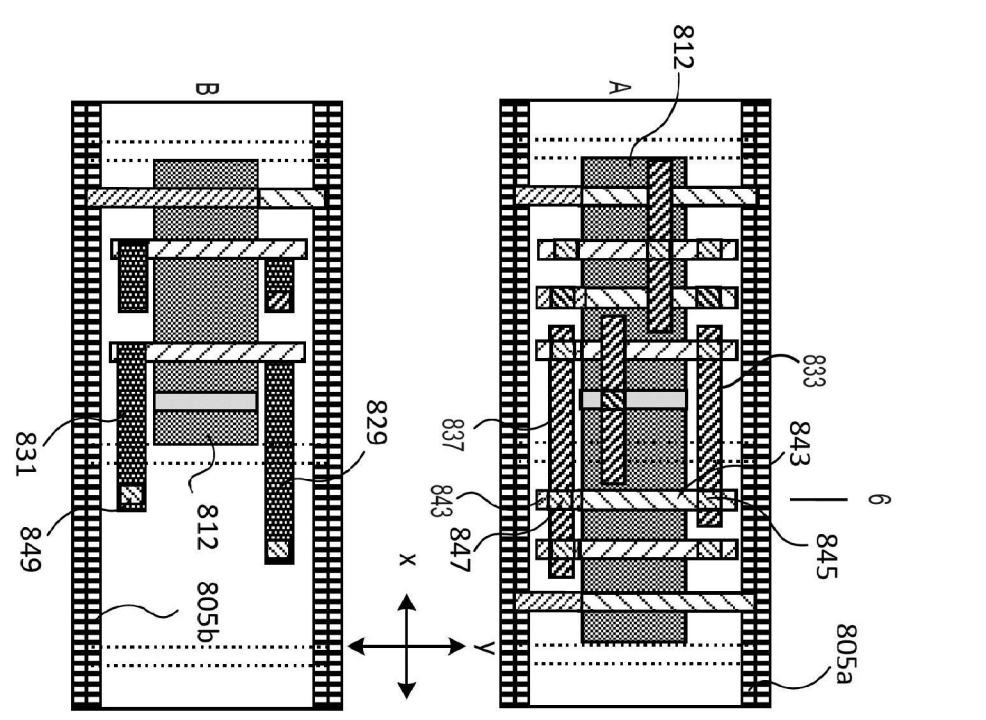
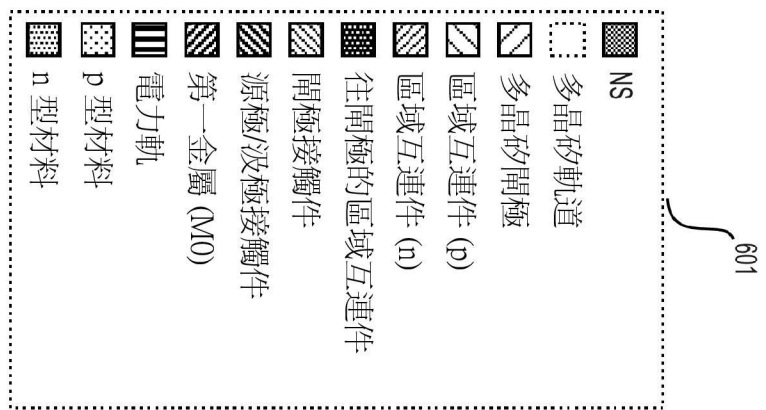


圖 8F

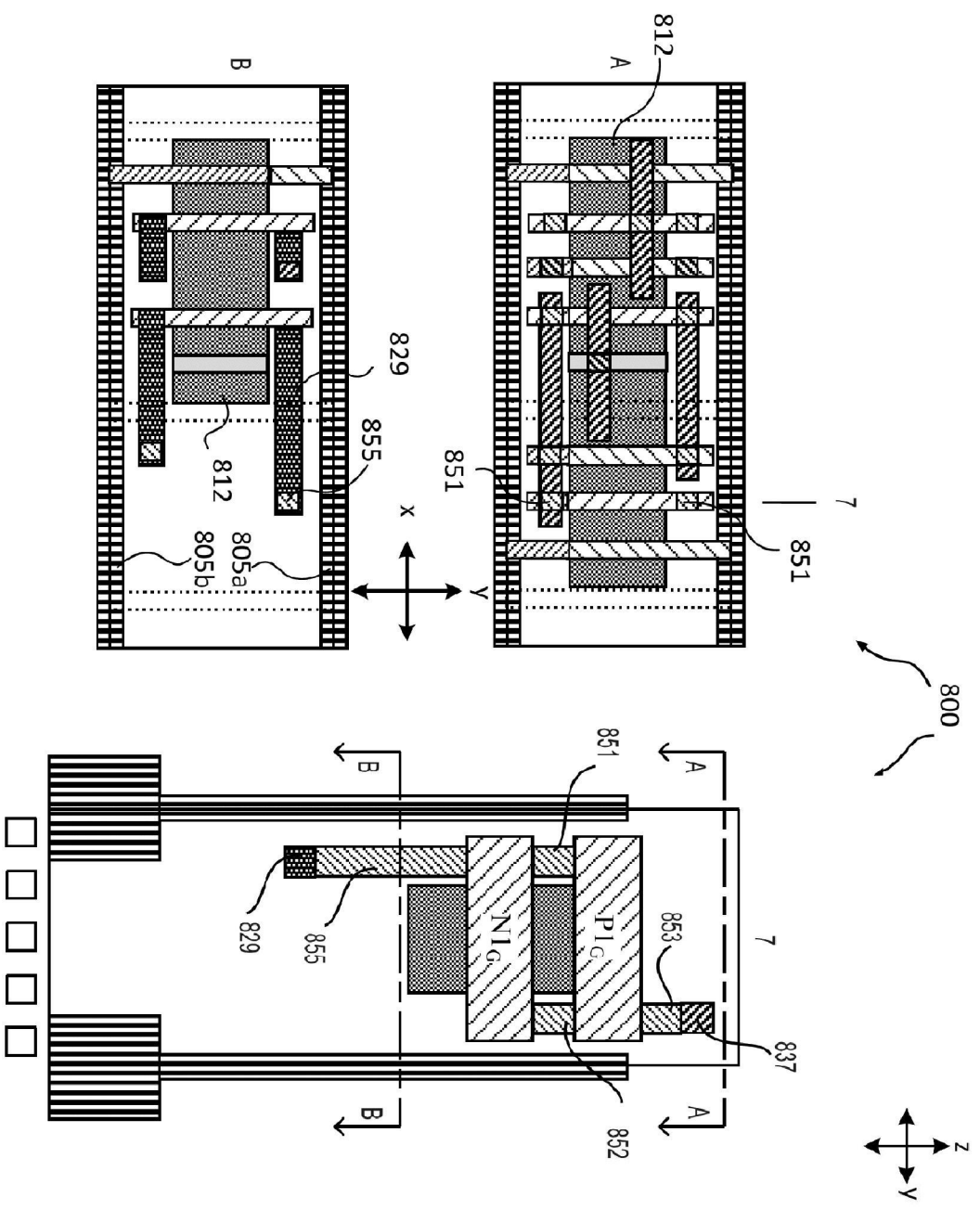
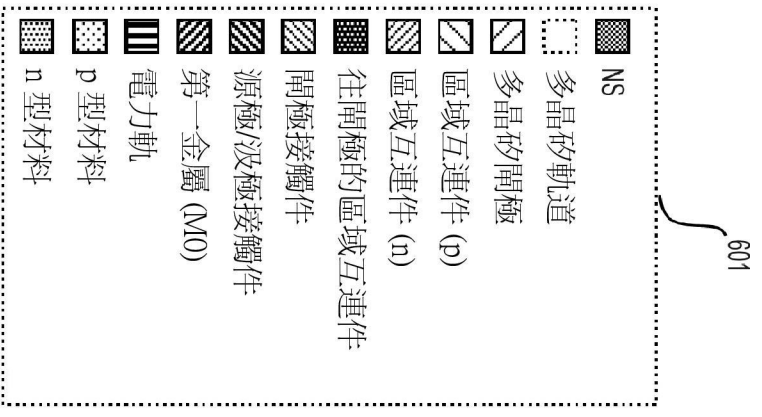


圖 8G