

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月23日(23.04.2020)



(10) 国際公開番号

WO 2020/080429 A1

(51) 国際特許分類:

H01L 21/822 (2006.01) *H01L 21/66* (2006.01)
G01R 19/00 (2006.01) *H01L 27/04* (2006.01)
G01R 31/26 (2014.01)

(21) 国際出願番号: PCT/JP2019/040741

(22) 国際出願日: 2019年10月16日(16.10.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-195635 2018年10月17日(17.10.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

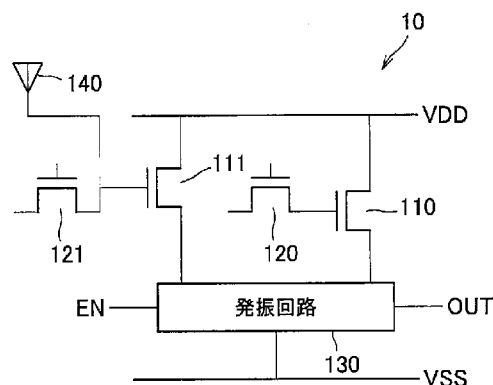
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 森 茂貴(MORI, Shigetaka); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 富田 学(TOMITA, Manabu); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(54) Title: SEMICONDUCTOR DEVICE, DETECTION METHOD, ELECTRONIC APPARATUS, AND ELECTRONIC APPARATUS CONTROL METHOD

(54) 発明の名称: 半導体装置、検出方法、電子機器及び電子機器の制御方法



130 Oscillation circuit

(57) Abstract: The purpose of the present invention is to measure the influence of a plasma induced damage (PID) with higher accuracy using an oscillation circuit. A semiconductor device is provided with: at least one measuring transistor (111) of which the gate is electrically connected with an antenna section (140) functioning as an antenna during plasma processing; a selecting transistor (121) of which the source is electrically connected with the gate of the measuring transistor in parallel with the antenna section; and an oscillation circuit (130) which is electrically connected with the source of the measuring transistor and of which the oscillation frequency fluctuates due to a threshold voltage of the measuring transistor.

(57) 要約: 発振回路を用いてより高い精度でPIDの影響を測定する。プラズマプロセスにてアンテナとして機能するアンテナ部(140)がゲートに電氣的に接続された少なくとも1以上の測定トランジスタ(111)と、前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタ(121)と、前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路(130)と、を備える、半導体装置。

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：

半導体装置、検出方法、電子機器及び電子機器の制御方法

技術分野

[0001] 本開示は、半導体装置、検出方法、電子機器及び電子機器の制御方法に関する。

背景技術

[0002] 半導体装置の製造工程で用いられるプラズマプロセスでは、電界効果トランジスタ（Field-Effect Transistor：FET）にPID（Plasma（Process）Induced Damage）と呼ばれるダメージが発生することが知られている。

[0003] PIDは、FETのゲートに接続された配線又はビアがプラズマプロセス中にアンテナとして機能することで、プラズマ中のチャージがアンテナに集められ、FETのゲート絶縁膜に電流として流入することにより発生する。PIDは、ゲート絶縁膜と半導体基板との界面に、又はゲート絶縁膜中に欠陥又はキャリアトラップ準位を発生させることで、FETの閾値電圧及びゲートリークに影響を与えてしまう。

[0004] PIDによりFETの閾値電圧が変動し、設計時に考慮されたばらつきの範囲から乖離した場合、該FETを含む半導体装置の動作に影響が生じてしまう。そのため、半導体装置では、PIDが閾値電圧及びゲートリークに及ぼす影響を正確に測定し、測定した結果に基づいて、プロセス条件、デバイス構造、及び回路設計などに反映させることが重要である。

[0005] そこで、PIDの影響を正確に測定するために、半導体装置の内部にPIDの影響を測定するための測定回路（Test Element Group：TEGとも称される）を配置することが行われている。

[0006] このような測定回路としては、ゲート及び該ゲートに接続するアンテナ部（すなわち、プラズマプロセスにおいてアンテナとして機能する配線又はビ

ア)の面積比が互いに異なる複数のFETと、複数のFETのゲート、ソース、ドレイン及び半導体基板の各端子に配線で接続されたパッドと、を備える構造が例示される。測定回路では、各FETのゲート電圧ードレイン電流の特性を測定し、各FETの閾値電圧を導出することで、アンテナ部によるPIDの影響をアンテナ部及びゲートの面積比ごとに評価することができる。

[0007] 一方、下記の非特許文献1に記載されるように、リングオシレータを用いてFETの特性をモニタリングする技術が考案されている。具体的には、非特許文献1に記載された技術では、リングオシレータと、VDD配線又はVSS配線との間にFETを設けることで、リングオシレータの発振周波数から該FETの特性をモニタリングしている。

先行技術文献

非特許文献

[0008] 非特許文献1: Kellin J. Kuhn etc. , “Process Technology Variation” IEEE TRANSACTIONS ON ELECTRON DEVICES VOL. 58 NO. 8, AUGUST 2011

発明の概要

発明が解決しようとする課題

[0009] しかし、PIDの影響を評価する測定回路に非特許文献1に記載された構造を適用することについては、十分に検討されていない。そのため、発振回路を用いてPIDの影響を評価する測定回路の具体的な構造の検討が求められていた。

[0010] そこで、本開示では、発振回路を用いてより高い精度でPIDの影響を測定することが可能な、新規かつ改良された半導体装置を提案する。

課題を解決するための手段

[0011] 本開示によれば、プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された少なくとも1以上の測定トランジスタと、

前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、を備える、半導体装置が提供される。

[0012] また、本開示によれば、プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された少なくとも1以上の測定トランジスタと、前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、を備える半導体装置の前記選択トランジスタをオン状態に制御することで、前記測定トランジスタをオン状態に制御することと、前記測定トランジスタがオン状態の時に前記発振回路の発振周波数を測定することと、測定された前記発振周波数に基づいて、前記測定トランジスタの閾値電圧と、前記閾値電圧の理想値との差分の有無を検出することと、を含む、検出方法が提供される。

[0013] また、本開示によれば、プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された少なくとも1以上の測定トランジスタと、前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、を有する半導体装置と、前記選択トランジスタのオン又はオフ状態を制御することで、前記測定トランジスタのオン又はオフ状態を制御する制御部と、前記測定トランジスタがオン状態の時に前記発振回路の発振周波数を測定する測定部と、測定された前記発振周波数の各々に基づいて、前記測定トランジスタの閾値電圧と、前記閾値電圧の理想値との差分の有無を検出する検出部と、前記検出部にて前記差分が検出された場合、前記プラズマプロセスによる影響を補正する処理を行う処理部と、を備える、電子機器が提供される。

[0014] また、本開示によれば、プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された少なくとも1以上の測定トランジスタと、前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、を有する半導体装置を備える電子機器の前記選択トランジスタをオン状態に制御することで、前記測定トランジスタをオン状態に制御することと、前記測定トランジスタがオン状態の時に前記発振回路の発振周波数を測定することと、測定された前記発振周波数に基づいて、前記測定トランジスタの閾値電圧と、前記閾値電圧の理想値との差分の有無を検出することと、前記差分が検出された場合、前記プラズマプロセスによる影響を補正する制御を行うことと、を含む、電子機器の制御方法が提供される。

図面の簡単な説明

- [0015] [図1A]プラズマプロセスにおけるP I Dの発生を説明する説明図である。
- [図1B]プラズマプロセスにおけるP I Dの発生を説明する説明図である。
- [図2A]F E Tに対するP I Dの影響を評価する方法の一例を示す説明図である。
- [図2B]F E Tに対するP I Dの影響を評価する方法の一例を示す説明図である。
- [図2C]F E Tに対するP I Dの影響を評価する方法の一例を示す説明図である。
- [図3]本開示の第1の実施形態に係る半導体装置の構造例を説明する回路図である。
- [図4]同実施形態に係る半導体装置のV D D配線及びV S S配線間の構成を抽出して示す回路図である。
- [図5A]測定トランジスタのゲートに保護素子を設けることにより、P I Dの発生を抑制した場合の検出結果を示すグラフ図である。

[図5B]プラズマプロセスにて意図的にPIDを発生させた場合の検出結果を示すグラフ図である。

[図6]比較例に係る半導体装置の構造例を説明する回路図である。

[図7]比較例に係る半導体装置のVDD配線及びVSS配線の間の構成を抽出して示す回路図である。

[図8A]第1の変形例に係る半導体装置の構造例を示す回路図である。

[図8B]第2の変形例に係る半導体装置の構造例を示す回路図である。

[図8C]第3の変形例に係る半導体装置の構造例を示す回路図である。

[図8D]第4の変形例に係る半導体装置の構造例を示す回路図である。

[図9]同実施形態に係る半導体装置の動作の一例を示すフローチャート図である。

[図10]第1の適用例に係る電子機器の構成を示すブロック図である。

[図11]第2の適用例に係る電子機器の構成を示すブロック図である。

[図12]第3の適用例に係る電子機器の構成を示すブロック図である。

[図13]本開示の第2の実施形態に係る半導体装置の構造例を説明する回路図である。

[図14]同実施形態に係る半導体装置のより具体的な回路構造を示す回路図である。

[図15]発振回路のより具体的な回路構造を示す回路図である。

[図16]発振回路の周波数特性を示すグラフである。

[図17]ソースフォロア回路における入力電圧と出力電圧との関係を示すグラフである。

[図18]第3の実施形態に係る調整回路による使用する電圧範囲のシフトを説明するための図である。

[図19]第3の実施形態に係る調整回路によるシフト前後の変動範囲と周波数特性との関係を示すグラフである。

[図20]第3の実施形態に係るソースフォロア回路からの出力電圧を説明するための図である。

[図21]第3の実施形態の第1具体例に係る調整回路の概略構成例を示す回路図である。

[図22]第3の実施形態の第2具体例に係る調整回路の概略構成例を示す回路図である。

[図23]第3の実施形態に係るシフト回路におけるP型のトランジスタのオン抵抗とN型のトランジスタのオン抵抗との比を制御した場合の出力電圧のシフトを説明するための図である。

[図24]第3の実施形態に係るシフト回路におけるP型のトランジスタのオン抵抗とN型のトランジスタのオン抵抗との比を制御した場合の出力電圧のシフトを説明するための図である。

[図25]第3の実施形態において発振回路の発振周波数を上げたい場合と下げたい場合とのシフト回路の構成を説明するための図である。

[図26]第3の実施形態に係るシフト回路の概略構成例を示す回路図である。

[図27]図26に示すシフト回路を構成する各トランジスタのFinger数を切り替えた場合にシフト回路から出力される出力電圧の例を示すグラフである。

[図28]第3の実施形態の第3具体例に係る調整回路の概略構成例を示す回路図である。

[図29]第3の実施形態の第4具体例に係る調整回路の概略構成例を示す回路図である。

[図30]第3の実施形態の第1例に係る半導体装置の構造例を説明する回路図である。

[図31]第3の実施形態の第2例に係る半導体装置の構造例を説明する回路図である。

[図32]第3の実施形態の第3例に係る半導体装置の構造例を説明する回路図である。

[図33]第3の実施形態の第4例に係る半導体装置の構造例を説明する回路図である。

[図34]第3の実施形態の第5例に係る半導体装置の構造例を説明する回路図である。

[図35]第3の実施形態の第6例に係る半導体装置の構造例を説明する回路図である。

[図36]第3の実施形態において実証実験を実行するにあたり使用した半導体装置の回路構成を示す図である。

[図37]第3の実施形態における本実証実験により得られた結果を示すグラフである。

[図38]第3の実施形態におけるアンテナからのダメージを受けた場合と受けていない場合とのミスマッチ成分の電圧値の例を示すグラフである。

発明を実施するための形態

[0016] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0017] なお、説明は以下の順序で行うものとする。

0. 本開示に係る技術の背景

1. 第1の実施形態

1. 1. 構造例

1. 2. PID評価

1. 3. 半導体装置の優位性

1. 4. 変形例

1. 5. 動作例

1. 6. 適用例

2. 第2の実施形態

2. 1. 構造例

2. 2. 具体例

3. 第3の実施形態

3. 1. 発振回路の周波数特性と使用する電圧範囲について

3. 2. 調整回路の役割

3. 2. 1. 電圧変動範囲の制限

3. 2. 2. 使用する電圧範囲のシフト

3. 3. 調整回路について

3. 3. 1. ソースフォロア回路からの出力電圧 V_{out}

3. 3. 2. 調整回路の具体例

3. 3. 2. 1. 第1具体例

3. 3. 2. 2. 第2具体例

3. 3. 2. 3. 第3具体例

3. 3. 2. 4. 第4具体例

3. 3. 2. 5. その他の例

3. 4. 構造例

3. 4. 1. 第1例

3. 4. 2. 第2例

3. 4. 3. 第3例

3. 4. 4. 第4例

3. 4. 5. 第5例

3. 4. 6. 第6例

3. 4. 7. その他の例

3. 5. 実証実験結果

3. 5. 1. 制限回路を構成する負荷トランジスタの閾値電圧による影響について

3. 6. まとめ

[0018] <0. 本開示に係る技術の背景>

まず、図1A～図2Cを参照して、本開示に係る技術の背景について説明する。図1A及び図1Bは、プラズマプロセスにおけるPIDの発生を説明する説明図である。

[0019] 図1Aに示すように、プラズマを使用するプロセス（例えば、エッチング、CVD（Chemical Vapor Deposition）、PVD（Physical Vapor Deposition）、又はスパッタリングなど）に、半導体基板1の上に絶縁層2及び導体層3等が積層された積層体を投入した場合、積層体には、プラズマによって電離された陽イオン及び電子が照射される。

[0020] 導体層3は、絶縁層2及び絶縁薄膜2Aによってフローティング状態となっているため、照射された陽イオン及び電子の電荷が蓄積される。電荷が蓄積された導体層3と、半導体基板1との間の電界が閾値を超えた場合、導体層3から半導体基板1に電流 J_{in} が流れることになる。このとき、導体層3及び半導体基板1の間の絶縁薄膜2A（例えば、ゲート絶縁膜に相当）には大電流が流れるため、絶縁薄膜2Aはダメージを受けることになる。

[0021] このような現象は、PID（Plasma（Process）Induced Damage）とも称される。PIDは、絶縁薄膜2Aの内部に、又は絶縁薄膜2Aと半導体基板1との界面に、欠陥又はキャリアトラップ準位を発生させるため、絶縁薄膜2Aをゲート絶縁膜として用いるFETの閾値電圧 V_{th} を変動させ、かつゲートリークを増加させてしまう。

[0022] 特に、図1Bに示すように、導体層3の上に形成された配線層4をマスク5によってエッチングする場合、配線層4がアンテナとして機能することで、配線層4及び導体層3により多くの電荷が蓄積されるため、絶縁薄膜2Aにはより大きな電流が流れてしまう。したがって、配線又はビアを形成する際のプラズマプロセスでは、PIDによる影響がより大きくなってしまう。

[0023] 上述したように、ゲート絶縁膜がPIDによってダメージを受けた場合、FETでは、閾値電圧 V_{th} が変動したり、ゲートリークが増加したりしてしまう。そのため、PIDの影響を受けたFETでは、設計された性能を発揮することが困難となることがある。したがって、半導体装置では、FETに対するPIDの影響を評価することが重要になっている。

[0024] 図2A～図2CにFETに対するPIDの影響を評価する方法の一例を示

す。なお、図 2 A は、リファレンスとなる F E T の構造を示し、図 2 B は、測定対象となる F E T の構造を示し、図 2 C は、保護素子の効果を評価するための F E T の構造を示す。

[0025] 例えば、P I D による F E T への影響は、P I D による影響が異なる F E T の各々の閾値電圧 V_{th} 及びゲートリークを測定し、測定された閾値電圧 V_{th} 及びゲートリークを比較することで評価することができる。閾値電圧 V_{th} は、F E T のゲート印加電圧及びドレイン電流の特性から導出することが可能である。ゲートリークは、ボディ、ソース及びドレインと、ゲートとの間に電圧を印加した際に流れるリーク電流をゲート又はボディで測定することで評価することが可能である。

[0026] 例えば、図 2 A に示す F E T 6 A は、アンテナとして機能する配線及びビアがゲート配線 7 A を介してゲートに接続されていないため、P I D による影響がほぼないと考えられる。また、図 2 B に示す F E T 6 B は、アンテナとして機能する配線及びビア 8 B がゲート配線 7 B を介してゲートに接続されているため、P I D によって閾値電圧 V_{th} の変動等が生じていると考えられる。したがって、F E T 6 A 及び F E T 6 B の各々の閾値電圧 V_{th} を比較することで、P I D による閾値電圧 V_{th} の変動を評価することができる。

[0027] 一方、図 2 C に示す F E T 6 C は、アンテナとして機能する配線及びビア 8 B がゲート配線 7 B を介してゲートに接続されており、かつプラズマプロセスの電荷を逃がす保護素子 9 C（例えば、ダイオード等）が設けられている。したがって、F E T 6 C は、保護素子 9 C によりゲート絶縁膜への大電流の流入を防止することができるため、P I D によるゲート絶縁膜へのダメージが回避されると考えられる。したがって、F E T 6 B 及び F E T 6 C の各々の閾値電圧 V_{th} を比較することで、P I D によるゲート絶縁膜へのダメージが保護素子 9 C にてどの程度緩和されるのかを評価することができる。

[0028] しかしながら、上述した方法では、F E T 6 A、6 B、6 C のゲート、ボ

ディ、ソース及びドレインの各々に電流又は電圧を取り出すためのパッド（PAD）を設けることになるため、PIDを評価する測定回路の面積が大きくなってしまう。そのため、所定の機能を実行する半導体装置の内部に組み込まれた測定回路で上述した方法を実行することは、半導体装置の大きさを拡大してしまうため、現実的ではない。

[0029] 本開示に係る技術は、上述した事情を鑑みてなされたものである。本開示に係る技術は、所定の機能を実行する半導体装置の内部に設けられた小規模の測定回路にて、PIDの影響をより高精度に評価することを可能とする。

[0030] 具体的には、本開示に係る技術は、プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された測定トランジスタに、発振周波数が測定トランジスタの閾値電圧によって変動する発振回路を電氣的に接続することで、小規模な回路にてPIDの影響を評価するものである。

[0031] また、本開示に係る技術では、測定トランジスタのゲートに電氣的に接続された選択トランジスタによって、閾値電圧を測定する測定トランジスタを選択する。これによれば、測定トランジスタの閾値電圧が発振回路の発振周波数に及ぼす影響をより大きくすることができるため、より高精度で測定トランジスタの閾値電圧を評価することが可能である。

[0032] 以下では、本開示に係る技術について、第1及び第2の実施形態に分けてより具体的に説明する。

[0033] <1. 第1の実施形態>

（1. 1. 構造例）

まず、図3を参照して、本開示の第1の実施形態に係る半導体装置の構造例について説明する。図3は、本実施形態に係る半導体装置の構造例を説明する回路図である。

[0034] 図3に示すように、本実施形態に係る半導体装置10は、アンテナ部140と、選択トランジスタ121と、測定トランジスタ111と、参照用選択トランジスタ120と、参照トランジスタ110と、発振回路130と、を備える。

- [0035] VDD配線及びVSS配線は、半導体装置10に基準となる電位を供給する。VDD配線は、VSS配線よりも電位が高い配線である。例えば、VDD配線は、電源配線であり、VSS配線は、例えば、グランド配線である。
- [0036] アンテナ部140は、半導体装置10の製造工程のプラズマプロセスにてアンテナとして機能する構造体である。具体的には、アンテナ部140は、プラズマを用いて半導体装置10を加工するエッチング、CVD、PVD、又はスパッタリングなどにおいて、プラズマによって電離された陽イオン及び電子を集めるアンテナとして機能する。例えば、アンテナ部140は、半導体装置10の回路を構成する配線、層間電極、基板貫通電極（いわゆる、Through-Silicon Via:TSV）、チップ間電極（Through-Chip Via:TCV）、チップ間電極接合構造（いわゆる、CuCu接合）、又はこれらの組み合わせであってもよい。
- [0037] 上述したように、測定トランジスタ111のゲートと電氣的に接続されたアンテナ部140は、プラズマプロセスでアンテナ部140に蓄積された電荷によって測定トランジスタ111にPIDを発生させる。なお、PIDによる影響は、測定トランジスタ111のゲートとアンテナ部140との平面面積の比（アンテナ比ともいう）によって決定される。そのため、半導体装置10では、アンテナ部140がゲートに電氣的に接続された測定トランジスタ111は、測定トランジスタ111のゲートとアンテナ部140との面積比ごとに複数設けられてもよい。
- [0038] 測定トランジスタ111は、FETであり、ゲートにアンテナ部140が電氣的に接続され、かつソースに発振回路130が電氣的に接続されるように設けられる。具体的には、測定トランジスタ111は、発振回路130と、VDD配線又はVSS配線との間に設けられる。例えば、図3に示すように、測定トランジスタ111は、VDD配線と、発振回路130との間に設けられてもよい。または、後述するように、測定トランジスタ111は、VSS配線と発振回路130との間に設けられてもよい。
- [0039] 測定トランジスタ111は、ゲートにアンテナ部140が電氣的に接続さ

れているため、プラズマプロセスのPIDによって閾値電圧 V_{th} が変動する。これにより、測定トランジスタ111は、チャネル抵抗が変動するため、発振回路130に印加される電圧を変動させ、発振回路130の発振周波数を変動させることができる。したがって、測定トランジスタ111は、測定トランジスタ111の閾値電圧 V_{th} に応じて、発振回路130の発振周波数を制御することができる。

[0040] 測定トランジスタ111が発振回路130に対してVDD配線側に設けられる場合、測定トランジスタ111は、N型トランジスタとして構成され得る。一方、測定トランジスタ111が発振回路130に対してVSS配線側に設けられる場合、測定トランジスタ111は、P型トランジスタとして構成され得る。これにより、測定トランジスタ111は、測定トランジスタ111の閾値電圧 V_{th} の変動に応じて生じる発振回路130の発振周波数の変動をより大きくすることができる。

[0041] 選択トランジスタ121は、FETであり、ソースが測定トランジスタ111のゲートにアンテナ部140と並列に電氣的に接続されるように設けられる。選択トランジスタ121は、測定トランジスタ111のオン又はオフ状態を制御することで、発振回路130に電氣的に接続されるトランジスタを測定トランジスタ111に切り替える。具体的には、選択トランジスタ121は、測定トランジスタ111をオン状態に制御することで、VDD配線及びVSS配線の電位差から測定トランジスタ111のチャネル抵抗に対応する電圧が減算された値に、発振回路130に印加される電圧を制御する。このとき、参照用選択トランジスタ120は、オフ状態に制御される。

[0042] 選択トランジスタ121は、測定トランジスタ111と同じ導電型のFETとして設けられ得る。具体的には、選択トランジスタ121及び測定トランジスタ111が発振回路130に対してVDD配線側に設けられる場合、選択トランジスタ121は、測定トランジスタ111と同じN型トランジスタとして構成され得る。一方、選択トランジスタ121及び測定トランジスタ111が発振回路130に対してVSS配線側に設けられる場合、選択ト

ランジスタ 121 は、測定トランジスタ 111 と同じ P 型トランジスタとして構成され得る。

[0043] 例えば、選択トランジスタ 121 に替えて、P 型トランジスタ及び N 型トランジスタを含む CMOS（相補型 MOS）トランスファークゲートをスイッチング素子として使用する場合、測定トランジスタ 111 への P I D の影響が抑制される可能性がある。これは、CMOS トランスファークゲートは、アンテナ部 140 から測定トランジスタ 111 への P I D を保護する保護素子の機能も有するためである。したがって、保護素子の機能を有しない選択トランジスタ 121 を用いることで、測定トランジスタ 111 には、より正確に P I D の影響が反映されるため、半導体装置 10 は、P I D の測定精度を向上させることができる。

[0044] 参照トランジスタ 110 は、FET であり、ソースに発振回路 130 が電氣的に接続されるように設けられる。ただし、参照トランジスタ 110 は、ゲートにアンテナ部 140 が接続されないように設けられる。具体的には、参照トランジスタ 110 は、測定トランジスタ 111 と同様に、発振回路 130 と、VDD 配線又は VSS 配線との間に設けられる。例えば、図 3 に示すように、参照トランジスタ 110 は、VDD 配線と、発振回路 130 との間に設けられてもよい。または、後述するように、参照トランジスタ 110 は、VSS 配線と発振回路 130 との間に設けられてもよい。

[0045] 参照トランジスタ 110 は、プラズマプロセスにてアンテナとして機能する配線又はビアがゲートに電氣的に接続されていない点が測定トランジスタ 111 と異なる。すなわち、参照トランジスタ 110 は、P I D による影響がない場合の閾値電圧 V_{th} を測定するために設けられる。

[0046] したがって、参照トランジスタ 110 は、ゲートにアンテナ部 140 が接続されない点を除いては、測定トランジスタ 111 と同様の FET として設けられる。具体的には、参照トランジスタ 110 が発振回路 130 に対して VDD 配線側に設けられる場合、参照トランジスタ 110 は、N 型トランジスタとして構成され得る。一方、参照トランジスタ 110 が発振回路 130

に対してVSS配線側に設けられる場合、参照トランジスタ110は、P型トランジスタとして構成され得る。

[0047] 参照用選択トランジスタ120は、FETであり、参照トランジスタ110のゲートにソースが電氣的に接続されるように設けられる。参照用選択トランジスタ120は、参照トランジスタ110のオン又はオフ状態を制御することで、発振回路130に電氣的に接続されるトランジスタを参照トランジスタ110に切り替える。具体的には、参照用選択トランジスタ120は、VDD配線及びVSS配線の電位差から参照トランジスタ110のチャネル抵抗に対応する電圧が減算された値に、発振回路130に印加される電圧を制御する。このとき、選択トランジスタ121は、オフ状態に制御される。

[0048] 参照用選択トランジスタ120は、選択トランジスタ121及び測定トランジスタ111と同様に、参照トランジスタ110と同じ導電型のFETとして設けられる。具体的には、参照用選択トランジスタ120及び参照トランジスタ110が発振回路130に対してVDD配線側に設けられる場合、参照用選択トランジスタ120は、参照トランジスタ110と同じN型トランジスタとして構成され得る。一方、参照用選択トランジスタ120及び参照トランジスタ110が発振回路130に対してVSS配線側に設けられる場合、参照用選択トランジスタ120は、参照トランジスタ110と同じP型トランジスタとして構成され得る。

[0049] 発振回路130は、測定トランジスタ111又は参照トランジスタ110のソースと電氣的に接続してVDD配線及びVSS配線の間に設けられる。発振回路130は、EN端子からの入力に基づいて、発振周波数の交流出力をOUT端子に出力する電気回路である。具体的には、発振回路130は、出力の一部を入力に帰還させることで周期的な電圧の変動を生じさせる帰還型発振回路である。例えば、発振回路130は、NOT又はNORなどの反転論理を奇数段接続した出力を入力にリング状に帰還させることで、周期的な方形波を生成するリングオシレータであってもよい。発振回路130のN

OT又はNORの1つは、NANDに置き換えられており、該NANDの入力の一端にEN端子から発振開始を指示する信号が入力されることで、発振回路130は、発振を開始する。この構成によれば、発振回路130は、他のトランジスタと同じ工程にて同時に形成することが可能であるため、半導体装置10の製造コストの上昇を抑制することができる。

[0050] 発振回路130は、後述するように、電氣的に接続された測定トランジスタ111及び参照トランジスタ110の閾値電圧 V_{th} によって発振周波数が変動する。したがって、半導体装置10は、参照トランジスタ110を発振回路130に電氣的に接続した場合の発振周波数と、測定トランジスタ111を発振回路130に電氣的に接続した場合の発振周波数とを比較することで、測定トランジスタ111におけるPIDの影響を評価することができる。

[0051] (1. 2. PID評価)

続いて、図4～図7を参照して、本実施形態に係る半導体装置10によるPID評価について説明する。

[0052] まず、図4を参照して、本実施形態に係る半導体装置10によるPID評価例について説明する。図4は、半導体装置10のVDD配線及びVSS配線の間の構成を抽出して示す回路図である。

[0053] 図4に示すように、半導体装置10では、VDD配線及びVSS配線の間に、アンテナ部140及び選択トランジスタ121がゲートと並列に接続された測定トランジスタ111と、発振回路130中の1インバータを構成するP型トランジスタ131及びN型トランジスタ132と、が直列に設けられている。また、インバータの出力側には、負荷容量133が電氣的に接続されている。

[0054] ここで、負荷容量133の容量をC、測定トランジスタ111のチャネル抵抗をR1、P型トランジスタ131のチャネル抵抗をR2とすると、負荷容量133の充電時間tは、以下の式(1)で表すことができる。

$$t = (R1 + R2) \times C \quad (1)$$

[0055] したがって、発振回路 130 がインバータを N（ただし、N は奇数）個接続したリングオシレータであるとする、発振回路 130 の発振周波数 f は、以下の式（2）で表すことができる。

$$\begin{aligned} f &= 1 / (2 \times N \times t) \\ &= 1 / \{2 \times N \times (R_1 + R_2) \times C\} \quad (2) \end{aligned}$$

[0056] 式（2）を参照すると、測定トランジスタ 111 に P I D が発生し、測定トランジスタ 111 の閾値電圧 V_{th} が高くなった場合、チャネル抵抗 R_1 が増大するため、発振回路 130 の発振周波数 f は小さくなることがわかる。したがって、発振周波数 f の変化を検出することによって、半導体装置 10 は、測定トランジスタ 111 に P I D が発生したか否かを検出することができる。また、発振周波数 f は、チャネル抵抗 R_1 とチャネル抵抗 R_2 との和に反比例するため、半導体装置 10 は、発振周波数 f の変動量から P I D によるチャネル抵抗 R_1 又は閾値電圧 V_{th} の変動量を評価することができる。

[0057] 図 5 A 及び図 5 B に半導体装置 10 による P I D の検出結果の一例を示す。図 5 A 及び図 5 B では、発振回路 130 に測定トランジスタ 111 を接続した場合の発振周波数（P I D と表記）を縦軸に採り、発振回路 130 に参照トランジスタ 110 を接続した場合の発振周波数（R E F と表記）を横軸に採ることで両者を比較している。図 5 A は、測定トランジスタ 111 のゲートに保護素子を設けることにより、P I D の発生を抑制した場合の検出結果を示すグラフ図であり、図 5 B は、プラズマプロセスにて意図的に P I D を発生させた場合の検出結果を示すグラフ図である。

[0058] 図 5 A に示すように、保護素子によって測定トランジスタ 111 での P I D の発生を抑制した場合、測定トランジスタ 111 を接続した発振回路 130 の発振周波数と、参照トランジスタ 110 を接続した発振回路 130 の発振周波数とは、互いに略等しいことがわかる。一方、図 5 B に示すように、測定トランジスタ 111 にて P I D が発生している場合、測定トランジスタ 111 を接続した発振回路 130 の発振周波数は、参照トランジスタ 110

を接続した発振回路 130 の発振周波数よりも小さくなっていることがわかる。

[0059] したがって、半導体装置 10 は、測定トランジスタ 111 の P I D の有無を発振回路 130 の発振周波数の変動として検出することが可能である。

[0060] (1. 3. 半導体装置の優位性)

ここで、図 6 及び図 7 に示す比較例に係る半導体装置 10 A を参照することで、本実施形態に係る半導体装置 10 の優位性について説明する。図 6 は、比較例に係る半導体装置の構造例を説明する回路図であり、図 7 は、比較例に係る半導体装置の V D D 配線及び V S S 配線の間の構成を抽出して示す回路図である。

[0061] 図 6 に示すように、比較例に係る半導体装置 10 A では、V D D 配線又は V S S 配線と発振回路 130 との間に、ゲートにアンテナ部 140 が電氣的に接続された測定トランジスタ 111、及び選択トランジスタ 121 が直列に設けられる。また、半導体装置 10 A では、測定トランジスタ 111 及び選択トランジスタ 121 と並列に、V D D 配線又は V S S 配線と発振回路 130 との間に、ゲートにアンテナ部が電氣的に接続されない参照トランジスタ 110、及び参照用選択トランジスタ 120 が直列に設けられる。なお、測定トランジスタ 111 及び参照トランジスタ 110 のゲートには、外部入力用の P A D 300 が設けられる。P A D 300 からの入力によって、測定トランジスタ 111 及び参照トランジスタ 110 をオン状態に制御される。このような構造の半導体装置 10 A でも、選択トランジスタ 121 のオン又はオフ状態を制御することで、測定トランジスタ 111 と発振回路 130 との電氣的な接続を制御することができる。これにより、半導体装置 10 A は、測定トランジスタ 111 の閾値電圧 V_{th} に応じて、発振回路 130 に印加される電圧を変動させることができる。

[0062] 具体的には、図 7 に示すように、半導体装置 10 A では、V D D 配線及び V S S 配線の間に、アンテナ部 140 がゲートに電氣的に接続された測定トランジスタ 111 と、選択トランジスタ 121 と、発振回路 130 中の 1 イ

ンバータを構成するP型トランジスタ131及びN型トランジスタ132と、が直列に設けられている。また、インバータの出力側には、負荷容量133が電氣的に接続されている。

[0063] ここで、負荷容量133の容量をC、測定トランジスタ111のチャネル抵抗をR1、選択トランジスタ121のチャネル抵抗をR3、P型トランジスタ131のチャネル抵抗をR2とすると、負荷容量133の充電時間tは、以下の式(3)で表すことができる。

$$t = (R1 + R3 + R2) \times C \quad (3)$$

[0064] したがって、発振回路130がインバータをN(ただし、Nは奇数)個接続したリングオシレータであるとする、発振回路130の発振周波数fは、以下の式(4)で表すことができる。

$$\begin{aligned} f &= 1 / (2 \times N \times t) \\ &= 1 / \{2 \times N \times (R1 + R3 + R2) \times C\} \end{aligned} \quad (4)$$

[0065] 式(2)及び式(4)を参照すると、比較例に係る半導体装置10Aでは、測定トランジスタ111のチャネル抵抗R1及びP型トランジスタのチャネル抵抗R2に加えて、選択トランジスタ121のチャネル抵抗R3も発振回路130の発振周波数に影響を及ぼしてしまうことがわかる。したがって、半導体装置10Aでは、本実施形態に係る半導体装置10と比較して、測定トランジスタ111のチャネル抵抗R1の変動量に対する発振周波数の変動量が減少してしまうことがわかる。このため、半導体装置10Aでは、本実施形態に係る半導体装置10と比較して、選択トランジスタ121のチャネル抵抗R3が誤差要因となり、PIDの検出精度が低下する可能性がある。

[0066] なお、選択トランジスタ121のチャネル抵抗R3の大きさを無視可能な程度に小さくするためには、選択トランジスタ121のチャネル幅を大きくすることが考えられる。しかし、この場合、選択トランジスタ121の占有面積が大きくなることで、半導体装置10Aの面積が大きくなってしまふ。半導体装置10Aは、所定の機能を実行する半導体装置の内部に製造プロセ

スの管理目的で設けられるため、半導体装置 10A の面積が大きくなることは好ましくない。

[0067] 具体的には、選択トランジスタ 121、測定トランジスタ 111、P 型トランジスタ 131 及び N 型トランジスタ 132 の面積が S であり、発振回路 130 が 101 段のインバータで構成されている場合、アンテナ部 140 及び配線の面積を無視すると、半導体装置 10A の面積は、以下の式 (5) で表される。

$$4 \times S + 101 \times 2 \times S = 206 \times S \quad (5)$$

[0068] 特に、アンテナ比が互いに異なる複数の測定トランジスタ 111 を発振回路 130 に複数接続した場合、複数の測定トランジスタ 111 ごとに選択トランジスタ 121 が設けられる。例えば、発振回路 130 の 101 段のインバータのそれぞれにアンテナ比が互いに異なる測定トランジスタ 111 を 101 個接続した場合、半導体装置 10A の面積は、以下の式 (6) で表される。

$$2 \times 101 \times S + 2 \times 101 \times S = 404 \times S \quad (6)$$

[0069] 一方、選択トランジスタ 121 のチャネル抵抗 R3 の大きさを無視可能な程度に小さくする（例えば、チャネル抵抗を $1/100$ とする）ために、選択トランジスタ 121 のチャネル幅を 100 倍とした場合、半導体装置 10A の面積は、以下の式 (7) で表される。

$$2 \times S + 100 \times 2 \times S + 101 \times 2 \times S = 404 \times S \quad (7)$$

[0070] また、発振回路 130 の 101 段のインバータのそれぞれにアンテナ比が互いに異なる測定トランジスタ 111 を 101 個接続した場合、半導体装置 10A の面積は、以下の式 (8) で表される。

$$101 \times S + 101 \times 100 \times S + 2 \times 101 \times S = 10403 \times S \quad (8)$$

[0071] したがって、比較例に係る半導体装置 10A では、PID の検出精度を向上させるためには、占有面積の大幅な拡大が必要となってしまう。一方、本実施形態に係る半導体装置 10 では、選択トランジスタ 121 のチャネル抵

抗が発振回路 130 の発振周波数に影響しないため、占有面積を大幅に拡大することなく、PID の検出精度を向上させることが可能である。

[0072] 本実施形態に係る半導体装置 10 では、選択トランジスタ 121 を測定トランジスタ 111 のゲート側にアンテナ部 140 と並列に設けることによって、選択トランジスタ 121 のチャネル抵抗 R_3 が発振周波数 f に影響を与えないようにすることができる。また、半導体装置 10 では測定トランジスタ 111 と参照トランジスタ 110 とが同一の発振回路 130 に並列に接続されるため、半導体装置 10 は、P 型トランジスタ 131 のチャネル抵抗 R_2 による誤差要因を最小化することができる。したがって、半導体装置 10 は、占有面積を拡大することなく、測定トランジスタ 111 のチャネル抵抗 R_1 の変動量に対する発振周波数 f の変動量を大きくすることができるため、PID の検出精度を向上させることができる。

[0073] (1. 4. 変形例)

続いて、図 8A～図 8D を参照して、本実施形態に係る半導体装置 10 の変形例について説明する。図 8A～図 8D は、第 1～第 4 の変形例に係る半導体装置の構造例を示す回路図である。

[0074] (第 1 の変形例)

図 8A に示すように、第 1 の変形例に係る半導体装置 11 は、それぞれゲートがアンテナ部 241、242 に電氣的に接続された複数の測定トランジスタ 211、212 と、それぞれソースが測定トランジスタ 211、212 のゲートと電氣的に接続された複数の選択トランジスタ 221、222 と、参照トランジスタ 210 と、ソースが参照トランジスタ 210 のゲートと電氣的に接続された参照用選択トランジスタ 220 と、複数の測定トランジスタ 211、212、及び参照トランジスタ 210 のソースと電氣的に接続された発振回路 130 と、を備える。

[0075] アンテナ部 241 及び測定トランジスタ 211 と、アンテナ部 242 及び測定トランジスタ 212 とは、測定トランジスタのゲートとアンテナ部との面積比（すなわち、アンテナ比）が互いに異なるように設けられる。なお、

第1の変形例に係る半導体装置11は、アンテナ比が異なるアンテナ部及び測定トランジスタをさらに備えていてもよい。

[0076] 第1の変形例に係る半導体装置11では、測定トランジスタ211、212、選択トランジスタ221、222、参照トランジスタ210、及び参照用選択トランジスタ220は、発振回路130に対してVSS配線側に設けられる。これによれば、半導体装置11は、発振回路130に対してVSS配線側に設けられたFETについても、PIDの発生を検出することが可能である。

[0077] また、測定トランジスタ211、212、選択トランジスタ221、222、参照トランジスタ210、及び参照用選択トランジスタ220は、それぞれP型トランジスタとして設けられ得る。この構成によれば、半導体装置11は、測定トランジスタ211、212の閾値電圧 V_{th} の変動に応じて生じる発振回路130の発振周波数の変動をより大きくすることができる。

[0078] (第2の変形例)

図8Bに示すように、第2の変形例に係る半導体装置12は、それぞれゲートがアンテナ部141、142、241、242に電氣的に接続された複数の測定トランジスタ111、112、211、212と、それぞれソースが測定トランジスタ111、112、211、212のゲートと電氣的に接続された複数の選択トランジスタ121、122、221、222と、参照トランジスタ110、210と、それぞれソースが参照トランジスタ110、210のゲートと電氣的に接続された参照用選択トランジスタ120、220と、複数の測定トランジスタ111、112、211、212、及び参照トランジスタ110、210のソースと電氣的に接続された発振回路130と、を備える。

[0079] アンテナ部141及び測定トランジスタ111と、アンテナ部142及び測定トランジスタ112とは、アンテナ比が互いに異なるように設けられ、アンテナ部241及び測定トランジスタ211と、アンテナ部242及び測定トランジスタ212とは、アンテナ比が互いに異なるように設けられる。

なお、第2の変形例に係る半導体装置12は、VDD配線側及びVSS配線側の各々において、アンテナ比が異なるアンテナ部及び測定トランジスタをさらに備えていてもよい。

[0080] 第2の変形例に係る半導体装置12では、測定トランジスタ111、112、選択トランジスタ121、122、参照トランジスタ110、及び参照用選択トランジスタ120は、発振回路130に対してVDD配線側に設けられ、測定トランジスタ211、212、選択トランジスタ221、222、参照トランジスタ210、及び参照用選択トランジスタ220は、発振回路130に対してVSS配線側に設けられる。これによれば、半導体装置12は、発振回路130に対してVDD配線側及びVSS配線側の各々に設けられたFETにおけるPIDの有無を検出することが可能である。具体的には、半導体装置12は、図示しないスイッチによって、VDD配線と発振回路130とを電氣的に接続することで、VDD配線側の測定トランジスタ111、112のPIDの有無を検出することができる。また、半導体装置12は、図示しないスイッチによって、VSS配線と発振回路130とを電氣的に接続することで、VSS配線側の測定トランジスタ211、212のPIDの有無を検出することができる。

[0081] また、VDD配線側に設けられた測定トランジスタ111、112、選択トランジスタ121、122、参照トランジスタ110、及び参照用選択トランジスタ120は、それぞれN型トランジスタとして設けられ得る。一方、VSS配線側に設けられた測定トランジスタ211、212、選択トランジスタ221、222、参照トランジスタ210、及び参照用選択トランジスタ220は、それぞれP型トランジスタとして設けられ得る。この構成によれば、半導体装置12は、測定トランジスタ111、112、211、212の閾値電圧 V_{th} の変動に応じて生じる発振回路130の発振周波数の変動をより大きくすることができる。

[0082] (第3の変形例)

図8Cに示すように、第3の変形例に係る半導体装置13は、ゲートがア

ンテナ部１４０に電氣的に接続された測定トランジスタ１１１と、ソースが測定トランジスタ１１１のゲートと電氣的に接続された選択トランジスタ１２１と、測定トランジスタ１１１のゲートと電氣的に接続された保護素子１５０と、参照トランジスタ（図示せず）と、ソースが参照トランジスタのゲートと電氣的に接続された参照用選択トランジスタ（図示せず）と、測定トランジスタ１１１、及び参照トランジスタのソースと電氣的に接続された発振回路１３０と、を備える。

[0083] 保護素子１５０は、所定の範囲の電流又は電圧では抵抗値が高く、閾値以上の電流又は電圧では抵抗値が低くなるような回路素子である。保護素子１５０は、プラズマプロセスにおいてアンテナ部１４０に蓄積された電荷が所定以上となった場合、抵抗値が低くなることで、蓄積された電荷を逃がすことができる。これによれば、保護素子１５０は、測定トランジスタ１１１でのＰＩＤの発生を抑制することができる。保護素子１５０は、例えば、各種半導体ダイオードであってもよい。

[0084] したがって、第３の変形例に係る半導体装置１２は、保護素子１５０を設けた測定トランジスタ１１１と、保護素子１５０を設けていない測定トランジスタとを比較することで、保護素子１５０のＰＩＤの抑制効果を評価することができる。

[0085] また、保護素子１５０は、アンテナ部１４０よりも上層の配線で測定トランジスタ１１１のゲートと電氣的に接続されていてもよい。このような場合、アンテナ部１４０がアンテナとして機能するプラズマプロセスでは、保護素子１５０は測定トランジスタ１１１と電氣的に接続されていない。そのため、測定トランジスタ１１１では、アンテナ部１４０によるＰＩＤが発生する。その後、保護素子１５０は、アンテナ部１４０よりも上層の配線で測定トランジスタ１１１のゲートと電氣的に接続される。これにより、保護素子１５０は、アンテナ部１４０よりも上層の配線又はビア等をアンテナとするＰＩＤの発生を抑制することができる。

[0086] これによれば、保護素子１５０は、アンテナ部１４０よりも上層のビア又

は配線による測定トランジスタ 111 への P I D を抑制することができるため、測定トランジスタ 111 にアンテナ部 140 による P I D のみを発生させることができる。よって、半導体装置 13 は、より高い精度でアンテナ部 140 による測定トランジスタ 111 への P I D の影響を評価することができる。

[0087] (第4の変形例)

図 8 D に示すように、第 4 の変形例に係る半導体装置 14 は、ゲートがアンテナ部 140 に電氣的に接続された測定トランジスタ 111 A と、ソースが測定トランジスタ 111 のゲートと電氣的に接続された選択トランジスタ 121 と、測定トランジスタ 111 のゲートと電氣的に接続された保護素子 150 と、参照トランジスタ（図示せず）と、ソースが参照トランジスタのゲートと電氣的に接続された参照用選択トランジスタ（図示せず）と、測定トランジスタ 111、及び参照トランジスタのソースと電氣的に接続された発振回路 130 と、を備える。

[0088] 第 4 の変形例に係る半導体装置 14 では、測定トランジスタ 111 A のボディ端子は、測定トランジスタ 111 A のソース側の配線と電氣的に接続されている。通常、トランジスタのボディ端子は、V D D 配線又は V S S 配線に電氣的に接続されるが、該トランジスタのソース側の配線と電氣的に接続されることも可能である。第 4 の変形例に係る半導体装置 14 は、このような測定トランジスタ 111 A についても、アンテナ部 140 による P I D の有無を検出し、かつ P I D の大きさを評価することが可能である。測定トランジスタ 111 A のボディとソースとを電氣的に接続する場合、測定トランジスタ 111 A は、N 型基板に設けられる。測定トランジスタ 111 A を P 型基板に設ける場合は、深い領域まで N 型にドーピングしたディープウェル領域を形成することで、ソースとボディとのショートを防止する。

[0089] (1. 5. 動作例)

次に、図 9 を参照して、本実施形態に係る半導体装置 10 の動作例について説明する。図 9 は、本実施形態に係る半導体装置 10 の動作の一例を示す

フローチャート図である。

- [0090] 図9に示すように、まず、参照トランジスタ110のゲートに電氣的に接続する参照用選択トランジスタ120がオン状態に制御され、測定トランジスタ111のゲートに電氣的に接続する選択トランジスタ121がオフ状態に制御される(S101)。これにより、発振回路130には、参照トランジスタ110が電氣的に接続される。
- [0091] 次に、発振回路130の発振周波数が測定される(S103)。これにより、PIDが発生していないトランジスタを接続した場合の発振回路130の発振周波数が測定される。
- [0092] 続いて、測定トランジスタ111のゲートに電氣的に接続する選択トランジスタ121がオン状態に制御され、参照トランジスタ110のゲートに電氣的に接続する参照用選択トランジスタ120がオフ状態に制御される(S105)。これにより、発振回路130には、測定トランジスタ111が電氣的に接続される。
- [0093] 次に、発振回路130の発振周波数が測定される(S107)。これにより、PIDが発生したトランジスタを接続した場合の発振回路130の発振周波数が測定される。
- [0094] その後、参照トランジスタ110を接続した場合の発振回路130の発振周波数と、測定トランジスタ111を接続した場合の発振回路130の発振周波数との差分の有無が検出される(S109)。
- [0095] 続いて、検出された発振周波数の差分に基づいて、PIDによる測定トランジスタ111の閾値電圧 V_{th} の変動があったか否かが判定される(S111)。例えば、検出された発振周波数の差分が所定値以上である場合、該発振周波数の変動は、PIDによる測定トランジスタ111の閾値電圧 V_{th} の変動に起因すると判定されてもよい。
- [0096] 本実施形態に係る半導体装置10を用いることにより、半導体装置10のアンテナ部140によってPIDが発生したか否か、又はアンテナ部140のPIDによって測定トランジスタ111の閾値電圧を変動したか否かを容

易に判定することが可能である。

[0097] (1. 6. 適用例)

次に、図10～図12を参照して、本実施形態に係る半導体装置10の電子機器への適用例について説明する。図10～図12は、第1～第3の適用例に係る電子機器の構成を示すブロック図である。

[0098] (第1の適用例)

図10に示すように、第1の適用例に係る電子機器1000は、制御部101と、半導体装置10と、測定部102と、検出部103と、を備える。なお、制御部101、測定部102及び検出部103の一部又は全ては、半導体装置10の内部に備えられていてもよい。

[0099] 制御部101は、半導体装置10の選択トランジスタ121及び参照用選択トランジスタ120のオン又はオフ状態を制御することで、測定トランジスタ111及び参照トランジスタ110と、発振回路130との電気的な接続を制御する。また、制御部101は、半導体装置10の選択トランジスタ121のオン又はオフ状態を制御することで、アンテナ比が互いに異なる複数のアンテナ部140及び測定トランジスタ111と、発振回路130との電気的な接続を制御する。

[0100] 半導体装置10は、アンテナ比が互いに異なる複数の測定トランジスタ111の各々、又は参照トランジスタ110と電気的に接続された発振回路130から交流出力を出力させる。発振回路130からの交流出力の発振周波数は、発振回路130に電気的に接続された複数の測定トランジスタ111の各々又は参照トランジスタ110のチャネル抵抗によって変動する。これにより、半導体装置10は、アンテナ比が互いに異なる複数の測定トランジスタ111の各々、又は参照トランジスタ110のチャネル抵抗の違いを発振回路130の発振周波数の変動に変換することができる。

[0101] 測定部102は、半導体装置10の発振回路130からの交流出力の発振周波数を測定する。測定部102は、半導体装置10又は電子機器1000の内部に設けられた測定回路であってもよく、電子機器1000の外部に設

けられたテストであってもよい。

[0102] 検出部 103 は、測定部 102 にて測定された発振回路 130 の発振周波数に基づいて、発振周波数の差分の有無を検出する。具体的には、検出部 103 は、参照トランジスタ 110 が接続された発振回路 130 の発振周波数と、測定トランジスタ 111 が接続された発振回路 130 の発振周波数とを比較する。このとき、測定トランジスタ 111 を接続した発振回路 130 の発振周波数が参照トランジスタ 110 を接続した発振回路 130 の発振周波数から変動している場合、検出部 103 は、発振周波数の差分があることを検出する。また、検出部 103 は、電子機器 1000 にて P I D が発生していることを検出してもよい。

[0103] したがって、第 1 の適用例に係る電子機器 1000 では、半導体装置 10 によって、内部のトランジスタにて P I D が発生しているか否かをより小さい面積で、かつより少ない端子数で検出することができる。したがって、半導体装置 10 は、第 1 の適用例に係る電子機器 1000 の工程管理のコストを低減することが可能である。

[0104] (第 2 の適用例)

図 11 に示すように、第 2 の適用例に係る電子機器 1001 は、制御部 101 と、半導体装置 10 と、測定部 102 と、検出部 103 と、処理部 104 と、基準電圧制御回路 1201 と、基準電圧生成回路 1301 と、本体回路 1101 と、を備える。なお、制御部 101、測定部 102 及び検出部 103 の一部又は全ては、半導体装置 10 の内部に備えられていてもよい。

[0105] 制御部 101、半導体装置 10、測定部 102 及び検出部 103 については、第 1 の適用例にて説明したとおりであるため、ここでの説明は省略する。

[0106] 処理部 104 は、P I D の有無に基づいて、発生した P I D による影響を抑制するための処理を決定する。第 2 の適用例では、処理部 104 は、P I D が発生した場合、電子機器 1001 の機能を実行する本体回路 1101 に供給する基準電圧を上昇させる指示を出力する。P I D が発生した場合、ト

ランジスタの閾値電圧 V_{th} が上昇してしまうため、電子機器1001の設計時の基準電圧では、トランジスタがオン状態に制御されなかったり、トランジスタを流れる電流が減少したりする可能性がある。そこで、処理部104は、本体回路1101に供給する基準電圧を上昇させる処理を指示することで、PIDが発生しなかった場合と同様に本体回路1101が駆動できるようにする。

[0107] 基準電圧制御回路1201は、処理部104からの指示に基づいて、基準電圧生成回路1301にて生成する基準電圧を制御する。具体的には、基準電圧制御回路1201は、処理部104の指示に基づいて、本体回路1101に供給する基準電圧を上昇させるように、基準電圧生成回路1301を制御する。例えば、基準電圧制御回路1201は、ヒューズ又はトリミングを用いて、基準電圧を上昇させるように基準電圧生成回路1301を制御してもよい。

[0108] 基準電圧生成回路1301は、本体回路1101に供給する基準電圧を生成する。具体的には、基準電圧生成回路1301は、基準電圧制御回路1201の制御に基づいた電圧値の基準電圧を生成する電源回路である。例えば、基準電圧生成回路1301は、基準電圧制御回路1201の制御に基づいて、PIDによるトランジスタの閾値電圧 V_{th} の変動を打ち消すように昇圧した基準電圧を生成してもよい。

[0109] 本体回路1101は、基準電圧生成回路1301から供給された基準電圧で駆動し、電子機器1001の機能を実行する主要な回路である。基準電圧生成回路1301から供給された基準電圧は、PIDの有無に基づいて電圧値が制御されているため、本体回路1101は、PIDの有無にかかわらず、円滑に駆動することが可能である。

[0110] したがって、第2の適用例に係る電子機器1001では、本体回路1101に供給する基準電圧の制御によって、PIDの発生による影響を抑制することが可能である。

[0111] (第3の適用例)

図12に示すように、第3の適用例に係る電子機器1002は、制御部101と、半導体装置10と、測定部102と、検出部103と、処理部104と、PID耐性ブロック切替制御回路1202と、PID低耐性回路1302及びPID高耐性回路1402を含む本体回路1102と、を備える。なお、制御部101、測定部102及び検出部103の一部又は全ては、半導体装置10の内部に備えられていてもよい。

[0112] 制御部101、半導体装置10、測定部102及び検出部103については、第1の適用例にて説明したとおりであるため、ここでの説明は省略する。

[0113] 処理部104は、PIDの有無に基づいて、発生したPIDによる影響を抑制するための処理を決定する。第3の適用例では、処理部104は、PIDが発生した場合、本体回路1102の内のPID低耐性回路1302が実行している機能をPID高耐性回路1402が実行するように切り替える指示を出力する。PIDが発生した場合、トランジスタの閾値電圧 V_{th} が上昇してしまうため、電子機器1002の設計時の基準電圧では、トランジスタがオン状態に制御されなかったり、トランジスタを流れる電流が減少したりする可能性がある。そこで、処理部104は、本体回路1102において、PIDの影響を大きく受けるPID低耐性回路1302を使用せず、PIDの影響を受けにくいPID高耐性回路1402を使用するように回路を切り替える処理を指示する。

[0114] PID耐性ブロック切替制御回路1202は、処理部104からの指示に基づいて、本体回路1102内のPID低耐性回路1302と、PID高耐性回路1402との接続の切り替えを制御する。具体的には、PID耐性ブロック切替制御回路1202は、処理部104からの指示に基づいて、PID低耐性回路1302からPID高耐性回路1402に回路の接続を切り替える。例えば、PID耐性ブロック切替制御回路1202は、ヒューズ又はスイッチング素子を用いて、本体回路1102内の回路との接続をPID低耐性回路1302からPID高耐性回路1402に切り替えてもよい。

[0115] 本体回路 1102 は、電子機器 1001 の機能を実行する主要な回路であり、PID 低耐性回路 1302 及び PID 高耐性回路 1402 を含む。PID 低耐性回路 1302 及び PID 高耐性回路 1402 は、同じ機能を実行する回路群であり、PID の有無によって、いずれを使用するかが切り替えられる。具体的には、本体回路 1102 では、PID が発生していない場合、PID 低耐性回路 1302 が使用され、PID が発生した場合、PID 高耐性回路 1402 が使用される。これによれば、本体回路 1102 は、PID の有無にかかわらず、円滑に駆動することが可能である。

[0116] したがって、第 3 の適用例に係る電子機器 1002 によれば、本体回路 1101 内の回路群の使用を切り替えることによって、PID の発生による影響を抑制することが可能である。

[0117] <2. 第 2 の実施形態>

(2. 1. 構造例)

次に、図 13 を参照して、本開示の第 2 の実施形態に係る半導体装置の構造例について説明する。図 13 は、本実施形態に係る半導体装置の構造例を説明する回路図である。

[0118] 図 13 に示すように、本実施形態に係る半導体装置 20 は、アンテナ部 140 と、選択トランジスタ 121 と、測定トランジスタ 111 と、参照用選択トランジスタ 120 と、参照トランジスタ 110 と、負荷素子 250 と、発振回路 230 と、を備える。

[0119] 第 2 の実施形態に係る半導体装置 20 は、第 1 の実施形態に係る半導体装置 10 と比較して、測定トランジスタ 111 及び参照トランジスタ 110 のソースが発振回路 230 の入力及び負荷素子 250 に電氣的に接続されている点が異なる。

[0120] 負荷素子 250 は、電力を消費する素子であり、発振回路 230 に入力される電圧を制御するために設けられる。具体的には、負荷素子 250 は、所定の抵抗を有する受動素子であり、測定トランジスタ 111 及び参照トランジスタ 110 のソースと、VSS 配線（又はグランド配線）との間に設けら

れる。負荷素子 250 は、所定の抵抗を有する受動素子であれば、いかなるものであってもよいが、例えば、抵抗素子又は負荷トランジスタであってもよい。

[0121] 発振回路 230 は、入力される電圧の大きさによって発振周波数を制御可能な電圧制御発振回路である。発振回路 230 は、例えば、電圧制御型のリングオシレータであってもよい。

[0122] 第 2 の実施形態に係る半導体装置 20 では、VDD 配線と VSS 配線との間の電位差は、測定トランジスタ 111 又は参照トランジスタ 110 のチャネル抵抗と、負荷素子 250 の抵抗値とに基づいて分圧され、測定トランジスタ 111 又は参照トランジスタ 110 のチャネル抵抗に応じた電圧が発振回路 230 に入力される。すなわち、半導体装置 20 では、所定の抵抗を有する負荷素子 250 と、発振回路 230 とを並列に接続することによって、測定トランジスタ 111 のチャネル抵抗の変動に基づいた電圧を発振回路 230 に入力することができる。これによれば、半導体装置 20 では、測定トランジスタ 111 のチャネル抵抗の変動を発振回路 230 の発振周波数の変動として検出することができる。

[0123] ここで、第 1 の実施形態に係る半導体装置 10 では、VDD 配線及び VSS 配線の間の電位差を測定トランジスタ 111 と発振回路 130 とで分け合うため、VDD 配線及び VSS 配線の間の電位差が小さい場合、発振回路 130 に印加される電圧が過度に小さくなる。このような場合、発振回路 130 が発振しにくくなってしまう。なお、発振回路 130 の発振周波数を高めるためには、発振回路 130 の構成を簡略化する（例えば、リングオシレータのインバータの数を減少させるなど）ことが考えられるが、このような場合、発振回路 130 の精度が低下してしまう。

[0124] また、第 1 の実施形態に係る半導体装置 10 では、発振回路 130 が発振を始めると、寄生容量によって発振回路 130 にて電力が消費され始めるため、発振回路 130 に印加される電圧が徐々に高くなる。これにより、第 1 の実施形態に係る半導体装置 10 では、発振回路 130 に印加される電圧が

安定し、発振回路 130 の発振周波数が安定するまでに時間がかかるため、P I D の有無の検出に時間がかかってしまう。

[0125] 一方、第 2 の実施形態に係る半導体装置 20 では、入力される電圧によって発振回路 230 の発振周波数が制御されるため、V D D 配線及び V S S 配線の間の電位差をすべて発振回路 230 に印加することができる。また、半導体装置 20 では、発振回路 230 に入力される電圧は、測定トランジスタ 111 又は参照トランジスタ 110 のチャネル抵抗と、負荷素子 250 の抵抗値とによって決定される。これにより、発振回路 230 に入力される電圧が安定するまでの時間が短くなるため、半導体装置 20 は、P I D の有無の検出にかかる時間を短縮することができる。

[0126] (2. 2. 具体例)

続いて、図 14 及び図 15 を参照して、本実施形態に係る半導体装置 20 のより具体的な構造例について説明する。図 14 は、本実施形態に係る半導体装置 20 のより具体的な回路構造を示す回路図であり、図 15 は、発振回路 230 のより具体的な回路構造を示す回路図である。

[0127] 図 14 に示すように、例えば、半導体装置 20 は、ゲートにアンテナ部 140 が電氣的に接続された測定トランジスタ 111 と、ゲートにアンテナ部が電氣的に接続されていない参照トランジスタ 110 と、を備える。

[0128] 測定トランジスタ 111 及び参照トランジスタ 110 のソースは、負荷トランジスタからなる負荷素子 250 と、電圧制御型のリングオシレータである発振回路 230 とに並列に接続される。これにより、発振回路 230 には、V D D 配線及び V S S 配線の間の電位差が印加される。また、発振回路 230 には、測定トランジスタ 111 又は参照トランジスタ 110 のチャネル抵抗に対応する分圧が入力されるため、該チャネル抵抗に応じた発振周波数の交流が出力される。

[0129] 具体的には、発振回路 230 は、図 15 に示すような回路構造を備えていてもよい。発振回路 230 は、例えば、N O T ゲート（インバータ）をリング状に奇数段（例えば、101 段等）接続したリングオシレータである。発

振回路 230 は、N 型トランジスタ及び P 型トランジスタを相補的に用いることで、内部の NOT ゲートの各々に、VDD 配線及び VSS 配線の間の電位差 V_d と、入力電圧 V_{in} とに基づいた電位差を印加することができる。これにより、発振回路 230 は、入力される電圧の大きさに基づいて、交流出力の発振周波数を制御することができる。

[0130] 測定トランジスタ 111 及び参照トランジスタ 110 のゲートには、それぞれ選択トランジスタ 121 及び参照用選択トランジスタ 120 が電氣的に接続される。選択トランジスタ 121 及び参照用選択トランジスタ 120 のゲートには、共通のスイッチ 260 が電氣的に接続され、選択トランジスタ 121 及び参照用選択トランジスタ 120 のゲートは、スイッチ 260 を介して別電源に電氣的に接続される。また、選択トランジスタ 121 及び参照用選択トランジスタ 120 のソース又はドレインには、NOT ゲート（インバータ）281、280、及び NAND ゲート 271、270 からなるロジック回路が電氣的に接続される。

[0131] NOT ゲート 281、280、及び NAND ゲート 271、270 からなるロジック回路は、PIDSEL 端子が H (High)、かつ EN 端子が H (High) である場合、選択トランジスタ 121 を介して、測定トランジスタ 111 をオン状態に制御する。また、ロジック回路は、PIDSEL 端子が L (Low)、かつ EN 端子が H (High) である場合、参照用選択トランジスタ 120 を介して、参照トランジスタ 110 をオン状態に制御する。さらに、ロジック回路は、EN 端子が L (Low) である場合、PIDSEL 端子が H (High) 又は L (Low) のいずれであっても、測定トランジスタ 111 及び参照トランジスタ 110 をオフ状態に制御する。

[0132] 本実施形態に係る半導体装置 20 によれば、電源電圧が低い場合であっても、高い精度で PID の有無を検出することが可能である。また、半導体装置 20 によれば、より短時間で PID の有無を検出することが可能である。

[0133] なお、第 2 の実施形態に係る半導体装置 20 は、第 1 の実施形態に係る半

導体装置 10 に対して、測定トランジスタ 111 及び参照トランジスタ 110 のソースが負荷素子 250 及び発振回路 230 の入力に電氣的に接続されている点異なる。そのため、第 1 の実施形態にて説明した半導体装置 10 の変形例及び適用例の各々は、第 2 の実施形態に係る半導体装置 20 に対しても同様に適用することが可能である。

[0134] <3. 第 3 の実施形態>

上述した実施形態において、PID によるチャネル抵抗 R_1 又は閾値電圧 V_{th} の変動量を求めるためには、発振回路 130 の発振周波数 f を電圧値に変換する必要がある。発振周波数 f を電圧値に変換する方法には、例えば、誤差関数などの近似関数や実験データによるテーブル値等を用いる方法を用いることができるが、これらの方法に限定されるものではない。

[0135] 例えば、PID の影響を受けた場合と受けていない場合とにおける発振周波数 f の差に係数を掛け算することで、PID によるチャネル抵抗 R_1 又は閾値電圧 V_{th} の変動量をより簡便な方法で算出することが可能である。ただし、このような線形近似により変動量を求めるためには、発振回路 130 の周波数特性において線形領域（線形近似可能な領域ともいう）を使うように、測定トランジスタ 111 及び参照トランジスタ 110 が構成するソースフォロア回路から得られる電圧を加工する必要がある。

[0136] そこで本実施形態では、発振周波数 f を電圧値に変換するより簡便な方法を実現可能な半導体装置、検出方法、電子機器及び電子機器の制御方法について、以下に例を挙げて説明する。なお、以下の説明において、線形近似可能な領域に電圧を加工する回路を、“調整回路”と称する。

[0137] （3. 1. 発振回路の周波数特性と使用する電圧範囲について）

本実施形態に係る調整回路を備える半導体装置を説明するにあたり、先に、発振回路の周波数特性と、本実施形態において使用する電圧範囲について説明する。図 16 は、発振回路の周波数特性を示すグラフである。図 16 に示すように、一般的な発振回路では、電圧値が低い領域（例えば、図 16 における 0.4 V 未満の領域）では、印加電圧の上昇に対して発振周波数が指

数関数的に上昇し、それよりも高い電圧領域（例えば、図 16 における 0.4 V 以上から所定の電圧値以下の領域）では、印加電圧の上昇に対して約一定の傾きを保って発振周波数が上昇する。なお、図 16 では図示されていないが、電圧値が高い領域（例えば、上述した所定の電圧値より大きい領域）では、印加電圧と発振周波数とのリニアリティが崩れ、印加電圧の上昇に対して発振周波数は上限値に漸近する。

[0138] ここで、半導体装置に作り込まれたトランジスタの閾値電圧 V_{th} の製造バラツキ (δV_{th} とも記す) が 20 mV であり、P I D による閾値電圧 V_{th} のシフト量 (P I D とも記す) が 50 mV であると仮定すると、半導体装置が備えるトランジスタの閾値電圧 V_{th} のバラツキの範囲 Q 1、すなわち、使用する電圧範囲 Q 1 は、70 mV となる。

[0139] その場合、例えば、上述した実施形態における測定トランジスタ 111 及び参照トランジスタ 110 が構成するソースフォロア回路から出力される電圧 V_{out} が低い電圧範囲に属する値（例えば、0.35 V）であると仮定すると、出力電圧 V_{out} がリニアリティの確保されていない範囲で大きく変動することとなるため、ソースフォロア回路に入力する電圧 V_{in} に対して固定の係数を掛け算することでは、発振回路 130 の発振周波数 f を特定することができない。

[0140] そこで本実施形態では、調整回路を用いることで、ソースフォロア回路からの出力電圧 V_{out} の変動範囲を狭くする。それにより、発振回路 130 に入力される電圧（すなわち、ソースフォロア回路からの出力電圧 V_{out} ）に対する発振周波数 f のリニアリティが高められるため、入力電圧 V_{in} に対して固定の係数を掛け算することで、発振回路 130 の発振周波数 f を特定することが可能となる。

[0141] 例えば、図 16 において、使用する電圧範囲 Q 1 を、70 mV の半分の 35 mV に狭めることで、出力電圧 V_{out} に対する発振周波数 f のリニアリティが高められるため、入力電圧 V_{in} に係数を掛け算することで求まる発振周波数 f の正確性を高めることが可能となる。

[0142] また、本実施形態に係る調整回路は、ソースフォロア回路からの出力電圧 V_{out} の変動範囲をシフトさせる機能を備えることも可能である。出力電圧 V_{out} の変動範囲を例えば印加電圧と発振周波数とのリニアリティが確保された範囲（例えば、図 16 における 0.4 V 以上から所定の電圧値以下の領域）内にシフトさせることで、発振回路 130 の発振周波数 f を入力電圧 V_{in} からより正確に特定することが可能となる。

[0143] 例えば、図 16 において、使用する電圧範囲 Q_2 を 0.4 V 以上 0.435 mV 以下の範囲にシフトさせることで、印加電圧と発振周波数とのリニアリティが確保された範囲を使用することが可能となるため、入力電圧 V_{in} に対して固定の係数を掛け算することでより正確に発振周波数 f を特定することが可能となる。

[0144] （3. 2. 調整回路の役割）

上述のように、本実施形態に係る調整回路は、ソースフォロア回路からの出力電圧 V_{out} の変動範囲を制限することと、出力電圧 V_{out} の変動範囲を所望の範囲にシフトさせることとの役割を持つことができる。

[0145] （3. 2. 1. 電圧変動範囲の制限）

ここで、出力電圧 V_{out} の変動範囲を制限することとは、ソースフォロア回路の電圧感度を調整するということである。すなわち、図 17 の直線 L_{11} に示すように、ソースフォロア回路から出力される出力電圧 V_{out} の傾きは、通常、ソースフォロア回路を構成するトランジスタのゲートに対する入力電圧 V_{in} に比例する。なお、図 17 は、ソースフォロア回路における入力電圧と出力電圧との関係を示すグラフである。

[0146] そこで本実施形態では、調整回路を設けることで、ソースフォロア回路の電圧感度を調整する。例えば、図 17 に示すように、入力電圧 V_{in} に対する出力電圧 V_{out} の傾きが直線 L_{11} の半分の傾き（直線 L_{12} に相当）となるように、ソースフォロア回路の電圧感度を調整する。それにより、入力電圧 V_{in} の変動範囲（ $\delta V_{th} + PID$ ）に対する出力電圧 V_{out} の変動範囲を、元々の変動範囲 Q_{11} の半分の変動範囲 Q_{12} に縮小すること

が可能となるため、入力電圧 V_{in} に係数を掛け算することで求まる発振周波数 f の正確性を高めることが可能となる。

[0147] (3. 2. 2. 使用する電圧範囲のシフト)

また、本実施形態では、上述したように、調整回路に使用する電圧範囲をシフトさせる機能を備えさせることも可能である。図 18 は、本実施形態に係る調整回路による使用する電圧範囲のシフトを説明するための図であり、図 19 は、本実施形態に係る調整回路によるシフト前後の変動範囲と周波数特性との関係を示すグラフである。

[0148] 図 18 に示すように、変動範囲 $Q12$ を例えば高電圧側へシフトさせることで、図 19 に示すように、発振回路 130 に入力する電圧（出力電圧 V_{out} ）を、周波数特性のリニアリティが確保された領域内の変動範囲 $Q13$ にシフトさせることが可能となる。それにより、発振回路 130 の発振周波数 f を入力電圧 V_{in} からより正確に特定することが可能となる。

[0149] なお、本実施形態に係る調整回路は、ソースフォロア回路の電圧変動範囲の制限機能と、使用する電圧範囲のシフト機能との両方を備えている必要はなく、何れか一方の機能を備えていればよい。

[0150] また、以上の説明では、低い電圧領域（例えば、図 16 における 0.4 V 未満の領域）内の変動範囲 $Q12$ を高電圧側へシフトさせる場合を例示したが、これに限定されず、高い電圧領域（例えば、図 16 の説明において言及した所定の電圧値より大きい領域）内の変動範囲を低電圧側へシフトさせるように、調整回路を設計することも可能である。

[0151] (3. 3. 調整回路について)

(3. 3. 1. ソースフォロア回路からの出力電圧 V_{out})

つぎに、本実施形態に係る調整回路を説明するにあたり、調整回路を設けない場合にソースフォロア回路から出力されて発振回路 130 に入力される電圧（出力電圧 V_{out} ）について説明する。なお、本説明では、明確化のため、ソースフォロア回路からの出力電圧を“ V_{out0} ”とし、調整回路からの出力電圧を“ V_{out1} ”とする。

[0152] 図20は、ソースフォロア回路からの出力電圧を説明するための図である。図20に示すように、参照トランジスタ110／測定トランジスタ111のゲート・ソース間電圧 V_{gs} は、以下の式(9)に示すように、入力電圧 V_{in} から出力電圧 V_{out0} を引いた電圧となる。また、参照トランジスタ110／測定トランジスタ111のドレイン・ソース間電圧 V_{ds} は、以下の式(10)に示すように、電源電圧 V_{DD} から出力電圧 V_{out0} を引いた電圧となる。ここで、ゲート・ソース間電圧 V_{gs} から参照トランジスタ110／測定トランジスタ111の閾値電圧 V_{th} 及びドレイン・ソース間電圧 V_{ds} を引いた電圧がゼロ未満となることが飽和条件であることを鑑みると、以下の式(11)に示すように、入力電圧 V_{in} から閾値電圧 V_{th} 及び電源電圧 V_{DD} を引いた電圧がゼロ未満である必要がある。

[数1]

$$V_{gs} = V_{in} - V_{out0} \quad (9)$$

$$V_{ds} = V_{DD} - V_{out0} \quad (10)$$

$$\begin{aligned} & V_{gs} - V_{th} - V_{ds} \\ &= (V_{in} - V_{out0}) - V_{th} - (V_{DD} - V_{out0}) \quad (11) \\ &= V_{in} - V_{th} - V_{DD} < 0 : \text{飽和条件} \end{aligned}$$

[0153] また、参照トランジスタ110／測定トランジスタ111のドレイン・ソース間に流れる電流 I_{ds1} は、以下の式(12)から求めることができる。なお、式(12)において、 β_1 は、参照トランジスタ110／測定トランジスタ111のゲインである。

[数2]

$$I_{ds1} = \frac{\beta_1 (V_{DD} - V_{out0} - V_{th})^2}{2} \quad (12)$$

[0154] 以上のことから、出力電圧 V_{out0} は、以下の式(13)のように求めることができる。

[数3]

$$\begin{aligned} V_{out0} &= V_{in} - (V_{th} + \sqrt{2I_{ds1} / \beta_1}) \quad (13) \\ &\doteq V_{in} - V_{th} \end{aligned}$$

[0155] (3. 3. 2. 調整回路の具体例)

つづいて、本実施形態に係る調整回路について、いくつか具体例を挙げて説明する。

[0156] (3. 3. 2. 1. 第1具体例)

図21は、本実施形態の第1具体例に係る調整回路の概略構成例を示す回路図である。なお、第1具体例では、出力電圧 V_{out0} の変動範囲を制限する制限回路361を用いて調整回路が構成されている場合について、例を挙げて説明する。

[0157] 図21に示すように、第1具体例に係る制限回路361は、ゲート・ドレイン間が短絡された負荷トランジスタ3611を備えている。負荷トランジスタ3611のドレイン及びゲートは、参照トランジスタ110及び測定トランジスタ111のソースに接続され、ソースは接地電圧 V_{SS} に接続されている。

[0158] このような構成において、負荷トランジスタ3611の飽和条件は、以下の式(14)で表される。また、参照トランジスタ110／測定トランジスタ111のドレイン・ソース間に流れる電流 I_{ds1} は、以下の式(15)から求められ、負荷トランジスタ3611のドレイン・ソース間に流れる電流 I_{ds3} は、以下の式(16)から求められる。

[数4]

$$\text{飽和条件: } V_{ds} > (V_{gs} - V_{th}) \quad (14)$$

$$I_{ds1} = \beta_1 (V_{gs} - V_{th1})^2$$

$$V_{gs} = V_{DD} - V_{out0} \quad (15)$$

$$I_{ds1} = \beta_1 (V_{DD} - V_{out0} - V_{th1})^2$$

$$I_{ds3} = \beta_3 (V_{out} - V_{th3})^2 \quad (16)$$

[0159] ここで、 $I_{ds1} = I_{ds3}$ であることから、負荷トランジスタ3611のゲイン β_3 は、以下の式(17)のように、求めることができる。

[数5]

$$\begin{aligned}
 I_{ds1} &= I_{ds3} \\
 \beta_3(V_{out0} - V_{th3})^2 &= \beta_1(V_{DD} - V_{out0} - V_{th1})^2 \\
 V_{out} &= \frac{V_{DD} - V_{th1} + \sqrt{\frac{\beta_3}{\beta_1}} V_{th3}}{1 + \sqrt{\frac{\beta_3}{\beta_1}}} \quad (17) \\
 \beta_1 &= \beta_3
 \end{aligned}$$

[0160] その結果、出力電圧 V_{out0} は、以下の式 (18) に表されるように、例えば、図 20 に示す例と比較して、略 1/2 に低減される。これは、出力電圧 V_{out0} の変動範囲が略半分に制限されたことを示している。なお、出力電圧 V_{out0} は、発振回路 130 に入力される。

[数6]

$$V_{out0} = \frac{1}{2}(V_{DD} - V_{th1} + V_{th3}) \quad (18)$$

[0161] (3. 3. 2. 2. 第 2 具体例)

図 22 は、本実施形態の第 2 具体例に係る調整回路の概略構成例を示す回路図である。なお、第 2 具体例では、出力電圧 V_{out} の変動範囲をシフトさせるシフト回路 362 を用いて調整回路が構成されている場合について、例を挙げて説明する。

[0162] 図 22 に示すように、第 2 具体例に係るシフト回路 362 は、直列に接続された P 型の第 1 トランジスタ 3621 及び N 型の第 2 トランジスタ 3622 と、同じく直列に接続された P 型の第 3 トランジスタ 3623 及び N 型の第 4 トランジスタ 3624 とが、電源電圧 V_{DD} と接地電圧 V_{SS} との間に並列に接続された構成を備える。言い換えれば、シフト回路 362 は、直列に接続された P 型トランジスタ及び N 型トランジスタよりなる 2 つの CMOS (Complementary Metal-Oxide-Semiconductor) 回路 (以下、CMOS アナログ反転回路という) が直列接続された構成を備える。

[0163] 第 1 トランジスタ 3621 と第 2 トランジスタ 3622 とは、ドレイン同士が接続されている。同様に、第 3 トランジスタ 3623 と第 4 トランジスタ

タ 3 6 2 4 とともに、ドレイン同士が接続されている。

[0164] ソースフォロア回路からの出力電圧 V_{out} は、第 2 トランジスタ 3 6 2 2 のゲートに印加される。第 1 トランジスタ 3 6 2 1 のゲートは、第 1 トランジスタ 3 6 2 1 のドレイン及び第 2 トランジスタ 3 6 2 2 のドレインに接続されるとともに、第 3 トランジスタ 3 6 2 3 のゲートに接続されている。

[0165] 第 3 トランジスタ 3 6 2 3 のドレイン及び第 4 トランジスタ 3 6 2 4 のドレインは、第 4 トランジスタ 3 6 2 4 のゲートに接続されるとともに、後段の回路（例えば、制限回路 3 6 1（又は発振回路 1 3 0））に接続される。

[0166] 以上のような構成を備えるシフト回路 3 6 2 では、直列接続された P 型のトランジスタ（第 1 トランジスタ 3 6 2 1 又は第 3 トランジスタ 3 6 2 3）のオン抵抗と N 型のトランジスタ（第 2 トランジスタ 3 6 2 2 又は第 4 トランジスタ 3 6 2 4）のオン抵抗との比を制御することで、後段に出力される電圧の電圧値を制御することができる。

[0167] 図 2 3 は、シフト回路における P 型のトランジスタのオン抵抗と N 型のトランジスタのオン抵抗との比を制御した場合の出力電圧のシフトを説明するための図である。図 2 3 において、破線 L 2 0 は、P 型のトランジスタ（第 1 トランジスタ 3 6 2 1 又は第 3 トランジスタ 3 6 2 3）のオン抵抗と N 型のトランジスタ（第 2 トランジスタ 3 6 2 2 又は第 4 トランジスタ 3 6 2 4）のオン抵抗とを同じ抵抗値とした場合に後段に出力される電圧 V_1 又は V_2 （シフト回路 3 6 2 からの出力電圧 V_{out1} に相当）の電圧値を示している。

[0168] 図 2 2 において、例えば、N 型のトランジスタ（第 2 トランジスタ 3 6 2 2 又は第 4 トランジスタ 3 6 2 4）のオン抵抗を P 型のトランジスタ（第 1 トランジスタ 3 6 2 1 又は第 3 トランジスタ 3 6 2 3）のオン抵抗よりも大きくした場合、図 2 3 の実線 L 2 1 に示すように、後段に出力される電圧 V_1 又は V_2 （出力電圧 V_{out1} ）は、高電圧側へシフトする。一方、P 型のトランジスタ（第 1 トランジスタ 3 6 2 1 又は第 3 トランジスタ 3 6 2 3）のオン抵抗を N 型のトランジスタ（第 2 トランジスタ 3 6 2 2 又は第 4 ト

ランジスタ 3624) のオン抵抗よりも大きくした場合、図 23 の実線 L 2 2 に示すように、後段に出力される電圧 V_1 又は V_2 (出力電圧 V_{out1}) は、低電圧側へシフトする。

[0169] ただし、直列接続された P 型のトランジスタと N 型のトランジスタとで構成される CMOS アナログ反転回路を 1 段又は奇数段とした場合、図 24 の (a) から (b) に示すように、後段に出力される電圧 (図 22 及び図 24 に示す例では例えば電圧 V_1) は、入力電圧 V_{in} に対して反転した電圧値となる。そこで本実施形態では、P 型のトランジスタと N 型のトランジスタとで構成される CMOS アナログ反転回路を 2 段又は偶数段とすることで、図 24 の (c) に示すように、出力される電圧を再反転させる (図 22 及び図 24 に示す例では例えば電圧 V_2) 。

[0170] なお、図 25 に示すように、発振回路 130 の発振周波数 f を上げたい場合には、出力電圧 V_{out1} の電圧値を上げ、発振周波数 f を下げたい場合には、出力電圧 V_{out1} の電圧値を下げる必要がある。出力電圧 V_{out1} の電圧値を上げる場合には、対角に位置する第 2 トランジスタ 3622 及び第 3 トランジスタ 3623 のオン抵抗を下げる。その際、反対側の対角に位置する第 1 トランジスタ 3621 及び第 4 トランジスタ 3624 のオン抵抗を上げてよい。一方、出力電圧 V_{out1} の電圧値を下げる場合には、第 2 トランジスタ 3622 及び第 3 トランジスタ 3623 のオン抵抗を上げる。その際、第 1 トランジスタ 3621 及び第 4 トランジスタ 3624 のオン抵抗を下げてよい。

[0171] 各トランジスタのオン抵抗の増減には、各トランジスタのゲート長 (L 長) やゲート幅 (W 長) を調節したり、各トランジスタの Finger 数を調節したりする方法が採用されてもよい。

[0172] 図 26 は、第 1 ~ 第 4 トランジスタ 3621 ~ 3624 それぞれの Finger 数を 2 とした場合のシフト回路 362 の概略構成例を示す回路図である。例えば、第 1 トランジスタ 3621 は、2 つのトランジスタ 3621a 及び 3621b から構成され、第 2 トランジスタ 3622 は、2 つのトラン

ジスタ3622a及び3622bから構成され、第3トランジスタ3623は、2つのトランジスタ3623a及び3623bから構成され、第4トランジスタ3624は、2つのトランジスタ3624a及び3624bから構成されている。

[0173] 図27は、第1～第4トランジスタそれぞれのFinger数を切り替えた場合にシフト回路から出力される出力電圧の例を示すグラフである。図27において、破線±0は、第1～第4トランジスタ3621～3624それぞれのFinger数を1とした場合を示している。また、曲線P1は、第2トランジスタ3622及び第3トランジスタ3623の合計のFinger数を3とし、第1トランジスタ3621及び第4トランジスタ3624の合計のFinger数を2とした場合を示し、曲線P2は、第2トランジスタ3622及び第3トランジスタ3623の合計のFinger数を3とし、第1トランジスタ3621及び第4トランジスタ3624の合計のFinger数を1とした場合を示し、曲線P3は、第2トランジスタ3622及び第3トランジスタ3623の合計のFinger数を4とし、第1トランジスタ3621及び第4トランジスタ3624の合計のFinger数を2とした場合を示し、曲線P4は、第2トランジスタ3622及び第3トランジスタ3623の合計のFinger数を4とし、第1トランジスタ3621及び第4トランジスタ3624の合計のFinger数を1とした場合を示している。さらに、曲線M1は、第2トランジスタ3622及び第3トランジスタ3623の合計のFinger数を2とし、第1トランジスタ3621及び第4トランジスタ3624の合計のFinger数を3とした場合を示し、曲線M2は、第2トランジスタ3622及び第3トランジスタ3623の合計のFinger数を1とし、第1トランジスタ3621及び第4トランジスタ3624の合計のFinger数を3とした場合を示し、曲線M3は、第2トランジスタ3622及び第3トランジスタ3623の合計のFinger数を2とし、第1トランジスタ3621及び第4トランジスタ3624の合計のFinger数を4とした場合を示し、曲線M4は、第2

トランジスタ 3622 及び第 3 トランジスタ 3623 の合計の Finger 数を 1 とし、第 1 トランジスタ 3621 及び第 4 トランジスタ 3624 の合計の Finger 数を 4 とした場合を示している。

[0174] このように、合計 8 個のトランジスタをカスコード接続した構成では、各トランジスタの Finger 数を調整することで、出力電圧 V_{out1} の電圧値を 9 段階に調整することが可能である。

[0175] (3. 3. 2. 3. 第 3 具体例)

図 28 は、本実施形態の第 3 具体例に係る調整回路の概略構成例を示す回路図である。図 28 に示すように、第 3 具体例に係る調整回路 360 は、測定トランジスタ 111 及び参照トランジスタ 110 が構成するソースフォロア回路に対して、制限回路 361 とシフト回路 362 とが直列に接続された構成を有していてもよい。また、シフト回路 362 は、抵抗素子 3625 で構成されていてもよい。

[0176] 抵抗素子 3625 をソースフォロア回路のソース側に設けることで、出力電圧 V_{out0} を高電圧側へシフトさせることができる。なお、出力電圧を V_{out0} を低電圧側へシフトさせる場合は、抵抗素子 3625 をソースフォロア回路のドレイン側へ設ければよい。

[0177] (3. 3. 2. 4. 第 4 具体例)

図 29 は、本実施形態の第 4 具体例に係る調整回路の概略構成例を示す回路図である。図 29 に示すように、第 4 具体例に係る調整回路 360 は、第 3 具体例に係る調整回路 360 と同様の構成において、シフト回路 362 が、2 つのトランジスタ 3626 及び 3627 と、定電流回路 3628 とを備える回路構成に置き換えられた構成を備える。

[0178] 2 つのトランジスタ 3626 及び 3627 は、互いのゲートが一方のトランジスタ 3627 のドレインに接続されることで、カレントミラー回路を構成している。トランジスタ 3627 のドレインは、定電流回路 3628 に接続されている。

[0179] このような構成では、カレントミラー回路を構成する一方のトランジスタ

3626がソースフォロア回路に流れる電流を制限するように機能する。したがって、定電流回路3628に流れる電流を制御することで、出力電圧 V_{out0} を高電圧側へシフトさせることが可能となる。なお、出力電圧 V_{out0} を低電圧側へシフトさせる場合には、シフト回路362をソースフォロア回路のドレイン側に設ければよい。

[0180] (3. 3. 2. 5. その他の例)

また、例えば、図21を用いて説明した構成において、測定トランジスタ111又は参照トランジスタ110と、負荷トランジスタ3611とのオン抵抗の比を調整することでも、出力電圧 V_{out0} をシフトさせることが可能である。なお、各トランジスタのオン抵抗の増減には、各トランジスタのゲート長(L長)やゲート幅(W長)を調節したり、各トランジスタの $Finger$ 数を調節したりする方法が採用されてもよい。

[0181] (3. 4. 構造例)

つぎに、図面を参照して、本の実施形態に係る半導体装置の構造例について、幾つか例を挙げて説明する。なお、以下の説明において、制限回路361及びシフト回路362は、上述した調整回路360の説明において例示した制限回路361及びシフト回路362と同様であってよい。

[0182] (3. 4. 1. 第1例)

図30は、本実施形態の第1例に係る半導体装置の構造例を説明する回路図である。図30に示すように、第1例に係る半導体装置30-1は、例えば、第1の実施形態において図3を用いて説明した半導体装置10と同様の構成において、測定トランジスタ111及び参照トランジスタ110が構成するソースフォロア回路のソース側に、制限回路361よりなる調整回路360が設けられた構造を備える。

[0183] (3. 4. 2. 第2例)

図31は、本実施形態の第2例に係る半導体装置の構造例を説明する回路図である。図31に示すように、第2例に係る半導体装置30-2は、例えば、図30に示す半導体装置30-1と同様の構成において、制限回路36

1 よりなる調整回路 360 が発振回路 130 と接地電圧 V_{SS} との間に設けられた構造を備える。

[0184] (3. 4. 3. 第3例)

図 32 は、本実施形態の第3例に係る半導体装置の構造例を説明する回路図である。図 32 に示すように、第3例に係る半導体装置 30-3 は、例えば、図 30 に示す半導体装置 30-1 と同様の構成において、制限回路 361 よりなる調整回路 360 がソースフォロア回路のドレイン側に設けられた構造を備える。

[0185] (3. 4. 4. 第4例)

図 33 は、本実施形態の第4例に係る半導体装置の構造例を説明する回路図である。図 33 に示すように、第4例に係る半導体装置 30-4 は、例えば、図 32 に示す半導体装置 30-3 と同様の構成において、発振回路 130 が調整回路 360 と電源電圧 V_{DD} との間に設けられた構造を備える。

[0186] (3. 4. 5. 第5例)

図 34 は、本実施形態の第5例に係る半導体装置の構造例を説明する回路図である。図 34 に示すように、第5例に係る半導体装置 30-5 は、例えば、第1の実施形態において図 3 を用いて説明した半導体装置 10 と同様の構成において、測定トランジスタ 111 及び参照トランジスタ 110 が構成するソースフォロア回路のソース側にシフト回路 362 が接続され、シフト回路 362 の出力に制限回路 361 が接続された構造を備える。

[0187] (3. 4. 6. 第6例)

図 35 は、本実施形態の第6例に係る半導体装置の構造例を説明する回路図である。図 35 に示すように、第6例に係る半導体装置 30-6 は、例えば、図 34 に示す半導体装置 30-5 と同様の構成において、制限回路 361 がソースフォロア回路のドレイン側に接続され、シフト回路 362 の出力に発振回路 130 が接続された構造を備える。

[0188] (3. 4. 7. その他の例)

なお、上述した第1例から第6例では、ソースフォロア回路を構成する測

定トランジスタ 111 及び参照トランジスタ 110 が N 型のトランジスタである場合を例示したが、これに限定されるものではない。すなわち、本実施形態では、測定トランジスタ 111 及び参照トランジスタ 110 を P 型のトランジスタで構成することも可能である。その場合、例えば、第 1 例から第 6 例において説明した構造において、電源電圧 V_{DD} と接地電圧 V_{SS} とが入れ替えられることとなる。

[0189] (3. 5. 実証実験結果)

つづいて、以上で説明した調整回路 360 を設けることによる効果について、実証実験結果に基づいて説明する。図 36 は、本実証実験を実行するにあたり使用した半導体装置の回路構成を示す図である。また、図 37 は、本実証実験により得られた結果を示すグラフである。

[0190] 図 36 に示すように、本実証実験では、測定トランジスタ 111 及び参照トランジスタ 110 が構成するソースフォロア回路のソース側に調整回路 360 が設けられた半導体装置を使用した。調整回路 360 には、図 21 を用いて説明した第 1 具体例に係る制限回路 361 を使用した。

[0191] この半導体装置において、ソースフォロア回路から出力された出力電圧 V_{out} は、発振回路 130 に入力される。発振回路 130 の発振周波数は、出力パッド 391 を介して計測した。発振回路 130 には、リングオシレータを使用した。

[0192] また、本実証実験では、ソースフォロア回路からの出力電圧 V_{out} を直接計測するために、ソースフォロア回路の出力を分岐してスイッチ 380 を介して出力パッド 392 に接続した。

[0193] 本検証実験では、以上のような構成において、発振回路 130 に入力するイネーブル信号 E_N をオフにした状態でスイッチ 380 をオンにすることで、測定トランジスタ 111 に電圧 V_{g1} を印加した際のソースフォロア回路からの出力電圧 V_{out} (これを出力電圧 V_{out1} とする) と、参照トランジスタ 110 に電圧 V_{g2} を印加した際のソースフォロア回路からの出力電圧 V_{out} (これを出力電圧 V_{out2} とする) とを、出力パッド 392

を介して直接計測した。また、本実験では、スイッチ 380 をオフにした状態イネーブル信号 EN をオンにすることで、測定トランジスタ 111 に電圧 V_{g1} を印加した際の発振回路 130 の発振周波数 F_1 と、参照トランジスタ 110 に電圧 V_{g2} を印加した際の発振回路 130 の発振周波数 F_2 とも、出力パッド 391 を介して計測した。

[0194] 図 37 において、破線は、発振周波数 F_2 から発振周波数 F_1 を引き算して所定の比例乗数を乗算した値をプロットしたものであり、実線は、出力電圧 V_{out2} から出力電圧 V_{out1} を引き算した値をプロットしたものである。図 37 を参照すると分かるように、発振周波数 F_2 から発振周波数 F_1 を引き算して所定の比例乗数を乗算した値と、出力電圧 V_{out2} から出力電圧 V_{out1} を引き算した値とは、略一致している。これは、周波数差に所定の比例乗数を乗算することで、出力電圧 V_{out} の変動を取得することができることを示している。

[0195] (3. 5. 1. 制限回路を構成する負荷トランジスタの閾値電圧による影響について)

ここで、制限回路 361 を構成する負荷トランジスタ 3611 の閾値電圧 V_{th} がソースフォロア回路からの出力電圧 V_{out} に与える影響について説明する。

[0196] 参照トランジスタ 110 に電圧 V_{g2} を印加した際の出力電圧 V_{out2} は以下の式 (19) で求めることができ、測定トランジスタ 111 に電圧 V_{g1} を印加した際の出力電圧 V_{out1} は以下の式 (20) で求めることができる。

[数7]

$$V_{out2} = \frac{1}{2}(V_{DD} - V_{th2} + V_{th3}) \quad (19)$$

$$V_{out1} = \frac{1}{2}(V_{DD} - V_{th1} + V_{th3}) \quad (20)$$

[0197] ここで、各トランジスタの閾値電圧の設計値を V_{th} とし、測定トランジスタ 111 の閾値電圧 V_{th1} のバラツキを δV_{th1} とし、参照ランジ

スタ 110 の閾値電圧 V_{th2} のバラツキを δV_{th2} とし、アンテナからのダメージによる閾値電圧 V_{th1} のシフト量を ΔPID とすると、参照トランジスタ 110 の閾値電圧 V_{th2} は以下の式 (21) で表され、測定トランジスタ 111 の閾値電圧 V_{th1} は以下の式 (22) で表される。

[数8]

$$V_{th1} = V_{th} + \delta V_{th1} + \Delta PID \quad (21)$$

$$V_{th2} = V_{th} + \delta V_{th2} \quad (22)$$

[0198] したがって、以下の式 (23) のように、出力電圧 V_{out2} から出力電圧 V_{out1} を引き算した場合、参照トランジスタ 110 の閾値電圧 V_{th2} のバラツキ δV_{th2} と測定トランジスタ 111 の閾値電圧 V_{th1} のバラツキ δV_{th1} との差 ($-\delta V_{th2} + \delta V_{th1}$) (以下、ミスマッチ成分ともいう) と、アンテナからのダメージによる閾値電圧 V_{th1} のシフト量 ΔPID との成分が残留することが分かる。

[数9]

$$V_{out2} - V_{out1} = \frac{1}{2} (-\delta V_{th2} + \delta V_{th1} + \Delta PID) \quad (23)$$

[0199] 出力電圧 V_{out} は、発振回路 130 に入力されて発振周波数 f に変換される。出力電圧 V_{out2} での発振周波数 f は $F2$ であり、出力電圧 V_{out1} での発振周波数 f は $F1$ である。また、発振周波数 f は、以下の式 (24) 及び式 (25) に示すように、関数 $G(f)$ により電圧値に変化可能である。

[数10]

$$G(F2) = V_{out2} \quad (24)$$

$$G(F1) = V_{out1} \quad (25)$$

[0200] 本実施形態では、上述したように、線形近似が可能であることから、 k を係数 (比例乗数) とした場合、閾値電圧 V_{th1} 及び V_{th2} は、以下の式 (26) のように近似することができる。

[数11]

$$V_{out1} = k * F1, \quad V_{out2} = k * F2 \quad (26)$$

[0201] したがって、参照トランジスタ110の閾値電圧 V_{th2} と測定トランジスタ111の閾値電圧 V_{th1} との差、すなわち、アンテナからのダメージによる閾値電圧 V_{th1} のシフト量 ΔPID は、以下の式(27)のように求めることが可能である。

[数12]

$$\begin{aligned} V_{out2} - V_{out1} &= k * (F2 - F1) = \frac{1}{2} (-\delta V_{th2} + \delta V_{th1} + \Delta PID) \\ \Delta PID &= 2k * (F2 - F1) - (\delta V_{th1} - \delta V_{th2}) \end{aligned} \quad (27)$$

[0202] なお、式(27)には、ミスマッチ成分($\delta V_{th1} - \delta V_{th2}$)が残留しているが、このミスマッチ成分は完全なランダム値であるため、十分な数のサンプルを測定し、その平均を取ることで、無視できる程度に低減させることが可能である。

[0203] 図38は、アンテナからのダメージを受けた場合と受けていない場合とのミスマッチ成分の電圧値の例を示すグラフである。図38において、黒く塗りつぶされた丸は、アンテナからのダメージを受けていない場合の閾値電圧 V_{th} を示し、白抜き丸は、アンテナからのダメージを受けた場合の閾値電圧を示している。

[0204] 図38に示すように、アンテナからのダメージを受けていない場合では、閾値電圧 V_{th} の平均値は -0.0004 [V]であったのに対し、アンテナからのダメージを受けた場合では、閾値電圧 V_{th} の平均値は 0.039 [V]であった。これは、測定トランジスタ111の閾値電圧 V_{th} がアンテナからのダメージにより平均して 0.039 Vシフトしたことを示している。

[0205] (3.6. まとめ)

以上のように、本実施形態によれば、線形近似を利用した簡便な方法により、PIDによるチャネル抵抗 $R1$ 又は閾値電圧 V_{th} の変動量を算出することが可能な半導体装置、検出方法、電子機器及び電子機器の制御方法が実

現される。

[0206] その他の構成、動作及び効果については、上述した実施形態と同様であってよいため、ここでは詳細な説明を省略する。

[0207] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0208] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0209] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された少なくとも1以上の測定トランジスタと、

前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、

前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、
を備える、半導体装置。

(2)

前記発振回路は、VDD配線及びVSS配線の間に設けられ、

前記測定トランジスタは、前記発振回路と、前記VDD配線又は前記VSS配線との間に設けられる、前記(1)に記載の半導体装置。

(3)

前記発振回路は、リングオシレータである、前記(2)に記載の半導体装

置。

(4)

前記発振回路は、出力される発振周波数が入力電圧によって変動する発振回路であり、

前記発振回路の入力は、前記測定トランジスタのソースに負荷素子と並列に電氣的に接続される、前記(1)に記載の半導体装置。

(5)

前記負荷素子は、抵抗素子である、前記(4)に記載の半導体装置。

(6)

前記測定トランジスタ及び前記選択トランジスタは、同じ導電型のトランジスタである、前記(1)～(5)のいずれか一項に記載の半導体装置。

(7)

前記測定トランジスタは、複数設けられ、

前記発振回路よりもVDD配線側に設けられた前記測定トランジスタは、N型トランジスタであり、前記発振回路よりもVSS配線側に設けられた前記測定トランジスタは、P型トランジスタである、前記(1)～(6)のいずれか一項に記載の半導体装置。

(8)

前記測定トランジスタは、複数設けられ、

複数の前記測定トランジスタの各々では、前記アンテナ部と前記ゲートとの面積比が互いに異なる、前記(1)～(7)のいずれか一項に記載の半導体装置。

(9)

前記測定トランジスタの前記ゲートには、さらに保護素子が電氣的に接続される、前記(1)～(8)のいずれか一項に記載の半導体装置。

(10)

前記選択トランジスタは、前記アンテナ部よりも上層の配線で前記測定トランジスタと電氣的に接続され、

前記配線には、保護素子が電氣的に接続される、前記（１）～（９）のいずれか一項に記載の半導体装置。

（１１）

前記測定トランジスタのボディは、前記測定トランジスタのソースと電氣的に接続される、前記（１）～（１０）のいずれか一項に記載の半導体装置。

（１２）

前記アンテナ部とゲートが電氣的に接続されず、前記発振回路とソースが電氣的に接続される参照トランジスタと、

前記参照トランジスタの前記ゲートにソースが電氣的に接続された参照用選択トランジスタと、

をさらに備える、前記（１）～（１１）のいずれか一項に記載の半導体装置。

（１３）

前記測定トランジスタの前記ソースに出現する電圧の電圧値を調整する調整回路をさらに備える、前記（１）～（１２）の何れか一項に記載の半導体装置。

（１４）

前記調整回路は、前記測定トランジスタの前記ソース及びドレインのうち少なくとも一方に接続されている、前記（１３）に記載の半導体装置。

（１５）

前記調整回路は、抵抗素子を含む、前記（１３）又は（１４）に記載の半導体装置。

（１６）

前記調整回路は、CMOS（Complementary Metal-Oxide-Semiconductor）素子を含む、前記（１３）又は（１４）に記載の半導体装置。

（１７）

前記発振回路は、出力される発振周波数が入力電圧の電圧値によって変動

する発振回路であり、

前記発振回路の入力は、前記測定トランジスタの前記ソースに負荷素子と並列に電氣的に接続される、

前記（１３）～（１６）の何れか一項に記載の半導体装置。

（１８）

プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された少なくとも１以上の測定トランジスタと、前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、を備える半導体装置の前記選択トランジスタをオン状態に制御することで、前記測定トランジスタをオン状態に制御することと、

前記測定トランジスタがオン状態の時に前記発振回路の発振周波数を測定することと、測定された前記発振周波数に基づいて、前記測定トランジスタの閾値電圧と、前記閾値電圧の理想値との差分の有無を検出することと、を含む、検出方法。

（１９）

プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された少なくとも１以上の測定トランジスタと、前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、を有する半導体装置と、

前記選択トランジスタのオン又はオフ状態を制御することで、前記測定トランジスタのオン又はオフ状態を制御する制御部と、

前記測定トランジスタがオン状態の時に前記発振回路の発振周波数を測定する測定部と、

測定された前記発振周波数の各々に基づいて、前記測定トランジスタの閾

値電圧と、前記閾値電圧の理想値との差分の有無を検出する検出部と、

前記検出部にて前記差分が検出された場合、前記プラズマプロセスによる影響を補正する処理を行う処理部と、

を備える、電子機器。

(20)

プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された少なくとも1以上の測定トランジスタと、前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、を有する半導体装置を備える電子機器の前記選択トランジスタをオン状態に制御することで、前記測定トランジスタをオン状態に制御することと、

前記測定トランジスタがオン状態の時に前記発振回路の発振周波数を測定することと、測定された前記発振周波数に基づいて、前記測定トランジスタの閾値電圧と、前記閾値電圧の理想値との差分の有無を検出することと、

前記差分が検出された場合、前記プラズマプロセスによる影響を補正する制御を行うことと、

を含む、電子機器の制御方法。

符号の説明

[0210] 10、10A、11、12、13、14、20、30-1～30-6

半導体装置

101 制御部

102 測定部

103 検出部

104 処理部

110、210 参照トランジスタ

111、111A、112、211、212 測定トランジスタ

120、220 参照用選択トランジスタ

- 1 2 1、1 2 2、2 2 1、2 2 2 選択トランジスタ
- 1 3 0、2 3 0 発振回路
- 1 3 1 P型トランジスタ
- 1 3 2 N型トランジスタ
- 1 3 3 負荷容量
- 1 4 0、1 4 1、1 4 2、2 4 1、2 4 2 アンテナ部
- 1 5 0 保護素子
- 2 5 0 負荷素子
- 3 6 0 調整回路
- 3 6 1 制限回路
- 3 6 2 シフト回路
- 3 8 0 スイッチ
- 3 9 1、3 9 2 出力パッド
- 1 0 0 0、1 0 0 1、1 0 0 2 電子機器
- 1 1 0 1、1 1 0 2 本体回路
- 1 2 0 1 基準電圧制御回路
- 1 2 0 2 P I D耐性ブロック切替制御回路
- 1 3 0 1 基準電圧生成回路
- 1 3 0 2 P I D低耐性回路
- 1 4 0 2 P I D高耐性回路
- 3 6 1 1 負荷トランジスタ
- 3 6 2 1 第1トランジスタ
- 3 6 2 1 a、3 6 2 1 b、3 6 2 2 a、3 6 2 2 b、3 6 2 3 a、3 6 2 3 b、3 6 2 4 a、3 6 2 4 b、3 6 2 6、3 6 2 7 トランジスタ
- 3 6 2 2 第2トランジスタ
- 3 6 2 3 第3トランジスタ
- 3 6 2 4 第4トランジスタ
- 3 6 2 5 抵抗素子

3 6 2 8 定電流回路

請求の範囲

- [請求項1] プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された少なくとも1以上の測定トランジスタと、
- 前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、
- 前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、
- を備える、半導体装置。
- [請求項2] 前記発振回路は、VDD配線及びVSS配線の上に設けられ、
- 前記測定トランジスタは、前記発振回路と、前記VDD配線又は前記VSS配線との間に設けられる、請求項1に記載の半導体装置。
- [請求項3] 前記発振回路は、リングオシレータである、請求項2に記載の半導体装置。
- [請求項4] 前記発振回路は、出力される発振周波数が入力電圧によって変動する発振回路であり、
- 前記発振回路の入力は、前記測定トランジスタのソースに負荷素子と並列に電氣的に接続される、請求項1に記載の半導体装置。
- [請求項5] 前記負荷素子は、抵抗素子である、請求項4に記載の半導体装置。
- [請求項6] 前記測定トランジスタ及び前記選択トランジスタは、同じ導電型のトランジスタである、請求項1に記載の半導体装置。
- [請求項7] 前記測定トランジスタは、複数設けられ、
- 前記発振回路よりもVDD配線側に設けられた前記測定トランジスタは、N型トランジスタであり、前記発振回路よりもVSS配線側に設けられた前記測定トランジスタは、P型トランジスタである、請求項1に記載の半導体装置。
- [請求項8] 前記測定トランジスタは、複数設けられ、
- 複数の前記測定トランジスタの各々では、前記アンテナ部と前記ゲートとの面積比が互いに異なる、請求項1に記載の半導体装置。

- [請求項9] 前記測定トランジスタの前記ゲートには、さらに保護素子が電氣的に接続される、請求項1に記載の半導体装置。
- [請求項10] 前記選択トランジスタは、前記アンテナ部よりも上層の配線で前記測定トランジスタと電氣的に接続され、
前記配線には、保護素子が電氣的に接続される、請求項1に記載の半導体装置。
- [請求項11] 前記測定トランジスタのボディは、前記測定トランジスタのソースと電氣的に接続される、請求項1に記載の半導体装置。
- [請求項12] 前記アンテナ部とゲートが電氣的に接続されず、前記発振回路とソースが電氣的に接続される参照トランジスタと、
前記参照トランジスタの前記ゲートにソースが電氣的に接続された参照用選択トランジスタと、
をさらに備える、請求項1に記載の半導体装置。
- [請求項13] 前記測定トランジスタの前記ソースに出現する電圧の電圧値を調整する調整回路をさらに備える、請求項1に記載の半導体装置。
- [請求項14] 前記調整回路は、前記測定トランジスタの前記ソース及びドレインのうち少なくとも一方に接続されている、請求項13に記載の半導体装置。
- [請求項15] 前記調整回路は、抵抗素子を含む、請求項13に記載の半導体装置。
- [請求項16] 前記調整回路は、CMOS (Complementary Metal-Oxide-Semiconductor) 素子を含む、請求項13に記載の半導体装置。
- [請求項17] 前記発振回路は、出力される発振周波数が入力電圧の電圧値によって変動する発振回路であり、
前記発振回路の入力は、前記測定トランジスタの前記ソースに負荷素子と並列に電氣的に接続される、
請求項13に記載の半導体装置。
- [請求項18] プラズマプロセスにてアンテナとして機能するアンテナ部がゲート

に電氣的に接続された少なくとも 1 以上の測定トランジスタと、前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、を備える半導体装置の前記選択トランジスタをオン状態に制御することで、前記測定トランジスタをオン状態に制御することと、

前記測定トランジスタがオン状態の時に前記発振回路の発振周波数を測定することと、測定された前記発振周波数に基づいて、前記測定トランジスタの閾値電圧と、前記閾値電圧の理想値との差分の有無を検出することと、を含む、検出方法。

[請求項19]

プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された少なくとも 1 以上の測定トランジスタと、前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、を有する半導体装置と、

前記選択トランジスタのオン又はオフ状態を制御することで、前記測定トランジスタのオン又はオフ状態を制御する制御部と、

前記測定トランジスタがオン状態の時に前記発振回路の発振周波数を測定する測定部と、

測定された前記発振周波数の各々に基づいて、前記測定トランジスタの閾値電圧と、前記閾値電圧の理想値との差分の有無を検出する検出部と、

前記検出部にて前記差分が検出された場合、前記プラズマプロセスによる影響を補正する処理を行う処理部と、を備える、電子機器。

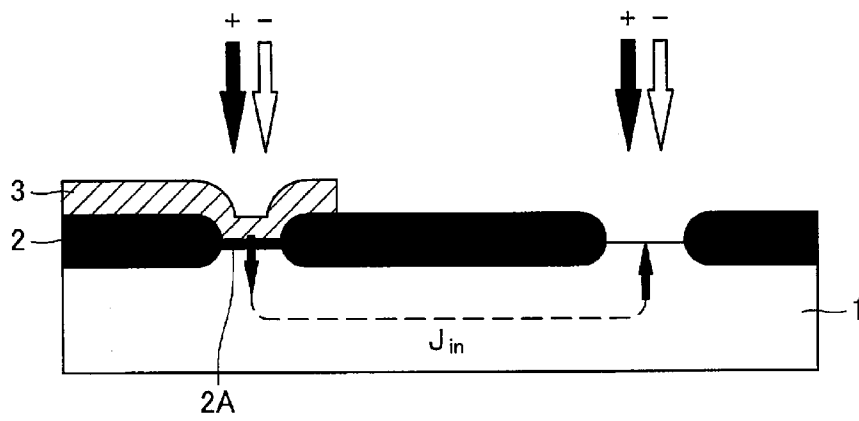
[請求項20]

プラズマプロセスにてアンテナとして機能するアンテナ部がゲートに電氣的に接続された少なくとも1以上の測定トランジスタと、前記測定トランジスタの前記ゲートにソースが前記アンテナ部と並列に電氣的に接続された選択トランジスタと、前記測定トランジスタのソースと電氣的に接続され、発振周波数が前記測定トランジスタの閾値電圧によって変動する発振回路と、を有する半導体装置を備える電子機器の前記選択トランジスタをオン状態に制御することで、前記測定トランジスタをオン状態に制御することと、

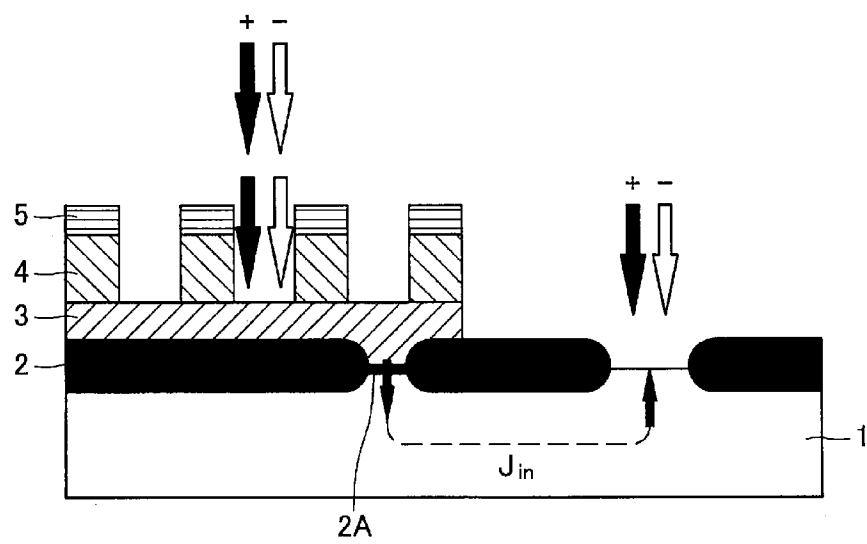
前記測定トランジスタがオン状態の時に前記発振回路の発振周波数を測定することと、測定された前記発振周波数に基づいて、前記測定トランジスタの閾値電圧と、前記閾値電圧の理想値との差分の有無を検出することと、

前記差分が検出された場合、前記プラズマプロセスによる影響を補正する制御を行うことと、
を含む、電子機器の制御方法。

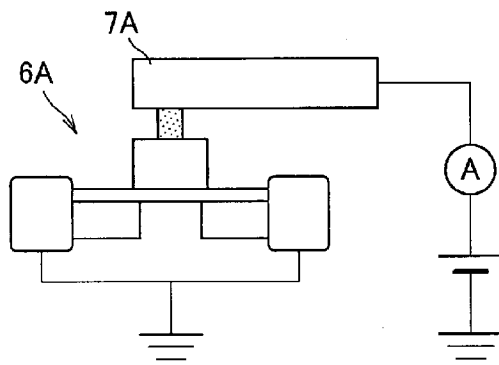
[図1A]



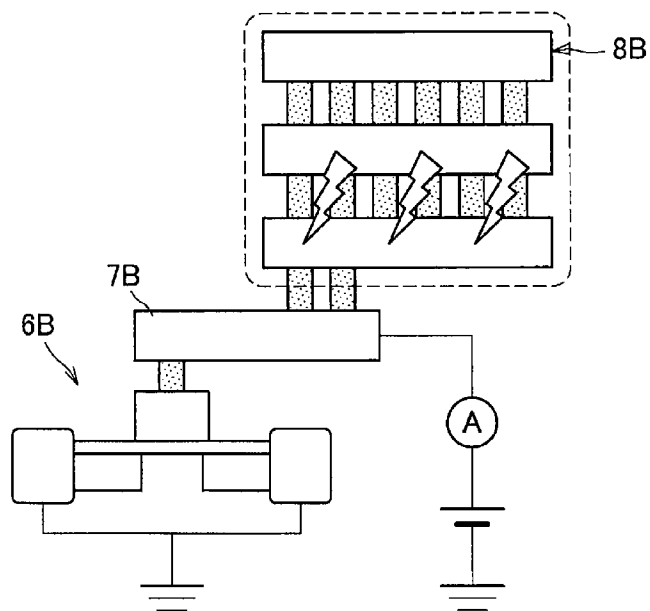
[図1B]



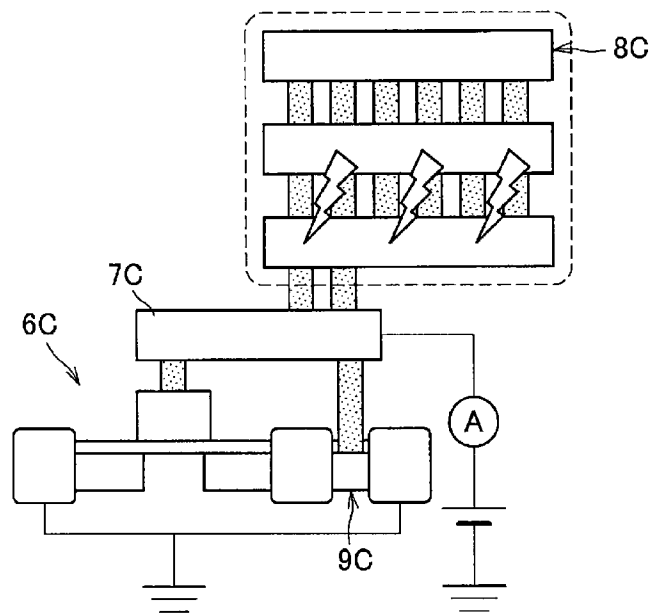
[図2A]



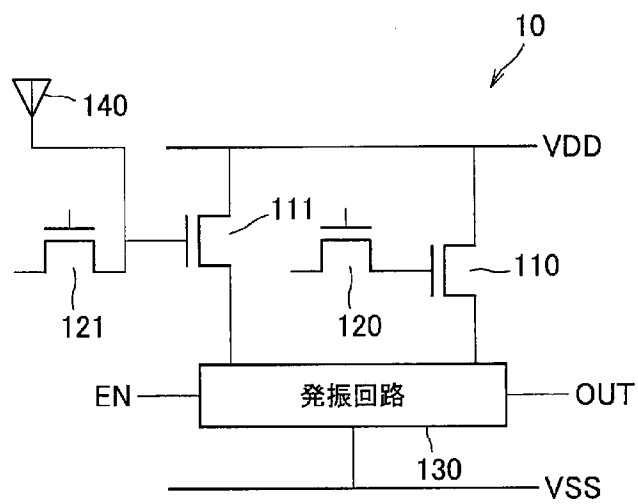
[図2B]



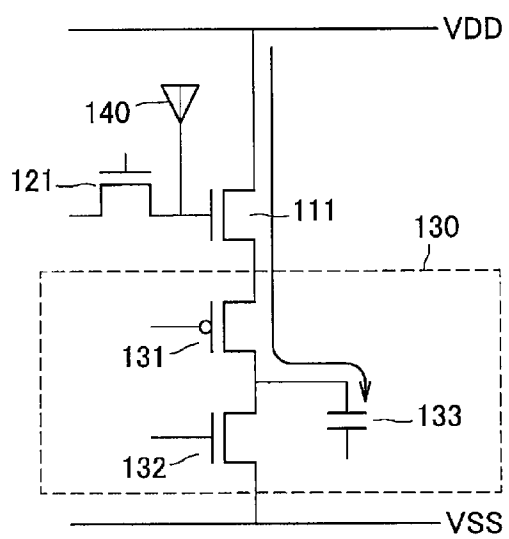
[図2C]



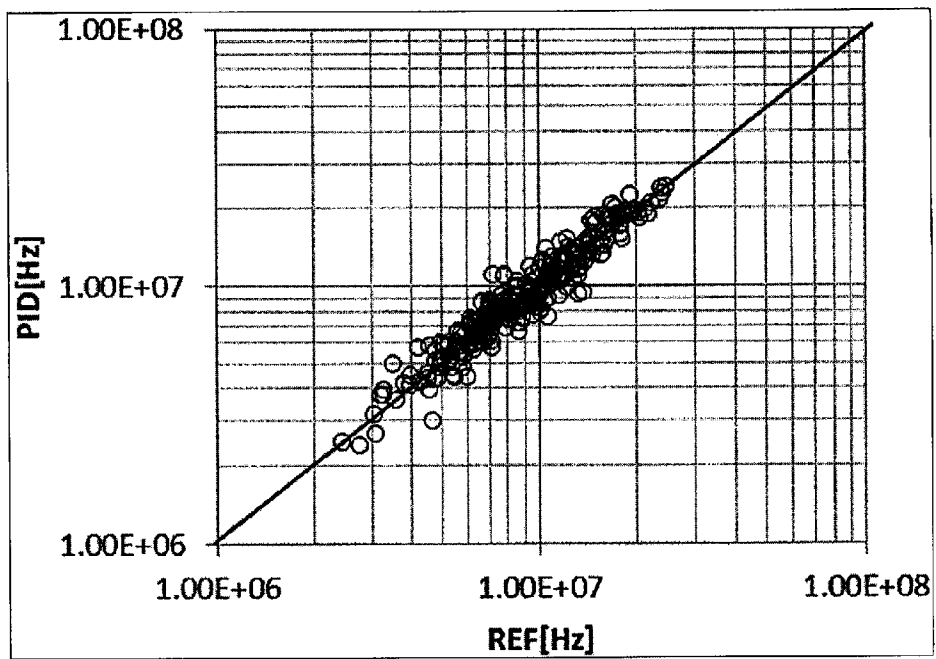
[図3]



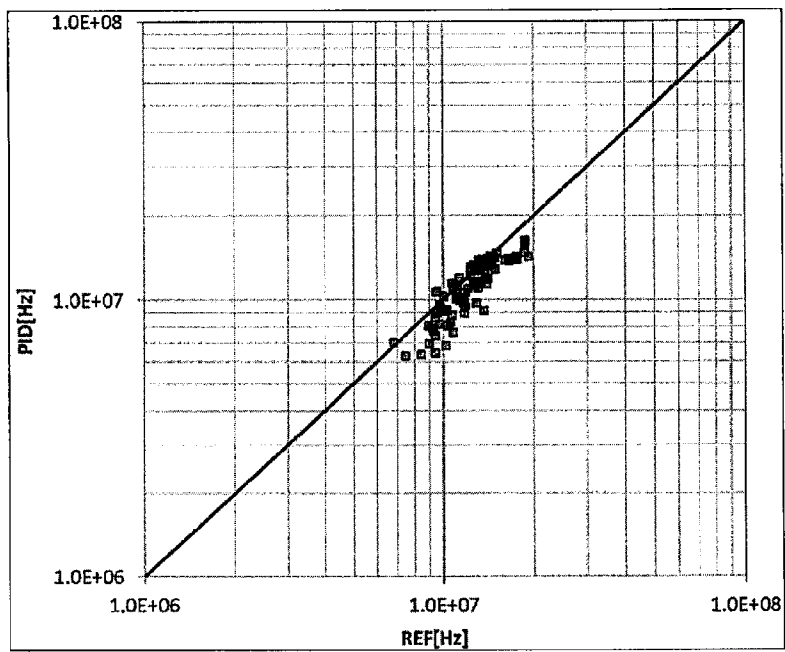
[図4]



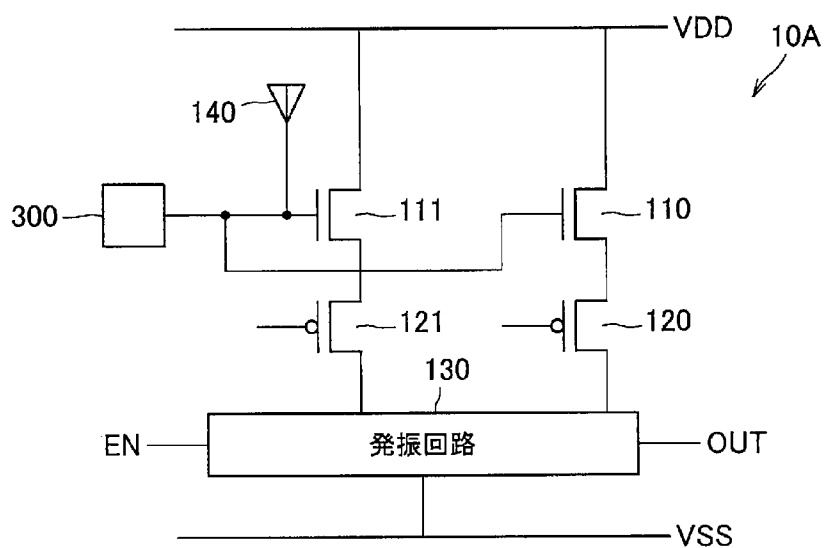
[図5A]



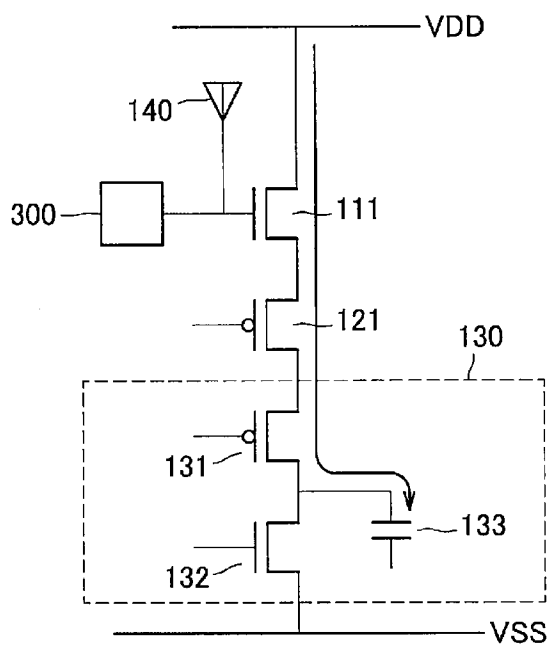
[図5B]



[図6]

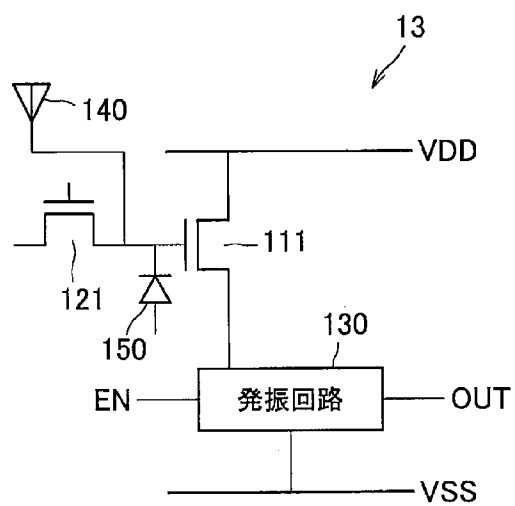


[図7]

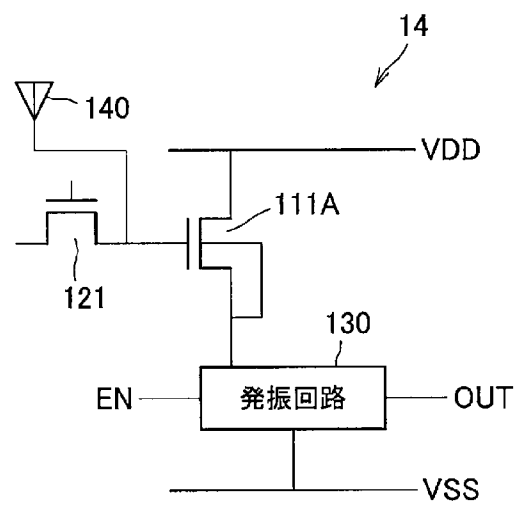


The diagram shows a multi-bit digital-to-analog converter (11). It includes a current mirror array with multiple stages. Each stage consists of a PMOS transistor (221, 222, 220, ...) and an NMOS transistor (211, 212, 210, ...). The PMOS transistors are connected to VDD, and the NMOS transistors are connected to VSS. The gates of the PMOS transistors are connected to a common input line (EN). The gates of the NMOS transistors are connected to a common output line (OUT). The NMOS transistors are also connected to a DAC block (130) which is connected to VDD and VSS. The DAC block (130) is labeled "発振回路" (Oscillation circuit). The output of the DAC block (130) is connected to the gates of the NMOS transistors (211, 212, 210, ...). The output of the current mirror array is connected to the gates of the PMOS transistors (221, 222, 220, ...).

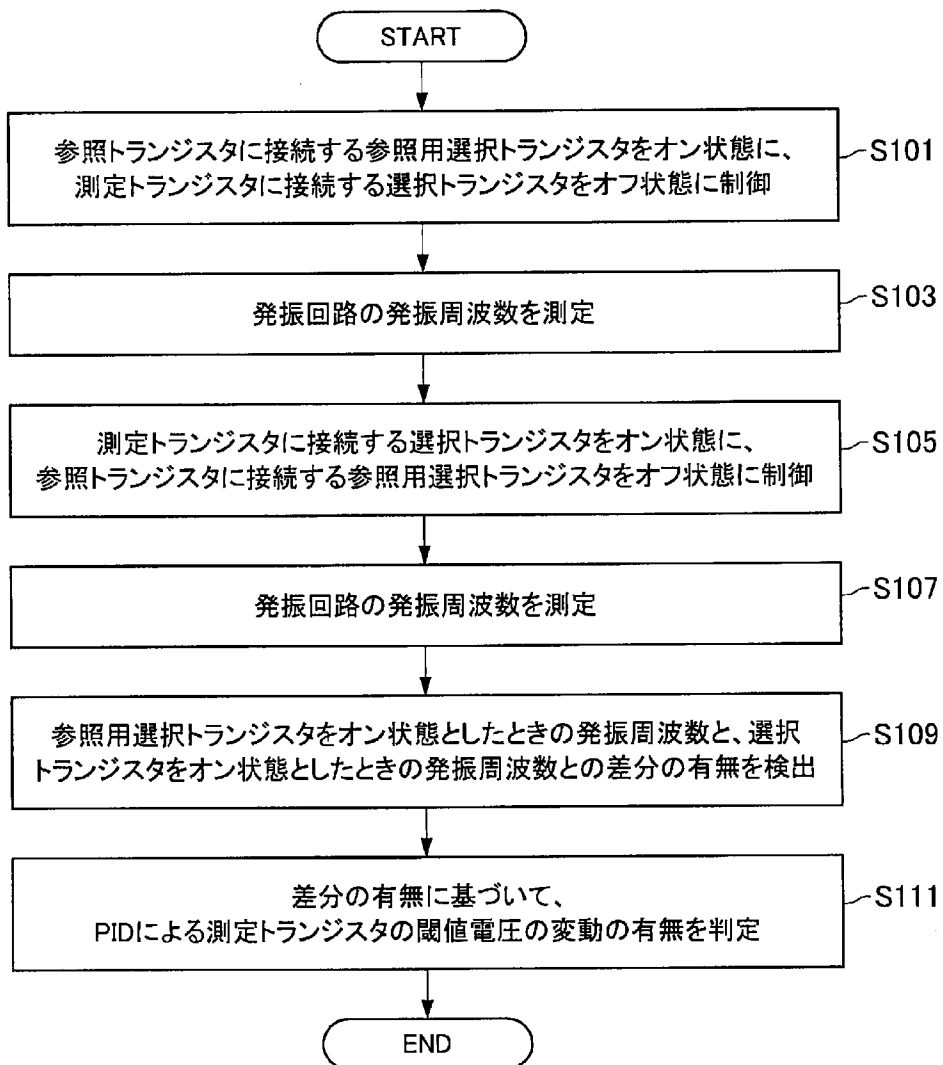
[図8C]



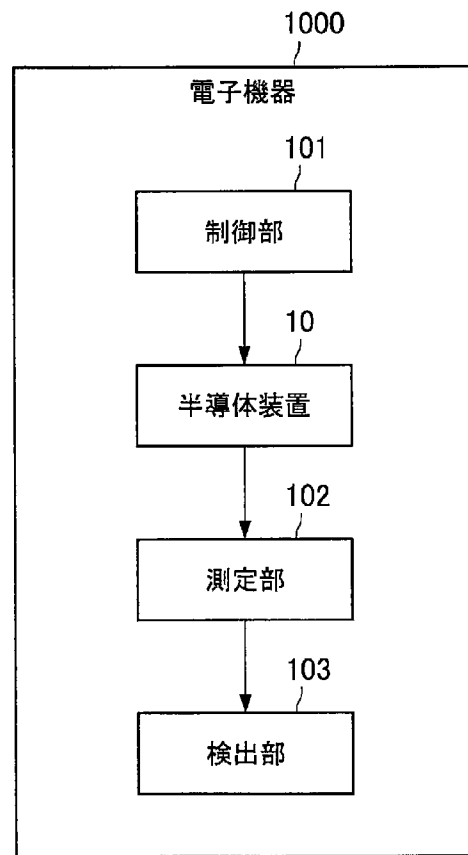
[図8D]



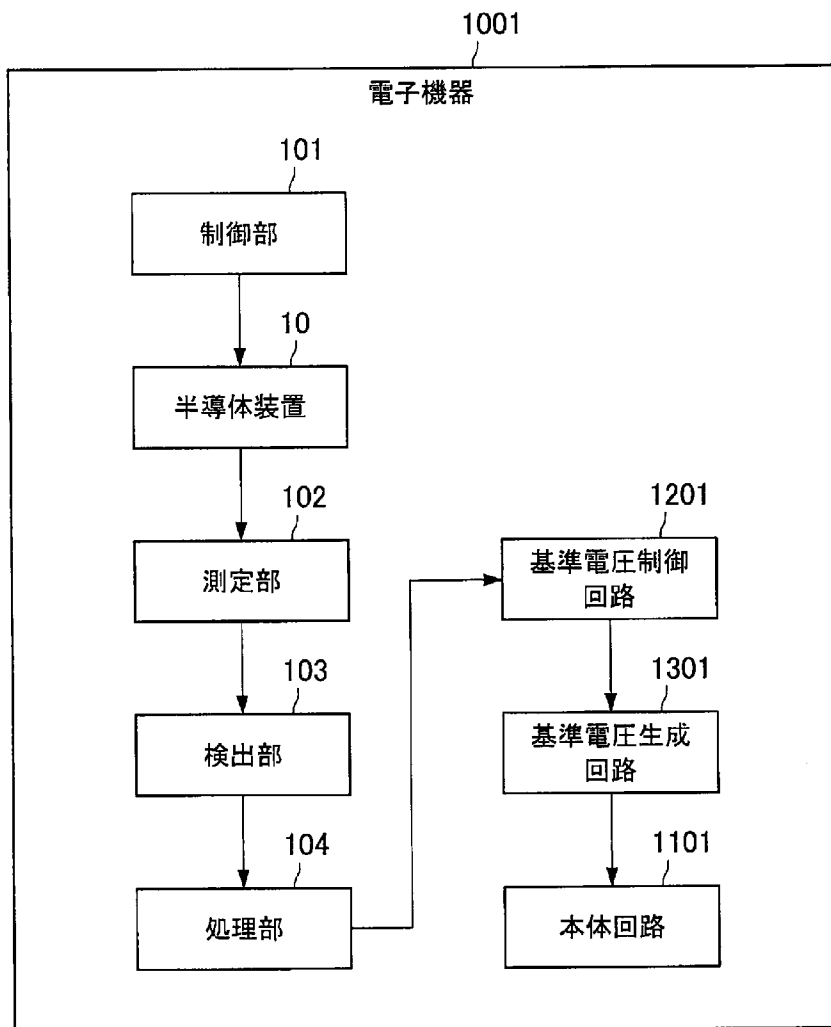
[図9]



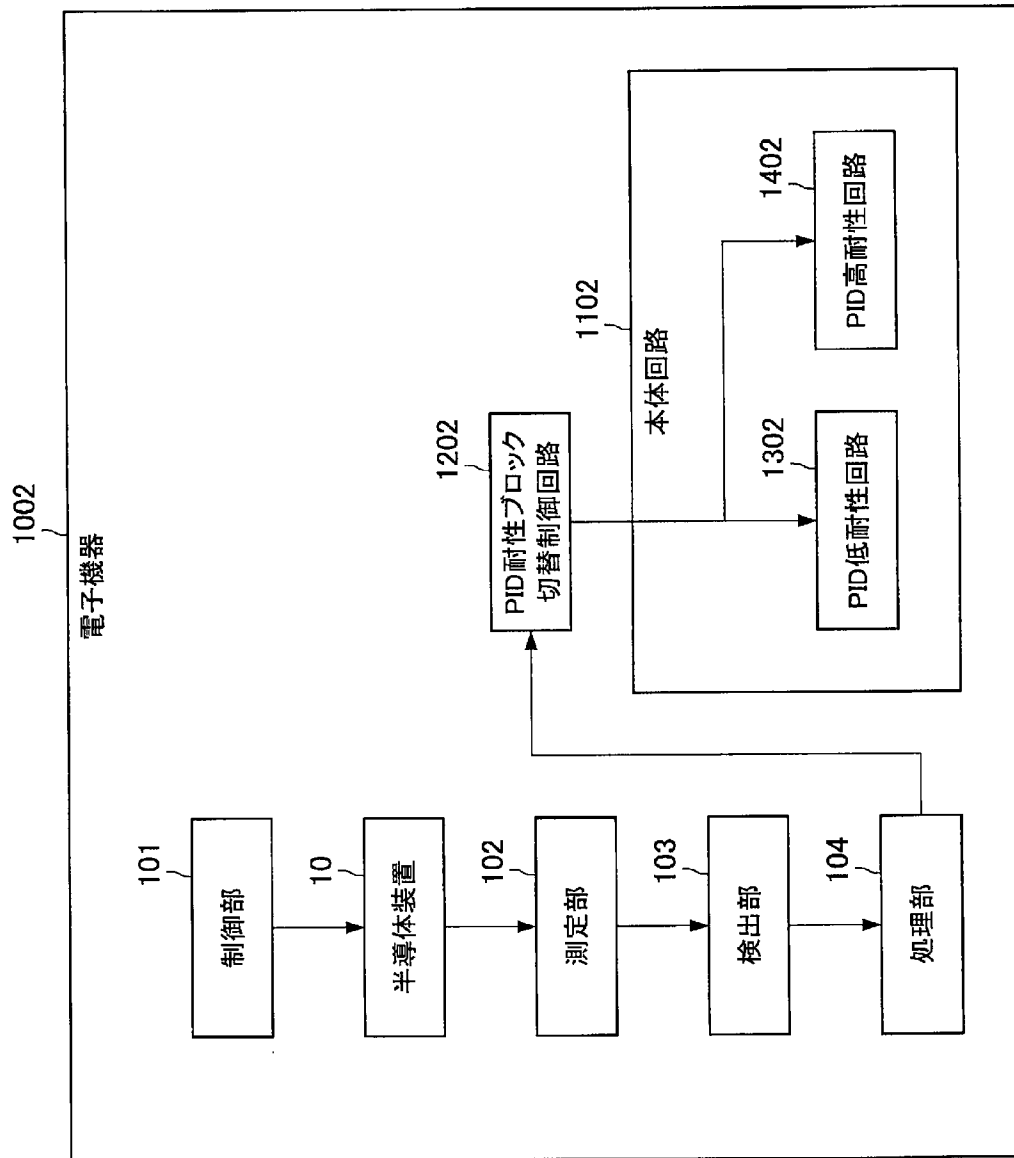
[図10]



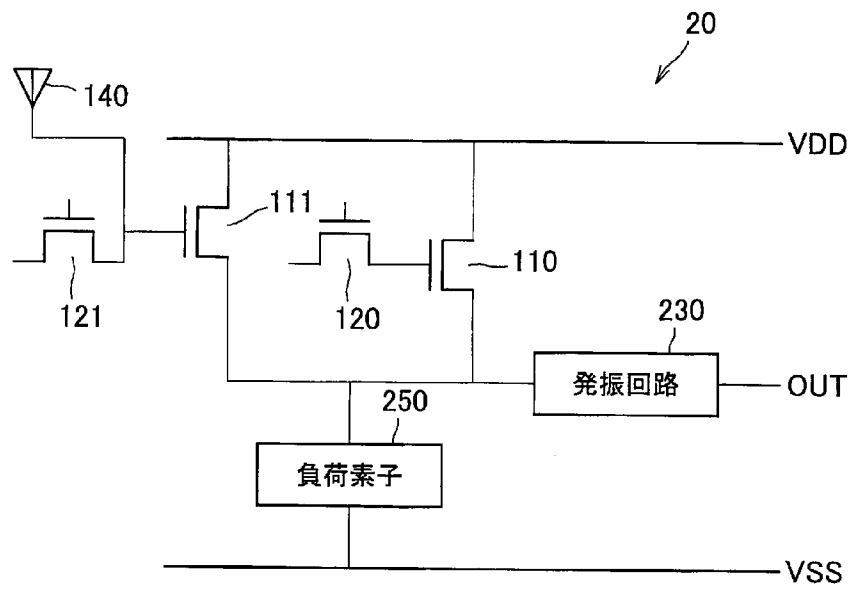
[図11]



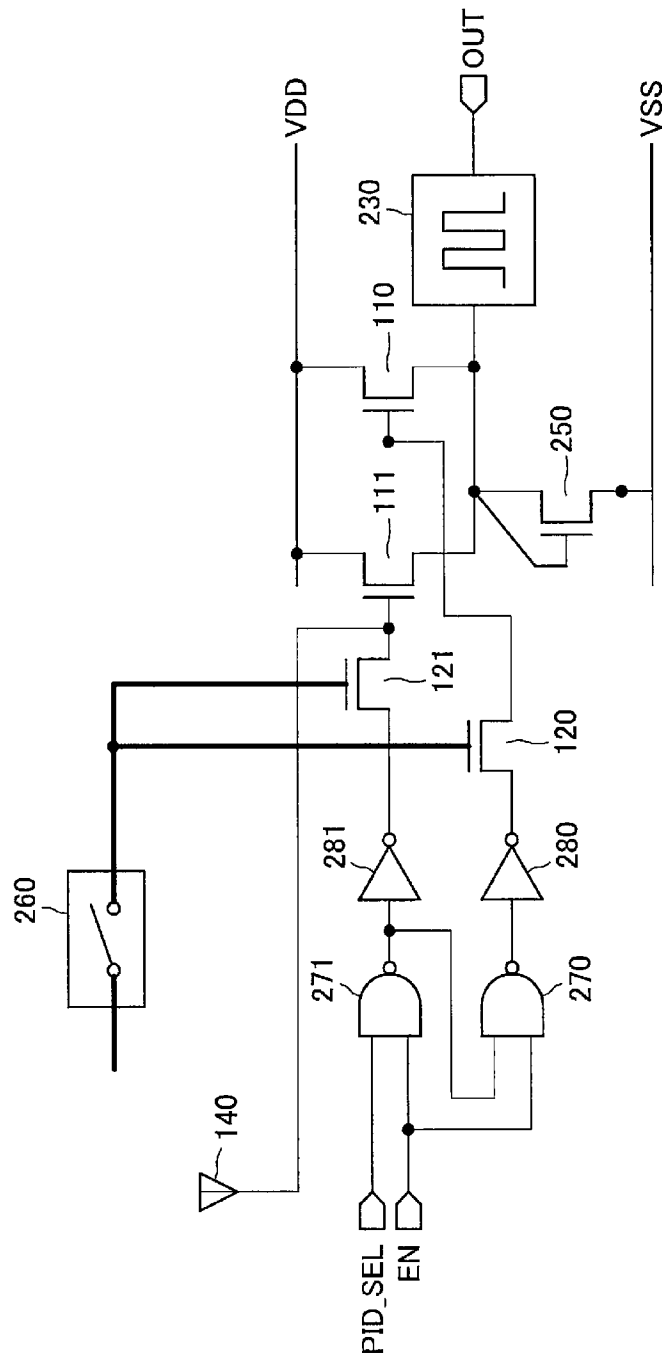
[図12]



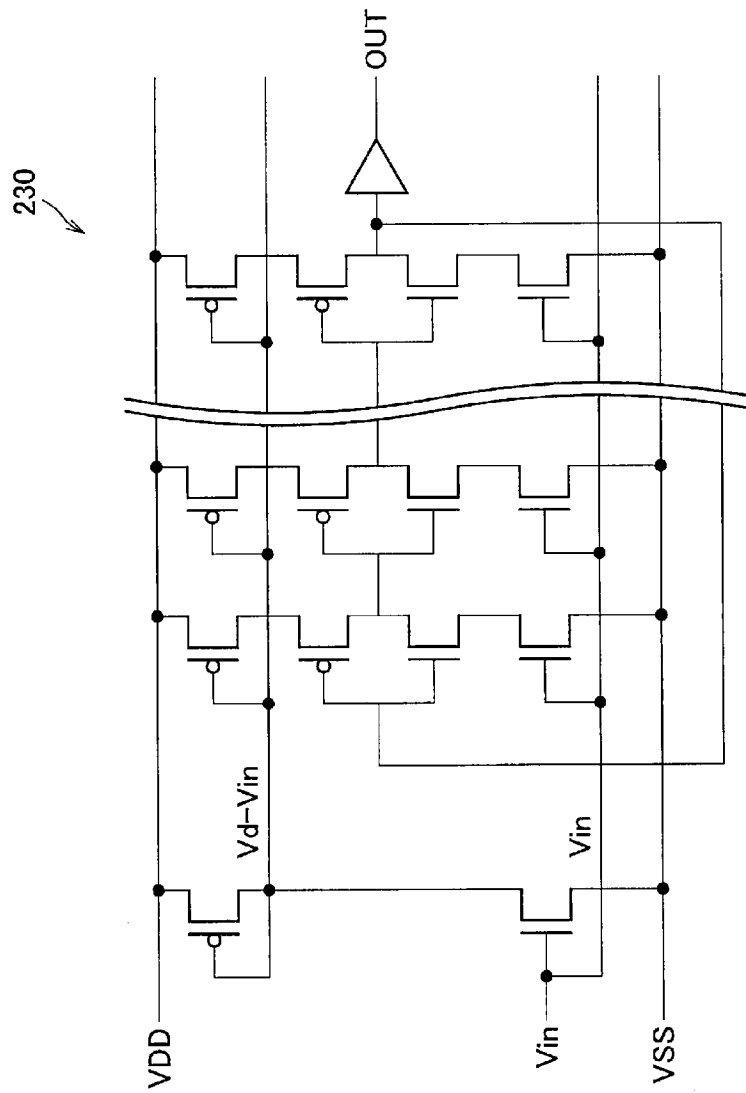
[図13]



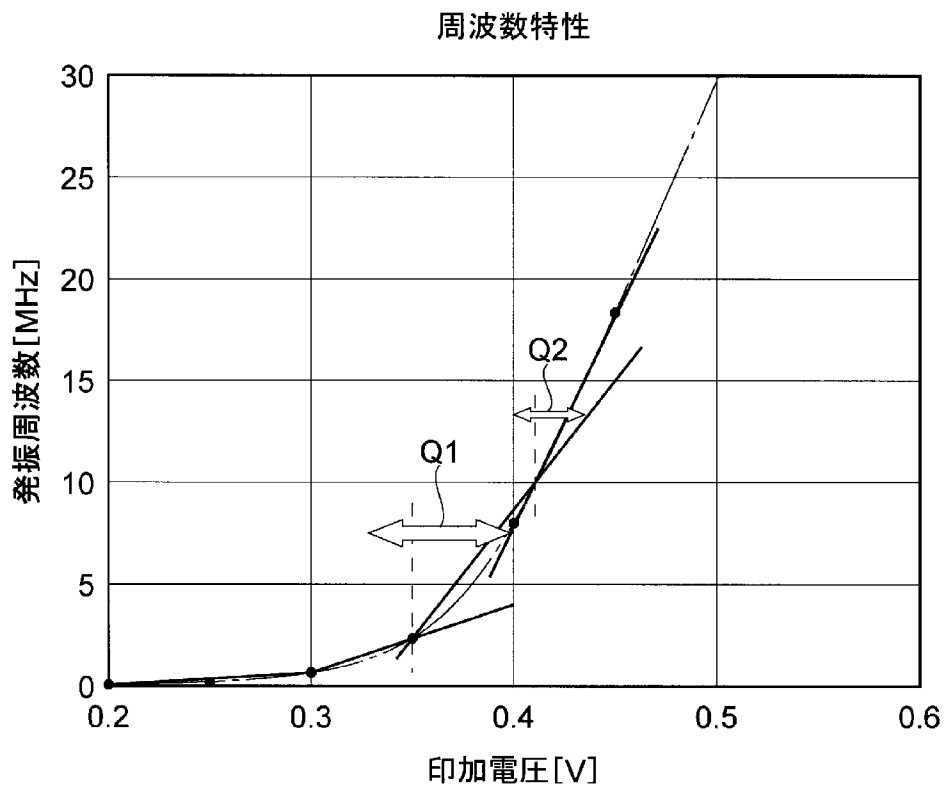
[図14]



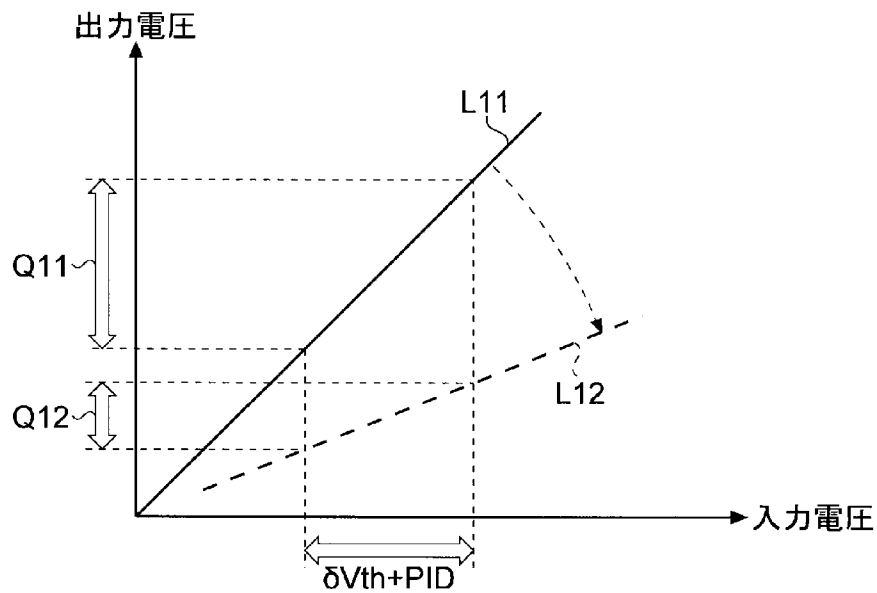
[図15]



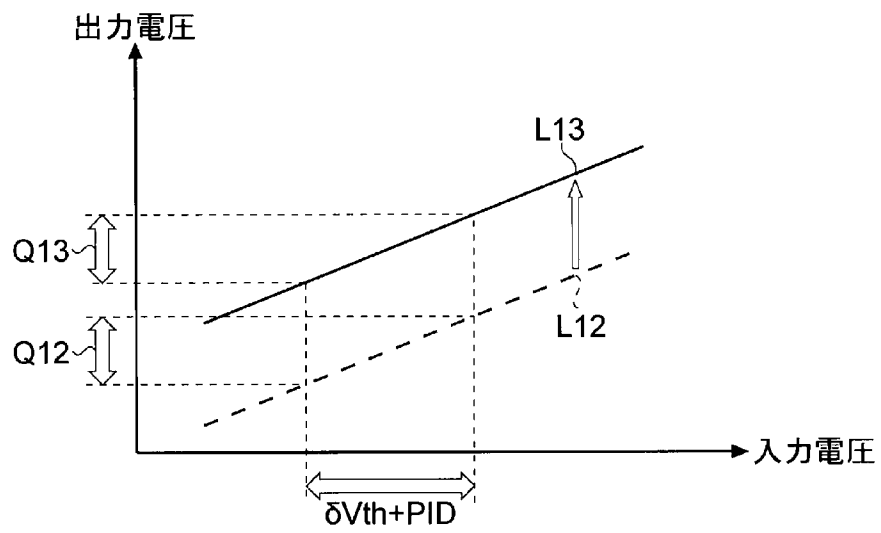
[図16]



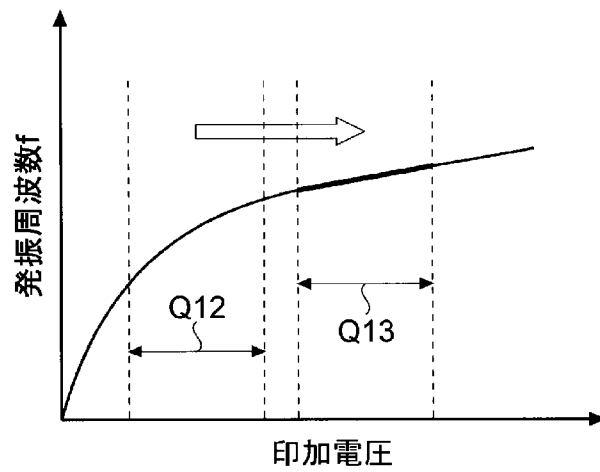
[図17]



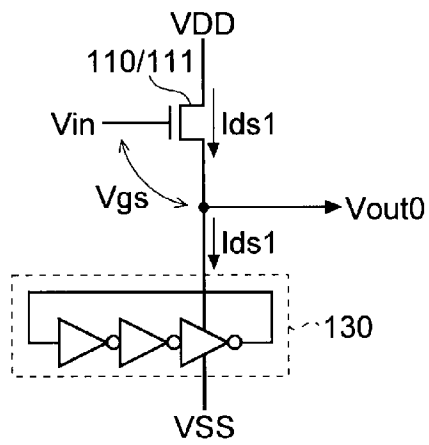
[図18]



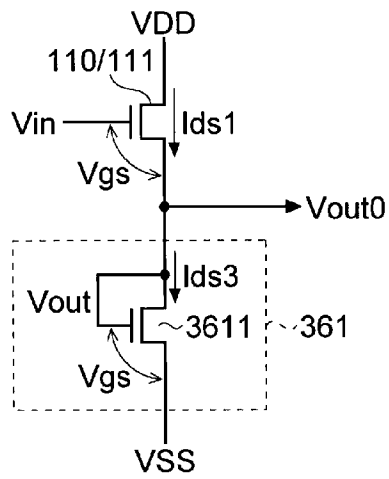
[図19]



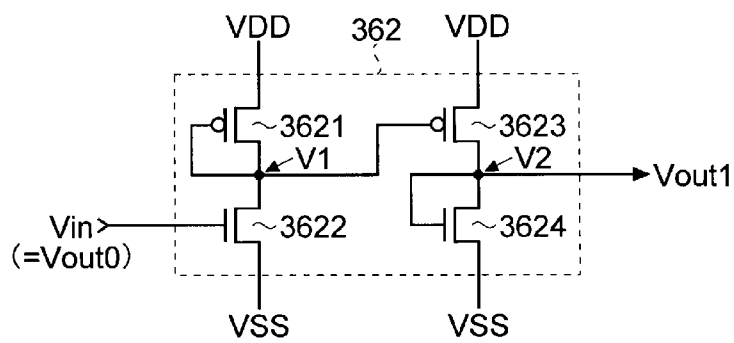
[図20]



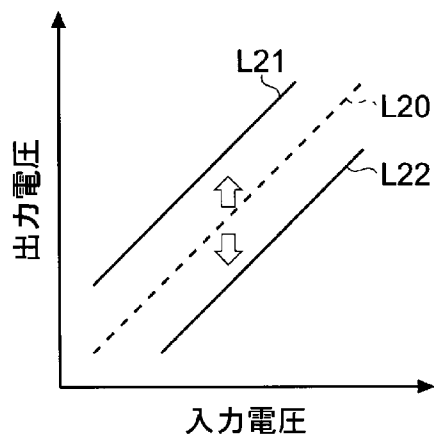
[図21]



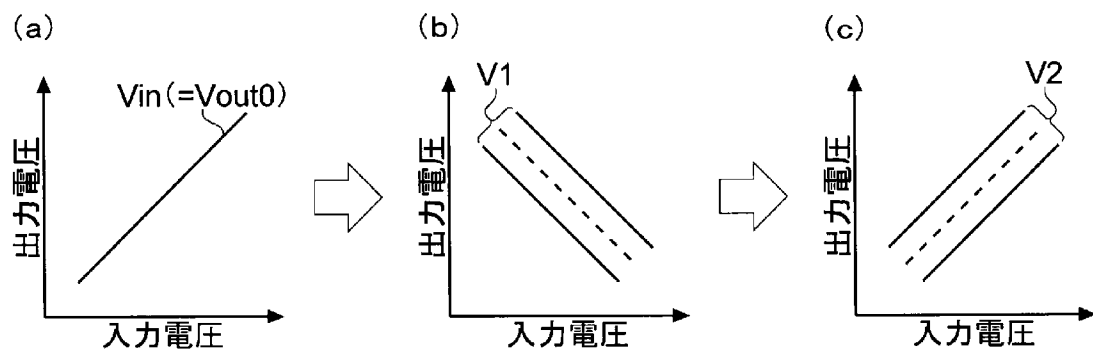
[図22]



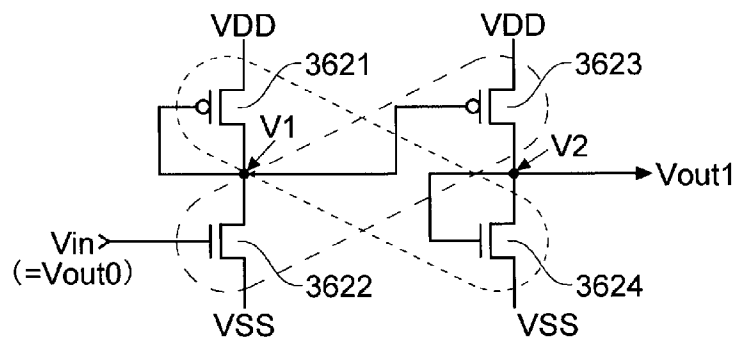
[図23]



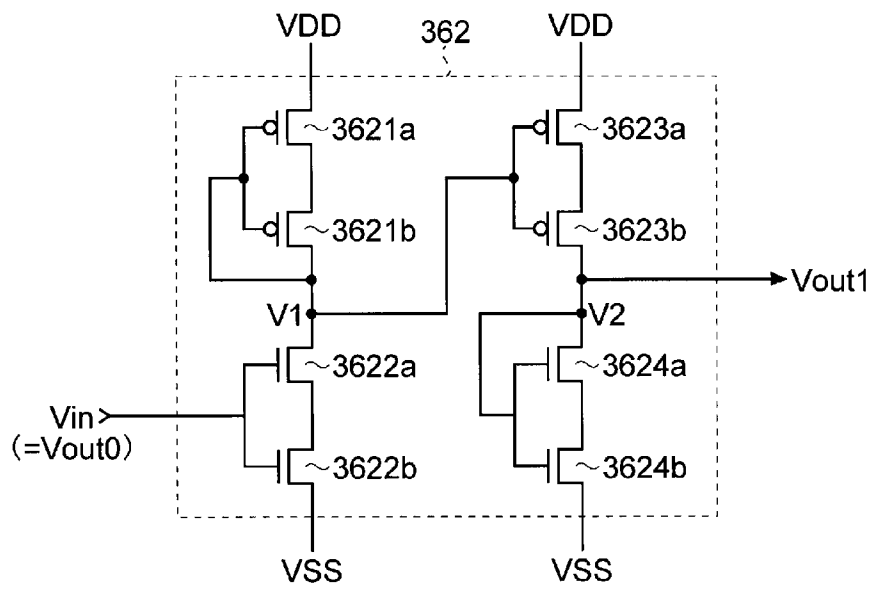
[図24]



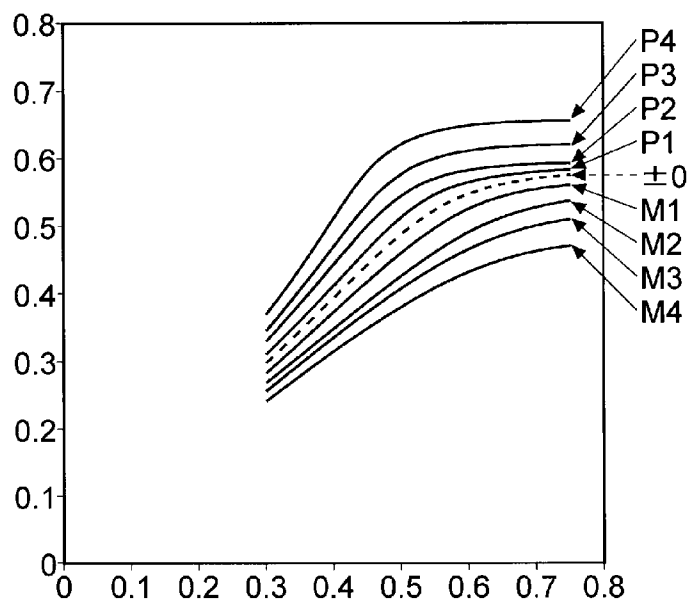
[図25]



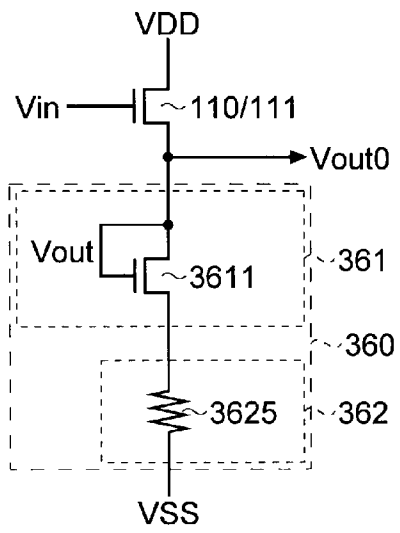
[図26]



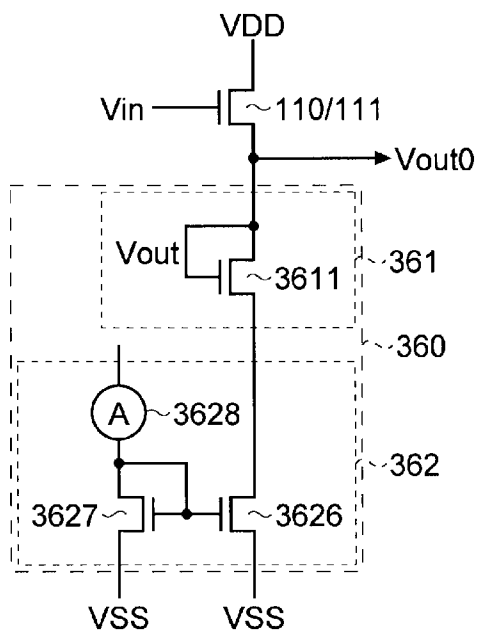
[図27]



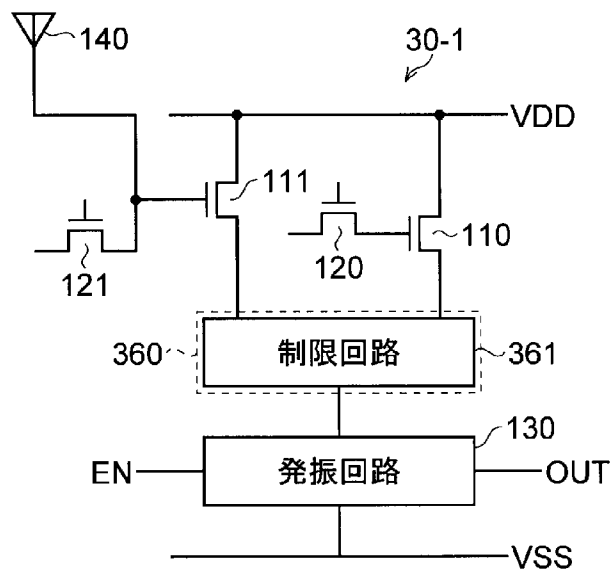
[図28]



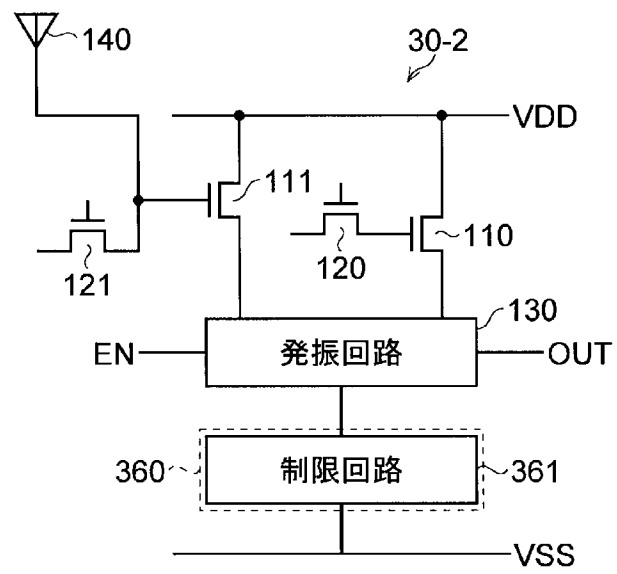
[図29]

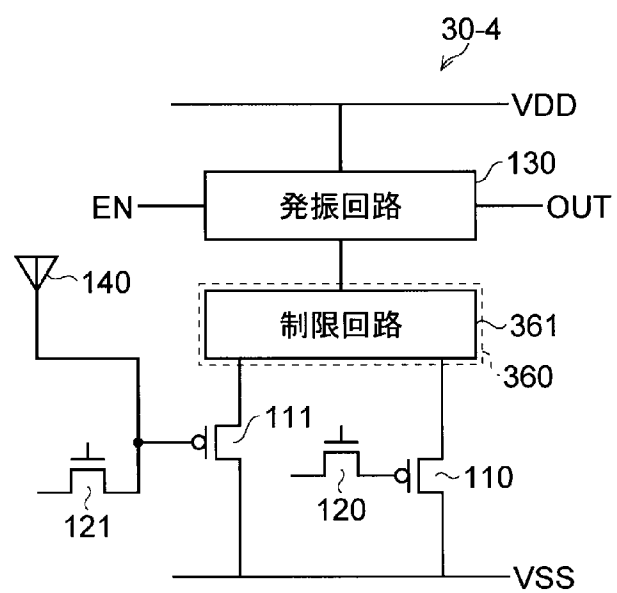


[図30]

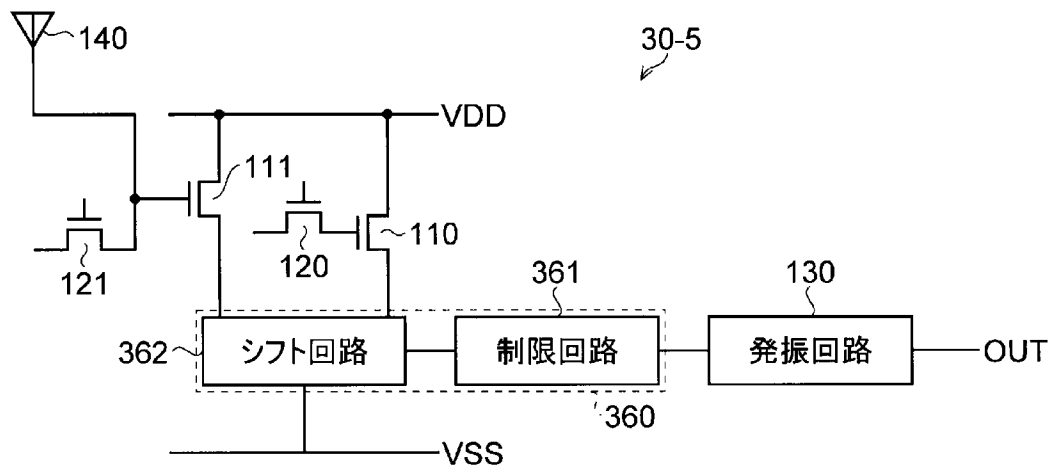


[図31]

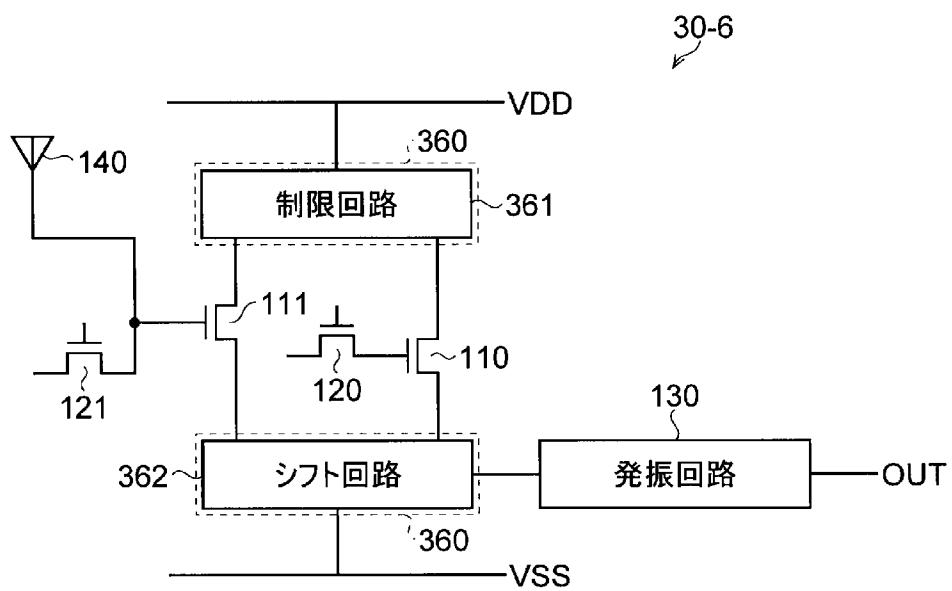




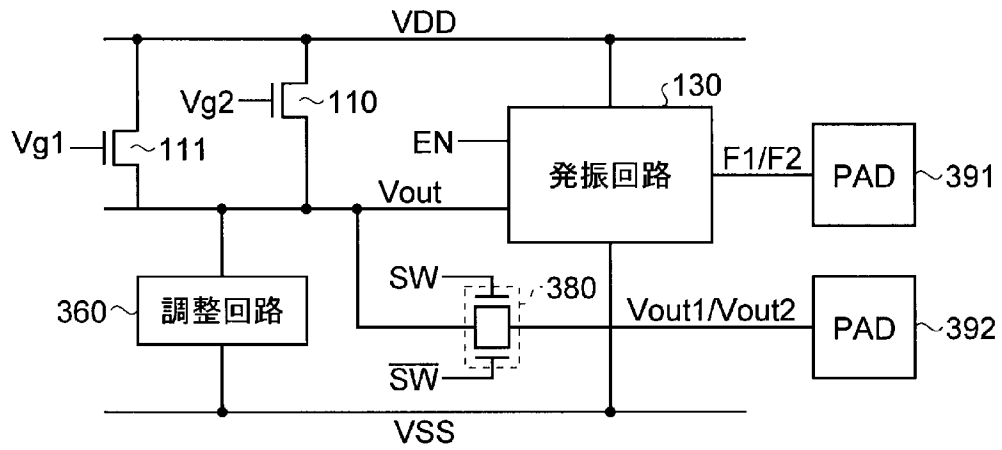
[図34]



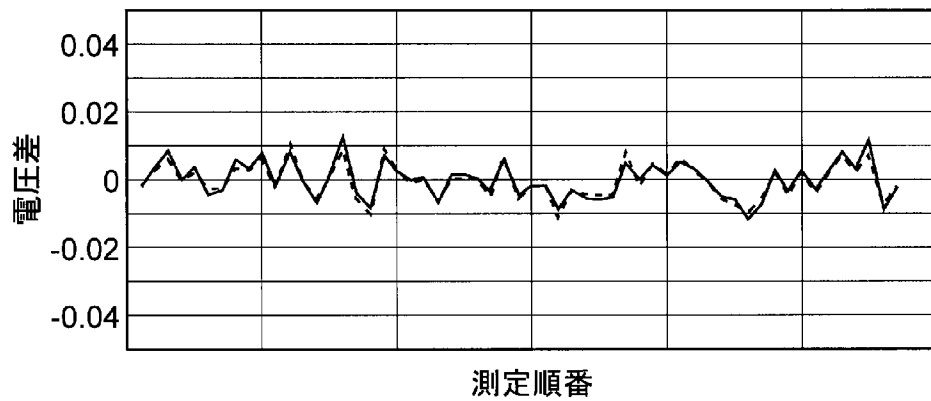
[図35]



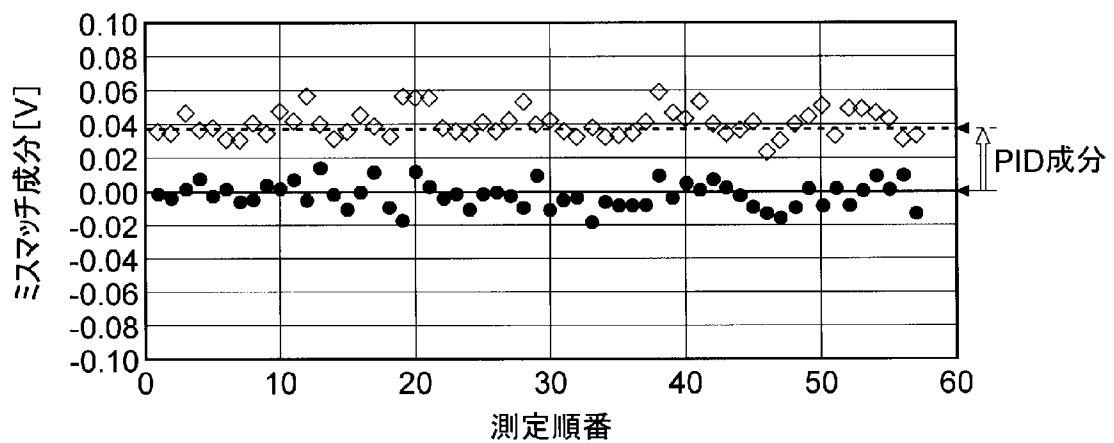
[図36]



[図37]



[図38]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/040741

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/822 (2006.01) i, G01R19/00 (2006.01) i, G01R31/26 (2014.01) i, H01L21/66 (2006.01) i, H01L27/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/822, G01R19/00, G01R31/26, H01L21/66, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-123422 A (SONY CORP.) 13 July 2017, paragraphs [0022]-[0032], fig. 1 & US 2019/0004101	1-3, 6-8, 12, 18
Y	A1, paragraphs [0031]-[0042], fig. 1 & WO	9, 11
A	2017/119319 A1	4, 5, 10, 13-17, 19, 20
Y	WO 2018/070260 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 19 April 2018, paragraphs [0035]-[0047], fig. 1, 2 & US 2019/0237459 A1, paragraphs [0041]-[0055], fig. 1, 2	9, 11
A	JP 2000-150606 A (MITSUBISHI ELECTRIC CORP.) 30 May 2000, entire text, all drawings & US 6353235 B1, entire text, all drawings	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02.12.2019

Date of mailing of the international search report
10.12.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2019/040741

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-92076 A (SONY CORP.) 23 May 2016, entire text, all drawings (Family: none)	1-20
A	JP 2002-313866 A (MATSUSHITA ELECTRIC WORKS, LTD.) 25 October 2002, entire text, all drawings (Family: none)	1-20
A	JP 2001-291753 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 19 October 2001, entire text, all drawings & US 2001/0028056 A1, entire text, all drawings & TW 564509 B	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/822(2006.01)i, G01R19/00(2006.01)i, G01R31/26(2014.01)i, H01L21/66(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/822, G01R19/00, G01R31/26, H01L21/66, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2017-123422 A (ソニー株式会社) 2017.07.13, 段落[0022]-[0032], 図1	1-3, 6-8, 12, 18
Y	& US 2019/0004101 A1, 段落[0031]-[0042], 図1	9, 11
A	& WO 2017/119319 A1	4, 5, 10, 13-17, 19, 20

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

02.12.2019

国際調査報告の発送日

10.12.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

電話番号 03-3581-1101 内線 3516

5 F

4056

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2018/070260 A1 (ソニーセミコンダクタソリューションズ株式会社) 2018. 04. 19, 段落[0035]-[0047], 図 1, 2 & US 2019/0237459 A1, 段落[0041]-[0055], 図 1, 2	9, 11
A	JP 2000-150606 A (三菱電機株式会社) 2000. 05. 30, 全文, 全図 & US 6353235 B1, 全文, 全図	1-20
A	JP 2016-92076 A (ソニー株式会社) 2016. 05. 23, 全文, 全図 (ファミリーなし)	1-20
A	JP 2002-313866 A (松下電工株式会社) 2002. 10. 25, 全文, 全図 (ファミリーなし)	1-20
A	JP 2001-291753 A (松下電器産業株式会社) 2001. 10. 19, 全文, 全図 & US 2001/0028056 A1, 全文, 全図 & TW 564509 B	1-20