(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 594 277**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **86 01980**

(51) Int Cl⁴ : H 04 L 7/06.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 13 février 1986.

(30) **Priorité :**

(43) **Date de la mise à disposition du public de la demande :** BOPI « Brevets » n° 33 du 14 août 1987.

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *HOUDOIN Thierry, ADAM Pierre et COCHENNEC Jean-Yves.* — FR.

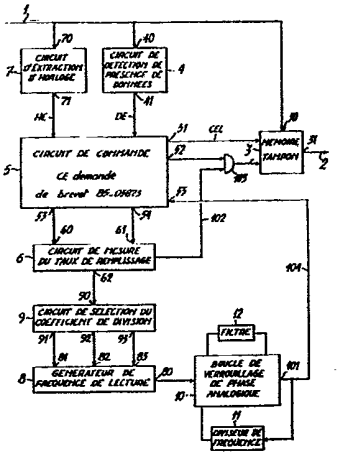
(72) **Inventeur(s) :** Thierry Houdoin, Pierre Adam et Jean-Yves Cochennec.

(73) **Titulaire(s) :**

(74) **Mandataire(s) :** Martinet et Lapoux.

(54) Dispositif de synchronisation de paquets par double boucle à verrouillage de phase.

(57) Procédé de synchronisation de paquets par rattrapage de fréquence selon lequel des paquets entrants sont écrits bit à bit dans une mémoire-tampon 3 à une fréquence d'écriture indépendante d'une fréquence de lecture à laquelle ils sont lus bit à bit dans la mémoire-tampon comprenant les étapes suivantes : *i.* mesure du taux de remplissage instantané de la mémoire-tampon; *ii.* comparaison du taux de remplissage mesuré avec des valeurs minimale et maximale de ce taux; *iii.* division d'une fréquence prédéterminée par un facteur de division choisi parmi une pluralité de facteurs, la fréquence prédéterminée divisée par le facteur de division choisi constituant la fréquence de lecture de la mémoire-tampon; *iv.* sélection du facteur de division en fonction du résultat de la comparaison; *v.* caractérisé en ce qu'il comprend une étape d'application du signal de lecture à une boucle de verrouillage de phase analogique 10.



FR 2 594 277 - A1

Dispositif de synchronisation de paquets par double boucle à verrouillage de phase.

La présente invention concerne un procédé et un dispositif de synchronisation de paquets par boucle à verrouillage de phase et plus particulièrement de tels procédé et dispositif de synchronisation par double boucle de verrouillage de phase, l'une numérique et l'autre analogique.

Dans les réseaux de communication par paquets, les paquets transitent à travers de nombreux circuits intermédiaires entre un terminal de transmission et un terminal de réception. Entre les terminaux de transmission et de réception, les paquets peuvent soit emprunter le même canal de transmission et attendre des temps variables dans des files d'attente insérées dans ce canal, soit emprunter des canaux de transmission différents et sur lesquels le temps de propagation n'est pas le même. Les horloges des terminaux de transmission ne sont pas rigoureusement synchrones.

Pour ces raisons, il faut dans les terminaux de réception rétablir la synchronisation entre les bits dans un paquet et entre les paquets dans un message. Bien que l'arrivée des paquets soit sporadique, la restitution du message dans le terminal de réception doit être continue et stable.

On connaît par la demande de brevet 85-03873 du 15 Mars 1985 aux noms de Jean-Yves COCHENNEC et Pierre ADAM un dispositif de synchronisation dans lequel la synchronisation est obtenue par un asservissement par variations discrètes de la fréquence de lecture d'une mémoire-tampon au taux de remplissage de cette mémoire-tampon.

Ce dispositif comprend des moyens d'extraire des paquets entrants la fréquence d'écriture dans la mémoire-tampon, des moyens logiques pour commander les opérations d'écriture et de lecture des données non synchrones dans la mémoire-tampon, et des moyens incrémentés par lesdits moyens logiques pour définir des adresses instantanées d'écriture et de lecture de la mémoire-tampon. Ce dispositif est caractérisé en ce qu'il comprend des moyens pour calculer le taux de remplissage de la mémoire-tampon à partir des adresses instantanées d'écriture et de lecture, des moyens pour

comparer le taux de remplissage calculé avec des valeurs minimale et maximale afin de fournir un résultat de comparaison (N-1, N, N+1), et des moyens pour modifier la fréquence de lecture par paliers en fonction du résultat de comparaison en vue d'appliquer une fréquence de lecture modifiée aux moyens logiques. En outre, dans le dispositif de l'art antérieur, comme dans celui de la présente invention, le processus d'asservissement doit être initié à un taux prédéterminé de remplissage de la mémoire tampon en vue d'empêcher la double lecture ou la non lecture du bit d'un paquet.

Ce dispositif de synchronisation de l'art antérieur a été amélioré par les demandeurs de façon à fournir un asservissement atténuant les variations brusques de la fréquence de lecture de la mémoire tampon.

L'invention va maintenant être décrite en détail en relation avec les dessins annexés dans lesquels :

- la Fig.1 représente le dispositif de synchronisation à rattrapage de fréquence de l'art antérieur, qui a été rappelé ci-dessus ; et

- la Fig.2 représente un dispositif de synchronisation à rattrapage de fréquence conforme à l'invention.

En se référant d'abord à la Fig.1 qui représente un dispositif de synchronisation à rattrapage de fréquence de l'art antérieur, un canal d'arrivée de données 1 transmet des paquets entrants désynchronisés à l'entrée 70 d'un circuit d'extraction d'horloge 7, à l'entrée 40 d'un circuit de détection de présence de données 4 et à l'entrée 30 d'une mémoire-tampon 3. La sortie 31 de cette mémoire-tampon est reliée au canal de sortie 2. La mémoire-tampon est une mémoire à accès aléatoire fonctionnant en file (FIFO). Les sorties 41 et 71 des circuits 4 et 7 sont reliées à un circuit logique de commande 5. Ce circuit logique de commande reçoit donc le signal d'horloge HE extrait des données et le signal de demande d'écriture DE.

Le circuit de commande 5 comporte un registre d'adresse d'écriture, un registre d'adresse de lecture et un multiplexeur d'adresses. Une première sortie 51 du circuit logique de commande délivre un signal de commande d'écriture et de lecture CEL à une entrée de commande de la mémoire-tampon. Une deuxième sortie 52 du

circuit de commande 5 est reliée à des entrées d'adresse de la mémoire-tampon 3. Les registres sont en fait des compteurs modulo N, où N désigne un nombre entier. Le multiplexeur sélectionne l'adresse à délivrer à la mémoire parmi les adresses délivrées par les registres en fonction de la nature de la demande, écriture ou lecture, indiquée par le signal CEL.

Les sorties 53 et 54 des registres d'adresse d'écriture et de lecture du circuit de commande 5 sont reliées respectivement à des entrées 60 et 61 d'un circuit de mesure du taux de remplissage 6. Le circuit 6 comporte un soustracteur effectuant la différence entre une adresse d'écriture et une adresse de lecture délivrées par les sorties 53 et 54.

Une sortie 62 du circuit 6 est reliée à une entrée 90 d'un circuit de sélection du coefficient de division 9 permettant, en fonction d'un signal de différence reçu par son entrée 90, d'activer sélectivement l'une des trois sorties 91, 92, 93. Le circuit 9 compare au moyen d'un comparateur la différence entre les adresses d'écriture et de lecture avec des valeurs stockées préalablement dans une mémoire et, en fonction du résultat des comparaisons, active l'une des sorties 91, 92, 93.

Les sorties 91, 92, 93 sont reliées respectivement à des entrées 81, 82, 83 d'un générateur de fréquence de lecture variable par paliers 8 . Ce générateur 8 comprend un oscillateur et un diviseur de fréquence dont le facteur de division peut prendre sélectivement l'une des trois valeurs N-1, N, N+1. Le signal HL est appliqué à la borne 55 du circuit 5 par la connexion 84. Le circuit 8 délivre par une sortie 80 un signal d'horloge de lecture HL obtenu par division d'une fréquence prédéterminée par la valeur sélectionnée N-1, ou N, ou N+1. La valeur de fréquence de lecture correspondant à la valeur N est appelée fréquence nominale, celle correspondant à la valeur N+1 est appelée fréquence ralentie et celle correspondant à la valeur N-1 est appelée fréquence accélérée. La sortie 80 du circuit 8 est reliée à l'entrée 55 du circuit de commande 5.

Le fonctionnement est le suivant.

Si la fréquence de lecture est plus grande que la fréquence d'écriture, le taux de remplissage diminue et la mémoire se vide.

Quand le taux de remplissage atteint une limite inférieure, le circuit de sélection passe de N à N+1, ce qui correspond à la fréquence de lecture ralentie. Le circuit de sélection reste sur N+1 jusqu'à ce que le taux de remplissage atteigne une limite haute intermédiaire où il repasse à N ce qui correspond à la fréquence de lecture nominale.

Si la fréquence de lecture est plus petite que la fréquence d'écriture le taux de remplissage augmente et la mémoire se remplit. Quand le taux de remplissage atteint la limite supérieure, le circuit de sélection passe de N à N-1 ce qui correspond à la fréquence de lecture accélérée. Le circuit de sélection reste sur N-1 jusqu'à ce que le taux de remplissage atteigne une limite basse intermédiaire où il repasse à N ce qui correspond à la fréquence de lecture nominale.

En se référant maintenant à la Fig.2 qui représente un dispositif de synchronisation à deux boucles de verrouillage de phase l'une numérique et l'autre analogique, on retrouve certains circuits du dispositif de synchronisation à boucle de phase numérique unique de la Fig.1, plus précisément les canaux d'arrivée et de départ 1 et 2, la mémoire-tampon 3, le circuit 4 de détection de présence de données, le circuit de commande 5, le circuit de mesure du taux de remplissage 6, le circuit d'extraction d'horloge 7, le générateur de fréquence de lecture 8 et le circuit de sélection du coefficient de division 9.

Comme dans le cas de la Fig.1, le circuit 6 mesure le taux de remplissage et selon la valeur de ce dernier le circuit 9 sélectionne le coefficient de division et le circuit 8 fournit une fréquence de lecture égale à la fréquence f_ℓ de l'oscillateur contenu dans le générateur 8 divisée par le coefficient de division sélectionné. Mais la fréquence de lecture apparaissant sur la borne 80 n'est pas appliquée au circuit logique de commande 5.

Dans la Fig.2, la sortie 80 du générateur de fréquence de lecture 8 est reliée à une boucle de verrouillage de phase analogique 10 dont la sortie 101 est reliée au circuit de commande par la connexion 104.

Une porte ET 103 est insérée sur la connexion 52 entre le circuit de commande 5 et la mémoire-tampon 3, et elle est commandée

par le circuit de mesure du taux de remplissage o à travers la connexion 102. Le circuit 6 laisse les adresses de lecture arriver à la mémoire-tampon 3 quand cette mémoire-tampon est initialement à moitié pleine.

On a représenté dans la boucle de verrouillage 10 un diviseur de fréquence par m,11. Ce diviseur de fréquence est utilisé quand la fréquence de lecture au lieu d'être égale à

$f_\ell/(N-1)$; f_ℓ/N ; $f_\ell/(N+1)$

est égale à

$mf_\ell/(N-1)$; mf_ℓ/N ; $mf_\ell/(N+1)$

On a également représenté dans la boucle 10 un filtre 12 qui est réglé sur une fréquence inférieure à f_ℓ/N de manière à intégrer les transitions de fréquence $f_\ell/N \rightarrow f_\ell/N+1$.

Ainsi l'adjonction d'un circuit à boucle de verrouillage de phase tel que le circuit 10, 11, 12 permet d'obtenir aisément une fréquence de lecture élevée, tout en s'affranchissant des problèmes de variation brusque de fréquence qui ne manqueraient pas de se poser dans le cas où l'on utiliserait uniquement un générateur 8, avec plusieurs possibilités de division de la fréquence f_ℓ. En effet, dans une telle configuration, le passage du rapport de division de $\frac{1}{N}$ à $\frac{1}{N-1}$ ou $\frac{1}{N+1}$ impliquerait des sauts de fréquence incompatibles avec une restitution correcte des données dans le cas où N ne peut être très grand. Ceci pourrait se traduire par une oscillation permanente de la fréquence de l'horloge locale.

REVENDICATIONS

1 - Procédé de synchronisation de paquets par rattrapage de fréquence selon lequel des paquets entrants sont écrits bit à bit dans une mémoire-tampon (3) à une fréquence d'écriture indépendante d'une fréquence de lecture à laquelle les paquets sont lus bit à bit dans la mémoire-tampon comprenant les étapes suivantes :

mesure du taux de remplissage instantané de la mémoire-tampon ;

comparaison du taux de remplissage mesuré avec des valeurs minimale et maximale de ce taux ;

division d'une fréquence prédéterminée par un facteur de division entier choisi parmi une pluralité de facteurs de division, la fréquence prédéterminée divisée par le facteur de division choisi constituant la fréquence du signal de lecture de la mémoire-tampon ;

sélection du facteur de division en fonction du résultat de la comparaison,

caractérisé en ce qu'il comprend en outre l'étape suivante :

application du signal de lecture de la mémoire-tampon à une boucle de verrouillage de phase analogique (10) pour atténuer les variations brusques de sa fréquence.

2 - Dispositif de synchronisation de paquets par rattrapage de fréquence selon lequel des paquets entrants sont écrits bit à bit dans une mémoire-tampon (3) à une fréquence d'écriture indépendante d'une fréquence de lecture à laquelle les paquets sont lus bit à bit dans la mémoire-tampon comprenant :

un circuit de mesure du taux de remplissage instantané de la mémoire-tampon ;

des moyens de comparaison du taux de remplissage mesuré avec des valeurs minimale et maximale de ce taux ;

des moyens de division d'une fréquence prédéterminée par un facteur de division entier choisi parmi une pluralité de facteurs de division, la fréquence prédéterminée divisée par le facteur de division choisi constituant la fréquence du signal de lecture de la mémoire-tampon ;

des moyens de sélection du facteur de division en fonction du résultat de la comparaison,

caractérisé en ce qu'il comprend en outre une boucle de verrouillage de phase analogique (10) recevant le signal de lecture de la mémoire-tampon avant application à cette dernière pour atténuer les variations brusques de sa fréquence.

3 - Dispositif de synchronisation de paquets conforme à la revendication 2, caractérisé en ce qu'il comprend en outre,

des moyens de contrôle d'accès (porte 103) du signal de lecture à la mémoire-tampon, lesdits moyens d'accès étant commandés par le circuit de mesure du taux de remplissage instantané de la mémoire-tampon.

FIG. 1

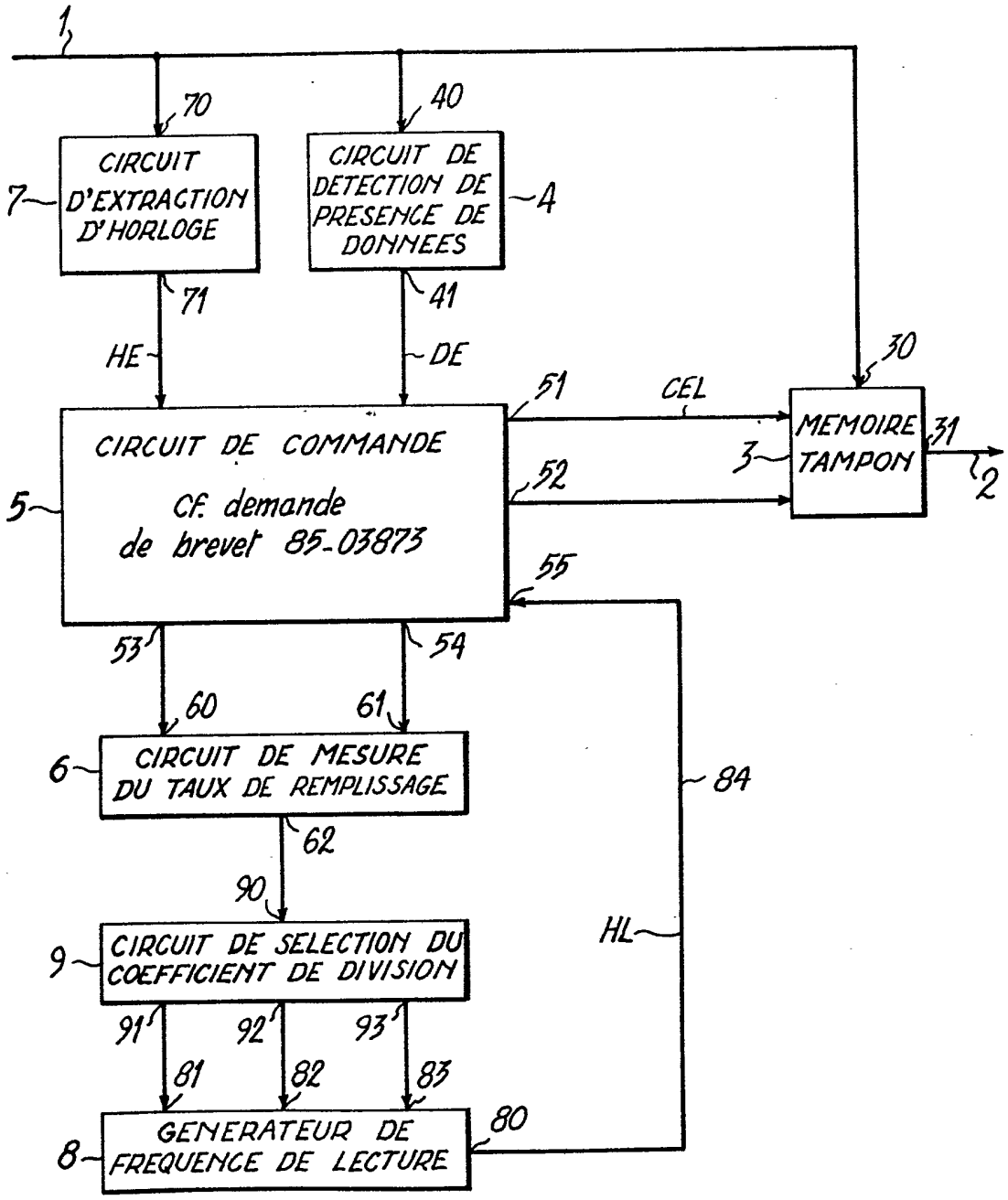
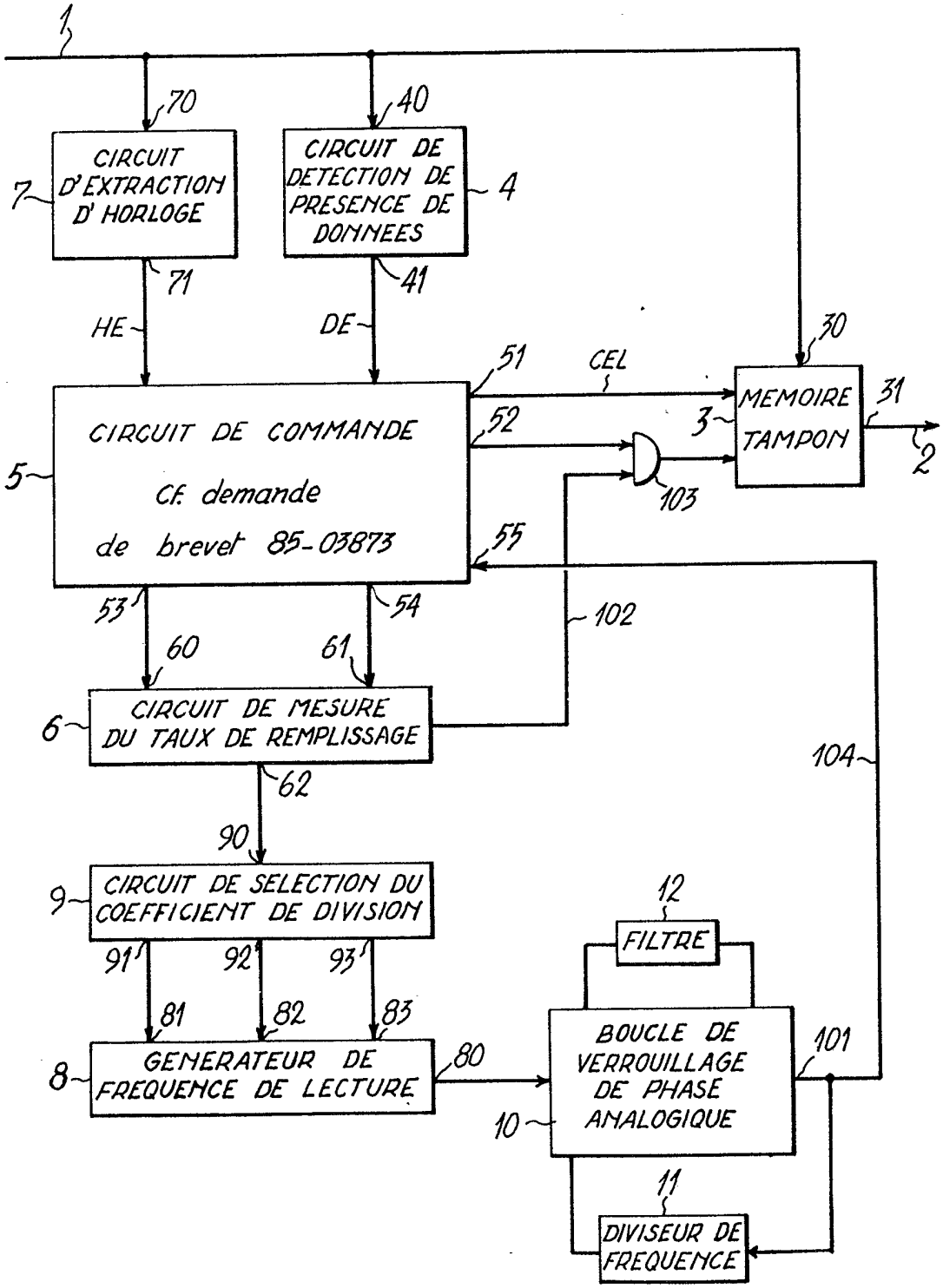

1
70
40
CIRCUIT D'EXTRACTION D'HORLOGE
7
CIRCUIT DE DETECTION DE PRESENCE DE DONNEES
4
71
41
HE
DE
30
51
CEL
CIRCUIT DE COMMANDE
Cf. demande de brevet 85-03873
5
MEMOIRE TAMPON
3
31
2
52
55
53
54
60
61
CIRCUIT DE MESURE DU TAUX DE REMPLISSAGE
6
84
62
90
CIRCUIT DE SELECTION DU COEFFICIENT DE DIVISION
9
HL
91
92
93
81
82
83
GENERATEUR DE FREQUENCE DE LECTURE
8
80

FIG. 2


1
70
40
CIRCUIT D'EXTRACTION D'HORLOGE
7
CIRCUIT DE DETECTION DE PRESENCE DE DONNEES
4
71
41
HE
DE
51
CEL
30
MEMOIRE TAMPON
31
3
52
2
CIRCUIT DE COMMANDE
Cf. demande de brevet 85-03873
5
103
55
53
54
102
60
61
CIRCUIT DE MESURE DU TAUX DE REMPLISSAGE
6
104
62
90
CIRCUIT DE SELECTION DU COEFFICIENT DE DIVISION
9
12
FILTRE
91
92
93
81
82
83
GENERATEUR DE FREQUENCE DE LECTURE
8
80
BOUCLE DE VERROUILLAGE DE PHASE ANALOGIQUE
10
101
11
DIVISEUR DE FREQUENCE