

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号  
特許第4646608号  
(P4646608)

(45) 発行日 平成23年3月9日(2011.3.9)

(24) 登録日 平成22年12月17日(2010.12.17)

(51) Int.Cl.

F I

G 1 1 C 17/00 (2006.01)

G 1 1 C 17/14 (2006.01)

G 1 1 C 17/00 C

G 1 1 C 17/06 B

請求項の数 6 (全 15 頁)

(21) 出願番号	特願2004-341880 (P2004-341880)	(73) 特許権者	000005821
(22) 出願日	平成16年11月26日 (2004.11.26)		パナソニック株式会社
(65) 公開番号	特開2006-155710 (P2006-155710A)		大阪府門真市大字門真1006番地
(43) 公開日	平成18年6月15日 (2006.6.15)	(74) 代理人	100077931
審査請求日	平成19年11月8日 (2007.11.8)		弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

1 回だけデータを書き込むことが可能な複数のデータ記憶セルと、  
1 回だけデータを書き込むことが可能な選択用記憶セルを有し、その選択用記憶セルに書き込まれた内容に応じて、上記複数のデータ記憶セルのうちの何れかを選択して、選択されたデータ記憶セルに書き込まれた内容に応じてデータを出力する読み出し選択回路と、  
1 回だけデータを書き込むことが可能な選択用記憶セルを有し、上記選択用記憶セルに書き込まれた内容に応じて、上記複数のデータ記憶セルのうちの何れかを選択してデータを書き込む書き込み選択回路と、を備え、  
上記読み出し選択回路と上記書き込み選択回路とが同一の上記選択用記憶セルを兼用するように構成され、

上記兼用される読み出し選択回路および書き込み選択回路は、読み出しが行われるデータ記憶セルとは異なるデータ記憶セルを書き込み用を選択するように構成されていることを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 の半導体記憶装置であって、  
上記読み出し選択回路は、上記複数のデータ記憶セルから出力される信号のうちの何れかを選択して出力するように構成されていることを特徴とする半導体記憶装置。

【請求項 3】

請求項 1 の半導体記憶装置であって、

上記読み出し選択回路は、上記複数のデータ記憶セルのうちの何れかを選択して読み出し信号を与えるように構成されていることを特徴とする半導体記憶装置。

【請求項 4】

請求項 1 の半導体記憶装置であって、

上記書き込み選択回路の選択用記憶セルは複数設けられ、上記書き込み選択回路は、上記選択用記憶セルに書き込まれた内容に応じて、書き込みの行われるデータ記憶セルと共に、書き込み選択回路の選択用記憶セルを選択するように構成されていることを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 の半導体記憶装置であって、

上記複数のデータ記憶セルを複数組備え、所定ビット長のデータを出力し得るように構成されていることを特徴とする半導体記憶装置。

【請求項 6】

請求項 5 の半導体記憶装置であって、

上記所定ビット長分のデータ記憶セルをさらに複数ワード分備え、上記読み出し選択回路は、アドレス信号に応じたワードのデータを出力するように構成されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、FUSE 素子を用いて 1 回だけ記憶情報の書き換えが可能な OTP (One Time Program) 素子等と称される記憶素子を用いた不揮発メモリに関するものである。

【背景技術】

【0002】

近年、半導体の技術としては製造プロセスの微細化が進むとともに、ゲート酸化膜の薄膜化やゲート電極材料等の改変が進み、また、FLASH、EEPROM等の書き換え用途デバイス等も大規模化、高集積化を遂げて技術的な進展をみている。この種のいわゆる不揮発メモリは、通常、長期間に亘る保持データの信頼性に対する要求が高く、また、フローティングゲートの形成などに、標準CMOSプロセス以外の特殊な専用プロセスを必要とするため、製造コストも高くなりがちである。

【0003】

一方、半導体デバイスを使用するシステム分野でも、必要とするデバイスの用途が変わりつつある分野もあり、セキュリティー用途製品やIC-TAG等のように不揮発メモリ素子またはOTP素子を内部に混載するケースも増加している。また、既存のシステムで言えば、システムLSIに混載するメモリ、アナログデバイス等においても冗長性付与またはアナログ回路のキャリブレーションなどのように、ウエハ工程でのFUSE素子での冗長救済や調整自体を組立工程以後に再調整することが必要とされる場合がある。特に素子の周波数におけるパフォーマンスが高い場合には、ウエハでのプローブ工程における低周波数テストから組立て後の実周波数テストでのミスマッチから後工程での調整を余儀なくされる場合が存在する。すなわち、プローブを当てること自体の影響による調整精度の低下を補うために、パッケージング後に微調整を行うことが有効な場合もある。

【0004】

上記のような用途に用いられる最近のOTP用FUSE素子としては、書き込み回数が 1 回に限定される一方で、標準CMOSプロセスでの製造が可能であるとともに、書き込みデータに対する信頼性が高いという利点などから、既存のメタルまたはポリシリコンをレーザーリペア装置で切断するレーザーFUSEや、FUSE素子部分に電流を流して切断する電気FUSE等が用いられつつある（例えば、特許文献 1 参照。）。

【0005】

10

20

30

40

50

また、上記のようなOTP素子の利点を活かしつつ複数回の書き込みを可能にする技術として、複数のOTP素子の排他的論理和(XOR)演算を行うことにより、一旦書き込んだ状態を反転させることができるようにしたものも知られている(例えば、特許文献2参照。 )。

【特許文献1】米国特許第6384664号明細書

【特許文献2】米国特許第5966339号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記のように複数回の書き込みを可能にするためにXOR演算を行う構成では、書き込み可能な回数やビット数に応じた数のXOR回路を必要とするため、回路規模が大きくなるという問題点を有している。

【課題を解決するための手段】

【0007】

上記の点に鑑み、本発明は、回路規模の大幅な増加を招くことなく、複数回の書き込みを可能にすることを目的とする。

【0008】

上記の課題を解決するため、半導体記憶装置であって、

1回だけデータを書き込むことが可能な複数のデータ記憶セルと、

1回だけデータを書き込むことが可能な選択用記憶セルを有し、その選択用記憶セルに書き込まれた内容に応じて、上記複数のデータ記憶セルのうちの何れかを選択して、選択されたデータ記憶セルに書き込まれた内容に応じてデータを出力する読み出し選択回路と

、  
1回だけデータを書き込むことが可能な選択用記憶セルを有し、上記選択用記憶セルに書き込まれた内容に応じて、上記複数のデータ記憶セルのうちの何れかを選択してデータを書き込む書き込み選択回路と、を備え、

上記読み出し選択回路と上記書き込み選択回路とが同一の上記選択用記憶セルを兼用するように構成され、

上記兼用される読み出し選択回路および書き込み選択回路は、読み出しが行われるデータ記憶セルとは異なるデータ記憶セルを書き込み用を選択するように構成されていることを特徴とする。

【0009】

これにより、次に書き込まれるデータ記憶セルが選択されることによって、データの読み出されるデータ記憶セルへの書き込みができなくなるので、不用意に記憶内容が書き換わることが確実に防止される。

【発明の効果】

【0010】

本発明によれば、いわゆるOTPセルを有する半導体記憶装置において、回路規模の大幅な増加を招くことなく、複数回の書換を実施することができ、全ビット書換、個別ビット追記、アレイ型の書換を行うことができる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、以下の各実施形態および各参考例において、他の実施形態および参考例と同様の機能を有する構成要素については同一の符号を付して説明を省略する。

【0012】

《発明の実施形態1》

まず、図1に基づいて、本実施形態1の半導体記憶装置に用いられるビットセル100の例について説明する。同図において、

101は、所定の大きさの電流を流すことによって切断が可能なFUSE素子である。

10

20

30

40

50

## 【 0 0 1 3 】

1 0 2 は、書き込み信号 ( W T 信号 ) が H i g h ( ハイレベル ) になったときに、 F U S E 素子 1 0 1 に所定の大きさの電流を流して同素子を切断する N c h の書き込みトランジスタである。

## 【 0 0 1 4 】

1 0 3 は、読み出し信号 ( R D 信号 ) が H i g h になったときに、 F U S E 素子 1 0 1 の切断の有無に応じた電位をドレイン端子に生じさせるための読み出しトランジスタである。

## 【 0 0 1 5 】

1 0 4 は、上記 R D 信号の反転信号を出力する N O T 回路である。

10

## 【 0 0 1 6 】

1 0 5 は、 R D 信号が H i g h である場合に O N ( 導通状態 ) になる一方、 L o w ( ローレベル ) である場合に O F F ( 遮断状態 ) になるトランスファゲート回路である。

## 【 0 0 1 7 】

1 0 6 は、 R D 信号が H i g h になったときに書き込みトランジスタ 1 0 2 のドレイン端子に生じる電位に応じた信号レベル、すなわち F U S E 素子 1 0 1 の切断の有無に応じた信号レベル ( 書き込みデータ ) を上記 R D 信号が L o w の間ラッチし、 O U T 信号として出力するラッチ回路である。なお、このラッチ回路 1 0 6 は必ずしも設けなくてもよく、その場合でも R D 信号を H i g h にしている間は書き込みデータを読み出せるが、ラッチ回路 1 0 6 を設け、初期化動作として書き込みデータをラッチさせることによって、読み出しごとに F U S E 素子 1 0 1 に電流を流す必要がなくなるので、消費電力の低減が容易になる。

20

## 【 0 0 1 8 】

上記のように構成されたビットセル 1 0 0 では、 W T 信号が H i g h にされることによって、 F U S E 素子 1 0 1 が切断される。

## 【 0 0 1 9 】

また、 R D 信号が一旦 H i g h にされた後に L o w にされると ( 初期化動作 ) 、 F U S E 素子 1 0 1 が切断されていない場合には、読み出しトランジスタ 1 0 3 のドレイン端子が H i g h で O U T 信号が L o w になる一方、 F U S E 素子 1 0 1 が切断されている場合には、読み出しトランジスタ 1 0 3 のドレイン端子が L o w になって O U T 信号が H i g h になる。

30

## 【 0 0 2 0 】

すなわち、上記のようなビットセル 1 0 0 によって、 1 回だけ書き込み ( 書き換え ) が可能な 1 ビットの不揮発メモリセルが構成される。

## 【 0 0 2 1 】

図 2 は、上記ビットセル 1 0 0 ( C E L L ) を  $3 \times ( n + 1 )$  個用いて、 n ビットのデータを 3 回書き込むことができるように構成された半導体記憶装置の例を示す回路図である。同図において、

2 0 1 a ~ 2 0 1 c は、それぞれ、 n 個のビットセル 1 0 0 を含むデータビットセル群である。各ビットセル 1 0 0 の R D 信号としては、外部から供給される R D C 信号が共通に入力されるようになっている。

40

## 【 0 0 2 2 】

2 0 2 は、 3 つのビットセル 1 0 0 を含み、上記データビットセル群 2 0 1 a ~ 2 0 1 c のうち、書き込みが有効なもの、および読み出しが有効なものを指定するセル群指定回路である。上記セル群指定回路 2 0 2 に含まれる各ビットセル 1 0 0 の R D 信号としては、外部から供給される R S T 信号が共通に入力されるようになっている。

## 【 0 0 2 3 】

2 0 3 は、セル群指定回路 2 0 2 の出力をデコードして、選択信号 2 1 1 ~ 2 1 4、およびこれらの反転信号を出力するデコード回路である ( なお、以下、反転信号についての説明は適宜省略する。 ) 。

50

## 【 0 0 2 4 】

2 0 4 は、デコード回路 2 0 3 から出力される選択信号 2 1 1 ~ 2 1 4 に応じてトランスファゲート 2 2 1 ~ 2 2 3 が O N / O F F することによって、データを書き込むビットセル 1 0 0、および読み出すビットセル 1 0 0 を選択するセクタ回路である。

## 【 0 0 2 5 】

上記のように構成された半導体記憶装置では、まず、各ビットセル 1 0 0 に入力される R S T 信号および R D C 信号が H i g h にされることによって初期化動作が行われ、各ビットセル 1 0 0 から F U S E 素子 1 0 1 の状態に応じた O U T 信号が出力される。

## 【 0 0 2 6 】

これによって、セル群指定回路 2 0 2 では、例えば何れのビットセル 1 0 0 も F U S E 素子 1 0 1 が切断されていなかったとすると、各ビットセル 1 0 0 から L o w の O U T 信号が出力されるので、これらの O U T 信号がデコード回路 2 0 3 でデコードされて、選択信号 2 1 1 が H i g h になる。

## 【 0 0 2 7 】

上記選択信号 2 1 1 が H i g h の状態で、書き込み制御信号 W T C が H i g h になるとともに、書き込みデータ信号 D 0 ~ D n - 1 (のうちの少なくとも一部)が H i g h になると、A N D 回路 2 2 4 およびセクタ回路 2 0 4 のトランスファゲート 2 2 1 からデータビットセル群 2 0 1 a に入力される W T 信号のうち、H i g h になった書き込みデータ信号 D 0 ~ D n - 1 に対応する W T 信号が H i g h になる。そこで、データビットセル群 2 0 1 a に含まれるビットセル 1 0 0 の F U S E 素子 1 0 1 が切断されることによって、データの書き込みが行われる。

## 【 0 0 2 8 】

また、同様に、上記データビットセル群 2 0 1 a への書き込みと同時に、または別途、書き込み制御信号 W T C が H i g h になるとともに書き込み完了信号 A が H i g h になると、A N D 回路 2 2 4 およびセクタ回路 2 0 4 のトランスファゲート 2 2 2 から、セル群指定回路 2 0 2 における図 2 の一番下側のビットセル 1 0 0 に入力される W T 信号が H i g h になる。そこで、上記ビットセル 1 0 0 の F U S E 素子 1 0 1 が切断され、その後 R S T 信号による初期化が行われると、O U T 信号が H i g h になり、デコード回路 2 0 3 から出力される選択信号 2 1 2 が H i g h になる。これによって、データビットセル群 2 0 1 a の各ビットセル 1 0 0 から出力される O U T 信号が、セクタ回路 2 0 4 のトランスファゲート 2 2 3 を介して、読み出しデータ信号 R 0 ~ R n - 1 として出力される。

## 【 0 0 2 9 】

また、上記のように選択信号 2 1 2 が H i g h になった状態では、書き込み制御信号 W T C が H i g h になると、書き込みデータ信号 D 0 ~ D n - 1 に応じたデータが、データビットセル群 2 0 1 b に書き込まれる。

## 【 0 0 3 0 】

以下、同様に、セル群指定回路 2 0 2 における各ビットセル 1 0 0 の F U S E 素子 1 0 1 の切断に応じて、データビットセル群 2 0 1 b からの書き込みデータの読み出し、データビットセル群 2 0 1 c への書き込み等が行われ、合計で 3 回のデータの書き込みをすることができる。

## 【 0 0 3 1 】

## 《 発明の実施形態 2 》

本実施形態 2 の半導体記憶装置で記憶データの保持に用いられるビットセル 1 1 0 は、図 3 に示すように、O U T 信号として、前記実施形態 1 のビットセル 1 0 0 と同様の回路にトランスファゲート 1 1 1 が接続され、R D 信号が H i g h レベルの場合にだけ、ラッチ回路 1 0 6 に保持されている信号が出力されるようになっている。

## 【 0 0 3 2 】

半導体記憶装置には、図 4 に示すように、上記ビットセル 1 1 0 ( C E L L a ) を 3 × n 個有するデータビットセル群 3 0 1 a ~ 3 0 1 c が設けられている。これらに対して書き込みおよび読み出しが有効なものを指定するセル群指定回路 2 0 2 は、前記実施形態 1

10

20

30

40

50

と同じものである。

【 0 0 3 3 】

デコード回路 3 0 3 は、実施形態 1 のデコード回路 2 0 3 と同様の構成を有しているが、反転信号は出力されない点異なる。

【 0 0 3 4 】

上記デコード回路 3 0 3 からの出力に応じたデータビットセル群 3 0 1 a ~ 3 0 1 c の書き込みや読み出し、およびセル群指定回路 2 0 2 の書き込みの制御は、AND 回路 3 2 1 ~ 3 2 3 から出力される WT 信号および RD 信号によって行われるようになっている。

【 0 0 3 5 】

また、データビットセル群 3 0 1 a ~ 3 0 1 c のうちの何れかのビットセル 1 1 0 から出力される OUT 信号は、ラッチ回路 3 3 1 によって保持されるようになっている。

10

【 0 0 3 6 】

上記のように構成された半導体記憶装置では、セル群指定回路 2 0 2 の初期化時の動作、および各ビットセル 1 0 0 ・ 1 1 0 にデータが書き込まれるときの動作は、実施形態 1 の半導体記憶装置とほぼ同様である。すなわち、セル群指定回路 2 0 2 の各ビットセル 1 0 0 は、RD 信号として入力される RST 信号が High になると初期化されて記憶データを出力し、これに基づいて、デコード回路 3 0 3 から出力される何れかの選択信号が High になる。そこで、書き込み制御信号 WTC が High になるとともに、書き込みデータ信号 D 0 ~ D n - 1 または書き込み完了信号 A が High になると、AND 回路 3 2 1 ・ 3 2 2 からデータビットセル群 3 0 1 a ~ 3 0 1 c またはセル群指定回路 2 0 2 のビットセル 1 1 0 ・ 1 0 0 に入力される WT 信号が High になる。そこで、上記ビットセル 1 1 0 ・ 1 0 0 の FUSE 素子 1 0 1 が切断されることによって、データの書き込みが行われる。

20

【 0 0 3 7 】

一方、記憶データの読み出しのための初期化動作が行われるときには、RDC 信号が High にされると、デコード回路 3 0 3 から出力される選択信号のうち High になる選択信号が入力される AND 回路 3 2 3 から出力される RD 信号が High になる。すなわち、データビットセル群 3 0 1 a ~ 3 0 1 c のうちの何れかに含まれるビットセル 1 1 0 だけに入力される RD 信号が High になる。そこで、そのビットセル 1 1 0 における FUSE 素子 1 0 1 の切断の有無に応じた OUT 信号が出力され、図示しないラッチ信号に応じてラッチ回路 3 3 1 にラッチされることにより、読み出しデータ信号 R 0 ~ R n - 1 として半導体記憶装置から出力される。

30

【 0 0 3 8 】

上記のように、記憶データ読み出しのための初期化動作時に、全てのビットセル 1 1 0 に入力される RD 信号が High にされるのではなく、デコード回路 3 0 3 による選択に応じたデータビットセル群 2 0 1 a ~ 2 0 1 c の何れかのビットセル 1 1 0 に入力される RD 信号だけが High にされることによって、初期化動作時に流れる電流を小さく抑えることができる。

【 0 0 3 9 】

《 参考例 1 》

40

図 5 は、参考例 1 の半導体記憶装置の構成を示す回路図である。この半導体記憶装置は、各ビットごとに、3 つのビットセル 1 1 0 のうちで何本の FUSE 素子 1 0 1 が切断されているかによって、データが記憶されるようになっている。

【 0 0 4 0 】

具体的には、この半導体記憶装置には、実施形態 2 の半導体記憶装置と同じく 3 × n 個のビットセル 1 1 0 が設けられ、図 5 で上下方向に並べて示す 3 個ずつのビットセル 1 1 0 から出力される OUT 信号が T フリップフロップ 4 3 1 に入力されるようになっている。上記各ビットセル 1 1 0 には、RD 信号として、クロック発生回路 4 2 1 から出力されるクロック信号 CLK a ~ CLK c が入力される一方、T フリップフロップ 4 3 1 には、上記クロック信号 CLK a ~ CLK c が合成されたクロック信号 CLK ALL が入力され

50

るようになっている。

【0041】

上記クロック発生回路421は、詳しくは、例えば図6に示すように、遅延回路421a、NOT回路421b、AND回路421c、遅延回路421d・421e、およびOR回路421fを備えて構成され、図7に示すように、所定の期間HighになるRDC信号に基づいて、1ショットパルスの生成、遅延、およびこれらの合成によって、各クロック信号を出力するようになっている。

【0042】

また、各ビットセル110のWT信号としては、AND回路411の出力が用いられている。上記AND回路411には、WTC信号と書き込みデータ信号D0～Dn-1との論理積、および選択信号S0～S2が入力されるようになっている。

10

【0043】

上記のように構成された半導体記憶装置の動作について、まず、読み出し動作を説明する。遅延回路421aに入力されるRDC信号がHighになると、クロック信号CLKa～CLKcが順次Highになり、データビットセル群301a～301cに含まれるビットセル110が順に出力状態となる。すなわち、各ビットセル110からは、FUSE素子101が切断されている場合に、HighのOUT信号が出力される。Tフリップフロップ431は、クロック信号CLKALLが立ち上がる際に上記OUT信号がHighであるごとに、反転された信号を出力する。そこで、各3個のビットセル110のうちのFUSE素子101が切断されている数に応じたレベルの読み出しデータ信号R0～Rn-1が出力される。

20

【0044】

一方、この半導体記憶装置への書き込みは、出力される信号のレベルを反転させようとするビットの書き込みデータ信号D0～Dn-1、およびWTC信号をHighにするとともに、各ビット用の3つのビットセル110のうち、未だFUSE素子101が切断されていないビットセル110に対応する選択信号S0～S2をHighにして、AND回路411から出力されるWT信号をHighにすることによって行われる。すなわち、前記のように、読み出しデータ信号R0～Rn-1のレベルは各3個のビットセル110のうちの何本のFUSE素子101が切断されているかによって定まり、何れのFUSE素子101が切断されているかには直接関わらないので、各ビットごとに3回まで、出力される信号が反転されるように書き換えることができる。

30

【0045】

上記のように、各ビットごとに切断したFUSE素子101の数によってデータを記憶させることにより、書き換え回数がより柔軟になる。また、各ビットごとの書き換え回数に応じた数のビットセル110と、その数だけの相数のクロック信号が生成されるようなクロック発生回路とを設ければよいので、回路規模、および半導体基板の面積を小さく抑えることが容易にできる。

【0046】

《参考例2》

上記参考例1の半導体記憶装置のように、切断したFUSE素子の数によってデータを記憶させる場合、書き込みの前後で出力信号が反転するビットについてのFUSE素子が切断されればよい。そこで、書き込み前に出力される信号レベルと、書き込み後に出力されるべき信号レベルとを比較して、両者が相違する場合にだけWT信号がHighになるようにすれば、書き込み後に出力されるべき信号レベルを指定するだけで（書き込み前の状態をユーザが考慮することなく）、適切な書き込みを行わせることができる。また、出力信号を反転させる場合には、未切断のFUSEのうちの何れかが切断されればよいので、各ビットセルのFUSE切断の有無に応じて、自動的に、次に切断するビットセルに入力されるWT信号がHighになるようにすることにより、選択信号S0～S2を入力することなく、すなわち、何れのビットセルのFUSEを切断するかをユーザが意識することなく、書き込みを行えるようにすることができる。

40

50

## 【 0 0 4 7 】

具体的には、本参考例 2の半導体記憶装置で記憶データの保持に用いられるビットセル 1 2 0 は、図 8に示すように、実施形態 2 (図 3)のビットセル 1 1 0 におけるラッチ回路 1 0 6 の出力が (トランスファゲート 1 1 1 を介さずに) L O U T 信号として出力されるようにしたものである。

## 【 0 0 4 8 】

上記ビットセル 1 2 0 ( C E L L b ) が用いられる半導体記憶装置は、図 9に示すように、各ビットごとに、AND 回路 2 2 4 の出力と T フリップフロップ 4 3 1 の出力とが X O R 回路 5 1 3 に入力され、両者が相違する場合に H i g h になる信号が生成されるようになっている。

10

## 【 0 0 4 9 】

また、上記 X O R 回路 5 1 3 の出力と、各ビットセル 1 2 0 の L O U T 信号が N O T 回路 5 1 2 で反転された信号と、前段の (図 9で各 1 つ下側に示す) ビットセル 1 2 0 の L O U T 信号とが、AND 回路 5 1 1 に入力されて、W T 信号が生成されるようになっている。

## 【 0 0 5 0 】

上記のように構成されることによって、各ビットごとに、現時点の読み出しデータと書き込みデータとが異なる場合に、F U S E 素子 1 0 1 の切断が行われる。また、各ビット用のビットセル 1 2 0 のうち、切断が行われるビットセル 1 2 0 としては、F U S E 素子 1 0 1 が未切断のビットセル 1 2 0 であって、前段のビットセル 1 2 0 の F U S E 素子 1 0 1 が既に切断されているものが選択される。したがって、書き込むべきデータが入力されるだけで、自動的に適切なビットセル 1 2 0 の F U S E 素子 1 0 1 が切断されて、追加書き込みが完了する。

20

## 【 0 0 5 1 】

上記のようにしてデータが書き込まれた場合の各ビットセル 1 2 0 の状態は、前記参考例 1の半導体記憶装置の場合と同様であり、読み出し動作は、やはり同様に R D C 信号が H i g h になることによって行われる。

## 【 0 0 5 2 】

## 《 発明の実施形態 3 》

前記各実施形態および前記各参考例では、n ビットのデータが記憶、読み出しされる半導体記憶装置の例を示したが、同様のデータビットセル群を複数組設け、アドレス信号に応じて複数ワードのデータが選択的に記憶、読み出しされるようにしてもよい。

30

## 【 0 0 5 3 】

具体的には例えば図 1 0に示すように、実施形態 3の半導体記憶装置のメモリセルアレイ 1 0 1 0 には、3 回書き込み可能なデータビットセル群 1 0 1 1 が n 個 ( n ビット ) × m 組設けられている。各データビットセル群 1 0 1 1 は、それぞれ 3 つずつの F U S E 素子 1 0 0 1、AND 回路 1 0 0 2、読み出しトランジスタ 1 0 0 3 ・ 1 0 0 4、および書き込みトランジスタ 1 0 0 5 を備えて構成されている。

## 【 0 0 5 4 】

上記 n 個 × m 組のデータビットセル群 1 0 1 1 のうちの何れの組のデータビットセル群 1 0 1 1 が選択されるかは、デコード回路 1 0 2 1 によるアドレス信号 A X 0 - r のデコード結果に基づいて行われるようになっている。また、各データビットセル群 1 0 1 1 内で何れのビットセルが用いられるかの選択は、実施形態 1、2と同様に、セル群指定回路 1 0 3 1 およびデコード回路 1 0 3 2 によって生成される選択信号により行われるようになっている。すなわち、上記デコード回路 1 0 3 2 から出力される選択信号とデコード回路 1 0 2 1 から出力されるデコード信号とが AND 回路 1 0 3 3 ・ 1 0 3 4 に入力されて、書き込み信号 W W L 0 , 0 または読み出し信号 R W L 0 , 0 等が生成されるようになっている。ここで、同図の例では、セル群指定回路 1 0 3 1 内のビットセルの W T 信号としては、外部から入力される書き込み信号 T 0 ~ T 2 が用いられる例を示しているが、これに限らず、実施形態 1、2と同様にデコード回路 1 0 3 2 のデコード結果に応じて自動的

40

50



に選択されるようにしてもよい。

【 0 0 5 5 】

記憶データの読み出し時に、上記読み出し信号  $RWL0$  , 0 等により選択されたビットセルから、読み出しトランジスタ  $1003$  を介してビット線に出力された電圧は、例えば  $Y$  信号線により駆動される（活性・非活性が決められる）センスアンプ列  $1022$  によって所定の電位に増幅され、コラム  $IO$  回路  $1023$  を介してデコードやバッファリングされて、読み出しデータ信号  $R0 \sim Rn-1$  として出力されるようになっている。

【 0 0 5 6 】

また、データの書き込み時に上記書き込み信号  $WWL0$  , 0 等により選択されたビットセルの  $FUSE$  素子  $1001$  は、コラム  $IO$  回路  $1023$  を介して入力された書き込みデータ信号  $D0 \sim Dn-1$  に基づき書き込みトランジスタ  $1005$  を介して流れる電流により切断されるようになっている。

10

【 0 0 5 7 】

上記のように、ビットセルをアレイ化することによって、実施形態 1、2 と同様にデータを 3 回書き込むことができるとともに、アドレス信号に応じて、 $m$  組の  $n$  ビットデータのうちの何れかを選択的に読み出すことができる。

【 0 0 5 8 】

なお、前記各実施形態および前記各参考例や下記の変形例で説明する構成要素は、論理的に可能な範囲で種々組み合わせてもよい。具体的には、例えば参考例 1 , 2 で説明したような  $FUSE$  素子  $101$  の切断本数に応じたデータを出力するビットセル  $120$  をアレイ化して、実施形態 5 のようにアドレス信号に応じてデータを読み出せるようにしてもよい。

20

【 0 0 5 9 】

また、実施形態 1 において、実施形態 2 と同様に、データビットセル群  $201a \sim 201c$  のうち選択信号  $211 \sim 214$  に応じたものだけに、初期化のための  $RDC$  信号が入力されるようにしてもよい。

【 0 0 6 0 】

また、実施形態 1、2 においては、ビットセル  $100 \cdot 110$  に入力される  $WT$  信号を生成する素子として、実施形態 1 ではトランスファゲート  $221$  等が用いられ、実施形態 2 では  $AND$  回路  $321$  等が用いられる例を示したが、実施形態 1 に  $AND$  回路が用いられるようにしたり、実施形態 2 にトランスファゲートが用いられるようにしたりしてもよい。

30

【 0 0 6 1 】

また、セル群指定回路  $202$  内の  $FUSE$  素子  $101$  は、書き込み完了信号  $A$  を  $High$  にしたときに切断されるようにした例を示したが、書き込み完了信号  $A$  を  $High$  に固定して、または  $WTC$  信号（もしくは書き込み完了信号  $A$ ）がトランスファゲート  $222$  に直接入力されるようにして、 $WTC$  信号等を  $High$  にするだけで切断できるようにしてもよい。また、書き込みデータ信号  $D0 \sim Dn-1$  についても、直接トランスファゲート  $221$  等に入力されるようにして、これらの書き込みデータ信号  $D0 \sim Dn-1$  が  $High$  にされるだけで書き込みが行われるようにしてもよい。

40

【 0 0 6 2 】

また、読み出しデータ信号  $R0 \sim Rn-1$  と書き込みデータ信号  $D0 \sim Dn-1$  とが別個に設けられる例を示したが、これに限らず、 $WTC$  信号などに応じて、書き込みデータ信号線または読み出しデータ信号線に切り換わる兼用のデータ線を用いるなどしてもよい。

【 0 0 6 3 】

また、上記のようにデータビットセル群  $201a \sim 201c$  のうち、データが書き込まれるものと読み出されるものとが異なるように構成する場合には、一旦、読み出される状態にすれば、不用意に記憶内容が書き換わることは確実に防止されるが、これに限らず、同じデータビットセル群に対して書き込みおよび読み出しがなされるようにしてもよい。

50

その場合には、切断される F U S E 素子 1 0 1 を増加させるような書き換えの場合には、新たなデータビットセル群 2 0 1 a ~ 2 0 1 c に切り換えることなく（書き換え可能な回数に関係なく）書き換えることができる。また、上記の例のように書き換え回数が 3 回であれば、セル群指定回路 2 0 2 には 2 つのビットセル 1 0 0 を設けるだけでもよい。さらに、必ずしも読み出しと書き込みとで同じセル群指定回路 2 0 2 が用いられなくてもよい。

【 0 0 6 4 】

また、デコード回路 2 0 3 の構成は図 2 等に示すものに限るものではない。特に、セル群指定回路 2 0 2 の各ビットセル 1 0 0 から出力される信号は、F U S E 素子 1 0 1 の切断に伴って 1 回反転するだけで、デコード回路 2 0 3 に入力される信号のパターンは 4 通りしかないので、実際には、より簡略化することもできる。

10

【 0 0 6 5 】

また、実施形態 2 のように各ビットセル 1 1 0 の出力に接続されるラッチ回路 3 3 1 が設けられる場合には、ビットセル 1 1 0 内にラッチ回路 1 0 6 を設けずに、インバータやバッファなどを設けるだけでもよい。

【 0 0 6 6 】

また、参考例 1では、ビットセル 1 1 0 が用いられ、それらの出力が互いに接続されて T フリップフロップ 4 3 1 に（データとして）入力される例を示したが、例えばビットセル 1 0 0 を用い、これらの出力が O R 回路で合成されて入力されるようにしてもよい。また、F U S E 素子 1 0 1 が切断されているビットセル 1 0 0 等の数をカウントするためには、上記のような合成された信号が T フリップフロップ 4 3 1 のクロック信号として入力されるようにしたりしてもよい。

20

【 0 0 6 7 】

また、クロック発生回路 4 2 1 は図 6 に示すようなものに限らず、例えば R D C 信号に代えて、A N D 回路 4 2 1 c から出力されるのと同じようなワンショットパルスが入力されるようにしたり、また、シフトレジスタを用いるなどしてもよく、さらに、クロック発生回路を設けずに、C L K a ~ C L K c 等がそれぞれ入力されるようにしてもよい。

【 0 0 6 8 】

また、参考例 2では、X O R 回路 5 1 3 による F U S E 素子 1 0 1 切断要否の判定、および A N D 回路 5 1 1 による切断されるビットセル 1 2 0 の選択がともに行われる例を示したが、何れか一方が、参考例 1と同じように外部から与えられる信号によって決定されるようにしてもよい。

30

【 0 0 6 9 】

また、実施形態 3 では、n 個 x m 組のデータビットセル群 1 0 1 1 を設けて、n ビットのデータが出力される例を示したが、n ビットより小さく分割されたビット数のデータが、例えばアドレス信号 A X 0 - r の他に入力されるアドレス信号 A Y 0 - p によって選択されるようにしたりしてもよい。

【 0 0 7 0 】

また、例えば実施形態 1 のセル群指定回路 2 0 2 等に含まれるビットセル 1 0 0 の出力が半導体記憶装置の外部から参照できるようにして、書き込みが何回行われたかなどを容易に判別できるようにしてもよい。

40

【 0 0 7 1 】

また、米国特許 5 9 6 6 3 3 9 号明細書に記載されているように、F U S E 素子の切断数に応じたデータを出力させるために複数のビットセル等の出力が X O R 回路に入力されるようにするのに代えて、一方の入力信号が反転される A N D 回路に入力されるようにするなどしてもよい。すなわち、例えば 2 つのビットセルにおける F U S E 素子の切断される順序が決まっていれば、一方だけが切断された状態と他方だけが切断された状態とを両方とも考慮する必要はないので、X O R 回路よりも論理を簡素化することができる。

【産業上の利用可能性】

【 0 0 7 2 】

50

本発明にかかる半導体記憶装置は、いわゆるOTPセルを有する半導体記憶装置において、回路規模の大幅な増加を招くことなく、複数回の書換を実施することができ、全ビット書換、個別ビット追記、アレイ型の書換を行うことができる効果を有し、FUSE素子を用いて1回だけ記憶情報の書き換えが可能なOTP素子等と称される記憶素子を用いた不揮発メモリ等として有用である。

【図面の簡単な説明】

【0073】

【図1】実施形態1の半導体記憶装置等に用いられるビットセル100の構成を示す回路図である。

【図2】実施形態1の半導体記憶装置の構成を示す回路図である。

10

【図3】実施形態2の半導体記憶装置に用いられるビットセル110の構成を示す回路図である。

【図4】実施形態2の半導体記憶装置の構成を示す回路図である。

【図5】参考例1の半導体記憶装置の構成を示す回路図である。

【図6】参考例1の半導体記憶装置のクロック発生回路421の構成を示す回路図である。

【図7】参考例1の半導体記憶装置のクロック発生回路421の動作を示すタイミングチャートである。

【図8】参考例2の半導体記憶装置に用いられるビットセル120の構成を示す回路図である。

20

【図9】参考例2の半導体記憶装置の構成を示す回路図である。

【図10】実施形態3の半導体記憶装置の構成を示す回路図である。

【符号の説明】

【0074】

S0 ~ S2	選択信号
T0 ~ T2	書き込み信号
100	ビットセル
101	FUSE素子
102	書き込みトランジスタ
103	読み出しトランジスタ
104	NOT回路
105	トランスファゲート回路
106	ラッチ回路
110	ビットセル
111	トランスファゲート
120	ビットセル
201a ~ 201c	データビットセル群
202	セル群指定回路
203	デコード回路
204	セレクト回路
211 ~ 214	選択信号
221 ~ 223	トランスファゲート
224	AND回路
301a ~ 301c	データビットセル群
303	デコード回路
321 ~ 323	AND回路
331	ラッチ回路
411	AND回路
421	クロック発生回路
421a	遅延回路

30

40

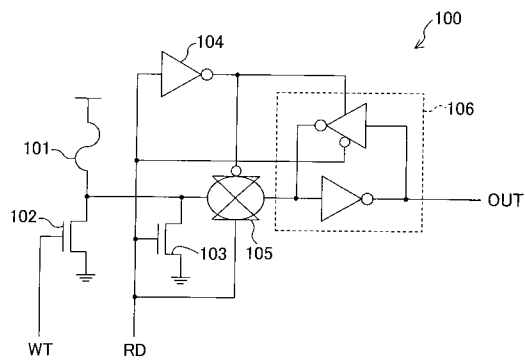
50

4 2 1 b	NOT 回路
4 2 1 c	AND 回路
4 2 1 d ・ 4 2 1 e	遅延 回路
4 2 1 f	OR 回路
4 3 1	T フリップフロップ
5 1 1	AND 回路
5 1 2	NOT 回路
5 1 3	XOR 回路
1 0 0 1	FUSE 素子
1 0 0 2	AND 回路
1 0 0 3 ・ 1 0 0 4	読み出しトランジスタ
1 0 0 5	書き込みトランジスタ
1 0 1 0	メモリセルアレイ
1 0 1 1	データビットセル群
1 0 2 1	デコード回路
1 0 2 2	センスアンプ列
1 0 2 3	コラム I O 回路
1 0 3 1	セル群指定回路
1 0 3 2	デコード回路
1 0 3 3 ・ 1 0 3 4	AND 回路
1 0 3 3 ・ 1 0 3 4	AND 回路

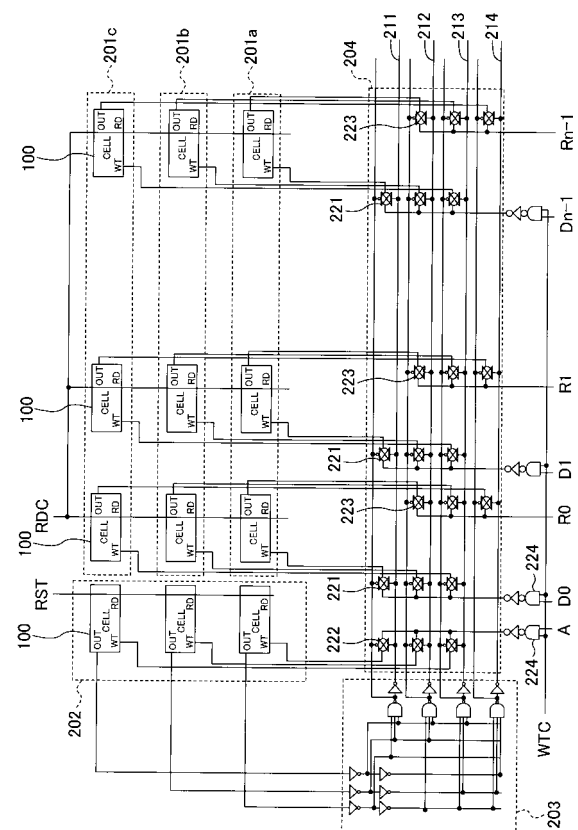
10

20

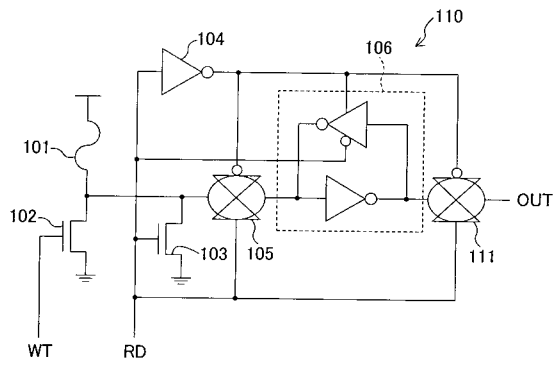
【図 1】



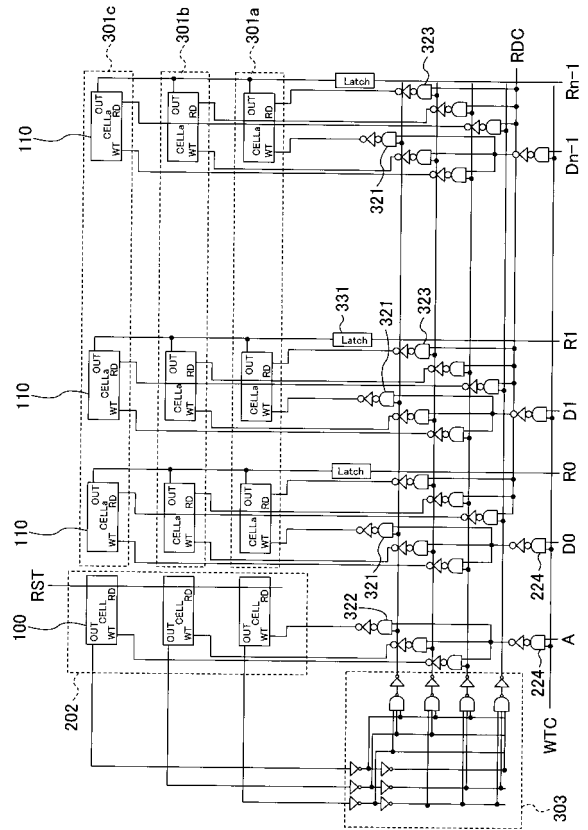
【図 2】



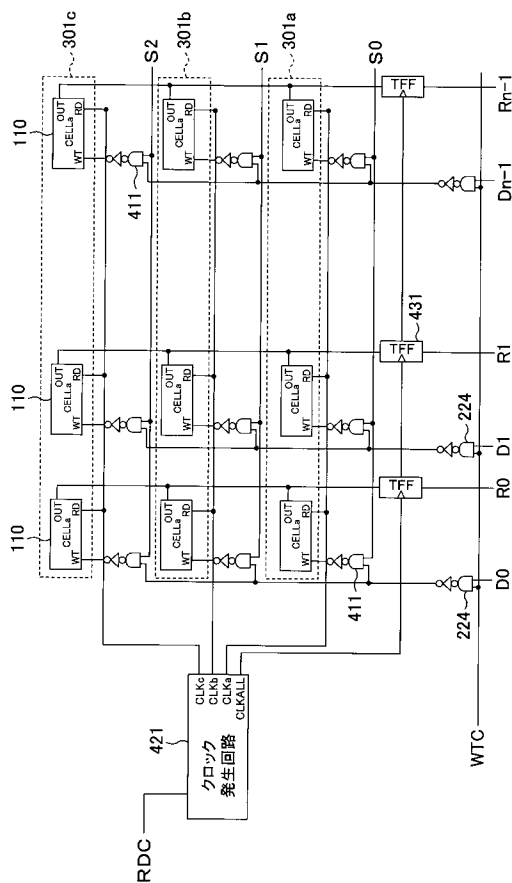
【図 3】



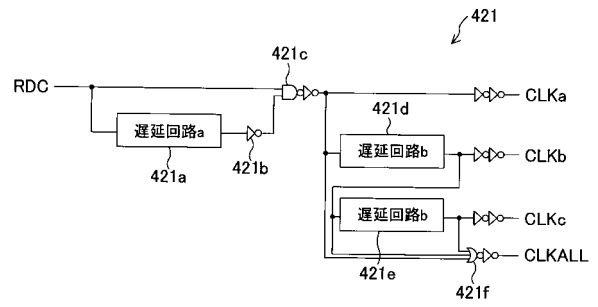
【図 4】



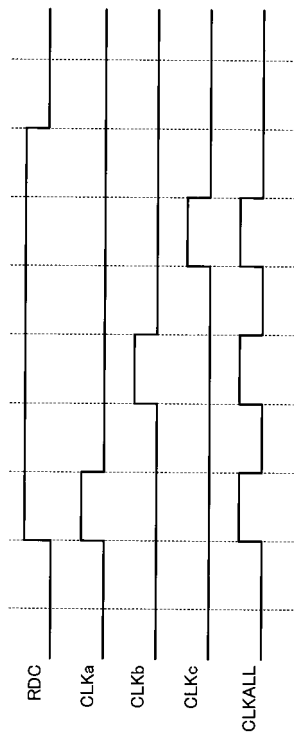
【図 5】



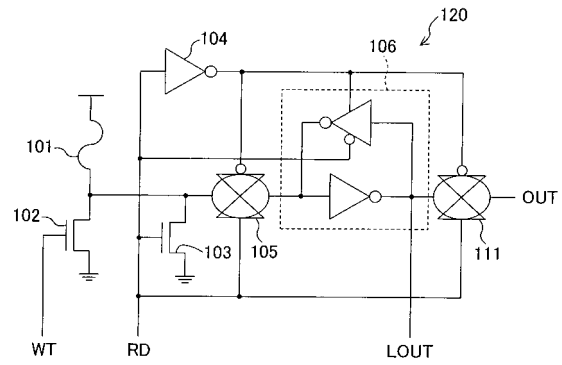
【図 6】



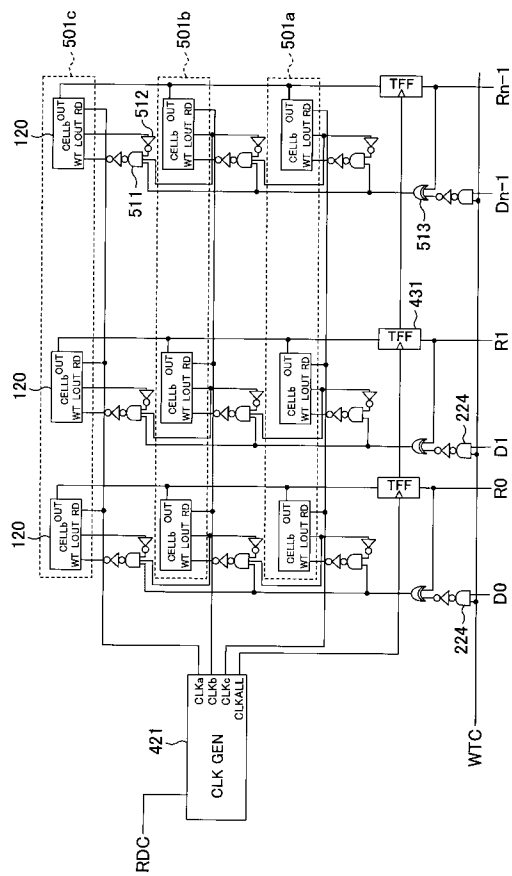
【図 7】



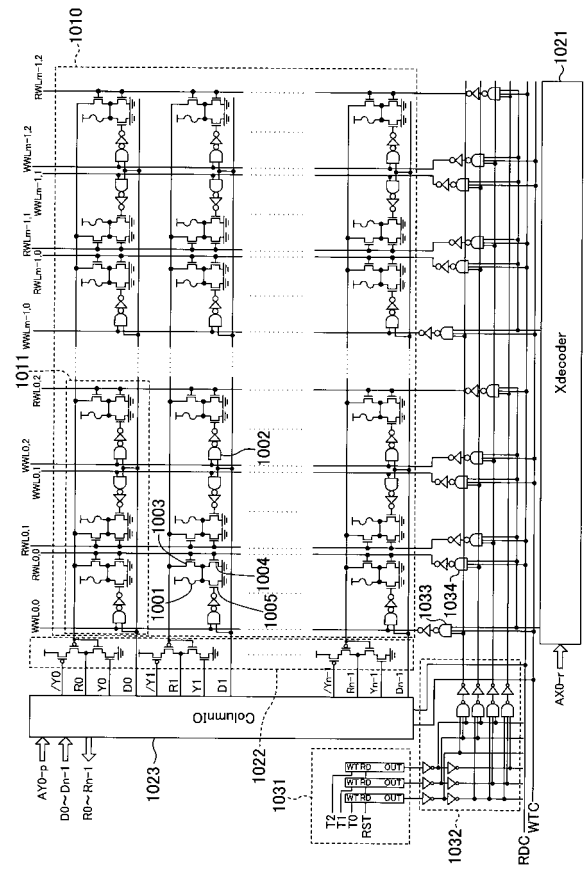
【図 8】



【図 9】



【図 10】



---

フロントページの続き

- (74)代理人 100115691  
弁理士 藤田 篤史
- (74)代理人 100117581  
弁理士 二宮 克也
- (74)代理人 100117710  
弁理士 原田 智雄
- (74)代理人 100121728  
弁理士 井関 勝守
- (72)発明者 白濱 政則  
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 西原 竜二  
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 川崎 利昭  
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 縣 政志  
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

審査官 外山 毅

- (56)参考文献 特開昭 6 3 - 1 8 7 4 9 8 ( J P , A )  
特開 2 0 0 6 - 1 2 0 2 4 4 ( J P , A )  
米国特許第 0 5 9 6 6 3 3 9 ( U S , A )  
特開平 0 3 - 2 1 4 4 9 8 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)
- |         |                       |
|---------|-----------------------|
| G 1 1 C | 1 7 / 0 0             |
| G 1 1 C | 1 7 / 1 4             |
| G 1 1 C | 1 6 / 0 0 - 1 6 / 3 4 |