

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 12 月 29 日 (29.12.2004)

PCT

(10) 国際公開番号
WO 2004/114523 A1

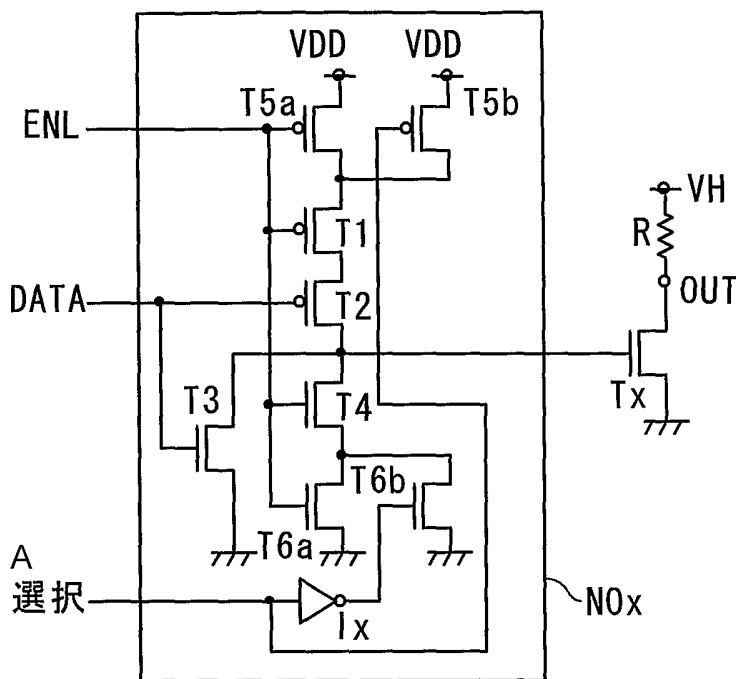
- (51) 国際特許分類: H03K 19/00
- (21) 国際出願番号: PCT/JP2004/009059
- (22) 国際出願日: 2004 年 6 月 21 日 (21.06.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-177412 2003 年 6 月 23 日 (23.06.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒615-0045 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 西川 英敏 (NISHIKAWA, Hidetoshi) [JP/JP]; 〒615-0045 京都府

- 京都市 右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒540-0032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



A...SELECTION

(57) Abstract: When the operation frequency is high, in order to cause the rate of change of outputs from an output terminal (OUT) to be abrupt, a selection control signal is caused to be in a low state, thereby causing MOS transistors (T5b, T6b) to be in ON states, thereby causing the combined resistance of the ON-resistances of the MOS transistors in a NOR gate (NOx) to be small. On the other hand, when the operation frequency is low, in order to cause the rate of change of outputs from the output terminal (OUT) to be gentle, the selection control signal is caused to be in a high state, thereby causing the MOS transistors (T5b, T6b) to be in OFF states, thereby causing the combined resistance of the ON-resistances of the MOS transistors in the NOR gate (NOx) to be large.

(57) 要約: 動作周波数が高いときは、出力端子OUTからの出力の変化率を急峻なものとするため、選択制御信号をローとしてMOSトランジスタT5b,T6bをON

として、NORゲートNOx内のMOSトランジスタのON抵抗による合成抵抗を小さくする。又、動作周波数が低いときは、出力端子OUTからの出力の変化率を緩やかなものとするため、選択制御信号をハイとしてMOSトランジスタT5b,T6bをOFFとして、NORゲートNOx内のMOSトランジスタのON抵抗による合成抵抗を大きくする。



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

- 1 -

明細書

半導体集積回路装置

技術分野

本発明は、出力バッファ回路を構成する半導体集積回路装置に関するもので、特に、動作クロックの周波数に応じて切り換えることのできる出力バッファ回路を構成する半導体集積回路装置に関する。

背景技術

従来より使用されている出力バッファ回路は、例えば、第9図のように、データ信号（図中のDATA）及びイネーブル信号（図中のENL）が入力されるNORゲートNOと、NORゲートNOの出力がゲートに接続されるとともにソースが接地されたNチャネルのMOSトランジスタ T_x とを備え、MOSトランジスタ T_x のドレインに出力端子OUTが設けられる。このような出力バッファ回路がサーマルプリントヘッドで用いられたとき、第9図のように、出力端子OUTに一端が接続されるとともに他端に電圧VHが印加されたヒータ用の抵抗Rが設置される。

このような出力バッファ回路におけるNORゲートNOは、第10図のように構成される。即ち、ソースに電源電圧VDDが印加されるとともにイネーブル信号がゲートに入力されるPチャネルのMOSトランジスタ T_1 と、ソースがMOSトランジスタ T_1 のドレインが接続されるとともにデータ信号がゲートに入力されるPチャネルのMOSトランジスタ T_2 と、ソースが接地されるとともにデータ信号がゲートに入力されるMOSトランジスタ T_3 と、ソースが接地されるとともにイネーブル信号がゲートに入力されるMOSトランジスタ T_4 と、を備える。又、MOSトランジスタ T_3 、 T_4 のドレインがMOSトランジスタ T_2 のドレインと接続され、このMOSトランジスタ $T_2 \sim T_4$ のドレインによる接続ノードが出力となり、MOSトランジスタ T_x のゲートに接続される。

このような出力バッファ回路においては、ドライバとして働くMOSトランジスタ T_x のゲートのゲート容量と、MOSトランジスタ T_1 、 T_2 、 T_4 のON

- 2 -

抵抗によって、出力端子OUTに現れる電圧変化に勾配が生じる。即ち、この出力端子OUTに現れる電圧の変化率は、MOSトランジスタT1, T2のON抵抗による合成抵抗とMOSトランジスタT4のON抵抗とを小さくすると急峻なものとなり、又、MOSトランジスタT1, T2のON抵抗による合成抵抗とMOSトランジスタT4のON抵抗とを大きくすると緩やかなものとなる。このように、NORゲートNO内のMOSトランジスタT1, T2, T4のON抵抗の大きさを変化させることによって、出力端子OUTに現れる電圧変化の勾配を調整することができ、データ信号やイネーブル信号に対する動作周波数の高低に応じた出力バッファ回路を構成することができる。

又、従来技術として、ON抵抗の異なる並列に接続されたトランジスタを異なるタイミングでONとして、出力を帰還させることで、まず、出力を緩やかに変化させた後に、次に、出力を急激に変化させるとともに、この出力の変化率を切り換えるタイミングを、帰還された出力が入力されるインバータ回路内の閾値を変化させることで調整する出力バッファ回路が提案されている（特開2001-292056号公報参照）。この出力バッファ回路では、入力端子VINより入力される信号を遅延させるバッファと、出力端子VOUTより出力される信号を帰還させるインバータとを備え、このバッファ及びインバータの出力が入力されるNANDゲートの出力に応じてON抵抗の小さいMOSトランジスタをON/OFF制御する。

よって、この出力バッファ回路からの出力が変化するとき、まず、急激に変化を行った後に、バッファで遅延された信号が与えられて、ON抵抗の小さいMOSトランジスタがOFFとなるため、出力の変化が緩やかになる。その後、インバータにおける閾値を出力端子VOUTからの出力が超えることでインバータからの出力が変化するため、ON抵抗の小さいMOSトランジスタがONとなり、出力の変化が急峻になる。即ち、インバータにおける閾値を調整することによって、出力を急激に変化させる時間を調整することができるため、動作周波数に応じた出力バッファ回路を構成することができる。

しかしながら、第9図のような構成の出力バッファ回路及び特許文献1に記載の出力バッファ回路では、NORゲートNO内のMOSトランジスタT1, T4

のON抵抗やインバータにおける閾値を、その出力バッファ回路を使用する動作周波数に応じて変更する必要がある。即ち、所定の動作周波数に対する出力バッファ回路として構成されるため、汎用性のある出力バッファではない。それに対して、従来では、第11図のように、第10図のように構成されるとともに内部のMOSトランジスタT1、T4のON抵抗が異なるNORゲートNO1、NO2を用いることで、使用できる動作周波数の範囲を拡げている。

即ち、第11図の出力バッファ回路は、MOSトランジスタT1、T4のON抵抗が大きいNORゲートNO1からの出力を選択するトランジスタスイッチS1と、MOSトランジスタT1、T4のON抵抗が小さいNORゲートNO2からの出力を選択するトランジスタスイッチS2とを備える。そして、NORゲートNO1、NO2のいずれの出力を選択するか設定するための選択制御信号がトランジスタスイッチS1、S2のゲートに与えられ、このトランジスタスイッチS1、S2を介して、NORゲートNO1、NO2のいずれかの出力がMOSトランジスタTxのゲートに入力される。又、トランジスタスイッチS1、S2は、第12図のように、並列に接続されたNチャネルのMOSトランジスタTnとPチャネルのMOSトランジスタTpによって構成される。

そして、選択制御信号がトランジスタスイッチS1のNチャネルのMOSトランジスタTnのゲート及びトランジスタスイッチS2のPチャネルのMOSトランジスタTpのゲートに入力される。又、選択制御信号がインバータIxによって反転されて、トランジスタスイッチS1のPチャネルのMOSトランジスタTpのゲート及びトランジスタスイッチS2のNチャネルのMOSトランジスタTnのゲートに入力される。

よって、動作周波数が低いときは、選択制御信号をハイとしてトランジスタスイッチS1をONとし、NORゲートNO1からの出力をMOSトランジスタTxのゲートに与える。又、動作周波数が高いときは、選択制御信号をローとしてトランジスタスイッチS2をONとし、NORゲートNO2からの出力をMOSトランジスタTxのゲートに与える。このように、第11図のように構成すると、選択制御信号を切り換えることで、容易に動作周波数に応じた出力変化を行う出力バッファ回路を構成することができる。

- 4 -

しかしながら、出力バッファ回路を第11図のように構成したとき、NORゲートNO1、NO2及びトランジスタスイッチS1、S2を備えるため、第9図や特許文献1のような出力バッファ回路に比べて、その回路規模が大きくなる。そのため、このような出力バッファ回路を備える半導体集積回路装置の小型化の妨げとなり、更に、この半導体集積回路装置を備えるサーマルプリンタヘッドなどにおいては、印字ビット数に応じて出力バッファ回路が設けられ、その印字ビット数を乗じた分だけ更に装置規模が大きくなる。

発明の開示

本発明は、動作周波数に応じて容易に出力の変化率を切り換えることができるとともに回路サイズの小型化を図った出力バッファ回路を備えた半導体集積回路装置を提供することを目的とする。

上記目的を達成するために、本発明の半導体集積回路装置は、データが入力される論理ゲート素子と、該論理ゲート素子からの出力が制御電極に入力されて該論理ゲート素子からの出力に応じて駆動する駆動用トランジスタと、から構成される出力バッファ回路を備えた半導体集積回路装置において、前記論理ゲート素子は、前記論理ゲート素子を構成するトランジスタのON抵抗による合成抵抗の大きさを変化させる選択制御信号が入力されるとともに、該選択制御信号によってON/OFFが切り換えられる抵抗値切換用トランジスタを備え、前記選択制御信号により前記抵抗値切換用トランジスタのON/OFFを切り換えることで、前記駆動出力用トランジスタによる出力の変化率を切り換えることを特徴とする。

又、本発明の半導体集積回路装置は、データが入力される論理ゲート素子と、該論理ゲート素子からの出力が制御電極に入力されて該論理ゲート素子からの出力に応じて駆動する駆動用トランジスタと、から構成される出力バッファ回路を備えた半導体集積回路装置において、ON抵抗が異なるとともに、前記論理ゲート素子の出力と前記駆動用トランジスタの制御電極との間に並列に接続された複数のトランジスタスイッチとを、前記出力バッファ回路内に備え、前記複数の第2トランジスタスイッチのうちのいずれかをONとして、前記駆動出力用トラン

ジスタによる出力の変化率を切り換えることを特徴とする。

図面の簡単な説明

第 1 図は、第 1 の実施形態における出力バッファ回路の構成を示す回路図であり、

第 2 図は、第 1 図の出力バッファ回路の等価回路を示す回路図であり、

第 3 図は、第 1 図の出力バッファ回路を備えた半導体集積回路装置の構成を示すブロック回路図であり、

第 4 図は、第 1 の実施形態における別の出力バッファ回路の構成を示す回路図であり、

第 5 図は、第 2 の実施形態における出力バッファ回路の構成を示す回路図であり、

第 6 図は、第 5 図の出力バッファ回路の等価回路を示す回路図であり、

第 7 図は、第 5 図の出力バッファ回路を備えた半導体集積回路装置の構成を示すブロック回路図であり、

第 8 図は、本発明の半導体集積回路装置内の出力バッファ回路の別の構成を示すブロック回路図であり、

第 9 図は、従来の出力バッファ回路の構成を示す回路図であり、

第 10 図は、第 9 図の出力バッファ回路内の NOR ゲートの構成を示す回路図であり、

第 11 図は、従来の出力バッファ回路の構成を示す回路図であり、

第 12 図は、第 11 図の出力バッファ回路内のトランジスタスイッチの構成を示す回路図である。

発明を実施するための最良の形態

< 第 1 の実施形態 >

本発明の第 1 の実施形態について、図面を参照して説明する。第 1 図は、本実施形態における出力バッファ回路の構成を示す回路図である。第 2 図は、第 1 図の出力バッファ回路の等価回路を示す回路図である。

- 6 -

第1図の出力バッファ回路は、ゲートにイネーブル信号（図中のENL）が入力されるPチャネルのMOSトランジスタT1、T5a及びNチャネルのMOSトランジスタT4、T6aと、ゲートにデータ信号（図中のDATA）が入力されるPチャネルのMOSトランジスタT2及びNチャネルのMOSトランジスタT3と、選択制御信号がゲートに入力されるPチャネルのMOSトランジスタT5bと、インバータIxで反転された選択制御信号がゲートに入力されるNチャネルのMOSトランジスタT6bと、インバータIxと、で構成されるNORゲートNOxを備える。このNORゲートNOxは、イネーブル信号とデータ信号とが入力されるとともに、選択制御信号によって内部の合成抵抗が切り換えられる。又、第1図の出力バッファ回路は、このNORゲートNOxの出力がゲートに接続されるとともにドライバとなるNチャネルのMOSトランジスタTxを備える。

又、MOSトランジスタT5a、T5bのソースに直流電圧VDD（電源電圧）に印加されるとともに、MOSトランジスタT5a、T5bのドレインにMOSトランジスタT1のソースが接続され、更に、MOSトランジスタT1のドレインにMOSトランジスタT2のソースが接続される。一方、MOSトランジスタT3、T6a、T6bのソースが接地されるとともに、MOSトランジスタT6a、T6bのドレインにMOSトランジスタT4のソースが接続され、更に、MOSトランジスタT3、T4のドレインにMOSトランジスタT2のドレインが接続される。

そして、MOSトランジスタT2～T4のドレインが接続される接続ノードがNORゲートNOxの出力となり、MOSトランジスタTxのゲートに接続される。このMOSトランジスタTxは、そのソースが接地されるとともに、そのドレインに出力端子OUTが設けられる。更に、このような出力バッファ回路がサーマルプリントヘッドで用いられたとき、出力端子OUTに一端が接続されるとともに他端に電圧VHが印加されたヒータ用の抵抗Rが設置される。

又、MOSトランジスタT5a、T6aのON抵抗が、MOSトランジスタT1～T4、T5b、T6bのON抵抗と比べて大きくなるように、MOSトランジスタT1～T4、T5a、T5b、T6a、T6bを設定する。即ち、MOS

- 7 -

トランジスタ T 5 a , T 6 a のゲート幅を、MOS トランジスタ T 1 ~ T 4 , T 5 b , T 6 b のゲート幅に比べて狭くなるように設定しても構わないし、MOS トランジスタ T 5 a , T 6 a のゲート長を、MOS トランジスタ T 1 ~ T 4 , T 5 b , T 6 b のゲート長に比べて長くなるように設定しても構わない。

このような出力バッファ回路において、選択制御信号を切り換えることによって、MOS トランジスタ T 5 b , T 6 b の ON / OFF 切換制御を行う。即ち、選択制御信号がローのとき、ローの選択制御信号がゲートに入力される MOS トランジスタ T 5 b が ON となるとともに、インバータ I x でハイに反転された選択制御信号がゲートに入力される MOS トランジスタ T 6 b が ON となる。逆に、選択制御信号がハイのとき、ハイの選択制御信号がゲートに入力される MOS トランジスタ T 5 b が OFF となるとともに、インバータ I x でローに反転された選択制御信号がゲートに入力される MOS トランジスタ T 6 b が OFF となる。

又、MOS トランジスタ T 5 a , T 5 b が並列であるため、MOS トランジスタ T 5 b を ON としたときの MOS トランジスタ T 1 , T 5 a , T 5 b の ON 抵抗による合成抵抗が、MOS トランジスタ T 5 b を OFF としたときの MOS トランジスタ T 1 , T 5 a の ON 抵抗による合成抵抗よりも低くなる。同様に、MOS トランジスタ T 6 a , T 6 b が並列であるため、MOS トランジスタ T 6 b を ON としたときの MOS トランジスタ T 4 , T 6 a , T 6 b の ON 抵抗による合成抵抗が、MOS トランジスタ T 6 b を OFF としたときの MOS トランジスタ T 4 , T 6 a の ON 抵抗による合成抵抗よりも低くなる。

即ち、第 1 図の出力バッファ回路は、動作周波数が低い場合、ドライバとなる MOS トランジスタ T x のゲート電圧を緩やかに変化させるため、選択制御信号をハイとして MOS トランジスタ T 5 b , T 6 b を OFF とし、NOR ゲート N O x 内の MOS トランジスタの ON 抵抗による合成抵抗を大きくして動作を行う。このとき、ローのデータ信号が与えられるとき、イネーブル信号がローとなりドライバからの出力が許可されると、MOS トランジスタ T 1 , T 2 , T 5 a が ON であるとともに MOS トランジスタ T 3 , T 4 , T 6 a が OFF である。そのため、MOS トランジスタ T 1 , T 2 , T 5 a の ON 抵抗による合成抵抗を通

じてドライバであるMOSトランジスタ T_x のゲート容量 C に流れる電流量が少ないことから、MOSトランジスタ T_x のゲート電圧が緩やかに高くなり、抵抗 R に流れる電流量が緩やかに増加する。

又、イネーブル信号が所定時間ローとなった後にハイに戻って出力が禁止されると、MOSトランジスタ T_1 、 T_{5a} がOFFとなるとともにMOSトランジスタ T_4 、 T_{6a} がONとなる。そのため、MOSトランジスタ T_4 、 T_{6a} のON抵抗による合成抵抗を通じてMOSトランジスタ T_x のゲート容量 C から流れる電流量が少ないことから、MOSトランジスタ T_x のゲート電圧が緩やかに低くなり、抵抗 R に流れる電流量が緩やかに減少する。又、データ信号がハイである場合は、MOSトランジスタ T_2 がOFFであるとともにMOSトランジスタ T_3 がONであるために、MOSトランジスタ T_x のゲート電圧がローのままであるため、抵抗 R には電流が流れない。

逆に、動作周波数が高い場合、ドライバとなるMOSトランジスタ T_x のゲート電圧を急激に変化させるため、選択制御信号をローとしてMOSトランジスタ T_{5b} 、 T_{6b} をONとし、NORゲート NO_x 内のMOSトランジスタのON抵抗による合成抵抗を小さくして動作を行う。このとき、ローのデータ信号が与えられるとき、イネーブル信号がローとなりドライバからの出力が許可されると、MOSトランジスタ T_1 、 T_2 、 T_{5a} 、 T_{5b} 、 T_{6b} がONであるとともにMOSトランジスタ T_3 、 T_4 、 T_{6a} がOFFである。そのため、MOSトランジスタ T_1 、 T_2 、 T_{5a} 、 T_{5b} のON抵抗による合成抵抗を通じてドライバであるMOSトランジスタ T_x のゲート容量 C に流れる電流量が多いことから、MOSトランジスタ T_x のゲート電圧が急激に高くなり、抵抗 R に流れる電流量が急激に増加する。

又、イネーブル信号が所定時間ローとなった後にハイに戻って出力が禁止されると、MOSトランジスタ T_1 、 T_{5a} がOFFとなるとともにMOSトランジスタ T_4 、 T_{6a} がONとなる。そのため、MOSトランジスタ T_4 、 T_{6a} 、 T_{6b} のON抵抗による合成抵抗を通じてMOSトランジスタ T_x のゲート容量 C から流れる電流量が多いことから、MOSトランジスタ T_x のゲート電圧が急激に低くなり、抵抗 R に流れる電流量が急激に減少する。又、データ信号がハイ

である場合は、MOSトランジスタ T_2 がOFFであるとともにMOSトランジスタ T_3 がONであるために、MOSトランジスタ T_x のゲート電圧がローのままであるため、抵抗 R には電流が流れない。

このように構成することで、第1図のような出力バッファ回路は、第2図のような等価回路による出力バッファ回路を構成することとなる。即ち、直流電圧 V_{DD} が一端に印加された抵抗 R_{1a} 、 R_{1b} と、一端が接地された抵抗 R_{2a} 、 R_{2b} と、抵抗 R_{1a} 、 R_{1b} それぞれの他端の間に接続されたスイッチ SW_1 と、抵抗 R_{2a} 、 R_{2b} それぞれの他端の間に接続されたスイッチ SW_2 と、抵抗 R_{1a} 、 R_{2a} それぞれの他端に2接点が接続された3接点スイッチ SW_3 と、スイッチ SW_3 の残りの接点に一端が接続されるとともに他端がMOSトランジスタ T_x のゲートに他端が接続されたスイッチ SW_4 と、MOSトランジスタ T_x とを備える。

このとき、スイッチ SW_1 、 SW_2 が選択制御信号によってON/OFF制御が行われ、又、スイッチ SW_3 がデータ信号によって接点の切換制御が行われ、更に、スイッチ SW_4 がイネーブル信号によってON/OFF制御が行われる。即ち、選択制御信号がローのとき、スイッチ SW_1 、 SW_2 がONとされて、NORゲート NO_x の合成抵抗を小さくするとともに、選択制御信号がハイのとき、スイッチ SW_1 、 SW_2 がOFFとされて、NORゲート NO_x の合成抵抗を大きくする。又、データ信号がローのとき、抵抗 R_{1a} とスイッチ SW_4 とを接続するとともに、データ信号がハイのとき、抵抗 R_{2a} とスイッチ SW_4 とを接続する。更に、イネーブル信号がローのとき、スイッチ SW_4 をONとするとともに、イネーブル信号がハイのとき、スイッチ SW_4 をOFFとする。

又、サーマルプリントヘッドなどのドライバに用いられる半導体集積回路装置は、第1図のような出力バッファ回路を、その印字ビット数に応じた数だけ設けられる。よって、印字ビット数が n ビットである場合、第3図のように、ドライバとなる半導体集積回路装置には、第1図のNORゲート NO_x とドライバとなるMOSトランジスタ T_x とがそれぞれ n 個設けられる。更に、第1図のように構成したとき、第11図に示す従来の構成のように、選択可能なNORゲートを2つ設ける必要がなく、又、NORゲートを選択するためのトランジスタスイッ

チも設ける必要がなくなる。このことより、1つの出力バッファ回路に対するMOSトランジスタの数が少なくなることより、この出力バッファ回路の設置面積が小さくなる。そのため、第3図のように複数の出力バッファ回路が設けられる半導体集積回路装置においては、従来と比べて更に小型化されることとなる。

尚、本実施形態において、出力バッファ回路においてNORゲートが用いられるものとしたが、NORゲート以外の論理ゲート素子が設けられるものとしても構わない。即ち、例えば、NORゲートNO_xの代わりに、NANDゲートNAが設けられる場合、第4図のように構成される。このとき、NANDゲートNAは、接地電位とMOSトランジスタT_xのゲートとの間に直列に接続されたNチャネルのMOSトランジスタT_{a5a}、T_{a1}、T_{a2}と、MOSトランジスタT_{a5a}と並列に接続されたNチャネルのMOSトランジスタT_{a5b}と、電圧VDDとMOSトランジスタT_xのゲートとの間に直列に接続されたPチャネルのMOSトランジスタT_{a4}、T_{a6a}と、MOSトランジスタT_{a6a}と並列に接続されたPチャネルのMOSトランジスタT_{a6b}と、MOSトランジスタT_{a4}、T_{a6a}、T_{a6b}による回路と並列に接続されたPチャネルのMOSトランジスタT_{a3}とを備える。

そして、MOSトランジスタT_{a1}、T_{a4}、T_{a5a}、T_{a6a}のゲートにイネーブル信号が入力され、MOSトランジスタT_{a2}、T_{a3}のゲートにデータ信号が入力され、MOSトランジスタT_{a5b}のゲートにインバータI_xで反転された選択制御信号が入力され、MOSトランジスタT_{a6b}のゲートに選択制御信号が入力される。

よって、選択制御信号がローのとき、MOSトランジスタT_{a5b}、T_{a6b}がONとなるため、NANDゲートNA内の合成抵抗が小さくなり、NANDゲートNAの出力が急激に変化するため、NANDゲートNAの出力により駆動されるドライバ用のMOSトランジスタに与えるゲート電圧の変化が急峻になる。又、選択制御信号がハイのとき、MOSトランジスタT_{a5b}、T_{a6b}がOFFとなるため、NANDゲートNA内の合成抵抗が大きくなり、NANDゲートNAの出力が緩やかに変化するため、NANDゲートNAの出力により駆動されるドライバ用のMOSトランジスタに与えるゲート電圧の変化が緩やかになる。

又、このドライバ用のMOSトランジスタはPチャネルのMOSトランジスタであっても構わない。

このように、本実施形態の半導体集積回路装置は、ドライバ用のMOSトランジスタと、このドライバ用のMOSトランジスタを駆動するために出力がドライバ用のMOSトランジスタのゲートに接続される論理ゲート素子とを備えるとともに、この論理ゲート素子内の合成抵抗が選択制御信号に応じて変化するものであり、論理ゲート素子が上述のNORゲートNO_x及びNANDゲートNAに限定されるものではない。

又、上述のNORゲートNO_x及びNANDゲートNAにおいて、MOSトランジスタT_{5b}、T_{6b}それぞれのON抵抗、又は、MOSトランジスタT_{a5b}、T_{a6b}それぞれのON抵抗を別々に調整することができる。よって、出力バッファ回路からの出力を増加させるときと減少させるときそれぞれに対する変化率を異なるものに調整することができる。

又、上述のNORゲートNO_x及びNANDゲートNAにおいて、MOSトランジスタT_{5b}、T_{6b}又はMOSトランジスタT_{a5b}、T_{a6b}それぞれと並列に接続されるMOSトランジスタを備えるようにするとともに、これらのMOSトランジスタのON抵抗を異なるものとしても構わない。このとき、MOSトランジスタT_{5b}、T_{6b}又はMOSトランジスタT_{a5b}、T_{a6b}それぞれと並列に接続されたMOSトランジスタにおいてONとするMOSトランジスタを選択制御信号によって行う。そして、このMOSトランジスタT_{5b}、T_{6b}又はMOSトランジスタT_{a5b}、T_{a6b}それぞれと並列に接続されたMOSトランジスタのうちONとするMOSトランジスタを選択制御信号によって設定することで、複数の動作周波数に応じた出力変化に調整することできる出力バッファ回路を構成できる。

< 第2の実施形態 >

本発明の第2の実施形態について、図面を参照して説明する。第5図は、本実施形態における出力バッファ回路の構成を示す回路図である。第6図は、第5図の出力バッファ回路の等価回路を示す回路図である。

第5図の出力バッファ回路は、ゲートにイネーブル信号が入力されるPチャネ

ルのMOSトランジスタT1及びNチャネルのMOSトランジスタT4と、ゲートにデータ信号が入力されるPチャネルのMOSトランジスタT2及びNチャネルのMOSトランジスタT3とで構成されるNORゲートNOを備えるとともに、このNORゲートNOの出力がソースに与えられるとともに並列に接続されるPチャネルのMOSトランジスタT7a、T7bを備える。又、第5図の出力バッファ回路は、MOSトランジスタT7a、T7bのドレイン同士の接続ノードがゲートに接続されるとともにドライバとなるNチャネルのMOSトランジスタTxを備える。

この出力バッファ回路において、MOSトランジスタT7aのゲートにインバータIxで反転された選択制御信号が入力されるとともに、MOSトランジスタT7bのゲートに選択制御信号が入力される。又、MOSトランジスタT1～T4によるNORゲートNOは、従来と同様、第10図のような接続関係となるため、MOSトランジスタT7a、T7bのソース同士の接続ノードがMOSトランジスタT2～T4のドレイン同士の接続ノードに接続される。

更に、MOSトランジスタT7aのON抵抗が、MOSトランジスタT1～T4、T7bのON抵抗と比べて大きくなるように、MOSトランジスタT1～T4、T7a、T7bを設定する。即ち、MOSトランジスタT7aのゲート幅を、MOSトランジスタT1～T4、T7bのゲート幅に比べて狭くなるように設定しても構わないし、MOSトランジスタT7aのゲート長を、MOSトランジスタT1～T4、T7bのゲート長に比べて長くなるように設定しても構わない。

このような出力バッファ回路において、選択制御信号を切り換えることによって、MOSトランジスタT7a、T7bのON/OFF切換制御を行う。即ち、選択制御信号がハイのとき、インバータIxでローに反転された選択制御信号がゲートに入力されるMOSトランジスタT7aがONとなるとともに、ハイの選択制御信号がゲートに入力されるMOSトランジスタT7bがOFFとなる。逆に、選択制御信号がローのとき、インバータIxでハイに反転された選択制御信号がゲートに入力されるMOSトランジスタT7aがOFFとなるとともに、ローの選択制御信号がゲートに入力されるMOSトランジスタT7bがONとなる。

。

よって、第5図の出力バッファ回路は、動作周波数が低い場合、ドライバとなるMOSトランジスタ T_x のゲート電圧を緩やかに変化させるため、選択制御信号をハイとして、MOSトランジスタ T_{7a} をONとするとともにMOSトランジスタ T_{7b} をOFFとする。このとき、ローのデータ信号が与えられるとき、イネーブル信号がローとなりドライバからの出力が許可されると、MOSトランジスタ T_1 、 T_2 、 T_{7a} がONであるとともにMOSトランジスタ T_3 、 T_4 、 T_{7b} がOFFである。そのため、MOSトランジスタ T_1 、 T_2 、 T_{7a} のON抵抗による合成抵抗を通じてドライバであるMOSトランジスタ T_x のゲート容量 C に流れる電流量が少ないことから、MOSトランジスタ T_x のゲート電圧が緩やかに高くなり、抵抗 R に流れる電流量が緩やかに増加する。

又、イネーブル信号が所定時間ローとなった後にハイに戻って出力が禁止されると、MOSトランジスタ T_1 がOFFとなるとともにMOSトランジスタ T_4 がONとなる。そのため、MOSトランジスタ T_4 、 T_{7a} のON抵抗による合成抵抗を通じてMOSトランジスタ T_x のゲート容量 C から流れる電流量が少ないことから、MOSトランジスタ T_x のゲート電圧が緩やかに低くなり、抵抗 R に流れる電流量が緩やかに減少する。又、データ信号がハイである場合は、MOSトランジスタ T_2 がOFFであるとともにMOSトランジスタ T_3 がONであるために、MOSトランジスタ T_x のゲート電圧がローのままであるため、抵抗 R には電流が流れない。

逆に、動作周波数が高い場合、ドライバとなるMOSトランジスタ T_x のゲート電圧を急激に変化させるため、選択制御信号をローとして、MOSトランジスタ T_{7a} をOFFとするとともにMOSトランジスタ T_{7b} をONとする。このとき、ローのデータ信号が与えられるとき、イネーブル信号がローとなりドライバからの出力が許可されると、MOSトランジスタ T_1 、 T_2 、 T_{7b} がONであるとともにMOSトランジスタ T_3 、 T_4 、 T_{7a} がOFFである。そのため、MOSトランジスタ T_1 、 T_2 、 T_{7b} のON抵抗による合成抵抗を通じてドライバであるMOSトランジスタ T_x のゲート容量 C に流れる電流量が多いことから、MOSトランジスタ T_x のゲート電圧が急激に高くなり、抵抗 R に流れる

電流量が急激に増加する。

又、イネーブル信号が所定時間ローとなった後にハイに戻って出力が禁止されると、MOSトランジスタT1がOFFとなるとともにMOSトランジスタT4がONとなる。そのため、MOSトランジスタT4、T7bのON抵抗による合成抵抗を通じてMOSトランジスタTxのゲート容量Cから流れる電流量が多いことから、MOSトランジスタTxのゲート電圧が急激に低くなり、抵抗Rに流れる電流量が急激に減少する。又、データ信号がハイである場合は、MOSトランジスタT2がOFFであるとともにMOSトランジスタT3がONであるために、MOSトランジスタTxのゲート電圧がローのままであるため、抵抗Rには電流が流れない。

このように構成することで、第5図のような出力バッファ回路は、第6図のような等価回路による出力バッファ回路を構成することとなる。即ち、直流電圧VDD（電源電圧）が一端に印加された抵抗R1と、一端が接地された抵抗R2と、抵抗R1、R2それぞれ他端に2接点が接続された3接点スイッチSW3と、スイッチSW3の残りの接点に一端が接続されたスイッチSW4と、スイッチSW4の他端に一接点が接続された3接点スイッチSW5と、スイッチSW5の残りの2接点それぞれに一端が接続された抵抗R3a、R3bと、抵抗R3a、R3bの他端が接続された接続ノードにゲートが接続されたMOSトランジスタTxとを備える。又、抵抗R3a、R3bにおいて、抵抗R3aの方が抵抗R3bよりも抵抗が大きい。

このとき、スイッチSW3がデータ信号によって接点の切換制御が行われ、又、スイッチSW4がイネーブル信号によってON/OFF制御が行われ、スイッチSW5が選択制御信号によって接点の切換制御が行われる。即ち、選択制御信号がローのとき、スイッチSW5によって、抵抗の小さい抵抗R3bとスイッチSW4とが接続される。又、選択制御信号がハイのとき、スイッチSW5によって、抵抗の大きい抵抗R3aとスイッチSW4とが接続される。又、データ信号がローのとき、抵抗R1とスイッチSW4とを接続するとともに、データ信号がハイのとき、抵抗R2とスイッチSW4とを接続する。更に、イネーブル信号がローのとき、スイッチSW4をONとするとともに、イネーブル信号がハイのと

き、スイッチ $SW4$ を OFF とする。

又、サーマルプリントヘッドなどのドライバに用いられる半導体集積回路装置は、第5図のような出力バッファ回路を、その印字ビット数に応じた数だけ設けられる。よって、印字ビット数が n ビットである場合、第7図のように、ドライバとなる半導体集積回路装置には、第5図の NOR ゲート NO と MOS トランジスタ T_x 、 $T7a$ 、 $T7b$ がそれぞれ n 個設けられる。又、インバータ I_x は、この半導体集積回路装置に1つ設けられるのみである。更に、第5図のように構成したとき、第1図に示す構成と比べて、1つの出力バッファ回路を構成する MOS トランジスタの数が更に少なくなる。このことより、1つの出力バッファ回路に対する MOS トランジスタの数が少なくなることより、この出力バッファ回路の設置面積が第1の実施形態と比べて小さくなる。そのため、第7図のように複数の出力バッファ回路が設けられる半導体集積回路装置においては、第1の実施形態と比べて更に小型化されることとなる。

尚、本実施形態において、 NOR ゲート NO の出力と MOS トランジスタ T_x のゲートとの間に、 ON 抵抗の異なる P チャネルの MOS トランジスタ $T7a$ 、 $T7b$ を並列に接続するものとしたが、 ON 抵抗の異なる N チャネルの MOS トランジスタを2つ並列に接続するものとしても構わないし、 ON 抵抗の異なる第12図のようなトランジスタスイッチを2つ並列に接続するものとしても構わない。又、 NOR ゲートからの出力がドライバ用の MOS トランジスタ T_x のゲートに与えられて MOS トランジスタ T_x が駆動するものとしたが、第1の実施形態と同様、 NOR ゲートに限らず、他の論理ゲート素子としても構わない。

又、 NOR ゲート NO の出力と MOS トランジスタ T_x のゲートとの間に、 ON 抵抗の異なる P チャネルの MOS トランジスタ $T7a$ 、 $T7b$ を並列に接続するものとしたが、2つの MOS トランジスタに限らず、2つ以上の複数の ON 抵抗の異なる MOS トランジスタを並列に接続しても構わない。このとき、 NOR ゲート NO の出力と MOS トランジスタ T_x のゲートとの間に並列に接続された複数の MOS トランジスタにおいて ON とする MOS トランジスタを選択制御信号によって行う。そして、この NOR ゲート NO の出力と MOS トランジスタ T_x のゲートとの間に並列に接続された複数の MOS トランジスタにおいて ON と

するMOSトランジスタを選択制御信号によって設定することで、複数の動作周波数に応じた出力変化に調整することできる出力バッファ回路を構成できる。

又、第1の実施形態や第2の実施形態と異なり、第8図のように、出力バッファ回路が、イネーブル信号及びデータ信号が入力されるORゲートOと、ORゲートOからの出力が入力されるインバータI_aと、インバータI_aからの出力がゲートに入力されるドライバ用のMOSトランジスタT_xで構成されるようにしても構わない。このとき、インバータI_aは、ゲートがORゲートOの出力に接続されたPチャネルのMOSトランジスタT_{b1}～T_{b4}及びNチャネルのMOSトランジスタT_{c1}～T_{c4}と、ソースに直流電圧V_{DD}が印加されたPチャネルのMOSトランジスタT_{d1}～T_{d3}と、ソースが接地されたNチャネルのMOSトランジスタT_{e1}～T_{e3}とを備える。

そして、MOSトランジスタT_{b1}のソースに直流電圧V_{DD}が印加されるとともに、MOSトランジスタT_{b1}、T_{d1}のドレインにMOSトランジスタT_{b2}のソースが接続され、MOSトランジスタT_{b2}、T_{d2}のドレインにMOSトランジスタT_{b3}のソースが接続され、MOSトランジスタT_{b3}、T_{d3}のドレインにMOSトランジスタT_{b4}のソースが接続される。又、MOSトランジスタT_{c1}のソースが接地されるとともに、MOSトランジスタT_{c1}、T_{e1}のドレインにMOSトランジスタT_{c2}のソースが接続され、MOSトランジスタT_{c2}、T_{e2}のドレインにMOSトランジスタT_{c3}のソースが接続され、MOSトランジスタT_{c3}、T_{e3}のドレインにMOSトランジスタT_{c4}のソースが接続される。

又、MOSトランジスタT_{b4}、T_{c4}のドレインの接続ノードがインバータI_aの出力となり、MOSトランジスタT_xのゲートに入力される。更に、MOSトランジスタT_{d1}～T_{d3}のゲートに選択制御信号SEL1_a～SEL3_aが入力されるとともに、MOSトランジスタT_{e1}～T_{e3}のゲートに選択制御信号SEL1_b～SEL3_bが入力される。即ち、選択制御信号SEL1_a～SEL3_aがローとなると、MOSトランジスタT_{d1}～T_{d3}それぞれがONとなる。又、選択制御信号SEL1_b～SEL3_bがハイとなると、MOSトランジスタT_{e1}～T_{e3}それぞれがONとなる。

よって、MOSトランジスタ $T_{d1} \sim T_{d3}$ 、 $T_{e1} \sim T_{e3}$ のON抵抗を、MOSトランジスタ $T_{b1} \sim T_{b4}$ 、 $T_{c1} \sim T_{c4}$ のON抵抗よりも小さくすると、選択制御信号 $SEL1a \sim SEL3a$ 、 $SEL1b \sim SEL3b$ それぞれの値を制御することで、インバータ I_a 内の電源電圧側及び接地側それぞれの合成抵抗を複数通りに調整することができる。よって、第2の実施形態と同様、ORゲート O については、合成抵抗の切換が必要でなく、従来と同様のものが使用できる。尚、このように構成するとき、インバータ I_a の入力に出力が接続される論理ゲート素子として、ORゲートを用いたが、ORゲートに限らず、ANDゲートやNANDゲートやNORゲートなどを使用しても構わない。

又、上述の各実施形態における出力バッファ回路を備えた半導体集積回路装置は、上述のようにサーマルプリントヘッドのみでなく、出力端子に発光素子を接続する光プリントヘッドなど、サーマルプリントヘッド以外の目的に使用される出力バッファ回路を備えた半導体集積回路装置とすることができる。

産業上の利用可能性

本発明によると、論理ゲート素子内の合成抵抗を切り換えることができるため、又は、論理ゲート素子と駆動用トランジスタの制御電極との間の抵抗値を切り換えることができる複数のトランジスタスイッチを設けたため、従来のように、動作周波数に応じた論理ゲート素子を使用する必要がなくなるとともに、複数の動作周波数に応じた複数の論理ゲート素子を接地する必要がなくなる。よって、動作周波数に応じて論理ゲート素子の特性を切り換えることが容易であるとともに、その装置サイズを大きくする必要がない。又、複数の動作周波数に応じて切換可能な半導体集積回路装置の小型化を図ることができる。

請求の範囲

1. データが入力される論理ゲート素子と、該論理ゲート素子からの出力が制御電極に入力されて該論理ゲート素子からの出力に応じて駆動する駆動用トランジスタと、から構成される出力バッファ回路を備えた半導体集積回路装置において、

前記論理ゲート素子は、前記論理ゲート素子を構成するトランジスタのON抵抗による合成抵抗の大きさを変化させる選択制御信号が入力されるとともに、該選択制御信号によってON/OFFが切り換えられる抵抗値切換用トランジスタを備え、

前記選択制御信号により前記抵抗値切換用トランジスタのON/OFFを切り換えることで、前記駆動出力用トランジスタによる出力の変化率を切り換えることを特徴とする半導体集積回路装置。

2. 前記論理ゲート素子に、前記駆動用トランジスタの出力動作を制御する出力制御信号が入力される時、

前記論理ゲート素子が、

前記出力制御信号が制御電極に入力されるとともに第1電極に直流電圧が印加される第1トランジスタと、

前記出力制御信号によってON/OFF切換が制御され、前記第1トランジスタの第2電極と前記駆動用トランジスタの制御電極との電気的な接離を行うスイッチと、

第1電極に前記直流電圧が印加されるとともに前記第1トランジスタの第2電極と前記スイッチとの接続ノードに第2電極が接続され、ON抵抗が前記第1トランジスタより小さい前記抵抗値切換用トランジスタと、

を備えることを特徴とする請求の範囲1に記載の半導体集積回路装置。

3. 前記出力バッファ回路の動作周波数が高いとき、前記抵抗値切換用トランジスタをONとし、

前記出力バッファ回路の動作周波数が低いとき、前記抵抗値切換用トランジスタをOFFとすることを特徴とする請求の範囲2に記載の半導体集積回路装置。

4. 前記第1トランジスタ及び前記抵抗値切換用トランジスタをMOSトランジスタとし、前記第1トランジスタのゲート幅を前記抵抗値切換用トランジスタのゲート幅よりも狭くするか、又は、前記第1トランジスタのゲート長を幅前記抵抗値切換用トランジスタのゲート長よりも長くすることを特徴とする請求の範囲2に記載の半導体集積回路装置。

5. 前記論理ゲート素子に前記駆動用トランジスタからの出力を決定する出力値決定信号が入力されるとともに、前記出力制御信号が前記駆動用トランジスタの出力動作を禁止／許可するとき、

前記論理ゲート素子が、

前記直流電圧を電源電圧とする前記第1トランジスタ及び前記スイッチ及び前記抵抗値切換用トランジスタと、

前記直流電圧を接地電圧とする前記第1トランジスタ及び前記スイッチ及び前記抵抗値切換用トランジスタと、

前記電源電圧側の前記スイッチからの出力と前記接地電圧側の前記スイッチの出力とを前記出力値決定信号の値に応じて選択して前記駆動用トランジスタの制御電極に出力する選択スイッチと、

を備えることを特徴とする請求の範囲2に記載の半導体集積回路装置。

6. 前記電源電圧側の前記第1トランジスタ及び前記抵抗値切換用トランジスタがPチャネルのMOSトランジスタであるとともに、

前記接地電圧側の前記第1トランジスタ及び前記抵抗値切換用トランジスタがNチャネルのMOSトランジスタであることを特徴とする請求の範囲5に記載の半導体集積回路装置。

7. 前記スイッチが、前記出力制御信号が制御電極に入力され、前記第1トラ

ンジスタの第 2 電極に第 1 電極が接続されるとともに前記駆動用トランジスタの制御電極に第 2 電極が接続された第 2 トランジスタであることを特徴とする請求の範囲 2 に記載の半導体集積回路装置。

8. 前記論理ゲート素子が、

制御電極が入力となるとともに前記直流電圧と前記論理ゲート素子の出力との間に直列に接続された複数の第 1 トランジスタと、

前記直流電圧が第 1 電極に印加されるとともに前記第 1 トランジスタそれぞれの第 2 電極に第 2 電極が接続され、その ON 抵抗が前記第 1 トランジスタの ON 抵抗より小さい複数の前記抵抗値切換用トランジスタと、

を備えることを特徴とする請求の範囲 1 に記載の半導体集積回路装置。

9. データが入力される論理ゲート素子と、該論理ゲート素子からの出力が制御電極に入力されて該論理ゲート素子からの出力に応じて駆動する駆動用トランジスタと、から構成される出力バッファ回路を備えた半導体集積回路装置において、

ON 抵抗が異なるとともに、前記論理ゲート素子の出力と前記駆動用トランジスタの制御電極との間に並列に接続された複数のトランジスタスイッチを、前記出力バッファ回路内に備え、

前記複数のトランジスタスイッチのうちのいずれかを ON として、前記駆動出力用トランジスタによる出力の変化率を切り換えることを特徴とする半導体集積回路装置。

10. 前記トランジスタスイッチが第 1 トランジスタスイッチと第 2 トランジスタスイッチとで構成されるとともに、前記第 1 トランジスタスイッチの ON 抵抗が前記第 2 トランジスタスイッチの ON 抵抗よりも大きいとき、

前記出力バッファ回路の動作周波数が低い場合、前記第 1 トランジスタスイッチを ON とするとともに前記第 2 トランジスタスイッチを OFF とし、前記出力バッファ回路の動作周波数が高い場合、前記第 1 トランジスタスイッチを OFF

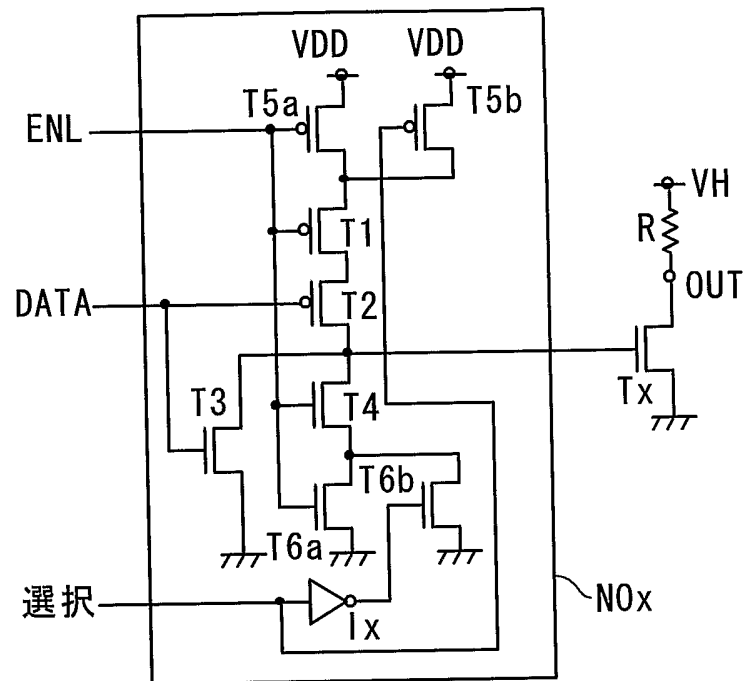
とするとともに前記第 2 トランジスタスイッチを ON とすることを特徴とする請求の範囲 9 に記載の半導体集積回路装置。

11. 前記トランジスタスイッチそれぞれを構成する MOS トランジスタのゲート幅及びゲート長を異なるものとすることによって、前記トランジスタスイッチそれぞれの ON 抵抗を異なるものとすることを特徴とする請求の範囲 9 に記載の半導体集積回路装置。

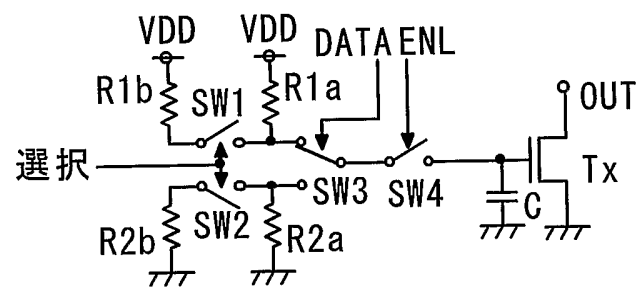
12. 前記出力バッファ回路を複数備えることを特徴とする請求の範囲 1 ～請求の範囲 11 のいずれかに記載の半導体集積回路装置。

1/8

第 1 図

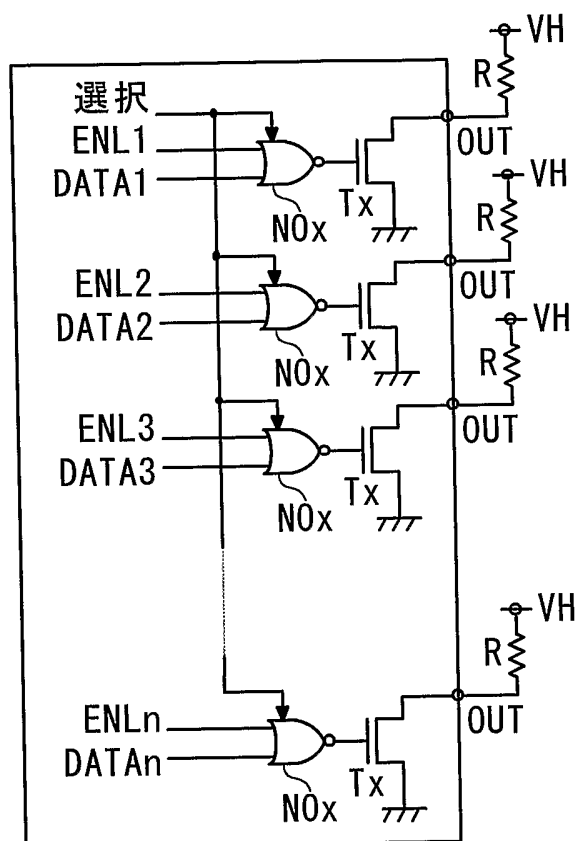


第 2 図



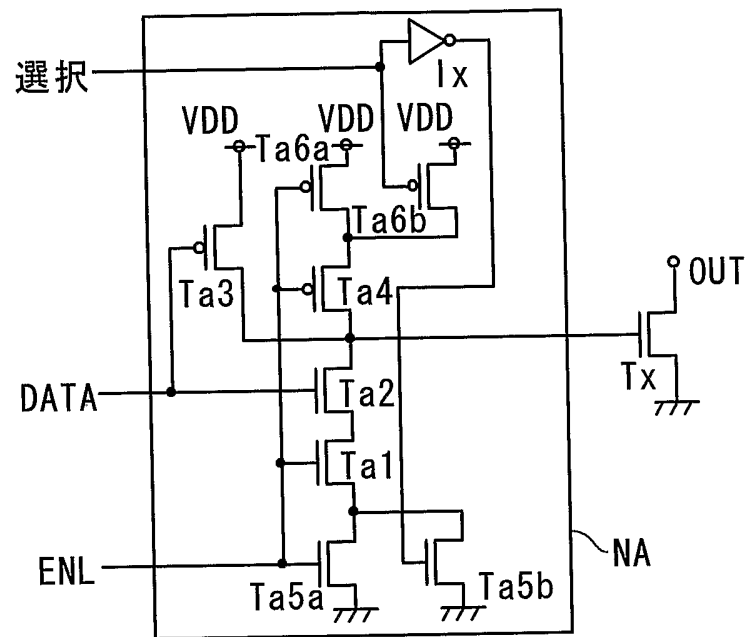
2/8

第3図



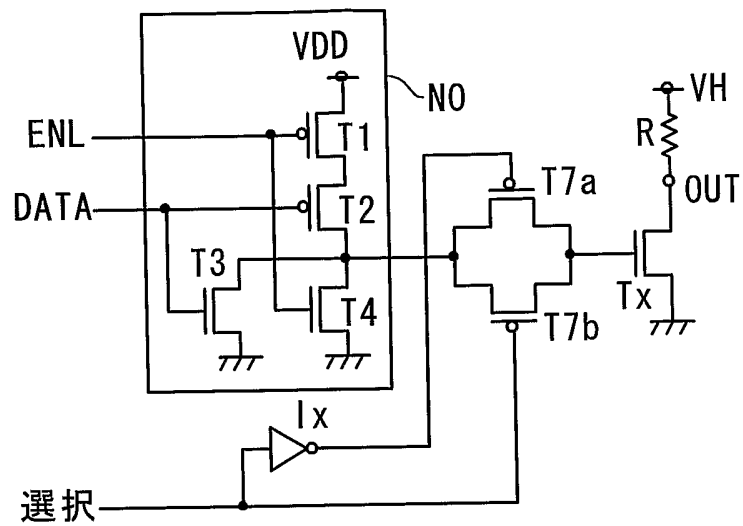
3/8

第4図

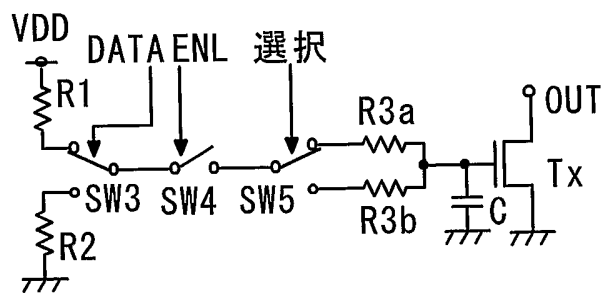


4/8

第 5 図

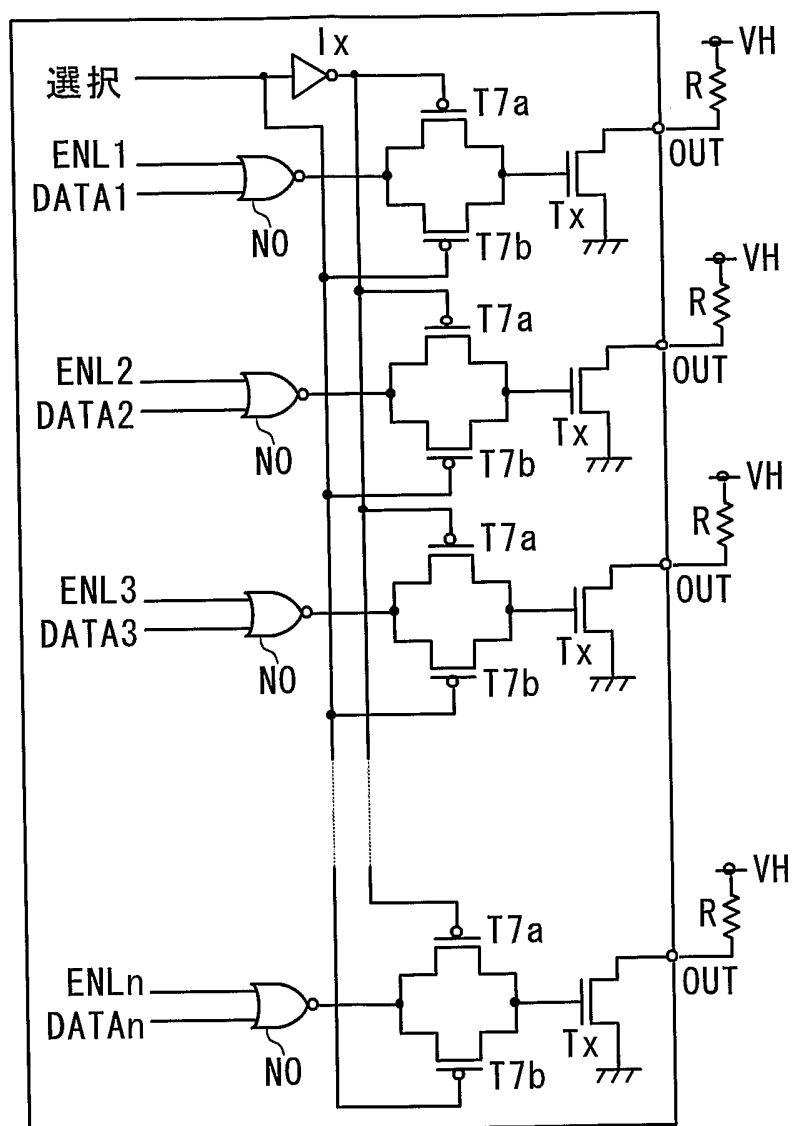


第 6 図



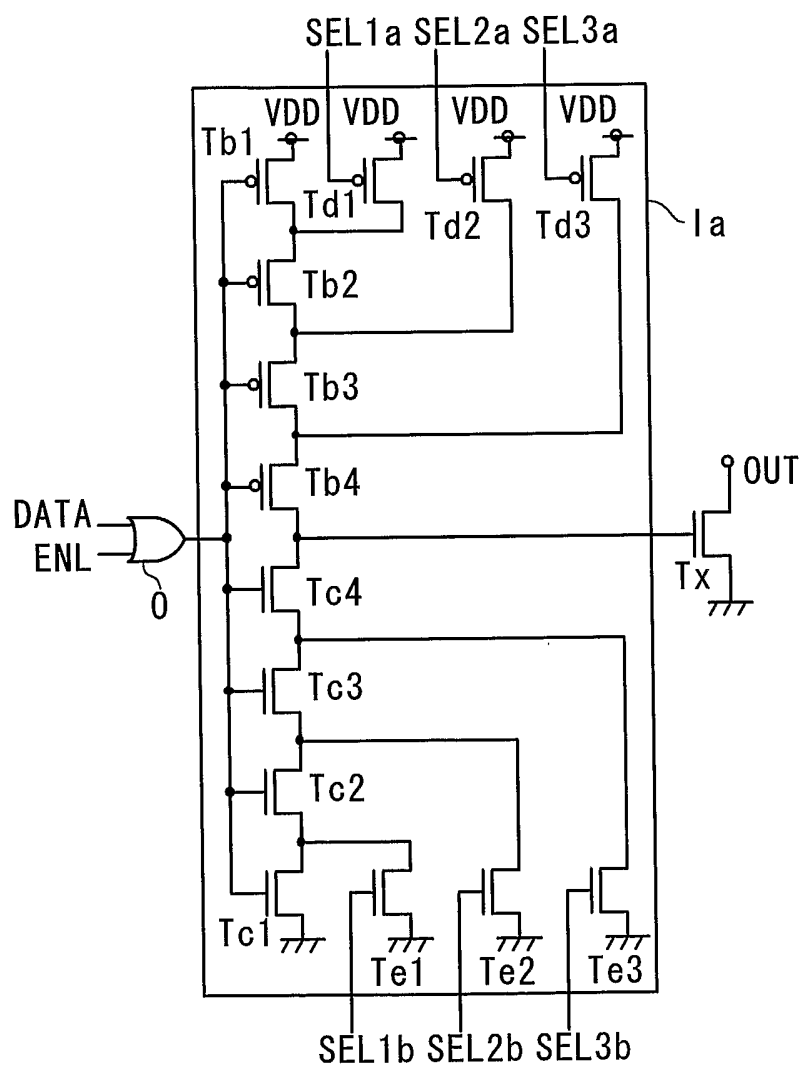
5/8

第7図



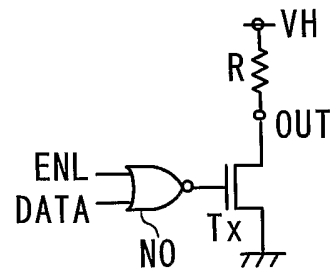
6/8

第 8 図

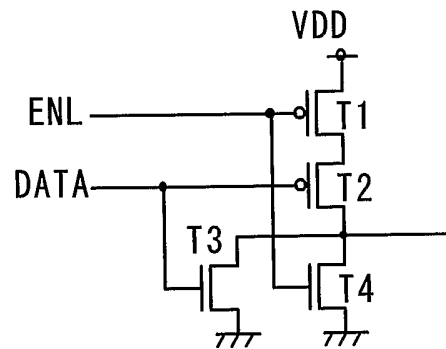


7/8

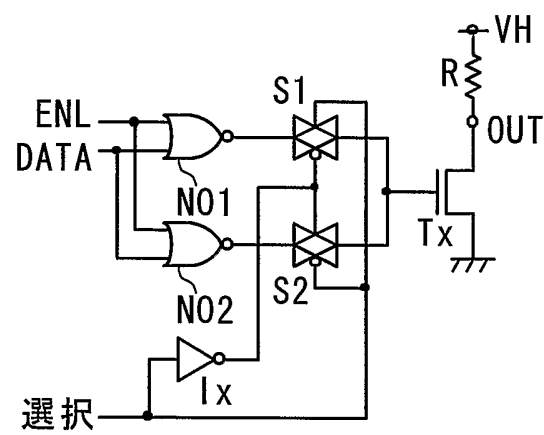
第 9 図



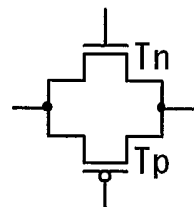
第 10 図



第 1 1 図



第 1 2 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009059

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K19/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-119277 A (NEC Corp.), 27 April, 2001 (27.04.01), Figs. 1 to 4; columns 29 to 33 & US 6320407 B	1 12
Y	JP 6-268506 A (Mitsubishi Electric Corp.), 22 September, 1994 (22.09.94), Figs. 4 to 6; columns 2 to 6 (Family: none)	9-12
Y	JP 10-91255 A (NEC Corp.), 10 April, 1998 (10.04.98), Fig. 3; column 12 (Family: none)	9-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

16 July, 2004 (16.07.04)

Date of mailing of the international search report

03 August, 2004 (03.08.04)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009059

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-79146 A (Hitachi, Ltd.), 20 March, 1995 (20.03.95), Fig. 1 & US 5966407 A	12
A	JP 11-3157 A (Mitsubishi Electric Corp.), 06 January, 1999 (06.01.99), Fig. 3 (Family: none)	2, 5, 6, 7
A	JP 6-296129 A (National Semiconductor Corp.), 21 October, 1994 (21.10.94), Fig. 3 & US 5218239 A	2, 5, 6, 7
A	JP 5-191241 A (Fujitsu Ltd.), 30 July, 1993 (30.07.93), Figs. 2, 3 (Family: none)	8
A	JP 9-93116 A (Fujitsu Ltd.), 04 April, 1997 (04.04.97), Figs. 3, 5; columns 2 to 11 (Family: none)	8
A	JP 4-324381 A (Hitachi, Ltd.), 13 November, 1992 (13.11.92), Fig. 2 & US 5285119 A	2, 5, 6, 7
A	JP 5-224621 A (Toshiba Corp.), 03 September, 1993 (03.09.93), Fig. 10; column 57 & US 5455534 A	9
A	JP 8-97693 A (Mazda Motor Corp.), 12 April, 1996 (12.04.96), Fig. 2 (Family: none)	8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03K 19/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03K 19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-119277 A (日本電気株式会社) 2001. 04. 27, 図1~ 図4, 本文第29欄~第33欄 & US 6320407 B	1 12
Y	JP 6-268506 A (三菱電機株式会社) 1994. 09. 22, 図4~6、本 文第2欄~第6欄 (ファミリーなし)	9-12
Y	JP 10-91255 A (日本電気株式会社) 1998. 04. 10, 図3, 本文第 12欄 (ファミリーなし)	9-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

16. 07. 2004

国際調査報告の発送日

03. 8. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

彦田 克文

5X

9182

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 7-79146 A (株式会社日立製作所) 1995. 03. 20, 図1 & US 5966407 A	12
A	JP 11-3157 A (三菱電機株式会社) 1999. 01. 06, 図3 (ファミリーなし)	2, 5, 6, 7
A	JP 6-296129 A (ナショナル セミコンダクタ コーポレーション) 1994. 10. 21, 図3 & US 5218239 A	2, 5, 6, 7
A	JP 5-191241 A (富士通株式会社) 1993. 07. 30, 図2、図3 (ファミリーなし)	8
A	JP 9-93116 A (富士通株式会社) 1997. 04. 04, 図3, 図5, 本文第2欄~第11欄 (ファミリーなし)	8
A	JP 4-324381 A (株式会社日立製作所) 1992. 11. 13, 図2 & US 5285119 A	2, 5, 6, 7
A	JP 5-224621 A (株式会社東芝) 1993. 09. 03, 図10, 本文第57欄 & US 5455534 A	9
A	JP 8-97693 A (マツダ株式会社) 1996. 04. 12, 図2 (ファミリーなし)	8