

公告本

申請日期	91 年 9 月 20 日
案 號	91121650
類 別	G09G3/36

A4
C4

(以上各欄由本局填註)

569176

發明專利說明書

一、發明 新型名稱	中 文	顯示裝置及其驅動方法
	英 文	
二、發明 創作人	姓 名	(1) 木村肇
	國 籍	(1) 日本
	住、居所	(1) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八番地
	代 表 人 姓 名	(1) 山崎舜平

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： 2001 年 9 月 21 日 2001-289983

，☐有 ☐無主張優先權
☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【技術領域】

本發明是關於顯示裝置及其驅動方法。尤其是關於在每畫素上設置電晶體，控制畫素之發光的主動矩陣型之顯示裝置及其驅動方法。

【技術背景】

提案有在每畫素上配置發光元件及用以控制發光元件之電晶體的主動矩陣型之顯示裝置。發光元件是指具有第 1 電極和第 2 電極，藉由流動於第 1 電極和第 2 電極之間的電流量控制亮度的元件。於現今以使用 OLED(Organic Light Emitting Diode)元件的顯示裝置(以下，稱為 OLED 顯示裝置)作為發光元件較被注視。OLED 顯示裝置因有應答性優良、以低電壓動作，又視角寬廣等之優點，故以作為次世代之平面面板顯示器引人注目。

於主動矩陣型之 OLED 顯示裝置中，有以電壓訊號和電流訊號執行對各畫素寫入亮度資訊的兩手法。前者是稱為電壓寫入型，後者則稱為電流寫入型類比方式。針對這些驅動方法，舉出下例予以說明。

第 30 圖是表示以往之電壓寫入型之 OLED 顯示裝置之畫素之構成例。於第 30 圖中，在各畫素中各配置著 2 個 TFT(第 1TFT 及第 2TFT)、電容元件和 OLED。第 1TFT(以下，稱為選擇 TFT)3001 之閘極電極是被連接於閘極訊號線 3002 上，源極端子和汲極端子之一方端子是被連接於源極訊號線 3003 上。選擇 TFT3001 之源極端子和汲極端子之另

五、發明說明(2)

一方是被連接於第 2TFT(以下稱為驅動 TFT)3004 之閘極電極及電容元件(以下，稱為保持電容)3007 之一方電極。保持電容 3007 之'另一方電極是被連接於電源線 3005 上。驅動 TFT3004 之源極端子和汲極端子之另一方是被連接於電源線 3005，另一方則是被連接於 OLED3006 之第 1 電極 3006a 上。OLED3006 之第 2 電極 3006b 是被給予一定之電位。在此，與 OLED3006 之驅動 TFT3004 連接側的電極，即是第 1 電極 3006a 稱為畫素電極，第 2 電極 3006b 稱為對向電極。

於第 30 圖中，將選擇 TFT3001 當作 n 通道型 TFT，驅動 TFT3004 當作 p 通道型 TFT，OLED 之第 1 電極 3006a 當作陽極，第 2 電極 3006b 當作陰極，針對將第 2 電極 3006b 之電位設為 0(v)之時的驅動方法說明如下。

於閘極訊號線 3002 上被輸入訊號，而成為導通狀態之選擇 TFT3001 中，藉由源極訊號線 3003 輸入訊號電壓。藉由被輸入於源極訊號線 3003 之訊號電壓，在保持電容 3007 中存儲電荷。響應保持電容 3307 中所保持的電壓，自電源線 3005 經由驅動 TFT3004 之源極、汲極之間，而使電流流動至 OLED3006 中進而予以發光。

於電壓寫入型類比方式之驅動方法中，依據使各畫素之驅動 TFT3004 之閘極電壓(閘極、源極間電壓)予以變化，而變化驅動 TFT3004 之汲極電流。如此一來，則為使流動 OLED3006 之電流予以變化而變化亮度的方式。為了表現中間灰階，相對於閘極電壓，在汲極電流變化較大之區域中

五、發明說明(3)

使驅動 TFT3004 予以動作。

於上述電壓寫入型類比方式之時，藉由源極訊號線 303 輸入具有相同電位之訊號於各畫素時，則有承受因驅動 TFT3004 之電流特性的偏差所產生之汲極電流的電動，流動 OLED3006 之電流偏差則變大之問題。驅動 TFT3004 之電流特性之偏差是被臨界電壓或載流移動度等之參數影響。使用第 31 圖作為其一例，針對因驅動 TFT3004 之臨界電壓的偏差而所產生之電流特性的偏差予以說明。

第 31 圖(A)是僅表示第 30 圖中之驅動 TFT3004 和 OLED3006 的圖示。驅動 TFT3004 之汲極端子是被連接於電源線 3005 上。以圖中 V_{gs} 表示驅動 TFT3004 之閘極電壓。再者，以圖中箭號 I_d 表示驅動 TFT3004 之汲極電流。第 31 圖(B)是表示驅動 TFT3004 之閘極電壓之絕對值 $|V_{gs}|$ 和汲極電流 I_d 之關係(電流特性)。3101a 是表示驅動 TFT3004 之臨界電壓之絕對值為 V_{th1} 之時的閘極電壓和汲極電流之關係的曲線。另外，3101b 是表示驅動 TFT 之臨界電壓之絕對值為 V_{th2} 之時的閘極電壓和汲極電流之關係的曲線。在此， $V_{th1} > V_{th2}$ ，圖中所示之動作區域(1)是相當於電壓寫入型類比方式之時的驅動 TFT3004 之動作區域。當於動作區域(1)中，驅動 TFT3004 之臨界值有偏差時，即使閘極電壓相同為 V_{gs1} 汲極電流亦成為 I_{d1} 和 I_{d2} 大有不同。在此，OLED3006 之亮度因與流動 OLED3006 之電流量成比例，故藉由臨界電壓之偏差，OLED3006 之亮度為參差不齊。

為了降低上述驅動 TFT3004 之電流特性的偏差之影響

五、發明說明(4)

，提案有電壓寫入型數位方式之驅動方法。於電壓寫入型數位方式之驅動方法中，各畫素之 OLED3006 是以一定之亮度選擇發光/非發光之兩個狀態。此時，於第 30 圖中之驅動 TFT3005 是作為選擇各畫素之電源線 3005 和 OLED3006 之畫素電極 3006a 之連接的開關而予以動作。於電壓寫入型數位方式中，於 OLED3006 發光之時，驅動 TFT3004 是在源極、汲極間電壓 V_{ds} 之絕對值比自閘極電壓 V_{gs} 減掉臨界電壓 V_{th} 的電壓 $V_{gs}-V_{th}$ 之絕對值小之動作區域的線性區域上，尤其是在閘極電壓之絕對值較大之區域上動作。

於第 31 圖(B)中，以動作區域(2)表示著電壓寫入型數位方式的驅動 TFT3004 之動作區域。動作區域(2)為線性區域，在該區域動作的驅動 TFT3004 是在施加相同閘極電壓 V_{gs2} 之時，藉由臨界電壓等之偏差而所造成的汲極電流偏差變小，幾乎流動一定電流 I_{d3} 。因此，可以抑制流動 OLED3006 之電流的偏差，可以抑制發光亮度的變動。

使用第 32 圖說明在各被施加於在線性區域中動作的驅動 TFT3004 和 OLED3006 之電壓的關係。第 32 圖(A)是為了說明而僅表示第 30 圖中之驅動 TFT3004 和 OLED3006 的圖示。在此，驅動 TFT3004 之源極端子被連接於電源線 3005 上。以 V_{ds} 表示驅動 TFT3004 之源極、汲極間電壓。以 V_{oled} 表示 OLED3006 之陰極和陽極間之電壓。以 I_{oled} 表示流動 OLED3006 之電流。電流 I_{oled} 是與驅動 TFT3004 之汲極電流 I_d 相等。以 V_{dd} 表示電源線 3005 之電位。OLED3006 之對向電極之電位是被設為 0V。於第 32 圖(B)中

五、發明說明(5)

，3202 是表示 OLED3006 之 V_{OLED} 和 I_{OLED} (I-V 特性)的曲線。再者，3201 是表示第 31 圖(B)中閘極電極為 V_{gs2} 之時的驅動 TFT3004 之源極、汲極間電壓 V_s 和汲極電流 $I_d(I_{OLED})$ 之關係的曲線。驅動 TFT3004 及 OLED3006 之動作條件(動作點)是藉由該 2 個曲線之交叉點而決定。而且，驅動 TFT3004 因在線性區域動作，故顯示於圖中之線性區域中的曲線 3201 和曲線 3202a 之交叉點 3203a 則成為動作點。即是，OLED3006 之陽極和陰極之間的電壓為 V_{A1} ，電流則成為 I_{OLED1} 。

另外，於具有電流寫入型類比方式之畫素之顯示裝置中，藉由訊號線(源極訊號線)輸入訊號電流於各畫素中。在此，訊號電流是線性地對應視頻訊號之亮度資訊的電流訊號。將所輸入之訊號電流當作汲極電流的 TFT 之閘極電壓是被保持於電容部。即使在如此之畫素上不執行藉由源極訊號線輸入訊號電流之後，也持續將藉由電容部而所記憶之電流流至 OLED。如此一來，利用使輸入於源極訊號線之訊號電流予以變化，而變化流至 OLED 之電流，進而控制 OLED 之發光亮度表現灰階。

以電流寫入型類比方式之畫素之例而言，第 33 圖是表示揭示於「I DW '00' p235: Active Matrix Poly LED Displays」的畫素構造，說明其驅動方法。於第 33 圖中畫素是藉由 OLED3306、選擇 TFT3301、驅動 TFT3303、電容元件(保持電容)3305 保持 TFT3302、發光 TFT3304、源極訊號線 3307、第 1 閘極訊號線 3308、第 2 閘極訊號線 3309、

五、發明說明(6)

第 3 閘極訊號線 3310、電源線 3311 所構成。

選擇 TFT3301 之閘極電極是被連接於第 1 閘極訊號線 3308。選擇 TFT3301 之源極端子和汲極端子是一方被連接於源極訊號線 3307 上，另一方則被連接於驅動 TFT3303 之源極端子或汲極端子、保持 TFT3302 之源極端子或汲極端子及發光 TFT3304 之源極端子或汲極端子上。在保持 TFT3302 之源極端子和汲極端子上，不與選擇 TFT3301 連接之側，是連接有保持電容 3305 之一方的電極及驅動 TFT3303 之閘極電極。無與保持電容 3305 之保持 TFT3302 連接之側，是連接有電源線 3311。保持 TFT3302 之閘極電極是連接於第 2 閘極訊號線 3309。在驅動 TFT3303 之源極端子和汲極端子上，無與選擇 TFT3301 連接之側，是連接有電源線 3311。在發光 TFT3304 之源極端子和汲極端子上，無與選擇 TFT3301 連接之側，是連接有 OLED3306 之一方的電極 3306a。發光 TFT3304 之閘極電極是被連接於第 3 閘極訊號線 3310。OLED3306 之另一方電極 3306b 是被保持著一定電位。並且，OLED3306 之兩個電極 3306a 及 3306b 中，將被連接於發光 TFT3304 之側的電極 3306a 稱做畫素電極，將另一方之電極 3306b 稱做對向電極。

於第 33 圖所示之構成的畫素中，輸入於源極訊號線之訊號電流之電流值，是被設為藉由視頻訊號輸入電流值 3312 所控制之構成。而且實際上，對應於多數畫素列之多數視頻訊號輸入電流源 3312，是相當於源極訊號線驅動電路之一部分。在此，是表示將選擇 TFT3301、保持 TFT3302

五、發明說明(7)

及發光 TFT3304 當作 n 通道型 TFT，將驅動 TFT3303 當作 p 通道型 TFT 將畫素電極 3306a 當作陽極之構成的畫素例。

使用第 34 圖及第 35 圖說明第 33 圖之構成的畫素之驅動方法。並且，於第 34 圖中選擇 TFRT3301、保持 TFT3302 及發光 TFT3304 是為了能易了解導通狀態、非導通狀態，而表示記載成開關。再者，(TA1)~(TA4)各畫素之狀態是對應於第 35 圖之時序圖中之期間 TA1~TA4 之狀態。

於第 35 圖中，G__1、G__2、G__3 是各表示第 1 閘極訊號線 3308、第 2 閘極訊號線 3309、第 3 閘極訊號線 3310 之電位。再者， $|V_{gs}|$ 是驅動 TFT3303 之閘極電極(閘極源極間電壓)之絕對值。 I_{OLED} 是流動 OLED3306 之電流。 I_{VIDEO} 是藉由視頻訊號輸入電流值 3312 之電流值。

於期間 TA1 中，當依據被輸入於第 1 閘極訊號線 3308 之訊號，選擇期間 TFT 成為導通狀態，再者，依據被輸入於第 2 閘極訊號線 3309 之訊號，保持 TFT3302 成為導通狀態之時，電源線 3311 透過驅動 TFT3303 及選擇 TFT3301，而與源極訊號線 3307 連接。因於源極訊號線 3307 流動藉由視頻訊號輸入電流源 3312 而設定的電流量 I_{VIDEO} ，故當經過充分時間成為正常狀態時，驅動 TFT3303 之汲極電流則成為 I_{VIDEO} ，對應於汲極電流 I_{VIDEO} 之閘極電壓則被保持於保持電容 3005 中。此時，發光 TFT3304 為非導通狀態。電壓被保持於保持電容 3305 中，驅動 TFT3303 之汲極電流被設定成 I_{VIDEO} 之後，則於期間 TA2 中，第 2 閘極訊號線 3309 之訊號變化，且保持 TFT3302 成為非導通狀態。

五、發明說明(8)

接著，於期間 TA3 中，第 1 閘極訊號線 3308 之訊號變化，且選擇 TFT3301 成為非導通狀態。再者於期間 TA4 中，當藉由被輸入於第 3 閘極訊號線 3310 之訊號，發光 TFT3304 成為導通狀態時，訊號電流 I_{VIDEO} 則由電源線 3311 經由源極、汲極間而被輸入至 OLED。如此一來，OLED3306 是以對應著訊號電流 I_{VIDEO} 之亮度來發光。

將期間 TA1~TA4 之一連串動作稱做訊號電流 I_{VIDEO} 之寫入動作。此時，藉由類比性地變化訊號電流 I_{VIDEO} ，使 OLED3306 之亮度予以變化，而表現灰階。

而且，於第 35 圖之時序圖中，期間 TA1 中驅動用 TFT3303 之閘極電壓之絕對值 $|V_{gs}|$ ，是隨著時間之經過而增加，且表示保持對應於汲極電流 I_{VIDEO} ，之閘極電壓之動作。這是相當於執行來自於電荷無被保持於保持電容 3305 中之狀態的寫入動作之情形，或在之前的寫入動作中被保持之驅動 TFT3303 之閘極電壓之絕對值 $|V_{gs}|$ ，比在下一個寫入動作中流動藉由視頻訊號輸入電流源 3312 而設定之一定汲極電流之時的驅動 TFT3303 之閘極電壓的絕對值 $|V_{gs}|$ 小之情形。

不限定於此，在之前的寫入動作中所保持之驅動 TFT3303 之閘極電壓的絕對值 $|V_{gs}|$ ，是比在下一個寫入動作中流動藉由視頻訊號輸入電流源 3312 而設定之一定汲極電流時的驅動 TFT3303 之閘極電壓的絕對值 $|V_{gs}|$ 大之時，則在 TA1 中驅動用 TFT3303 之閘極電壓之絕對值 $|V_{gs}|$ 是隨著時間經過而減少，成為保持對應於汲極電流 I_{VIDEO}

訂

五、發明說明(9)

之閘極電壓的動作。

如上述般，於電流寫入型類比方式之顯示裝置中，驅動 TFT3303 是在飽和區域動作。驅動 TFT3303 之汲極電流是藉由源極訊號線 3307 所輸入之訊號電流而被設定。即是，驅動 TFT3303 即使有臨界電壓或移動度等之偏差，亦可持續流動一定之汲極電流地使閘極電壓自動變化。

接著，第 29 圖是表示記載於日本特開 2001-147659 公報之畫素構造，以此作為電流寫入型類比方式之畫素的其他例，詳細說明其驅動方法。於第 29 圖中，畫素是藉由 OLED2906、選擇 TFT2901、驅動 TFT2903、電流 TFT2904、電容元件(保持電容)2905、保持 TFT2902、源極訊號線 2907、第 1 閘極訊號線 2908、第 2 閘極訊號線 2909、電源線 2911 所構成。

選擇 TFT2901 之閘極電極是被連接於第 1 閘極訊號線 2908。選擇 TFT2901 之源極端子和汲極端子是一方被連接於源極訊號線 2907，另一方則被連接電流 TFT2904 之源極端子或汲極端子及保持 TFT2902 之源極端子或汲極端子上。在電流 TFT2904 之源極端子和汲極端子上，無與選擇 TFT2901 連接之側，是連接有電源線 2911。在保持 TFT2902 之源極端子和汲極端子上，無與選擇 TFT2901 連接之側，是連接有保持電容 2905 之一方的電極及驅動 TFT2903 之閘極電極。保持電容 2905 之另一方側是連接有電源線 2911。保持 TFT2902 之閘極電極是連接有第 2 閘極訊號線 2909。驅動 TFT2903 之源極端子和汲極端子之一方是被連接於電

五、發明說明(10)

源線 2911 上，另一方則與 OLED2906 之一方電極 2906a 連接。OLED2906 之另一方電極 2906b 是被保持成一定電位。並且，將被連接於 OLED2906 之驅動 TFT2903 之側的電極 2906a 稱做畫素電極，將另一方之電極 2906b 稱做對向電極。

於第 29 圖所示之構成的畫素中，輸入於源極訊號線之訊號電流之電流值，是被設為藉由視頻訊號輸入電流值 2912 所控制之構成。而且實際上，對應於多數畫素列之多數視頻訊號輸入電流源 2912，是相當於源極訊號線驅動電路之一部分。

於第 29 圖中，是表示將選擇 TFT2901、保持 TFT2902 當作 n 通道型 TFT，以 p 通道型 TFT 構成驅動 TFT2903、電流 TFT2904，並將畫素電極 2906a 當作陽極之構成的畫素例。在此，為了簡便，將驅動 TFT2903 之電流特性是構想成與電流 TFT2904 之電流特性相等者。使用第 28 圖及第 27 圖說明第 29 圖之構成的畫素之驅動方法。並且，於第 28 圖中選擇 TFRT2901、保持 TFT2902 是為了能易了解導通狀態、非導通狀態，而表示記載成開關。再者，(TA1)~(TA4) 各畫素之狀態是對應於第 27 圖之時序圖中之期間 TA1~TA4 之狀態。

於第 27 圖中，G₁、G₂ 是各表示第 1 閘極訊號線 2908、第 2 閘極訊號線 2909 之電位。再者， $|V_{gs}|$ 是驅動 TFT2903 之閘極電極(閘極源極間電壓)之絕對值。 I_{OLED} 是流動 OLED2906 之電流。 I_{VIDEO} 是藉由視頻訊號輸入電流值

五、發明說明(11)

2912 之電流值。

於期間 TA1 中，當依據被輸入於第 1 閘極訊號線 2908 之訊號，選擇期間 TFT2901 成為導通狀態，再者，依據被輸入於第 2 閘極訊號線 2909 之訊號，保持 TFT2902 成為導通狀態之時，電源線 2911 透過電流 TFT2904、保持 TFT2902 及選擇 TFT2901，而與源極訊號線 2907 連接。因於源極訊號線 2907 流動藉由視頻訊號輸入電流源 2912 而設定的電流量 I_{VIDEO} ，故當成為正常狀態時，電流 TFT2904 之汲極電流則成為 I_{VIDEO} ，對應於此之閘極電壓則被保持於保持電容 2905 中。

電壓被保持於保持電容 2905，電流 TFT2904 之汲極電流被設定成 I_{VIDEO} 後，於期間 TA2 中，第 2 閘極訊號線 2909 之訊號變化，並且保持 TFT2902 成為非導通狀態。此時，於驅動 TFT2903 流動著 I_{VIDEO} 之汲極電流。訊號電流 I_{VIDEO} 是透過驅動 TFT2903 而被輸入至 OLED2906。OLED2906 是以對應著訊號電流 I_{VIDEO} 之亮度來發光。

接著，於期間 TA3 中，第 1 閘極訊號線 2908 之訊號變化，並且選擇 TFT2901 成為非導通狀態。選擇 TFT2901 成為非導通狀態之後，訊號電流 I_{VIDEO} 是由電源線 2911 透過驅動 TFT2903 而被供給至 OLED，OLED2906 是持續發光。

將期間 TA1~TA3 之一連串動作稱做訊號電流 I_{VIDEO} 之寫入動作。此時，藉由類比性地變化訊號電流 I_{VIDEO} ，使 OLED3306 之亮度予以變化，而表現灰階。

如上述般，於電流寫入型類比方式之顯示裝置中，驅

五、發明說明(12)

動 TFT2903 是在飽和區域動作。驅動 TFT2903 之汲極電流是藉由源極訊號線 2907 所輸入之訊號電流而被設定。即是，若使相同畫素內之驅動 TFT2903 和電流 TFT2904 之電流特性一致，驅動 TFT2903 即使有臨界電壓或移動度等之偏差，亦可持續流動一定之汲極電流地使閘極電壓自動變化。

施加於 OLED 之電壓和流動的電流量之關係(I-V 特性)，是藉由周圍之環境溫度或 OLED 之惡化等之影響而變化。因此，在線性區域中使代表以往之電壓寫入型之數位方式的驅動 TFT 予以動作之顯示裝置中，即使施加一定電壓於 OLED 之兩電極間之時，實際所流動之電流變化亦成為問題。

第 36 圖是針對以往之電壓寫入型，使用數位方式之驅動方法的顯示裝置中，藉由 OLED 之 I-V 特性惡化等而變化之時的動作點之變化而予以表示。

第 36 圖(A)是僅表示第 30 圖中之驅動 TFT3004 和 OLED3006 的圖示。在此，驅動 TFT3004 之源極端子是被連接於電源線 3005 上。以 V_{ds} 表示驅動 TFT3004 之源極、汲極間電壓。以 V_{OLED} 來表示 OLED3006 之陰極和陽極間之電壓。電流 I_{OLED} 是與驅動 TFT3004 之汲極電流 I_d 相等。以 V_{dd} 來表示電源線 3005 之電位。再者，將 OLED3006 之對向電極之電位設為 0V。

於第 36 圖(B)中，曲線 3202a 是表示惡化前之 OLED3006 之 I-v 特性，曲線 3202b 是表示惡化後之 Iv 特性

五、發明說明(13)

。惡化前之驅動 TFT3004 及 OLED3006 之動作條件是由曲線 3202a 和曲線 3201 之交叉點 3202a 所決定。惡化後之驅動 TFT3004 及 OLED3006 之動作條件是由曲線 3202b 和曲線 3201 之交叉點 3203b 所決定。

於選擇發光狀態之畫素中，驅動 TFT3004 是輸入可成為導通狀態之閘極電位。此時，OLED3006 之兩電極間之電壓為 V_{A1} 。當 OLED3006 惡化，其 I-V 特性變化時，即使輸入相同閘極電壓動作點也變化，即使 OLED3006 之兩電極之電壓與 V_{A1} 幾乎相同，流動之電流亦從 I_{OLED1} 變化至 I_{OLED2} 。如此一來，依據各畫素之 OLED3006 之惡化狀況，變化 OLED3006 之發光亮度。

另外，具有第 33 圖或第 29 圖所示般之畫素構成的使用以往電流寫入型類比方式之驅動方法的顯示裝置中，是藉由將一定電流流動至 OLED 來表現灰階。使用第 37 圖說明因惡化等而變化此時之 OLED 之 I-V 特性之時的影響。並且，與第 33 圖相同之部分是使用相同符號來表示，省略其說明。再者，於第 33 圖中，發光 TFT3304 是單純以開關來考慮，不必理會其源極、汲極間之電壓。

第 37 圖(A)是僅表示第 33 圖中之驅動 TFT3303 和 OLED3306 的圖示。在此，驅動 TFT3303 之源極端子是連接有電源線 3305。以 V_{ds} 表示驅動 TFT3303 之源極、汲極間電壓。以 V_{OLED} 表示 OLED3306 之陰極和陽極間之電壓。以 I_{OLED} 表示來表示流動 OLED3306 之電流。電流 I_{OLED} 是與驅動 TFT3303 之汲極電流 I_d 相等。以 V_{dd} 表示電源線 3305

五、發明說明(14)

之電位。再者，OLED3306之對向電極之電位是設為0V。

於第37圖(B)中，3710是表示驅動TFT3303之源極、汲極間電壓和汲極電流之關係的曲線。3702a是表示惡化前之OLED3306之I-V特性的曲線，3702b是表示惡化後之OLED3306之I-V特性的曲線。惡化前之驅動TFT3303及OLED3306之動作條件是由曲線3702a和曲線3701之交差點3203a所決定。惡化後之驅動TFT3303及OLED3306之動作條件是由曲線3702b和曲線3701之交叉點3703b所決定。

於電流寫入型類比方式之畫素中，驅動TFT3303是在飽和區域中動作。於OLED3306之惡化前後時，雖然OLED3306之兩電極間之電壓從 V_{B1} 變化至 V_{B2} ，但是流動OLED3306之電流是幾乎保持一定之 I_{OLED1} 。對應於在此所示之OLED之I-V特性之變化的驅動TFT及OLED之動作條件之變化，是與第29圖所示之畫素構成中，驅動TFT2903和OLED2906相同。

但是，於電流寫入型類比方式之驅動方法中，每當在各畫素中執行顯示時，則必須將響應訊號電流之電荷保持於各畫素之電容部(保持電容)，並予以修正。此時，訊號電流為小時配線之交叉電容則成為原因，於將訊號寫入於畫素時，因必須將用以保持一定之電荷於保持電容的時間增長，故將訊號電流俐落寫入則有困難。

再者，訊號電流為小時，由於執行訊號電流之寫入的畫素之外的被連接於源極訊號線之多數畫素所產生之漏電流等之雜訊影響大，故無法以正確亮度使畫素予以發光之

五、發明說明(15)

危險性高。

再者，具有代表第 29 圖所示般之畫素之電流鏡電路的畫素構成中，必須使電流鏡電路中連接閘極電極之 1 組 TFT 電流特性成為一致。但是，實際上，要使成為該組對的 TFT 之電流特性完全一致則有困難，會造成偏差。

在此，於第 29 圖中，將驅動 TFT2903 和電流 TFT2904 之臨界值各設為 V_{tha} 、 V_{thb} 。該些臨界值為參差不齊，當 V_{tha} 之絕對值 $|V_{tha}|$ 比 V_{thb} 之絕對值 $|V_{thb}|$ 小之時，則考察執行黑顯示之情形。流電電流 TFT2903 之汲極電流是相當於藉由視頻訊號輸入電流源 2912 而所設定之電流值 I_{oled1} ，被設為 0。但是，即使於電流 TFT2903 無流動汲極電流，亦可在保持電容 2905 上，保持比 $|V_{thb}|$ 略小的電壓。因此，在此，因 $|V_{thb}| > |V_{tha}|$ ，故驅動 TFT2903 之汲極電流有可能並非為 0。如此一來，即使在執行黑顯示之時，驅動 TFT2903 流動汲極電流，則導致 OLED2906 發光。因此，有造成對比度降低之問題。

而且，於以往之電流寫入型類比方式之顯示裝置中，雖然輸入訊號電流於各畫素之視頻訊號輸入電流源是被設置於每各畫素列上，但是必須使該些之電流特性完全一致，並且使電流值類比性正確地予以變化而加以控制。因此，於使用多晶半導體薄膜之電晶體中，製作電流特性一致之視頻訊號輸入電流源為困難。依此，視頻訊號輸入電流源是由 IC 晶片所製作。另外，形成畫素之基板由成本的面來看是在玻璃等之絕緣基板(具有絕緣表面之基板)上製作為

五、發明說明(16)

一般。在此，IC 晶片是必須貼在玻璃等之絕緣基板上。因此有於貼合之時所需要之面積大而無法縮小畫素區域周邊之框邊面積的問題。

在此，本發明是減於上述之提案而所創作出，其目的為提供一種可不因惡化等而造成電流特性變化，可以一定亮度使發光元件予以發光，並且，可加速對各畫素寫入訊號之速度，表現正確之灰階，再者，可低成本、小型化之顯示裝置及其驅動方法。

【發明之揭示】

本發明所涉及之顯示裝置是包含有畫素，由具有將第 1 電流變換成電壓之機構；保持所變換之上述電壓之機構；將所保持之上述電壓變換成第 2 電流之機構；和藉由數位之影像訊號，將上述第 2 電流流向發光元件之機構而所構成。

將上述所保持之上述電壓變換成第 2 電流之機構是包含有變換成與上述第 1 電流之電流值相等之第 2 電流，或與上述第 1 電流之電流值成比例之第 2 電流的機構。

本發明所涉及之顯示裝置是包含有藉由上述數位之影像訊號之外的訊號，使上述第 2 電流不流向上述發光元件之機構。

再者，該發明是一種是包含有具有流動一定電流之電流源電路，和藉由數位之影像訊號切換 ON、OFF(導通、非導通)之開關部的畫素，控制發光元件之發光的顯示裝置，

五、發明說明(17)

上述開關部和上述電流源電路和發光元件是被串聯連接。

而且，本發明之顯示裝置是包含具有第 1 端子和第 2 端子，將流動上述第 1 端子和上述第 2 端子之間的電流設定成一定的電流源電路(；具有第 3 端子和第 4 端子，藉由數位之影像訊號切換上述第 3 端子和上述第 4 端子間之導通狀態、非導通狀態的開關部；電源線；和電源基準線的畫素，當選擇上述第 3 端子和上述第 4 端子間的導通狀態時，於上述電源線和上述電源基準線之間連接著上述電流源電路、上述開關部及上述發光元件，使流動上述第 1 端子和上述第 2 端子間的電流可流至發光元件之陽極和陰極間。

再者，本發明所示之顯示裝置，是包含有畫素，由具有將第 1 電流當作第 1 電晶體之汲極電流之機構；保持上述第 1 電晶體之閘極電壓之機構；將上述閘極電壓設為與上述第 1 電晶體之極性相等的第 2 電晶體之閘極電壓的之機構；和藉由數位之影像訊號，使上述第 2 電晶體之汲極電流流至發光元件之機構所構成。

於上述顯示裝置中，上述第 1 電晶體之閘極長度和閘極寬度之比率和上述第 2 電晶體之閘極長度和閘極寬度之比率為不同，並且具有電氣性連接上述第 1 電晶體之閘極電極和汲極端子的機構。

再者，上述顯示裝置，是具有藉由上述數位之影像訊號之外的訊號，使上述第 2 電晶體之汲極電流不流至上述發光元件的機構。

五、發明說明(18)

本發明所涉及之顯示裝置是包含畫素，由具有將第 1 電流輸入至電晶體而當作上述電晶體之汲極電流之機構；保持上述電晶體之閘極電壓之機構；和藉由數位之影像訊號而施加電壓於上述電晶體之源極、汲極端子間，使藉由所保持之上述閘極電壓而設定的上述電晶體的汲極電流流至發光元件之機構所構成。

上述顯示裝置又具有電氣性連接上述電晶體之閘極電極和汲極端子的機構，並且具有藉由上述數位之影像訊號之外的訊號，使上述電晶體之汲極電流不流至上述發光元件的機構。

於上述顯示裝置中，第 1 電流是藉由上述數位之影像訊號而不變化。

於上述顯示裝置中，上述畫素是具有選擇對該畫素輸出上述數位之影像訊號的機構，和保持上述數位之影像訊號的機構。

再者，上述顯示裝置是具有多數上述畫素，上述第 1 電流之電流值是在多數上述畫素之至少一部分上為相同。

而且，本發明之顯示裝置，是具有輸入一定電流至上述畫素的驅動電路。

本發明所涉及之顯示裝置之驅動方法，是在畫素中，進行將所輸入之第 1 電流變換成第 1 電流，並保持所變換之上述電壓的第 1 動作；和將所保持之上述電壓變換成第 2 電流，並使上述第 2 電流流至發光元件的第 2 動作。

於上述驅動方法中，上述第 2 動作是包含選擇對上述

五、發明說明(19)

畫素輸入上述數位之影像訊號，並保持所輸入之上述數位之影像訊號的動作，上述第 1 動作和上述第 2 動作是獨立進行。

於上述驅動方法中，藉由使 1 幀期間中之上述第 2 電流流至上述發光元件之期間的比率予以變化，而表現灰階。

再者，上述驅動方法是將 1 幀期間分割成多數之子幀期間，並針對上述多數子幀期間，各執行上述第 2 動作，而表現灰階，並在上述多數子幀期間之至少一個中，藉由上述數位之影像訊號之外的訊號，使上述第 2 電流不流至上述發光元件，而設置非顯示期間，並在上述非顯示期間中執行上述第 1 動作。

使用第 1 圖說明上述本發明所涉及之顯示裝置及其驅動裝置之基本構成。

第 1 圖是表示本發明之顯示裝置之畫素之構成的模式圖。本發明之顯示裝置之各畫素是具有電流源電路和開關部和發光元件。發光元件和電流源電路和開關部是串聯地連接於電源基準線和電源線之間。而且，電流源電路是被設為流動所設定的一定電流。再者，發光元件是若為藉由電流或電壓等控制狀態之元件，則任何皆可。例如可舉出 EL 元件(尤其將使用有基材料者稱為 OLED)或 FE (Field Emssion)元件等。除此之外，若為藉由電流或電壓控制狀態之元件，則可適用於本發明。

OLED 是具有陽極和陰極和被挾持於其間之有基化合物

五、發明說明(20)

層的構成。陽極和陰極各對應於第 1 電極及第 2 電極，藉由施加電壓於該些電極間而使 OLED 發光。有機化合物層一般為疊層構造。可代表性舉例的有如「空穴輸送層/發光層/電子輸送層」般之疊層構造。除此之外，即使為在陽極上依序疊層空穴注入層/空穴輸送層/發光層/電子輸送層，或是空穴注入層/空穴輸送層/電子輸送層/電子注入層的構造亦可。即使對發光層摻雜螢光性色素等亦可。因此上述空穴注入層、空穴輸送層、發光層、電子輸送層、電子注入層等是包含所有的有機化合物層。當自一對電極(陽極和陰極)施加一定之電壓於上述構造所形成之有機化合物層時，在發光層中引起載子再次結合而予以發光。並且，OLED 即使為利用來自單重態激子的發光(螢光)者，或利用來自三重態的發光(磷光)者，任一者皆可。

於第 1 圖中代表性表示依發光元件、開關、電流源電路之順序被串聯連接於電源基準線和電源線之間的構成。本發明並不限定於此，例如即使為一發光元件、電流源電路、開關部之順序被串聯連接於電源基準線和電源線之間的構成亦可。即是，發光元件、電流源電路、開關部即使以任何順序被串聯連接於電源基準線和電源線之間亦可。而且，開關部即使被多數設置亦可。例如，可以設置成在電源基準線和電源線之間，串聯連接發光元件和第 1 開關部和第 2 開關部和電流源電路的構成。再者，開關部即使為與電流源電路之一部分共有的構成亦可。即是，即使為將構成電流源電路之元件的一部分當作開關部使用的構成

五、發明說明(21)

亦可。

依據使用數位之影像訊號，切換開關部之 ON、OFF(導通、非導通)。再者，流動電流源電路之一定電流的大小，是藉由自畫素外部所輸入之控制訊號而設定。開關部為 ON 狀態之時，則於發光元件流動藉由電流源電路而設定之一定電流，進而予以發光。開關部為 OFF 狀態之時，則於發光元件不流動電流，不予以發光。如此，依據影像訊號控制開關部之 ON、OFF 而表現灰階。

設置多數開關部之時，該些多數開關部各切換 ON、OFF 之訊號，即使為影像訊號或其他任意之訊號，或是影像訊號和其他之任意訊號之雙方亦可。但是，多數開關部中之至少 1 個開關部是必須藉由影像訊號而切換 ON、OFF。例如，為於電源基準線和電源線之間，串聯連接發光元件和第 1 開關部和第 2 開關部和電流源電路之構成時，可以設定成第 1 開關部是藉由影像訊號切換 ON、OFF，第 2 開關部是藉由影像訊號之外的訊號來切換 ON、OFF 的構成。或是亦可設定成第 1 開關部、第 2 開關部同時是藉由影像訊號切換 ON、OFF 之構成。

於本發明之顯示裝置中，驅動開關部之影像訊號之外，另輸入用以設定流動電流源電路之一定訊號的控制訊號。即使以電壓訊號或電流訊號作為控制訊號亦可。再者，書控制訊號於電流源電路之時機，是可以任意設定。對電流源電路輸入控制訊號，即使與對開關部輸入影像訊號同步亦可，即使為非同步亦可。

五、發明說明(22)

於本發明之顯示裝置中，因執行畫像顯示之時流動於發光元件之電流被保持一定，故不因發光元件惡化而致使電流特性變化，可以一定亮度予以發光。

於本發明之顯示裝置中，其特徵具有流動配置在各畫素之電流源電路的電流大小，是藉由影像訊號之外的訊號而所控制，經常為一定。再者，使用數位之影像訊號驅動開關部，選擇使一定電流流動或不流動於發光元件，而切換發光狀態、非發光狀態，以數位方式來表現灰階之點。

於本發明之顯示裝置之畫素構成中，藉由影像訊號發光狀態無被選擇之畫素，因藉由開關部被輸入至發光元件之電流完全被遮蔽，故可表現正確之灰階。即是，可以為了顯示黑色，而避免些許發光。因此，可以抑制對比度下降。再者，因依據以數位之影像訊號選擇開關部之 ON、OFF 狀態，選擇各畫素之發光狀態或非發光狀態，故可以加速對畫素寫入影像訊號。

於以往之電流寫入型類比方式之畫素構成中，是必須配合亮度而縮小輸入於畫素之電流，有受雜訊影響較大之問題。另外，於本發明之顯示裝置之畫素構成中，若將流動電流源電路的一定電流設定成某程度的大電流值，則可以降低雜訊之影響。

再者，於以往之電流寫入型類比方式之畫素時，影像訊號為電流。因此，為了更寫影響資訊，則必須以配合其亮度之電流值，更寫保持畫素之影像資訊。此時，1 幀期間因為 1/60 秒，故在其時間內需要每幀更寫全畫素之影像資

五、發明說明(23)

訊。因此，若決定顯示裝置之規格(例如，畫素數等)，則在每 1 畫素所決定之時間內，必須更寫影像資訊。因此，尤其當訊號電流值小時，因配線負荷(交叉電容或配線電阻等)之影響，造成在所決定之時間內正確更寫影像資訊為困難。

但是，於本發明中，影像訊號外另輸入控制訊號，設定流動畫素電流源電路的電流值。然後，輸入控制訊號之時機，或所輸入之期間，或所輸入之週期為任意。因此，可以避免造成以往之情形般的狀態。

而且，於以往之電流寫入型類比方式之顯示裝置中，必須設置用以將對應著影像訊號之類比的訊號電流輸入至配置在各畫素之電流源電路上。該驅動電路因以對各畫素正確地輸出類比的訊號電流為最理想，故需以 IC 晶片來製作。因此，有成本高，小型化難之問題。另外，於本發明之顯示裝置中，不需要用以將流動配置在各畫素之電流源電路的電流值配合影像訊號而使其變化的驅動電路。即是，為不需要用 IC 晶片來製作之外裝驅動電路的構成，故可以實現低成本及小型化。

如此一來，可提供不因發光元件惡化而使電流特性變化，可以一定之亮度予以發光，並且，寫入訊號至各畫素的速度既快又可表現正確之灰階，再者，低成本且小型化之顯示裝置及其驅動方法。

【用以實施本發明之最佳形態】

五、發明說明(24)

第 3 圖(A)是表示本發明之顯示裝置之畫素的構成模式圖。於第 3 圖(A)中，各畫素 100 是藉由掃描線 G、影像訊號輸入線 S、電源線 W、開關部 101、電流源電路 102 及發光元件 106 而所構成。

於各畫素 100 中，開關部 101 是具有端子 C 及端子 D。發光元件 106 之畫素電極 106a 是與開關部之端子 D 連接。開關部之端子 C 是與電流源電路 102 之端子 B 連接。電流源電路 102 之端子 A 是與電源線 W 連接。電流源 102 是藉由在圖中配置箭號的記號而模式性地予以表示。電流源電路 102 是將正的一定電流向該記號之箭號方向流動，即是自端子 A 朝向朝向端子 B 之方向。將端子 A 或端子 B 之一方稱做電流源電路 102 之輸入端子，另一方則稱做電流源 102 之輸出端子。

藉由影像訊號輸入線 S 輸入選擇發光狀態之訊號的畫素 100 中，開關部 101 之端子 C 和端子 D 間成為導通狀態。如此一來，經由開關部 101 之端子 C 和端子 D 間及電流源電路 102 之端子 A 和端子 B 間，發光元件 106 之畫素電極 106a 則與電源線 W 連接。

開關部 101 是具有依據藉由掃描線 G 所輸入的訊號而切換對影像訊號輸入線 S 上之影像訊號之畫素之輸入的第 1 開關，和藉由被輸入至畫素之影像訊號切換 ON、OFF 的第 2 開關。依據切換第 2 開關之 ON、OFF，切換開關部之端子 C 和端子 D 之間的導通及非導通狀態。將端子 C 或端子 D 之一方稱做開關部 101 之輸入端子，另一方則稱做開關部

五、發明說明(25)

101 之輸出端子

發光元件 106 是表示將電流自畫素電極 106a 朝向對向電極 106b，或朝向其相反方向流動，響應其電流而變化亮度的元件。

於第 3 圖(A)中，因電流源電路 102 之端子 A 被連接於電源線 W，端子 B 透過開關部 101 之端子 C 和端子 D 間，被連接於發光元件 106 之畫素電極 106a，故發光元件 106 之畫素電極 106a 成為陽極，對向電極 106b 成為陰極。此時，給予至發光元件 106 之對向電極 106b 之電位 Vcom 是被設定成比電源線 W 之電位低。電位 Vcom 是藉由電源基準線(無圖示)而被給予。

另外，即使為電流源電路 102 之端子 A 連接於開關部 101 之端子 C，端子 B 被連接於電源線 W 之構造亦可。此時，發光元件 106 之畫素電極 106a 成為陰極，對向電極 106b 成為陽極。被給予至發光元件 106 之對向電極 106b 之電位 Vcom 是被設定成比電源線 W 之電位高。

再者，因電流源電路 102 和開關部 101 和發光元件 106 之連接順序為任意即可，故例如，電流源電路 102 即使被配置在開關部 101 和發光元件 106 之間亦可。即是，即使為電流源電路 102 之端子 B 與發光元件 106 之畫素電極 106a 連接，電流源電路 102 之端子 A 與開關部 101 之端子 D 連接，開關部 101 之端子 C 與電源線 W 連接之構造亦可。即是，電流源電路 102 之端子 A 與發光元件 106 之畫素電極連接，電流源電路 102 之端子 B 與該關部 101 之端子 D

五、發明說明(26)

連接，開關部 101 之端子 C 與電源線 W 連接的構成亦可。此時，發光元件 106 之畫素電極 106a 成為陰極，對向電極 106b 成為陽極。此時，被給予至發光元件 106 之對向電極 106b 的電位 V_{com} ，是被設定成比電源線 W 之電位高。

於開關部 101，端子 C 和端子 D 間成為導通狀態之畫素 100 中，藉由電流源電路 102 而設定之一定電流被輸入發光元件 106 中，發光元件 106 則發光。

電流源電路 102 之基本構造例如第 3 圖(B)及第 3 圖(C)所示般。可舉出流動各畫素之電流源的一定電流是藉由電流訊號而被設定的電流源電路的例子。將如此構成之電流源電路稱做電流控制型電流源電路。第 3 圖(B)及第 3 圖(C)中之端子 A 及端子 B 於第 3 圖(A)中是對應於端子 A 及端子 B。

於第 3 圖(B)及第 3 圖(C)中，電流源電路 102 是具有電晶體(電流源電晶體)112 和電容元件(電流源電容)111。在飽和區域動作的電流源電晶體 112 之汲極電流是成為對應於由畫素外部所輸入的一定電流(以下，表示記載成基準電流)的一定電流(以下，表示記載成畫素基準電流)。即是，由畫素外部輸入一定電流(基準電流)。此時的閘極電壓 V_{gs} (以下，表示記載成畫素對應基準電壓)是當藉由電流源電容 111 被保持時，則在電流源電晶體 112 在飽和區域動作時，對應於基準電流的一定電流(畫素基準電流)當作汲極電流而流向電流源電晶體 112 及發光元件 106。如此一來，由外部之電流源不輸入基準電流後，電流源電晶體 112 也是當施

訂

五、發明說明(27)

加電壓於源極、汲極間時，響應被電流源電容 111 保持的畫素對應基準電壓而流動畫素基準電流。而且，電流源電容 111 亦可藉由利用其他的電晶體之閘極電容等而省略。

在各畫素上所配置的電流源電容 111 中，將電流源電晶體 112 取得並保持用以流動畫素基準電流所需的閘極電壓的動作稱做畫素之設定度做。並且，作為本發明中之電晶體，即使為薄膜電晶體(TFT)，或單晶電晶體等之電晶體中之任一者亦可。

再者，即使為利用有機物的電晶體亦可。例如，作為單晶電晶體，可以為使用 SOI 技術而形成的電晶體。作為薄膜電晶體，即使為使用多晶半導體或非晶質半導體當作活性層者亦可。例如，可以為使用聚矽的 TFT，或使用非晶矽的 TFT。

於電流源電路 102 中，汲極電流流至電流源電晶體 112 之時，電流源電容 111 之一方電極是與電流源電晶體 112 之閘極電極連接，另一方(圖中，以端子 A'表示)是被給予一定電位。藉由被電流源電容 111 所保持的電荷，保存電流源電晶體 112 之閘極電極的電位(閘極電位)。在此，雖然即使端子 A'之電位和電流源電晶體 112 的源極端子之電位相同亦可，不相同亦可，但是，於電流源電晶體 112 流動畫素基準電流時，各端子間的電位差經常為相同。如此一來，於電流源電晶體 112 流動畫素基準電流之時的閘極電壓 V_{gs} (畫素對應基準電壓)則被保持。在飽和區域動作的電晶體中，響應閘極電壓 V_{gs} 汲極電流也變化。因此，即使

五、發明說明(28)

源極端子之電位變化，爲了使閘極電壓 V_{gs} 爲一定，端子 A' 是被連接於源極端子上爲理想。而且，於第 3 圖(B)和第 3 圖(C)中，電流源電晶體 112 之極性爲不同。於第 3 圖(B)中，電流源電晶體 112 爲 p 通道型，第 3 圖(C)中爲 n 通道型。

於如第 3 圖(A)所示般地被連接，電流源電晶體 112 爲 p 通道型之時，電流源電晶體 112 是電流從源極端子流至汲極端子。再者，電流源電晶體 112 爲 n 通道型之時，電流則從電流源電晶體 112 之汲極端子流向源極端子。依此，電流源電晶體 112 爲 p 通道型之時，電流源電晶體 112 之源極端子是被端子 A 連接，汲極端子是被端子 B 連接。另外，電流源電晶體 112 爲 n 通道型之時，電流源電晶體 112 之汲極端子被端子 A 連接，源極端子則被端子 B 連接。

作爲藉由從畫素外部所輸入之電流訊號(基準電流)來控制畫素基準電流的手段，大致分爲 2 種方法。

第 1 種是命名爲電流鏡方式的方法。電流鏡電路是具有與閘極電極電氣性連接的 1 對電晶體，具有一方電晶體的閘極電極和汲極端子電氣性連接的構成。於電流鏡方式中，構成電流鏡電路的 1 對電晶體中，將一方之電晶體當作電流源電晶體 112，將另一方之電晶體當作電流電晶體。爲將電流電晶體之汲極端子和閘極電極電氣性連接，於其源極、汲極間輸入基準電流的手法。

另一種是命名爲同一電晶體方式的方法。同一電晶體方式是在汲極端子和閘極電極被電氣性連接的電流源電晶

五、發明說明(29)

體 112 的源極、汲極間，直接輸入基準電流的手法。而且，作為同一電晶體方式之變形，則稱為多閘方式。

將使用電流鏡方式的電流源電路稱為電流方式的電流源電路，將使用同一電晶體方式的電流源電路稱為同一電晶體方式的電流源電路，將使用多閘方式的電流電路稱為多閘方式的電流源電路。電流源電路 102 一旦，輸入基準電流則將畫素對應基準電壓保持於電流源電容 111，執行畫素設定動作後，被電流源電容 111 所保持之電荷在不放電之範圍下，無須再次執行輸入基準電流之動作。被電流源電容 111 所保持之電荷，實際上，因漏電流或各種雜訊之影響，當時間經過時，則造成變化。在此，需要定期性的反覆執行畫素設定動作。但是，一旦，執行畫素設定動作後，定期性執行的畫素設定動作中，僅將因漏電流而使被電流源電容所保持之電荷產生變化的部分，修正保持電荷即可。因此，比起開始的畫素設定動作，之後定期性執行的畫素設定動作所花需之時間以較短時間即可。

(實施形態 1)

表示本發明之顯示裝置之畫素構成的一例。第 4 圖是表示配置在各畫素上的電流源電路之構成例。於第 4 圖中，與第 3 圖相同之部分使用相同符號表示。於第 4 圖中，表示電流鏡方式之電流源電路的例。電流源電路 102 是藉由電流源電容 111、電流源電晶體 112、電流電晶體 1405、電流輸入電晶體 1403、電流保持電晶體 1404、電流線 CL、

五、發明說明（30）

訊號線 GN、訊號線 GH 而所構成。電流源電晶體 112 和電流電晶體 1405 因是以一對來構成電流鏡電路，故極性必須相等。再者，在相同畫素內之該兩個電晶體的電流特性以相等為較理想。在此，於本實施形態中，電流源電晶體 112 和電流電晶體 1405 是設定成相等。

於第 4 圖中，表示將電流源電晶體 112 及電流電晶體 1405 設為 p 通道型的例。而且，將電流源電晶體 112 及電流電晶體 1405 設為 n 通道型之情形，隨著第 3 圖(C)所示之構造，亦可容易應用。將此時之例表示於第 23 圖。於第 23 圖中，與第 4 圖相同之部分使用相同符號表示。於第 23 圖中，追加電晶體 1801 及 1803 是為了於畫素設定動作之時防止電流流動至電流源電晶體 112 而所設置。即是，於畫素設定動作時，追加電晶體 1801 及 1803 為非導通狀態。另外，於執行畫像顯示之時則為導通狀態。再者，追加電晶體 1802 是為了於執行畫像顯示時防止電流流動於電流電晶體 1405 而所設置。即是，於畫素設定動作時，追加電晶體 1802 為導通狀態。另外，於執行畫像顯示之時，則為非導通狀態。

以下，以第 4 圖為例予以說明。電流輸入電晶體 1403、電流保持電晶體 1404 雖然為 n 通道型，但是即使為單以開關動作的 p 通道型亦可。

電流源電晶體 112 之閘極電極和電流電晶體 1405 之閘極電極及電流源電容 111 之一方的電極是被連接。再者，電流源電容 111 之另一方電極是與電流源電晶體 112 之源

五、發明說明(31)

極端子及電流電晶體 1405 之源極端子連接，並與電流源電路 102 之端子 A 連接。電流電晶體 1405 之閘極電極和汲極端子是透過電流保持電晶體 1404 之源極、汲極端子間而被連接。電流保持電晶體 1404 之閘極電極是與訊號線 GH 連接。電流電晶體 1405 之汲極端子和電流線 CL 是透過電流電晶體 1403 之源極、汲極端子間而被連接。電流輸入電晶體 1403 之閘極電極是與訓練線 GN 連接。再者，電流源電晶體 112 之汲極端子是與端子 B 連接。

於且於上述構成中，即使將電流輸入電晶體 1403 配置在電流電晶體 1405 和端子 A 之間亦可。即是，即使為電流電晶體 1405 之源極端子透過電流輸入電晶體 1403 之源極、汲極端子間而與端子 A 連接，電流電晶體 1405 之汲極端子與電流線 CL 連接之構成亦可。

再者，於上述構成中，即使電流電晶體 1405 及電流源電晶體 112 之閘極電極不透過電流輸入電晶體 1403 之源極、汲極端子間，而與電流線於電流源電晶體 CL 連接亦可。即是，即使為電流保持電晶體 1404 之源極端子及汲極端子之不與電流電晶體 1405 及電流源電晶體 112 的閘極電極連接之側，直接與電流線 CL 連接的成亦可。此時，藉由調整電流線 CL 的電位，可以縮小電流保持電晶體 1404 之源極、汲極間電壓。其結果，電流保持電晶體 1404 為非導通狀態時，可以縮小電流導持電晶體 1404 的漏電流。

限定於此，電流保持電晶體 1404 成為導通狀態之時，若使電流電晶體 1405 之閘極電極的電位與電流線 DL 之電

五、發明說明(32)

位相等而連接即可。即是，於畫素設定動作時，若如 61 圖(a)所示般，於發光時，若如第 61 圖(b)即可。即是，如此地被連接有配線或開關即可。因此即使成為第 67 圖般亦可。而且，於第 67 圖中，與第 4 圖相同之部分使用相同符號表示，省略說明。

接著，將第 3 圖(A)中之開關部的構成例表示於第 13 圖中。並且，於第 13 圖中，與第 3 圖相同之部分使用相同符號表示。於第 13 圖中，開關部 101 是藉由 3 個電晶體(選擇電晶體 301、驅動電晶體 302、消去電晶體 304)，和 1 個電容元件(保持電容 303)所構成。保持電容 303 是依據之閘極電容等，而可以省略。

於第 13 圖中，雖然將驅動電晶體 302 設為 p 通道型，將選擇電晶體 301 及消去電晶體 304 設為 n 通道型，但是並不限定於此構成。因僅作為開關動作，故即使選擇電晶體 301、驅動電晶體 302、消去電晶體 304 各為 n 通道型或 p 通道型中之任一者亦可。

而且，驅動電晶體 302 即使在飽和區域予以動作亦可。依據使驅動電晶體 302 在飽和區域動作，而可補充與驅動電晶體 302 串聯連接的電流源電路之電流源電晶體 112 之飽和區域特性。飽和區域特性是表示對於源極、汲極間電壓，汲極電流被保持一定的特性。再者，補充飽和區域特性是指即使在飽和區域中動作的電流源電晶體 112 中，隨著增加源極、汲極間電壓而抑制增加汲極電流之意。而且，取得上述效果，驅動電晶體 302 和電流源電晶體 112

五、發明說明 (33)

必須為同極性。

針對補充上述飽和區域特性之效果說明如下。例如，當注目於增加電流源電晶體 112 之源極、汲極間電壓之時。電流源電晶體 112 和驅動電晶體 302 是被串聯連接。依此，依據電流源電晶體 112 之源極、汲極間電壓之變化，使得驅動電晶體 302 之源極端子之電位變化。如此一來，當驅動電晶體 302 之源極、閘極間電壓之絕對值變小時，驅動電晶體 302 之 I-V 曲線則變化。該變化方向為減少汲極電流的方向。如此一來，與驅動電晶體 302 串聯連接的電流源電晶體 112 之汲極電流則減少。同樣的，當電流源電晶體 112 之源極、汲極間電壓減少時，電流源電晶體 112 之汲極電流則增加。如此一來，可得到將流動電流源電晶體 112 之電流保持於一定的效果。

針對第 13 圖之開關部之構成詳細說明如下。選擇電晶體 301 之閘極電極是與掃描線 G 連接。選擇電晶體 301 之源極端子和汲極端子是一方與影像訊號輸入線 S 連接，另一方則與驅動電晶體 302 之閘極電極連接。驅動電晶體 302 之源極端子和汲極端子是一方被端子 D 連接，另一方被端子 C 連接。保持電容 303 之一方電極是與驅動電晶體 302 之閘極電極連接，令電極則與配線 W_{co} 連接。消去電晶體 304 之源極端子和汲極端子是一方與驅動電晶體 302 之閘極電極連接，另一方則與配線 W_{co} 連接。消去電晶體 304 之閘極電極是與消去用訊號線 RG 連接。

而且。消去電晶體 304 之源極端子及汲極端子是無限

五、發明說明 (34)

定於上述連接構造。可形成藉由使消去電晶體 304 成為導通狀態，而釋放被保持電容 303 所保持之電荷般之各種連接構造。即是，若成為藉由使消去電晶體 304 呈導通或非導通，而得驅動電晶體 302 成為非導通的連接構造即可。

接著，針對第 13 圖所示之開關部和消去電晶體 304 之配置方法為不同的構成予以說明。第 43 圖(A)是表示開關部之一例。與第 13 圖相同之部分使用相同符號表示省略說明。於第 43 圖(A)中，藉由將消去電晶體 304 串聯地配置在被輸入於發光元件的電流之路徑上，並使消去電晶體 304 成為非導通狀態，而強制性使電流不流動至發光元件上。若滿足該條件，即使將消去電晶體 304 配置在任何處亦可。藉由使消去電晶體成為非導通狀態，則可以使畫素一律成為非發光狀態。

於第 43 圖(B)中表示開關部 101 之另外構成。於第 43 圖(B)中，是透過消去電晶體 304 之源極、汲極端子間而施加規定電壓於驅動電晶體 302 之閘極電極上，並使驅動電晶體 302 成為非導通狀態的手法。與第 13 圖相同部分使用相同符號省略說明。於該例中，消去電晶體 304 之源極端子或汲極端子之一方是與驅動電晶體 302 之閘極電極連接，另一方是與配線 W_r 連接。適當地決定配線 W_r 之電位。如此一來，配線 W_r 之電位透過消去電晶體而被輸入驅動電晶體 302 之閘極電極時，驅動電晶體 302 則成為非導通狀態。

再者，於第 43 圖(B)所示之構成中，即使使用二極體代

五、發明說明 (35)

替消去電晶體 304 亦可。將此構成表示於第 43 圖(C)中。使配線 W_r 之電位予以變化，使二極體 3040 之兩格電極中，不與驅動電晶體 302 之閘極電極連接之側的電極之電位予以變化。藉此，使驅動電晶體 302 之閘極電壓變化，可以使驅動電晶體 302 成為非導通狀態。並且，二極體 3040 即使使用二極體連接(電氣性連接閘極電極與汲極端子)的電晶體亦可。此時，即使使用掃描線 G 來代替配線 W_r 亦可。於第 43 圖 D 中表示使用掃描線 G 代替配線 W_r 的構成。此時，當考慮掃描線 G 之電位，則需注意選擇電晶體 301 之極性。

針對具有上述構成的電流源電路及開關的畫素，說明如下。第 5 圖是表示將具有第 4 圖所示構成之電流源電路 102，和第 13 圖所示構成之開關部 101 的畫素 100 配置成 x 列 y 行之矩陣狀的畫素區域之一部分的電路圖。於第 5 圖中，僅代表性地表示第 i (i 為自然數)行 j (j 為自然數)列、第 $(i+1)$ 行 j 列、第 i 行 $(j+1)$ 列、第 $(i+1)$ 行 $(j+1)$ 列的 4 畫素。與第 4 圖及第 13 圖相同部分是使用相同符號表示省略說明。

而且，將對應於第 i 行、第 $(i+1)$ 行之各畫素行的掃描線 G 表示為 G_i 、 G_{i+1} ，消去用訊號線表示為 RG_i 、 RG_{i+1} ，訊號線 GN 表示為 GN_i 、 GN_{i+1} ，訊號線 GH 表示為 GH_i 、 GH_{i+1} 。再者，將對應於第 j 列、第 $(j+1)$ 列之各畫素列的影像訊號輸入線 S 表示為 S_j 、 S_{j+1} ，電源線 W 表示為 W_j 、 W_{j+1} ，電流線 CL 表示為 CL_j 、 CL_{j+1} ，配線 W_{co} 表示為 $W_{co,j}$

五、發明說明(36)

、 W_{C0j+1} 。基準電流由畫素區域外部被輸入於電流線 CL_j 、 CL_{j+1} 中。

第 5 圖中，是針對將發光元件當作陽極，對向電極當作陰極的構成予以表示。即是，表示電流源電路之端子 A 與電源線 W 連接，端子 B 與開關部 101 之端子 C 連接的構成。但是，即使將發光元件 106 之畫素電極當作陰極，對向電極當作陽極之構成的顯示裝置，亦可容易地應用本實施形態 1 的構成。以下第 5 圖所示之構成的畫素中，將發光元件 106 之畫素電極當作陰極，對向電極當作陽極的變形例表示於第 26 圖中。如此，僅以改變電晶體之極性而可容易對應。於第 26 圖中，與第 5 圖相同之部分使用相同符號表示，省略說明。於第 5 圖中，電流源電晶體 112 及電流電晶體 1405 是設為 p 通道型。另外於第 26 圖中，電流源電晶體 112 及電流電晶體 1405 則設為 n 通道型。如此一來，可以使流動之電流方向成為相反方向。此時，第 26 圖中之端子 A 是與開關部之端子 C 連接，端子 B 是與電源線 B 連接。

再者，於第 5 圖及第 6 圖中驅動電晶體 302 因僅作為開關而發揮機能，故即使為 n 通道型或 p 通道型任一者亦可。但是，驅動電晶體 302 是以其源極端子被固定之狀態下動作為理想。因此，在將如第 5 圖所示般之發光元件 106 之畫像電極當作陽極，將對向電極當作陰極之構成中，驅動電晶體 302 以 p 通道型為最佳。另外，如第 26 圖所示般，在將發光元件 106 之畫素電極當作陰極，將對向電極當

五、發明說明（37）

作陽極的構成中，驅動電晶體 302 以 n 通道型為最佳。

而且，於第 5 圖中，各畫素配線 W_{co} 和電源線 W 因即使被保持於相同電位亦可，故可以共用。再者，不同之畫素間之配線 W_{co} 彼此、電源線 W 彼此、配線 W_{co} 和電源線 W 亦可以共用。 GN_i 和 GH_i 亦可以共用。而且，即使使用其他之畫素行之掃描線代替配線 W_{co} 和配線 W_j 亦可。這是，在無執行影像訊號之寫入間，利用掃描線之電位被保持於一定電位。例如，即使使用 1 個之前的掃描線 G_{i-1} 來取代電源線亦可。但是，此時，考慮到掃描線 G 之電位，需注意選擇電晶體 301 之極性。

雖然於第 5 圖中無圖示，但是輸入訊號於掃描線 G 的驅動電路（以下，表示記載成掃描線驅動電路），或輸入訊號於消去用訊號線 RG 的驅動電路（以下，表示記載成消去用訊號線驅動電路）及輸入訊號於影像訊號輸入線 S 的驅動電路（以下，表示記載成訊號線驅動電路），是可以自由使用公知之構成的電壓訊號輸出型的驅動電路。再者，輸入訊號於其他知訊號線的驅動電路亦可以自由使用公知知構成的電壓訊號輸出型之驅動電路。

以 404 模式性地表示為了決定流動於電流線 CL_j 、 CL_{j+1} 的基準電流而設置在基準電流輸出電路之外部的電流源電路（以下，表示記載成參照電流源電路）。可以使用來自 1 個參照電流源電路 404 的輸出電流，規定流動於多數電流線 CL 的基準電流。如此一來，可以抑制流動各電流線之電流的偏差，正確地將所有流動電流線的電流規定成基準電

五、發明說明 (38)

流。

而且，於本實施形態 1 中，針對共有用以規定所有流動電流線 $CL_1 \sim CL_x$ 的基準電流 404 的例予以表示。將使用依據參照電流源電路 404 所規定的電流，而輸出基準電流於各電流線 $CL_1 \sim CL_x$ 的電路稱做基準電流輸出電路，於第 5 圖中以 405 表示。

第 8 圖是表示基準電流輸出電路 405 的構成。基準電流輸出電路 405 是具有移位暫存器等之脈衝輸出電路 711。被輸入來自脈衝輸出電路 711 之取樣脈衝的取樣脈衝線 $710_1 \sim 710_x$ 是對應於各電流線 $CL_1 \sim CL_x$ 而被設置。以對應於某 1 條電流線 CL_j 之構成爲代表予以說明。設置有被輸出取樣脈衝線 710_j 之訊號的電流輸入開關 701_j 及電流源電路 700_j ，和經由換流器 703_j 而被輸入取樣脈衝線 710_j 之訊號的電流輸出開關 702_j 。電流源電路 700_j 是經由電流輸入開關 701_j 而與參照電流源電路 404 連接，並經由電流輸出開關 702_j 而與電流線 CL_j 連接。

於第 8 圖所示之基準電流輸出電路 405 中，將具體表示電流源 $700_1 \sim 700_x$ 之構成的例顯示於第 9 圖中。於第 9 圖中，與第 8 圖相同部分，使用相同符號予以表示。而且，基準電流輸出電路 405 並不限定於第 8 圖、第 9 圖般之電路。電流源 $700_1 \sim 700_x$ 各具有電流源電晶體 720_j 、電流源電容 721_j 、電流保持開關 722_j 。電流源電晶體 720_j 之閘極電極和源極端子經由電流源電容 721_j 而被連接，閘極電極和汲極端子是經由電流輸入開關

五、發明說明（39）

722__j 而被連接。於電流輸入開關 722__j 被輸入有取樣脈衝線 710__j 之訊號。電流源電晶體 720__j 之源極端子是被保持一定之電位，汲極端子是經由電流輸入開關 701__j 而與參照電流源電路 404 連接，再者，經由電流輸出開關 702__j 而與電流線 CL_j 連接。

而且，電流源電容 721__j 之電極的一方是被保持在一定電位，另一方則經由電流輸入開關 701__j 而與參照電流源電路 404 連接，並且，即使為經由電流輸出開關 702__j 而與電流線 CL_j 連接的構成亦可。

而且，於第 9 圖中，電流源電晶體 720__j，即使為 n 通道型或 p 通道型中之任一者亦可。但是，電流源電晶體 720__j 是以在源極端子之電位被固定之狀態下予以動作為理想。因此，當電流自電流源電路 700__j 朝向電流線 CL_j 流動時，電流源電晶體 720__j 則以 p 通道型為最佳，電流自電流 CL_j 朝向電流源電路 700__j 流動時，電流源電晶體 720__j 是以 n 通道型為最佳。即使為任何極性，皆以電流源電容 721__j 被連接於閘極、汲極間為最佳。

針對第 9 圖所示之構成的基準電流輸出電路 405 之驅動方法，使用第 10 圖及第 11 圖予以說明。第 10 圖是表示基準電流輸出電路 405 之驅動方法的時序圖。再者，第 11 圖是表示基準電流輸出電路 405 之驅動方法的模式圖。而且，於第 10 圖中，模式性表示各在期間 TD₁、期間 TD₂ 之時的基準電流輸出電路 405 中之各開關（電流輸入開關、電流輸出開關、電流保持開關）的 ON、OFF 狀態的圖示是第

五、發明說明(40)

11 圖(TD1)、第 11 圖(TD2)。

於期間 TD1 中，當由脈衝輸出電路 711 輸出脈衝於取樣脈衝線 710__1 時，電流輸入開關 701__1 及電流保持開關 722__1 則成為 ON 狀態。另外，電流輸出開關 702__1 是被輸出至取樣脈衝線 710__1 之訊號經由換流器 703__1 而被輸入，為 OFF 狀態。此時，依據參照電流源電路 404 而被堆應之基準電流是經由電流輸入開關 701__1 及電流保持開關 722__1，而被輸入至電流源電路 700__1 之電流源電容 721__1。而且，此時脈衝不被輸出至其他之取樣脈衝線 710__2 ~ 710__x。因此，電流輸入開關 701__2 ~ 701__x 及電流保持開關 722__2 ~ 722__x 為 OFF 狀態。另外，電流輸出開關 702__2 ~ 702__x 是 ON 狀態。當經過時間時，電荷則被保持於電流源電路 700__1 之電流源電容 721__1 中，基準電流流入電流源電晶體 720__1。於第 10 圖中，表示被保持於電流源電容 721__1 之兩電極間的電荷量即是電壓的變化。

之後，開始期間 TD2。於期間 TD2 中，變化脈衝輸出電路 711 之輸出，脈衝不被輸出至取樣脈衝線 710__1。當成為如此時，電流保持開關 722__1 及電流輸入開關 701__1 成為 OFF 狀態，電流輸出開關 702__1 則成為 ON 狀態。如此一來，成為在電流線 CL₁ 上流動電流源電晶體 720__1 的汲極電流的狀態。在此，電流源電晶體 720__1 之汲極電流，是藉由被保持於電流源電容 721__1 之電荷而決定。藉此，流動電流線 CL₁ 的電流規定成基準電流。於第 10 圖中，CL₁ ~ CL_x 是表示流動電流線 CL₁ ~ CL_x 的電流。同時脈衝被

五、發明說明(41)

輸出至取樣脈衝線 710__2。如此一來，開始執行將流動電流源電路 700__2 的電流規定成基準電流的動作。針對所有對應於取樣脈衝線 710__1~710__x 的電流源電路 700__1~700__x 進行相同的動作，完成期間 $TD_1 \sim TD_x$ 。如此一來，流入所有電流線 $CL_1 \sim CL_x$ 的電流則規定成藉由參照電流源電路 404 而所決定的基準電流。

在此，輸入電流於基準輸出電路 405，將流動於各電流線 $CL_1 \sim CL_x$ 的電流規定成基準電流之動作稱做基準電流輸出電路 405 之設定動作。

於第 9 圖所示之構成之基準電流輸出電路 405 之構成中，一旦，藉由參照電流電路 404，而將流入於各電流源電路 700 電流線 $CL_1 \sim CL_x$ 的電流 700__1~710__x 的電流規定成基準電流後，在不放電被保持於電流源電容 721__1~721__x 的電荷之範圍下，流動各電流源電路 700__1~700__x 的電流則被保持基準電流。而且，如第 9 圖所示般，電流源電路 700 之部分為同一電晶體方式之電流源電路之時，自參照電流源電路 404 所輸入之電流，和流動各電流線 CL 的基準電流大小成為相同。若電流源電路 700 之部分為電流鏡方式或多閘方式的電流源之時，可以使自參照電流源電路 404 所輸入之電流和流入 CL 的基準電流大小為不同。

而且，於第 10 圖中，表示著自電流源電容 721__1~721__x 中不被保持電荷的狀態，以執行一次期間 $TD_1 \sim TD_x$ 的動作，使電流源電晶體 720__1~720__x 可流動基準電流，將規定之電荷保持於各電流源電容 721__1~720__x 的手

五、發明說明(42)

法。將該手法稱為一起寫入方式。

另外，亦可以使用自電荷不被保持於電流源電容 721__1~721__x 的狀態，反覆執行期間 $TD_1 \sim TD_x$ 的動作，逐漸地使電荷保持於電流源電容 721__1~721__x 的手法。於該手法中，多次反覆執行期間 $TD_1 \sim TD_x$ 的動作後，首先使電流源電晶體 720__1~720__x 可流動基準電流，將規定電荷保持於各電流電容 721__1~721__x 中。將該手法稱為分割寫入方式。於分割寫入方式中，自各電流源電容 721__1~721__x 不保持電荷的狀態，直到保持規定電荷為止，將反覆期間 $TD_1 \sim TD_x$ 的次數稱為分割寫入方式的分割數。

分割寫入方式時之期間 $TD_1 \sim TD_x$ 中，各所涉及之開關(電流輸入開關 701__1~701__x、電流輸出開關 701__1~701__x、電流保持開關 722__1~722__x)的狀態是與一起寫入方式相同。但是，可以使在分割寫入方式中執行一次期間 $TD_1 \sim TD_x$ 所需之時間，比在一起寫入方式中執行期間 $TD_1 \sim TD_x$ 中所需時間短。

而且，基準電流輸出電路 405 之設定動作，是即使在 1 幀期間中執行幾次亦可，且在數幀期間中即使執行 1 次亦可。再者，在 1 水平期間中即使執行幾次亦可，且即使於每反覆幾次水平期間後執行 1 次亦可。反覆基準電流輸出電路 405 之設定動作的間隔，是可以因應基準電流輸出電路所具有的電流源電容 721 持續保持電荷的能例，而任意選擇。

而且，輸入於基準輸出電路 405 之基準電流即使如第 5

五、發明說明(43)

圖、第 8 圖、第 9 圖、第 11 圖所示般藉由參照電流源電路 104 輸入的構成亦可，即使為不設置參照電流源電路 404，將由顯示裝置之外部所輸入之一定電流當作電流輸入的構成亦可。或是，相當於第 8 圖或第 9 圖之電流源電路 700 的電流源電路設置在顯示裝置之外部亦可。再者，電晶體之偏差小之時，即使不對基準電流輸出電路 405 中之各個電流電路 700，執行設定動作亦可。但是，執行設定動作是可以輸出更正確的電流值。

接著，說明具有第 5 圖所示構成之畫素的顯示裝置之驅動方法。在此，於實施形態 1 構成之畫素中，畫像顯示動作(開關部之驅動動作)和電流源電路之設定動作(畫素設定動作)是可以非同步進行。即是，不管開關部之端子 C 和端子 D 為導通、非導通狀態，可以執行畫素設定動作。

再者，基準電流輸出電路 405 之設定動作亦可以與畫像顯示動作或畫素設定動作同步進行，亦可以非同步進行。但是，如第 9 圖所示般，基準電流輸出電路 405 之設定動作是在不執行畫素設定動作期間來執行為理想。這是因在第 9 圖所示之基準電流輸出電路 405 中，執行其設定動作期間，無法輸出電流於電流線 CL_j 之故。因此，可以同時執行基準電流輸出電路 405 之設定動作和畫素設定動作。或是，若使用電流鏡電路作為電流源 700—j 的電路，而構成電流鏡電路之 1 對電晶體的一方電晶體輸出電流至電流線 CL_j ，且另一方電晶體執行基準電流輸出電路 405 之設定動作，則可以同時執行基準電流輸出電路 405 之設定動作

五、發明說明(44)

和畫素設定動作。

爲了簡便，首先分開說明畫素設定動作和畫像顯示動作。針對畫像顯示動作，使用第 7 圖(A)、第 7 圖(B)之時序圖及第 5 圖之電路圖予以說明。掃描線 G_i 被輸入訊號，且第 i 行之畫素的選擇電晶體 301 成爲導通狀態。此時，影像訊號被輸入至影像訊號輸入線 $S_1 \sim S_x$ ，且影像訊號被輸入至第 i 行的各畫素上。然後，在藉由影像訊號使驅動電晶體 302 成爲導通狀態的畫素中，端子 D 和端子 C 成爲導通狀態。驅動電晶體 302 之閘極電壓世紀誤由保持電容 303 而被保持。即是，被保持驅動電晶體 302 之導通或非導通狀態。而且，此時消去電晶體 304 是爲非導通狀態。如此一來，於開關部 101 之端子 D 和端子 C 成爲導通狀態之畫素中，畫素基準電流藉由電流源電路 102 被輸入至發光元件 106 而發光。

如此，選擇各畫素之發光狀態及非發光狀態，且藉由數位方式來表現灰階。作爲多灰階化之方法，是可以使用在每一定期間，多數設定選擇各畫素之發光或非發光狀態的期間，並控制選擇發光狀態之時間累計的灰階方式(時間灰階方式)，或將 1 畫素分割成多數副畫素，並控制選擇發光狀態之副畫素面積之累計的灰階方式(面積灰階方式)等。再者，可以使用公知的手法。在此，是採用時間灰階方式來作爲多灰階化之手法。

在此，依據將消去電晶體 304 數爲導通狀態，使保持電容 303 之兩電極的電位相同，並且藉由放電被保持電容

五、發明說明（45）

303 所保持之電荷，則可以使驅動電晶體 302 一律成為非導通狀態。依此，即使將影像訊號輸入至某行之畫素的期間中，亦可以使別行的畫素成為非發光狀態。如此一來，則可以任意設定各行之畫素的發光期間。

第 13 圖所示之構成的開關部是具有作為第 1 開關的選擇電晶體 301，和作為第 2 開關的驅動電晶體 302，另具有消去電晶體 304 的構成。消去電晶體 304 之閘極電極是影像訊號輸入線 S 及掃描線 G 被連接於另外的配線、消去用訊號線 RG。如此一來，消去電晶體 304 是不管被輸入於選擇電晶體 301 或驅動電晶體 302 的訊號，藉由被輸入的消去用訊號線 RG 的訊號，切換導通、非導通狀態。如此一來，不管第 1 開關或第 2 開關之狀態，可以將開關部之端子 C 和端子 D 間設為非導通狀態。以上為基本的畫像顯示動作。

接著，於第 7 圖中，表示使用時間分割灰階方式之時的驅動方法之一例，來作為灰階顯示方法之具體例。將顯示 1 畫面份之畫像的期間稱做 1 幀期間 F。將 1 幀期間 F 分割成多數副幀期間 $SF_1 \sim SF_n$ (n 為自然數)。

於第 1 副幀期間 SF_1 中，選擇第 1 行之掃描線 G_1 ，閘極被連接於掃描線 G_1 上的選擇電晶體 301 成為導通狀態。在此，訊號一起被輸入至影像訊號輸入線 $S_1 \sim S_x$ 。並且，此時消去電晶體 304 為非導通狀態。藉由被輸入至影像訊號輸入線 $S_1 \sim S_x$ 的訊號，選擇第 1 行之各畫素之驅動電晶體 302 的導通、非導通狀態，並選擇各畫素之發光非發光

五、發明說明(46)

狀態。再者，驅動電晶體 302 之閘極電壓是藉由保持電容 303 而被保持。在此，爲了選擇各畫素之驅動電晶體 302 之導通、非導通狀態，使輸入影像訊號，成爲以寫入影像訊號至畫素來表現。

選擇導通狀態之驅動電晶體 302 是直到藉由影像訊號輸入線 S 將新的訊號輸入至驅動電晶體 302 之閘極電極爲止，或是藉由消去電晶體將保持電容 303 之電荷予以放電爲止，保持導通狀態。在選擇發光狀態之畫素中，開關部之端子 C 和端子 D 之間成爲導通狀態，畫素基準電流自電流源電路 102 被輸入至發光元件而發光。然後，當完成第 1 行畫素之影像訊號之寫入動作後，立刻選擇對應於第 2 行畫素的掃描線 G_2 ，則開始執行寫入影像訊號至對應於第 2 行之畫素的動作。寫入影像訊號至畫素之動作，是與第 1 行之畫素動作相同。

對所有的掃描線 $G_1 \sim G_y$ 反覆執行上述動作，並將影像訊號寫入至所有的畫素中。將寫入影像訊號至所有的畫素之期間，表示記載成位址期間 T_a 。將對應於第 m (m 爲 n 以下之自然數)之子幀期間 SF_m 的位址期間，表示記載成 T_{a_m} 。

寫入影像訊號之畫素行是選擇發光或非發光狀態。將因應被寫入之影像訊號，而各畫素行之各畫素爲發光或非發光之期間，表示記載成以顯示期間 T_s 。於相同之子幀期間中，各畫素行之顯示期間 T_s 雖然是時機不同，但其長度爲完全相同。將對應於第 m (m 爲 n 以下之自然數)之子幀期

訂

五、發明說明(47)

間 SF_m 的位址期間，表示記載成 T_{sm} 。

自第 1 子幀期間 SF_1 到第 $k-1$ (k 是比 n 小的自然數) 之子幀期間 SF_{k-1} 為止，顯示期間 T_s 是被設定成比位址期間 T_a 長。在規定長度之顯示期間 T_{s1} 之後，則開始第 2 子幀期間 SF_2 。之後，即使針對自第 2 子幀期間 SF_2 至第 $k-1$ 之子幀期間 SF_{k-1} ，亦與第 1 子幀期間 SF_1 相同，顯示裝置動作。在此，因在多數畫素行無法同時執行影像訊號之寫入，故各子幀期間之位址期間 T_a 是被設定成各不重複。

另外，自第 k 之子幀期間 SF_k 到第 n 之子幀期間 SF_n 的，顯示期間 T_s 被設定成比位址期間 T_a 短。以下，詳細說明自第 k 之子幀期間 SF_k 到第 n 子幀期間 SF_n 為止的顯示裝置之驅動方法。

在第 k 之子幀期間 SF_k 中，選擇第 1 行之掃描線 G_1 ，且於掃描線 G_1 連接閘極電極的選擇電晶體 301 成為導通狀態。在此，訊號一起被輸入至影像訊號輸入線 $S_1 \sim S_x$ 。並且，此時消去電晶體 304 為非導通狀態。依據被輸入至影像訊號輸入線 $S_1 \sim S_x$ 的訊號，選擇第 1 行之各畫素之驅動電晶體 302 的導通、非導通狀態，並選擇各畫素之發光、非發光狀態。再者，驅動電晶體 302 之閘極電壓是藉由保持電容 303 而被保持。於選擇發光狀態之畫素中，開關部之端子 C 和端子 D 之間成為導通狀態，畫素基準電流自電流源電路 102 被輸入至發光元件 106 中，發光元件 106 則發光。當第 1 行之畫素之影像訊號的寫入動作完成時，發光元件 106 則發光。當第 1 行之畫素之影像訊號的寫入動作

五、發明說明 (48)

完成時，接著選擇對應於第 2 行之畫素的掃描線 G_2 ，並開始執行對對應於第 2 行之畫素寫入影像訊號的動作。對畫素寫入影像訊號之動作是與第 1 行之畫素的動作相同。

對所有的掃描線 $G_1 \sim G_y$ 反覆執行上述動作，並將影像訊號寫入至所有畫素，而完成位址期間 T_{a_k} 。

上述第 k 之子幀期間 SF_k 之位址期間 T_{a_k} 的動作方法，是與自第 1 子幀期間 SF_1 到第 $k-1$ 之子幀期間 SF_{k-1} 相同。不同的是於完成位址期間 T_{a_k} 之前，則開始選擇消去用訊號線 RG_1 等。即是，從選擇掃描線 G_1 ，經過規定期間（該期間相當於顯示期間 T_{s_k} ）後，選擇消去用訊號線 RG_1 。然後，依序選擇消去用訊號線 $RG_1 \sim RG_y$ ，使各畫素行之消去電晶體 304 依序成為導通狀態，並使各行之畫素依序一律成為非發光狀態。將所有之畫素之消去電晶體 304 為導通狀態之期間，以復位期間，表示記載成 Tr 。尤其，將對應於第 p (p 為 k 以上， n 以下之自然數) 的子幀期間 SF_p 的復位期間，表示記載成 Tr_p 。

如此，即使在將影像訊號輸入至某行畫素之期間中，亦可以使另外行之畫素一律成為非發光狀態。如此一來，可以自由控制顯示期間 T_s 之長度。即是，使寫入影像訊號時依序選擇各行的速度，和使各行之畫素依序一律成為非發光之時的速度為相同。依此，在相同之子幀期間中，開始各行畫素之顯示期間 T_s 的時機雖然不同，但是其長度全部相同。

依據使各畫素行之消去電晶體 304 成為導通狀態，將

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (49)

各畫素行之畫素一律成為非發光狀態的期間，表示記載成非顯示期間 T_{us} 。於相同子幀期間中，各畫素行之非顯示期間 T_{us} 雖然時機不同，但是其長度全部相同。尤其，將對應於第 p 之子幀期間 SF_p 的非顯示期間，表示記載成 $T_{us,p}$ 。

規定之長度的非顯示期間 $T_{us,k}$ 後，則開始第 $k+1$ 之子幀期間 SF_{k+1} 。針對第 $k+1$ 之子幀期間 SF_{k+1} 到第 n 之子幀期間 SF_n ，是重複與第 k 之子幀期間 SF_k 相同之動作，依據適當地決定各子幀期間 $SF_1 \sim SF_n$ 之顯示期間 $T_{s1} \sim T_{sn}$ 的長度，來表現灰階。

接著，針對顯示期間 $T_{s1} \sim T_{sn}$ 的長度之設定方法予以說明。例如，若將 $T_{s1} : T_{s2} : \dots : T_{sn-1} : T_{sn}$ 設定為 $2^0 : 2^{-1} : 2^{-(n-2)} : 2^{-(n-2)}$ ，則可以表現 2^n 灰階。作為具體例，可舉出輸入 3 位元之影像訊號，表現 9 灰階的例。1 幀期間 F ，是被分割成 3 個子幀期間 $SF_1 \sim SF_3$ 。各子幀期間之顯示期間的長度比 $T_{s1} : T_{s2} : \dots : T_{sn-1} : T$ 可以設定成 $4 : 2 : 1$ 。在某畫素中，當將在所有子幀期間 $SF_1 \sim SF_3$ 選擇發光狀態之時的亮度設為 100% 時，選擇僅在第 1 子幀期間 SF_1 發光狀態時，是表現大約 57% 的亮度。另外，選擇僅在第 2 子幀期間 SF_2 發光狀態時，則表現大約 29% 的亮度。

並且，如上述般，在 1 幀期間中，設置與影像訊號之位元數相同數量的子幀期間，來表現灰階之手法並不被限定。例如，可以在 1 幀期間中，多數設置依據影像訊號之對應於某位元的訊號，來選擇發光狀態、非發光狀態的子幀期間。即是，以多數之子幀期間的顯示期間之累計來表

五、發明說明（50）

現對應於 1 位元的顯示期間。

尤其，藉由以多數子幀期間各所有之顯示期間的累計，來表現對應於影像訊號之上位位元的顯示期間，並使這些子幀期間部連續地出現，則可以抑制疑似輪廓的發生。並且，各子幀期間的顯示期間 T_s 之長度的設定方法，並不限定於上述，可使用公知的任意手法。

於第 7 圖中，雖然為從第 1 子幀期間 SF_1 起至第 n 之子幀期間 SF_n 依順出現的成，但是並不限定於此。各子幀期間之出現順序可以任意決定。再者，不僅是時間分割灰階方式，亦可以藉由面積灰階方式，再者，組合時間分割灰階方式和面積灰階方式，來表示灰階。

於本實施形態 1 中，雖然表示僅在將顯示期間 T_s 設定成比位址期間 T_a 短的子幀期間中，設置復位期間 T_r 及非顯示期間 T_{us} 的驅動方法，但是並不限定於此。亦可為在將顯示期間 T_s 設定成比位址期間 T_a 長的子幀期間中，設置復位期間 T_r 及非顯示期間 T_{us} 的驅動方法。

再者，於第 13 圖中，雖然表示藉由使消去電晶體 304 成為導通狀態，而放電保持電容 303 之電荷的成，但是並不限定於此。若藉由使消去電晶體 304 為導通狀態，而升高或下降與保持電容 303 之驅動電晶體 302 之閘極電極連接之側的電位，使驅動電晶體 302 成為非導通狀態之構成即可。即是，即使為經由消去電晶體 304，而將驅動電晶體 302 之閘極電極與被輸入可使驅動電晶體 302 成為非導通狀態之電位訊號的配線連接的構成亦可。

五、發明說明(51)

再者，即使並不是如上述般地藉由使上述般之消去電晶體 304 成為導通狀態，而令與保持電容 303 之驅動電晶體 302 之閘極電極連接側的電位予以變化之形式的構成，而是藉由使消去電晶體 304 成為非導通狀態而令開關部 101 之端子 C 和端子 D 間成為非導通狀態，而形成非顯示期間的構成亦可。

其他，可以自由使用將以第 43 圖所說明之開關部予以關閉的手法，設置使畫素一律成為非發光狀態的復位期間及非顯示期間。

並且，即使使用不設置消去電晶體，設置使畫素一律成為非發光狀態的復位期間及非顯示期間的手法亦可。

其第 1 手法是藉由使不與保持電容之驅動電晶體之閘極電極連接之側的電極之電位予以變化，而使驅動電晶體成為非導通狀態的手法。該構成表示於第 49 圖上。不與保持電容 303 之驅動電晶體 302 之閘極電極連接之側的電極，是被連接於配線 W_{co} 上。使 W_{co} 之訊號予以變化，並使保持電容 303 之一方的電極之電位予以變化。如此一來，因保存著被保持在保持電容之電荷，故保持電容 303 之另一方電極之電位也產生變化。如此一來，使驅動電晶體 302 之閘極電極之電位予以變化，而可以使驅動電晶體 302 成為非導通狀態。

第 2 手法是將選擇 1 條掃描線之期間分割成前半部和後半部。其特徵為輸入影像訊號於前半部(表示記載成閘極選擇期間前半部)，輸入消去訊號於後半部(表示記載成閘極

五、發明說明（52）

選擇期間後半部)。在此，消去訊號是當被輸入至驅動電晶體之閘極電極時，則作為使驅動第晶體成為非導通狀態的訊號。如此一來，可設定比寫入期間還短的顯示期間。於該手法之詳細說明中，針對顯示裝置之構成，參照第 49 圖 (B) 予以說明。顯示裝置是具備有具有被配置成矩陣狀之多數畫素的畫素部 901，和將訊號輸入至畫素部 901 的影像訊號輸入線驅動電路 902，和第 1 掃描線驅動電路 903A，和第 2 掃描線驅動電路 903B，和切換電路 904A，和切換電路 904B。第 1 掃描驅動電路 903A 是在閘極選擇期間前半部輸出訊號至各掃描線 G 的電路。再者，第 2 掃描線驅動電路 903B 是在閘極選擇期間後半部，輸出訊號至各掃描線 G 上的電路。藉由切換電路 904A 和切換電路 904B，選擇第 1 掃描線驅動電路 903A 和各畫素之掃描線 G 的連接，或是第 2 掃描線驅動電路 903B 和各畫素之掃描線 G 的連接。影像訊號輸入線驅動電路 902 是在閘極選擇期間前半部輸出影像訊號。另一方面，在閘極選擇期間後半部輸出消去訊號。

接著，針對上述構成之顯示裝置之驅動方法，參照第 49 圖 (C) 予以說明。與第 7 圖相同之部分使用相同符號表示省略說明。於第 49 圖 (C) 中，閘極選擇期間 991 是被分割成閘極選擇期間前半部 991A 和閘極選擇期間後半部 991B。於 903A 中，依據第 1 掃描線驅動電路選擇各掃描線，並輸入數位之影像訊號。執行 903A 之操作期間是相當於寫入期間 Ta。另外，於 903B 中，藉由第 2 掃描線驅動電路而選擇各掃描線，輸入消去訊號。執行 903B 之操作期間是相當於復

五、發明說明 (53)

位期間 T_r 。如此一來，可以設定比位址選擇期間短的顯示期間。並且，在此，於閘極選擇期間後半，雖然輸入消去訊號，但是即使輸入下一個子幀期間的數位之影像訊號來取代此亦可。

第 3 手法是依據使發光元件之對向電極之電位予以變化，為設置有非顯示期間之手法。即是，顯示期間是設定成在對向電極之電位和電源線之電位間具也規定之電位。另外，在非顯示期間中，將對向電極之電位設定成與電源線之電位幾乎相等的電位。然後，於非顯示期間將數位之影像訊號輸入至全畫素中。即是，於此時，設置位址期間。如此一來，不管被輸入至畫素之數位的影像訊號，可以使畫素成為非發光狀態。

例如，對向電極在所有的畫素中被電氣性連接時，顯示期間 T_s 開始的時機及完成時機是在所有的畫素中相同。於規定之長度的顯示期間 T_s 後，依據使發光元件 106 之對向電極的電位在此與電源線 W 之電位幾乎相同地變化，可以使所有的畫素一起成為非發光狀態。如此一來，可以設置非顯示期間 T_{us} 。非顯示期間 T_{us} 之時機是在所有之畫素中相同。並且，不要求多灰階化之時(無需要比位址期間 T_a 短的顯示期間 T_s 之時)，在所有的子幀期間中，即使為不設置非顯示期間 T_{us} 的驅動方法亦可。使用該驅動方法之時，無需要消去電晶體。

再者，亦可積極利用驅動電晶體 302 之閘極電極的寄生電容來取代保持電 303 同樣的，即使不配置電流源電容

五、發明說明 (54)

111, 利用電流源電晶體 112 或電流電晶體 1405 之閘極電極的寄生電容亦可。

接著, 針對畫素設定動作說明以下之兩個手法。

針對第 1 手法使用第 6 圖予以說明。第 6 圖是表示被配置在第 5 圖所示之各畫素上的電流源電路 102 之設定動作的時序圖。在此, 針對打開顯示裝置之電源後的最初畫素的設定動作予以說明。

並且, 舉出使畫素設定動作與第 8 圖等所示之基準電流輸出電路 405 之設定動作同步進行時的例子。在此, 舉出基準電流輸出電路 405 是使用第 9 圖所示之構成, 參考第 10 圖所示之時序圖, 而使用分割寫入方式予以動作之時的例。再者, 爲了簡便, 表示分割寫入方式之分割數爲 2 個之時的例。爲了說明, 將與第 10 圖所示之時序圖相同動作之部分, 使用相同之符號表示省略說明。

於第 6 圖中, 將執行第 i 行之畫素設定動作的期間以 SET_i 表示。於 SET_i 中, 執行從第 i 行之第 1 列到第 x 列的畫素設定動作。將從第 i 行之第 1 列到第 x 列之畫素的設定動作, 分成 SET_i 之 (1) 及 (2) 期間予以說明。

首先, 於 SET_1 之期間 (1) 中, 藉由被輸入至訊號線 GN_1 及訊號線 GH_1 的訊號, 使第 5 圖所示之第 1 行之畫素的電流輸入電晶體 1403 及電流保持電晶體 1404 成爲導通狀態。此時, 基準電流輸出電路 405 是依序執行第 10 圖中期間 $TD_1 \sim TD_x$ 所示之動作, 依據決定流入於各電流線 $CL_1 \sim CL_x$ 的電流。此時, 電流 I_0' 是被決定成可流入各電流線 $CL_1 \sim$

五、發明說明 (55)

CL_x。並且，在此基準電流輸出電路 405 是使用分割寫入方式而執行設定動作。因此，僅在 1 次執行期間 TD₁~TD_x 所示之動作，是無法充分執行設定動作。因此，將基準電流設定為 I₀ 時，電流值為 I₀' < I₀。

接著，針對電流 I₀' 成為可流入各電流線 CL₁~CL_x 後的各畫素之電流源電路 102 之動作予以說明。例如，在第 1 行第 i 列之畫素時，當時間 TD_i 完成時，則被設定成電流 I₀' 可流至電流線 CL_i。如此一來，電流 I₀' 流至第 j 列之畫素的電流電晶體 1405。在此，第 1 行之畫素的電流電晶體 1405 之閘極和汲極端子是經由成為導通狀態之電流保持電晶體 1404 而被連接。因此，電流電晶體 1405 是在閘極、源極間電壓(閘極電壓)和源極、汲極間電壓相等之狀態下，即是在飽和區域動作，並流動汲極電流。流動第 1 行第 j 列之畫素的電流電晶體 1405 的汲極電流是決定成流動電流線 CL_j 的電流 I₀'。如此一來電流源電容 111 是保持電流電晶體 1405 流動電流 I₀' 之時的閘極電壓。

當完成期間 TD₁~TD_x，且將對應於流入電流線 CL 之電流 I₀' 的電荷保持電流源電容 721__x 完成時，則進入至期間(2)。在期間(2)中，訊號線 GH₁ 之訊號變化，電流保持電晶體 1404 成為非導通狀態。依此，電荷被保持至第 1 行之畫素的電流源電容 111。

並且，圖中 TQ₁ 所示之期間，是將電流 I₀' 自電流線 CL_x 輸入第 1 行 x 列之畫素之電流源電路 102 的電流電晶體 1405，相當於使電荷保持於電流源電容 111 的期間。於圖

五、發明說明 (56)

中以 TQ_1 所示之期間，比流動電流電晶體 1405 之電流用以成為正常狀態所需之時間短時，電流源電容 111 則無充分保持電荷。但是，在此爲了簡便， TQ_1 被設定成充分之長度。

如此一來，執行第 1 行之各畫素設定動作。在此，於各畫素之電流源電路 102 中，電流電晶體 1405 及電流源電晶體 112 之閘極電極的電位相等。電流電晶體 1045 及電流源電晶體 112 之汲極端子之電位相等。再者，以電流電晶體 1405 和電流源電晶體 112 之電流特性相等爲理想。爲了簡便，在此，將電流電晶體 1405 和電流源電晶體 112 之電流特性設爲相等。因此，當施加電壓至電流源電路 102 之端子 A 和端子 B 之間時，則於電流源電晶體 112，流入因應於流動電流電晶體 1405 之電流 I_0' 的一定電流。

於使用分割寫入方式之基準電流輸出電路 405 的顯示裝置中，輸入顯示裝置之電源後之最初的 SET1 中之電流線 $CL_1 \sim CL_x$ 的電流 I_0' ，是不滿足基準電流的值。因此，該 SET1 期間中之畫素設定動作無被充分執行。即是，於打開顯示裝置之電源後的第 1 行之畫素設定動作中，無法將對應於基準電流之電壓(畫素電應基準電壓)，保持於第 1 行之畫素各擁有之電流源電路 102 之電流源電容 111 中。

接著，於 SET2 之期間(1)中，依據被輸入至訊號線 GN_2 及訊號線 GH_2 的訊號，使第 2 行之畫素的電流輸入電晶體 1403 及電流保持電晶體 1404 成爲導通狀態。並且，同時使被輸入至訊號線 GN_1 之訊號變化，使第 1 行之畫素的電

五、發明說明(57)

流輸入電晶體 1403 成為非導通狀態。如此一來，第 1 行之畫素的電流電晶體 1405 及電流源電晶體 112 之間極電壓則被保持之狀態下，切斷電流線 CL_1 和電流電晶體 1405 的連接。

於 SET2 之期間(1)中，基準電流輸出電路 405，依序執行第 10 圖中期間 $TD_1 \sim TD_x$ 所示之動作，依據被決定成流入至各電流線 $CL_1 \sim CL_x$ 的電流。此時，依據先前之 SET1 期間之期間 $TD_1 \sim TD_x$ 中所執行之動作，使已有某程度之電荷保持在基準電流輸出電路 711 之電流源電容 $721_1 \sim 721_x$ 中。當執行 SET2 之期間 $TD_1 \sim TD_x$ 的動作時，則打開顯示裝置之電源後，2 次反覆期間 $TD_1 \sim TD_x$ 的動作。

在此，因將分割寫入方式之分割數想像成 2，故當 SET2 之期間 $TD_1 \sim TD_x$ 完成時，則在基準電流輸出電路 405 之電流源電容 $721_1 \sim 721_x$ ，保持電流源電晶體 $720_1 \sim 720_x$ 可流動基準電流 I_0 的電荷。如此一來，流動各電流線 $CL_1 \sim CL_x$ 的電流則被決定成基準電流 I_0 。

如此一來，在打開顯示裝置之電源後的最初之 SET2 中，藉由基準電流輸出電路 405 而所決定之 $CL_1 \sim CL_x$ 的電流值被設定成基準電流 I_0 。即是，在打開顯示至之電源後的最初之 SET2 中，基準電流輸出電路 405 之設定動作充分地被執行。

接著，針對基準電流 I_0 。流入至各電流線 $CL_1 \sim CL_x$ 後的各畫素之電流源電路之動作予以說明。例如，於第 2 行第 j 列之畫素時，完成期間 TD_j 時，則設定成基準電流 I_0 可

五、發明說明 (58)

流動至電流線 CL_j 。如此一來，基準電流 I_0 則流動至第 j 列之畫素之電流電晶體 1405。第 2 行之畫素的電流電晶體 1405 之閘極電極和汲極端子是經由成為導通狀態之電流保持電晶體 1404 而被連接。因此，電流電晶體 1405 是在閘極、源極間電壓(閘極電壓)和源極、汲極間電壓相等之狀態下，即是在飽和區域動作，並流動汲極電流。流動第 2 行第 j 列之畫素的電流電晶體 1405 的汲極電流是決定成流動電流線 CL_j 的電流 I_0 。如此一來電流源電容 111 是保持電流電晶體 1405 流動電流 I_0 之時的閘極電壓。

當完成期間 $TD_1 \sim TD_x$ ，且將對應於流入電流線 CL 之電流 I_0 的電荷保持電流源電容 721__x 完成時，則進入至期間(2)。在期間(2)中，訊號線 GH_2 之訊號變化，電流保持電晶體 1404 成為非導通狀態。依此，電荷被保持至第 2 行之畫素的電流源電容 111。

並且，圖中 TQ_2 所示之期間，是將電流 I_0 自電流線 CL_x 輸入第 2 行 x 列之畫素之電流源電路 102 的電流電晶體 1405，相當於使電荷保持於電流源電容 111 的期間。於圖中以 TQ_2 所示之期間，比流動電流電晶體 1405 之電流用以成為正常狀態所需之時間短時，電流源電容 111 則無充分保持電荷。即是，無法充分地執行畫素設定動作。在此為了簡便， TQ_2 被設定成充分之長度。

如此一來，執行第 2 行之各畫素設定動作。在此，於各畫素之電流源電路 102 中，電流電晶體 1405 及電流源電晶體 112 之閘極電極的電位相等。電流電晶體 1045 及電流

五、發明說明 (59)

源電晶體 112 之汲極端子之電位相等。再者，以電流電晶體 1405 和電流源電晶體 112 之電流特性相等為理想。為了簡便，在此，將電流電晶體 1405 和電流源電晶體 112 之電流特性設為相等。因此，當施加電壓至電流源電路 102 之端子 A 和端子 B 之間時，於電流源電晶體 112 之源極、汲極之間，則流入因應於流動電流電晶體 1405 之電流 I_0 的一定電流（畫素基準電流）。

當 SET2 完成時，被輸入至訊號線 GN_2 之訊號變化，第 2 行之畫素之電流輸入電晶體 1403 則成為非導通狀態。如此一來，第 2 行之畫素之電流電晶體 1405 及電流源電晶體 112 之閘極電壓被保持之狀態下，切斷電流線 CL_1 和電流電晶體 1405 的連接。

對所有的行反覆執行與 SET2 相同之動作。但是，基準電流輸出電路 405 之設定動作，是在 SET2 中已經完成。依此，在 SET3 以後之動作中，SET i 之期間(1)持續性地流入與基準電流幾乎相等的電流於所有的電流線 $CL_1 \sim CL_x$ 。一旦，基準電流輸出電路 405 之設定動作完成後，當 SET i 之期間(1)開始時，則立刻在第 i 行之所有的畫素之電流源電容 111 中同時執行保持畫素對應基準電壓之動作。

如此一來，在 SET2 完成之時點，則在基準電流輸出電路 405 所擁有之各電流源電容 721__1~721__x 上，保持用以將基準電流流入至各電流線 $CL_1 \sim CL_x$ 的電荷。因此，在 SET3 以後之期間 $TD_1 \sim TD_x$ 中，執行保持並予以修至電流源電容 721__1~721__x 之電荷所放電之部分的動作。SET2 以

五、發明說明(60)

後是流入至各電流線 $CL_1 \sim CL_x$ 的電流幾乎決定成基準電流，畫素設定動作充分地被執行(完成)。

當執行 $SET_1 \sim SET_y$ 之動作時，畫素設定之第 1 幀期間則完成。而且，將所有訊號線 $GN_1 \sim GN_y$ 的及訊號線 $GH_1 \sim GH_y$ 平均 1 次選擇，將執行 1 組所有之畫素設定動作的期間，稱為畫素設定之 1 幀期間。

當完成畫素設定之第 1 幀期間後，則開始畫素設定之第 2 幀期間。即使在畫素設定之第 2 幀期間，也反覆執行與畫素設定之第 1 幀期間相同之動作。於畫素設定之第 1 幀期間中，第 1 行之畫素設定動作是無法充分被執行。但是，於畫素設定之第 2 幀期間中，則完成基準電流輸出電路 405 之設定動作。因此，在畫素設定之第 2 幀期間中，藉由執行 SET_1 之動作，亦可以充分地執行第 1 行之畫素的設定動作。如此一來，充分地執行所有的畫素設定動作(完成)。

而且，於第 6 圖之時序圖中，雖然將基準電流輸出電路 405 之分割數設定成 2，但是並不限定於此，可以設定任意的數量。假設分割數比顯示裝置具有畫素行的數量大時，打開顯示裝置之電源後第 1 次(畫素設定之第 1 幀期間)的畫素設定動作，是在所有的畫素行中無被充分執行。但是，既由多次反數執行畫素設定動作，則可以充分地執行畫素設定動作。再者，即使於畫素設定之第 1 幀期間中，亦無法充分地執行任何畫素設定動作，而在畫素設定之第 2 幀期間以後中，完成所有之畫素設定動作亦可。

五、發明說明(61)

例如，藉由將各設定期間 SET_i 之期間(1)之長度設定成較短，多次執行 $SET_1 \sim SET_y$ 之動作，則可以漸漸地使用執行畫素設定動作。並且，打開顯示裝置之電源後的基準電流輸出電路 405 之設定動作及畫素設定動作，雖然表示同時開始的例，但是即使在充分執行基準電流輸出電路 405 之設定動作後，執行畫素設定動作亦可。

一旦，完成畫素設定動作後，為了充電修正因漏電流等而導致減少被保持於電流電容 111 之電荷的部分，執行畫素設定動作。其時機是藉由電流源電容 111 之放電的速度等而可考慮多種形態。並且，在一旦完成畫素設定動作後再次執行的畫素設定動作中，因僅充電被保持於電流源電容 111 之電荷所放電掉的部分即可，故其後的畫素設定動作相對於開始之畫素的設定動作，是縮短輸入基準電流於各畫素後到成為正常狀態為止的時間即可。依此，其後之畫素設定動作相對於第 1 次之畫素設定動作，亦可將輸入訊號於訊號線 GN、訊號線 GH 的驅動電路及基準電流輸出電路 405 之驅動頻率設定成較高。

接著，針對畫素之設定動作之第 2 手法，使用第 15 圖予以說明。第 15 圖是表示被配置在第 5 圖所示之各畫素之電流源電路 102 之設定動作(畫素之設定動作)的時序圖。於第 15 圖(a)上，具舉出將畫素之設定動作和第 8 圖等所示之基準電流輸出電路 405 之設定動作在 1 幀期間之前後部和後半部進行之情形的例。在此，基準電流輸出電路 405 是使用第 9 圖所示之構成，舉出參考第 10 圖所示之時序圖而

五、發明說明(62)

予以動作之情形作為例子。並且，使成為與第 10 圖所示之時序圖相同動作之部分，是使用相同之符號表示省略說明。

首先，在 1 幀期間之前半部中，基準電流輸出電路 405 是在第 10 圖中依序執行期間 $TD_1 \sim TD_r$ 所示的動作，被依序決定成流入各電流線的電流 $CL_1 \sim CL_x$ 。接著，針對 1 幀期間之後半部的各畫素之電流源電路 102 之動作，說明第 1 行畫素之情形。依據基準電流輸出電路 405 之設定動作，被設定成所有之電流線 CL 可流動基準電流。在此，第 1 行之畫素之電流電晶體 1405 之閘極電極和汲極端子是經由成為導通狀態之電流保持電晶體 1404 而被連接。因此，電流電晶體 1405 是在閘極、源極間電壓(閘極電壓)和源極、汲極間電壓相等之狀態下，即是在飽和區域動作，並流動汲極電流。流動第 1 行第 j 列之畫素的電流電晶體 1405 的汲極電流是決定流動電流線 CL_j 的基準電流。如此一來電流源電容 111 是保持電流電晶體 1405 流動基準電流之時的閘極電壓。接著，訊號線 GH_1 之訊號變化，使流保持電晶體 1404 成為非導通狀態。依此，電荷被保持於第 1 行之畫素之電流源電容 111。

如此一來，執行第 1 行之各畫素的設定動作。於各畫素之電流源電路 102 中，電流電晶體 1405 及電流源電晶體 112 之閘極電極的電位相等，電流電晶體 1405 及電流源電晶體 112 之閘極端子之電位相等，電流電晶體 1405 及電流源電晶體 112 之源極端子的電位成為相等。再者，電流電

五、發明說明(63)

晶體 1405 和電流電晶體 112 之電流特性相等為理想。為了簡便，將電流電晶體 1405 和電流源電晶體 112 之電流特性假設為相等。因此，當於電流源電路 102 之端子 A 和端子 B 之間施加電壓時，則於電流源電晶體 112 上流動因應於流動電流電晶體 1405 之基準電流的一定電流。

接著，依據被輸入於訊號線 GN_2 及訊號線 GH_2 的訊號，使第 2 行之畫素的電流輸入電晶體 1403 及電流保持電晶體 1404 成為導通狀態。並且，同時被輸入於訊號線 GN_1 的訊號變化，第 1 行之畫素的電流輸入電晶體 1403 則成為非導通狀態。如此一來，第 1 行之畫素之電流電晶體 1405 及電流源電晶體 112 之閘極電壓被保持之狀態下，切斷電流線 CL_1 和電流電晶體 1405 的連接。於第 2 行之畫素中，亦與第 1 行之時相同，執行畫素之設定動作。接著，依第 3 行之畫素、第 4 行之畫素的順序反覆執行相同之動作。當所有行完成畫設定動作時，則完成 1 幀期間。當進入下一個幀期間時，同樣地在前半部執行基準電流輸出電路 405 的設定動作，在後半部執行畫素之設定動作。一旦，完成畫素之設定動作後，為了充電並修正因漏電流而引起減少被導持於電流源電容 11 之電荷的部分，則執行畫素之設定動作。其時機是依據電流源電容 111 之放電的速度等而可考慮各種態樣。

同樣的，一旦執行基準電流輸出電路 405 之設定動作後，為了充電並修正被保持於電容 721 之電荷所減少的部分，而執行設定動作。時機為各種態樣，畫素及基準電流

五、發明說明(64)

輸出電路 405 之設定動作是可以與畫像之顯示動作完全無關係地予以動作。可以與第 7 圖中之位址期間 Ta 或顯示期間 Ts、非顯示期間 Tus 完全無關係地予以動作。其理由是畫素及基準電流輸出電路 405 之設定動作與畫素之顯示動作是不互相影響動作之故。因此，即使如第 15 圖(b)所示般執行設定動作來取代第 15 圖(a)亦可。於第 15 圖(b)中，在訊號線驅動電路不動作期間，執行基準電流輸出電路 405 之設定動作，在剩餘期間執行畫素設定動作。如此，若以完全任意的次數和時機執行設定動作即可。畫素之設定動作也不需一條一條地順序執行，基準電流輸出電路 405 之設定動作也不需一系列地依序執行。

並且，電流保持電晶體 1404 之源極端子及汲極端子之電流電晶體 1405 及電流源電晶體 112 之閘極電極無連接之側被直接連接於電流線 CL 的構成，成為於所有畫素之電流輸入電晶體 1403 成為非導通狀態之時的電流線 CL 上，被給予一定電位的構成。在顯示裝置所具有之多數畫素中，將該一定電位設定成將畫素對應基準電壓保持於該些電流源電容 111 之時的電流電晶體 1405 之閘極電位的平均左右。如此一來，可以縮小電流保持電晶體 1404 之源極、汲極端子間之電壓、抑制因電流保持電晶體 1404 之漏電流而引起之被存儲於電流源電容 111 之電荷的放電。是否對電流線 CL 給予一定電位上或切換流動基準電流，即使為在基準電流輸出電路 405 上執行的成亦可。

再者，依據使電流源電晶體 112 之閘極長度和閘極寬

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (65)

度之比率，對電流電晶體 1405 之閘極長度和閘極寬度之比率產生變化，亦可使畫素基準電流之值對畫素基準電流之值產生變化。例如，若將基準電流對畫素基準電流設定成較大，則在畫素之設定動作中可以縮短電流源電容 111 到保持畫素對應基準電壓為止所需之時間，可以降低雜訊之影響。

配合對應於電流線 $CL_1 \sim CL_x$ 之各畫素的發光元件之特性，可以決定多數不同之電流值的基準電流。例如，亦可以改變流入至設置有紅色發光、綠色發光及藍色發光之發光色不同之發光元件的各畫素之各個電流線 CL 的基準電流之電流值而予以設定。依此，可以取得 3 色發光元件之發光亮度的均衡。取得 3 色發光亮度之均衡的方法，即使藉由改變點燈期間之長度而執行亦可，即使與改變輸入於對應著各色之畫素的基準電流之電流值組合亦可。或是即使以電流電晶體 1405 和電流源電晶體 112 對每色改變閘極長度和閘極寬度之比率亦可。

接著，針對畫像顯示動作漢化訴之設定動作之關連予以說明。開始畫像顯示動作和畫素設定動作的時機可考慮各種態樣。

第 1 手法是一旦在所有的畫素之設定動作充分完成後，執行打開顯示裝置之電源後的最初畫像顯示動作的手法。此時，自最初之畫像顯示動作藉由影像訊號而選擇發光狀態之畫素的發光元件是以規定亮度予以發光。

其他之手法是一面執行畫素之捨定動作，一面同時執

五、發明說明(66)

行打開顯示裝置之電源後的最初畫像顯示動作。此時，在畫素之設定動作完成為止之期間所執行的畫像顯示動作中，藉由影像訊號而選擇發光狀態之畫素之發光元件之發光亮度是無達到規定之亮度。因此，正確之灰階顯示是在充分地執行所有之畫素設定動作後開始執行。

並且，於第 5 圖所示之畫素部之構成中，訊號線 GN、訊號線 GH、掃描線 G、消去用訊號線 RG 等是可以考慮驅動之時機等而共有。而且，使電流保持電晶體 1404 成為非導通狀態之時機，和使電流輸入電晶體 1403 成為非導通狀態之時機完全相同，在畫素之設定動作上並無問題。

(實施形態 2)

本實施形態中，將同一電晶體方式之電流源電路之構成例表示於第 12 圖中。並且，在此主要針對與實施形態 1 不同之部分予以說明，重複之部分省略說明。因此，第 12 圖中與第 3 圖相同之部分使用相同之符號表示。

於第 12 圖中，電流源電路 102 是藉由藉由電流源電容 111、電流源電晶體 112、電流輸入電晶體 203、電流保持電晶體 204、電流停止電晶體 205、電流線 CL、訊號線 GN、訊號線 GH、訊號線 GS 而所構成。表示將電流源電晶體 112 當作 p 通道型的例。而且，將電流源晶體 112 當作 n 通道型之時，亦可隨著第 3 圖(C)所示之構造，而容易應用。將此時之例表示於第 24 圖。而且，與第 12 圖相同部分是使用相同符號表示。

五、發明說明(67)

再者，於第 12 圖中，雖然將電流輸入電晶體 203、電流保持電晶體 204、電流條紙電晶體 205 設為 n 通道型，但是，因僅當作開關予以動作，故即使為 p 通道型亦可。但是，於第 12 圖中，電流保持電晶體 204 被連接於電流源電晶體 112 之閘極和汲極間之時，電流保持晶體 204 是以 p 通道型為理想。其理由是設為 n 通道型之時，可得端子 B 之電位成為非常低之情形，此時，電流保持電晶體 204 之源極電位也變低。其結果，電流保持電晶體 204 之有可能難成為非導通狀態。對此，若將電流保持電晶體 204 設為 p 通道型，則無須擔心此。

電流源電晶體 112 之閘極電極和電流源電容 111 之一方電極是被連接。再者，電流源電容 111 之另一方之電極是與電流源電晶體 112 之源極端子連接。電流源電晶體 112 之源極端子是被連接於電流源電路 102 之端子 A 上。電流源電晶體 112 之閘極電極和汲極端子，是經由電流保持電晶體 204 之源極、汲極端子間，而被連接。電流保持電晶體 204 之閘極電極是被連接於訊號線 GH。電流源電晶體 112 之汲極端子和電流線 CL 是經由電流輸入晶體 203 之源極、汲極端子間而被連接。電流輸入電晶體 203 之閘極電極是被連接於訊號線 GN。再者，電流源電晶體 112 之汲極端子是經由電流停止電晶體 205 之源極、汲極端子間而被連接於端子 B。電流停止電晶體 205 之閘極電極是被連接於訊號線 GS。

再者，在上述構成中，電流源電晶體 112 之閘極電極

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(68)

，即使不經由電流輸入電晶體 203 之源極、汲極端子間，而與電流線 CL 連接亦可。即是，即使為電流保持電晶體 204 之源極端子及汲極端子之不與電流源電晶體 112 之閘極電極連接之側，直接被連接於電流線 CL 上的構成亦可。此時，藉由油條紙電流線 CL 之電位，可以縮小電流保持電晶體 204 之源極、汲極間電壓。其結果，電流保持電晶體 204 為非導通狀態時，可以縮小電流保持電晶體 204 之漏電流。而且，並不限定於此，電流保持電晶體 204 成為導通狀態之時，若使電流源電晶體 112 之閘極電極之電位與電流線 CL 之電位相等而被連接即可。即是，於畫素之設定動作時，若成為第 62 圖(a)所示般，於發光時若成為第 62 圖(b)所示般即可。如此，若配線或開關被連接即可。因此，電流源電路之構成即使如第 72 圖般即可。

而且，在與電流保持電晶體 204 之源極端子及汲極端子之電流源電晶體 112 之閘極電極不連接之側，直接被連接於電流線 CL 之構成，則成為在所有畫素之電流輸入電晶體 203 成為非導通狀態之時的電流線 CL 上被給予著一定電位的構成。在顯示裝置所具有之多數畫素中，將該一定電位設定成將畫素對應基準電壓保持於該些電流源電容 111 之時的電流源電晶體 112 之閘極電位的平均左右。如此一來，可以縮小電流保持電晶體 204 之源極、汲極端子間之電壓、抑制因電流保持電晶體 204 之漏電流而引起之被存儲於電流源電容 111 之電荷的放電。

是否對電流線 CL 給予一定電位上或切換流動基準電流

五、發明說明(69)

，即使為在基準電流輸出電路 405 上執行的成亦可。而且，在電流源電晶體 112 之閘極和電流線 CL 間連接電流保持電晶體 204 之時，電流保持晶體 204 之極性任何皆可。即使將電流保持電晶體設為 n 通道型，因電流線 CL 之電位不會變得太低，故電流保持電晶體 204 亦不會難成為非導通狀態。

作為開關部之構成，是與實施形態 1 中所說明的內容相同。可以採用各種構成。以一例而言，設定成第 13 圖所示相同之構成，省略說明。

第 14 圖是表示矩陣狀地配置具有第 12 圖所示之構成的電流源電路 102 和第 13 圖所示之構成之開關部 101 之畫素 100 的畫素區域之一部分的電路圖。於第 14 圖中，僅代表性地表示第 i 行 j 列、第 (i+j) 行 j 列、第 i 行 (j+1) 列、第 (i+j) 行 (j+1) 列的 4 畫素。與第 12 圖及第 13 圖相同之部分是使用相同符號表示，省略說明。而且，將第 i 行、第 (i+1) 行之各對應於畫素行的掃描線以 G_i 、 G_{i+1} 表示記載，將消去訊號線以 RG_i 、 RG_{i+1} 表示記載，將信號線 GN 以 GN_i 、 GN_{i+1} 表示記載，將信號線 GH 以 GH_i 、 GH_{i+1} 表示記載，將訊號線 GS 以 GS_i 、 GS_{i+1} 表示記載。另外，將第 j 列、第 (j+1) 行之各對應於畫素列的影像訊號輸入線 S 以 S_j 、 S_{j+1} 表示記載，將電源線 W 以 W_j 、 W_{j+1} 表示記載，將電流線 CL 以 CL_j 、 CL_{j+1} 表示記載，將配線 W_{co} 以 W_{coj} 、 W_{coj+1} 表示記載。由畫素區域外部輸入基準電流於電流線 CL_j 、 CL_{j+1} 。

發光元件 106 之畫素 106 的畫素電極是被連接於端子 D

五、發明說明(70)

，對向電極是被授與對向電位。於第 14 圖中，是表示將發光元件之畫素電極當作陽極，將對向電極當作陰極之構成。即是，表示電流源電路之端子 A 被連接於電源線 W，端子 B 被連接於開關部 101 之端子 C 的構成。但是，即使為將發光元件 106 之畫素電極當作陰極，將對向電極當作陽極之構成的顯示裝置，亦可以容易運用本實施形態 2 之構成。第 50 圖是表示於以下第 14 圖所示之構成的畫素中，將發光元件 106 之畫素電極當作陰極，將對向電極當作陽極之變化例。於第 50 圖中與第 14 圖相同之部分使用相同符號表示，省略說明。

第 14 圖中，電流源電晶體 112 是設定為 p 通道型。另外，於第 50 圖中，將電流源電晶體 112 設為 n 通道型。如此一來，可以使流動電流之方向成為相反之方向。此時，第 50 圖中之端子 A 是與開關部之端子 C 連接，端子 B 是與電源線 W 連接。

再者，於第 14 圖及第 50 圖中，驅動電晶體 302 因僅作為開關發揮功能，故即使 n 通道型或 p 通道型任一者亦可。但是，驅動電晶體 302 是以在其源極端子之電位被固定之狀態下動作為佳。因此，在將如第 14 圖所示般之發光元件 106 之畫素電極當作陽極，將對向電極當作陰極之構成中，驅動電晶體 302 則為 p 通道型為最佳。另外，在將如第 50 圖所示般之發光元件 106 之畫素電極當作陰極，將對向電極當作陽極之構成中，驅動電晶體 302 則為 n 通道型為最佳。並且，於第 14 圖中，各畫素之配線 W_{co} 與電源

五、發明說明(71)

線 W 因即使被保持於相同電位亦可，故可以共用。再者，不同畫素間之配線 W_{co} 彼此，電源線 W 彼此，亦可共用配線 W_{co} 和電源線 W。

於第 14 圖所示之畫素部之構成中，訊號線 GN 、訊號線 GH 、訊號線 GS 、掃描線 G 、消去用信號線 RG 等是考慮驅動之時機等，而可以共有。例如，可以共有信號線 GH_i 和訊號線 GN_i 。此時，將電流輸入電晶體 203 成為非導通狀態之時機和將電流保持電晶體 204 成為非導通狀態之時機完全相同，在畫素之設定動作上無問題。以另外之例而言，可以共有訊號線 GS_i 和訊號線 GN_i 。此時，使用與電流輸入電晶體 203 極性不同之極性的電流停止電晶體 205。如此一來，當輸入相同訊號於電流輸入電晶體 203 之閘極電極和電流停止電晶體 205 之閘極電極時，可以使一方之電晶體成為導通狀態，使另一方之電晶體成為非導通狀態。並且，亦可以共有消去用訊號線 RG 和信號線 GS 。

並且，即使使用其他畫素行之掃描線來代替配線 W_{co} 與電源線 W 亦可。這是利用在不進行影像訊號寫入期間，將掃描線之電位保持在一定電位。例如使用 1 個前之畫素行的掃描線 G_{i-1} 來代替電源線。但是此時，考慮掃描線 G 之電位，則必須注意選擇電晶體 301 之極性。

再者，即使將電流停止電晶體 205 和消去電晶體 304 匯集成 1 個，省略任 1 個亦可。於畫素之設定動作時，當於驅動電晶體 302 或發光元件 106 電流洩漏時，則無法正確設定。依此，畫素之設定動作時，是執行使電流停止電

五、發明說明(72)

晶體 205 成為非導通狀態，或驅動電晶體 30 可成為非導通狀態地使消去電晶體 304 成為導通狀態中之任一者即可。當然即使執行兩者亦可。另外，於非顯示期間中，同樣地若使電流停止電晶體 205 成為非導通狀態，或使消去電晶體 304 成為導通狀態亦可。由上述可知可以省略電流停止電晶體 205 或消去電晶體 304 中之任一者。

並且，於具有上述之構成的開關部或電流源電路之畫素中，將具有各配線之具體例表示於第 73 圖。於第 73 圖(A)~(F)中，訊號線 GN 和訊號線 GH 是被共有，配線 W_{co} 和電源線 W 是被共有。再者，為省略電流停止電晶體 205 之構成。尤其，於第 73 圖(A)中，電流保持電晶體 204 之源極端子或汲極端子中，無與電流源電容 111 之一方電極連接之側，是被直接連接於電流線 CL。再者，於第 73 圖(B)中，消去電晶體 304 是被串聯連接於電流源電晶體 112 及驅動電晶體 302。於第 73 圖(D)中，為電源線 W 依序經由開關部 101 之驅動晶體 302、電流源電路 102 之電流源電晶體 112 而與發光元件 106 連接之構成。於該構成中，設置有追加電晶體 290。依據追加電晶體 290 使得可以在開關部為 OFF 之狀態，即是驅動電晶體 302 為非導通狀態執行畫素之設定動作，而連接電源線 W 和電流源電晶體 112 之源極端子。於第 73 圖(E)中，為將電流源電晶體 112 設定成 n 通道型的構成。此時，電流保持電晶體 204 之源極端子或汲極端子中，無與電流源電容 111 之一方電極連接之側，是與電源線 W 直接連接。於第 73 圖(F)中，是將第 73 圖(D)中之

五、發明說明(73)

電流源電晶體 112 設為 n 通道型之構成例。如此，依據各種改變配線之共有、電晶體之共有或極性或位置、開關部和電流源電路之位置、開關部或電流源電路中之構成等，並且改變該組合方式，則可以容易實現各種電路。

說明具有第 14 圖所示構成之畫素的顯示裝置之驅動方法。於說明中使用第 16 圖。並且，關於基準電流輸出電路 405 或參照電流源電路 404 之構成及動作，則與實施形態 1 中之說明相同。依此，省略說明。

首先，針對畫像顯示動作，與實施形態 1 中使用第 7 圖所說明的相同。不同的是電流停止電晶體 205 之動作。若存有電流停止電晶體 205 之時，於點燈期間電流停止電晶體 205 則必須成為導通狀態。若電流停止電晶體 205 成為非導通狀態，例如即使驅動晶體 302 為導通狀態，電流也不流至發光元件。因此，點燈期間中是必須使電流停止電晶體 205 為導通狀態。非點燈期間中為任一者皆可。除了上之點外，則與實施形態 1 相同。因此，省略詳細說明。

接著，針對畫素之設定動作予以說明。如實施形態 1 所示般，在第 5 圖中所示之構成的顯示裝置，即是採用電流鏡方式當作畫素之電流源電路之時，畫像顯示動作和畫素之設定動作可以非同步執行。另外，在本實施形態 2 中第 14 圖所示之構成的顯示裝置，即是採用同一電晶體方式當作畫素之電流源電路之時，則畫像顯示動作與畫素之設定動作為同步執行為最佳。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(74)

當在各畫素中執行畫素之設定動作時，因將畫素對應基準電壓保持於電流源電容 111，故流動電流線 CL 之基準電流需要設定流動電流線 CL 之基準電流成為電流源電晶體 112 之汲極電流的狀態。因此，若於執行畫素之設定動作之期間，當流動電流源電晶體 112 之電流一部分從電流源電路 102 流至發光元件 106 時，電流源電晶體 112 之汲極電流成為與流動電流線 CL 之基準電流不同的值，無法將畫素對應基準電壓正確地保持至電流源電容 111 中。為了防止此狀況，於執行畫素之設定期間，必須使電流不流至其畫素之發光元件上。

因此，於執行畫素之設定動作期間，無法執行畫像之顯示。依此，畫素之設定動作是必須預備不執行畫像顯示動作之期間，或在畫像顯示動作中不執行畫像之顯示的期間等，而在期間中執行。所以畫像顯示動作和畫素之設定動作是同步執行為最佳。

第 14 圖所示之構成的顯示裝置，在各畫素中，將電流源電晶體 112 與電流線 CL 電氣性連接期間是使電流停止電晶體 205 成為非導通狀態。如此一來，即使開關部之端子 C 和端子 D 間為導通狀態，亦作為電流不被輸入至發光元件 106 之狀態，而正確地執行畫素之設定動作。

再者，於第 14 圖所示之構成的顯示裝置中，各畫素之開關部的端子 C 和端子 D 之間，即是僅在驅動地案晶體 302 為非導通狀態之時，即使執行其畫素之設定動作亦可。此時，無需要設置電流停止電晶體 205。即是，為電流源電

五、發明說明 (75)

晶體 112 之汲極端子直接被連接於端子 B 的構成即可。爲了使驅動電晶體 302 成爲非導通狀態，若使消去電晶體 304 成爲導通狀態等即可。即是，僅在非點燈期間中，執行畫素之設定動作時，不需要設置電流停止電晶體 205。

接著，針對何時執行畫素之設定動作以例表示。可大區分爲 2 個。第 1 是在顯示期間中執行畫素設定動作之時。但是此時在畫素設定動作中無法予以發光。因此，成爲插入部發光之期間的形式。即使畫素設定動作完成，第 13 圖之保持電容 303 之電容所保持之訊號若無變化，則可以迅速地再次開始顯示動作。另 1 則是在畫像顯示動作之非顯示期間 T_{us} 中，執行畫素之設定動作的手法。此時因發光元件不發光，故可以容易地執行畫素設定動作。接著，關於畫素設定動作，針對在多少期間中完成所有畫素之設定動作予以說明。以例而言，針對兩種情形予以說明。第 1 是在 1 幀期間中，完成所有畫素之設定動作之情形。另 1 則是在 1 幀期間中，完成 1 行份之畫素之設定動作之情形。此時是花費多數幀期間而終於完成所有畫素之設定動作。首先，針對第 1 之情形詳細說明。

爲了說明使用第 16 圖之時序圖。並且，使成爲與第 7 圖之時序圖相同動作之期間是使用相同符號而予以表示。並且爲了簡便，使用 1 幀期間被分割爲 3 個子幀期間 $SF_1 \sim SF_3$ 的例子。再者，以在子幀期間 SF_3 中必須設定比位址期間 T_{a3} 短的顯示期間 T_{s3} ，設置復位期間 T_{r3} 及非顯示期間 T_{us3} 的驅動方法爲例。然後，設定在非顯示期間 T_{us3} 中，

五、發明說明(76)

執行畫素之設定動作。

於第 16 圖(A)中，在第 1 子幀期間 SF_1 及第 2 子幀期間 SF_2 中，因不設置非顯示期間 T_{us} ，故不執行畫素之設定動作。另外，當第 3 子幀期間 SF_3 之復位期間 Tr_3 開始時，則同時執行第 1 行之畫素的設定動作。並且，將執行第 k 行畫素之設定動作的期間以 SET_k 表示。然後，當完成 SET_1 時，則開始 SET_2 ，執行第 2 行之畫素之設定動作。當完成 $SET_1 \sim SET_y$ 時，畫素之設定動作是關於所有之畫素則完成。如此一來， $SET_1 \sim SET_y$ 之動作則在復位期間 Tr_3 中執行。即使在以後之幀期間中，若反覆執行相同動作亦可。但是在每幀期間無須執行畫素之設定動作。若配合畫素之電流源電容之保持能力而決定亦可。

第 16 圖(B)是詳細表示第 16 圖(A)中之第 3 子幀期間 SF_3 之復位期間之動作的時序圖。如第 16 圖(B)之畫像顯示動作般，可以與復位期間 Tr_3 中之消去用訊號線 $RG_1 \sim RG_y$ 之掃描同步，執行 $SET_1 \sim SET_y$ 。如此，當與消去用訊號線 $RG_1 \sim RG_y$ 同步而執行 $SET_1 \sim SET_y$ 時，則可以使第 14 圖所示之訊號線 $GN_1 \sim GN_y$ 、訊號線 $GH_1 \sim GH_y$ 及訊號線 $GS_1 \sim GS_y$ 之頻率，與消去用訊號線 $RG_1 \sim RG_y$ 之訊號的頻率相同。依此，可共有將訊號輸入至該些訊號線(消去用訊號線 $RG_1 \sim RG_y$ 、訊號線 $GN_1 \sim GN_y$ 、訊號線 $GH_1 \sim GH_y$ 及訊號線 $GS_1 \sim GS_y$)的驅動電路之全部或一部分。

在此，如第 16 圖(B)所示般，與消去訊號線 $RG_1 \sim RG_y$ 之掃描同步而執行 $SET_1 \sim SET_y$ 時，可使脈衝輸出電路 711

五、發明說明(77)

所輸出之取樣脈衝的頻率，成為與將訊號輸入至畫素之影像訊號輸入線 $S_1 \sim S_x$ 的訊號線驅動電路之頻率相同。如此一來，可以一部分共有訊號線驅動電路和基準電流輸出電路 405。

接著，在 1 幀期間中，針對在 1 行份之畫素執行畫素之設定動作之時予以說明。為了說明，使用第 40 圖。並且，使成為與第 7 圖之時序圖相同動作之期間，使用相同符號予以表示。第 40 圖(A)是表示第 1 幀期間 F_1 之動作的時序圖。再者，第 40 圖(B)是表示第 i 幀期間 F_i 之動作的時序圖。

於第 40 圖(A)中，因在第 1 幀期間 SF_1 及第 2 幀期間 SF_2 中，無設置非顯示期間 T_{us} ，故不執行畫素之設定動作。另外，當開始第 3 子幀期間 SF_3 之復位期間 Tr_3 時，同時 SET_1 開始，執行第 1 行之畫素的設定動作。如此一來， SET_1 之動作是在第 1 行之畫素的非顯示期間 T_{us1} 中使用所有 T_{us1} 之期間而被執行。接著，開始第 2 幀間 F_2 ，執行第 2 行之畫素的設定動作。之後，執行相同之動作。

例如，使用第 40 圖(B)說明執行第 i 行畫素之畫素設定動作時的動作。第 i 行之畫素的設定動作是在第 i 幀期間 F_i 中執行。即使是在第 i 幀期間 F_i 中亦相同，因在第 1 子幀期間 SF_1 及第 2 子幀期間 SF_2 無設置非顯示期間 T_{us} ，故不執行畫素之設定動作。另外，開始第 3 子幀期間 SF_3 之復位期間 Tr_3 ，當開始第 i 行畫素之非顯示期間 T_{usi} 時，則同時開始 SET_i ，執行第 i 行畫素之設定動作。如此一來， SET_i 之

五、發明說明(78)

動作在第 i 行畫素之非顯示期間 T_{usi} 中使用所有 T_{usi} 之期間而被執行。當完成第 1 幀期間 $F1$ ~ 第 y 幀期間 Fy 時，則對所有之畫素，完成畫素之設定動作。即使在之後的幀期間，若反覆相同之動作亦可。但是，無須在每幀期間執行畫素之設定動作。若配合畫素之電流源電容之保持能力而決定即可。

如此，在 1 幀期間執行 1 行份之畫素之設定動作之時，有可正確執行畫素之設定動作的優點。即是，因執行畫素之設定動作的期間長，故可以充分執行設定動作。因此，基準電流之大小即使較小亦可正確地執行設定動作。通常當基準電流之大小較小時，因充電配線之交叉電容等所需之時間較長，故正確執行設定動作較難。但是，若增長設定動作之期間，則可以正確地執行設定動作。若在 1 幀期間對所有行之畫素必須執行設定動作之時，則 1 行份之畫素之設定期間則變短。因此，變成難以正確設定。若如實施形態 1 所示般，畫素之電流源電路為電流鏡方式之時，因增大基準電流之大小，故畫素之設定期間即使較短，亦容易正確設定。另外，如本實施形態所示般，畫素之電流源電路為同一電晶體方式之時，因增大基準電流之大小，故難以正確設定。因此，增長設定期間為有效。如此，可以藉由第 16 圖或第 40 圖所示之驅動方法，同步進行畫素之設定動作和畫像顯示動作。

並且，於第 16 圖或第 40 圖中，雖然表示僅在 1 幀期間之 1 個子幀期間中，設置非顯示期間之時的驅動方法，

五、發明說明(79)

但是本發明之顯示裝置之驅動方法並非限定於此。針對在 1 幀期間之多數子幀期間中，設置非顯示期間之時的驅動方法，亦可以應用。此時，在 1 幀期間之多數子幀期間所有的非顯示期間 T_{us} 中，即使為執行畫素之設定動作的驅動方法亦可。再者，即使為僅在 1 幀期間之多數子幀期間中之幾個非顯示期間 T_{us} 中，執行畫素之設定動作的驅動方法亦可。

一旦完成所有之畫素之設定動作後之反覆執行畫素之設定動作的時機，是可以藉由畫素之電流源電路所具有之電流源電容之電荷保持能力，任意決定。即是，即使為在數幀期間之間，完全不執行設定動作之期間亦可。

在此，針對某行之畫素之設定動作的手法予以簡單說明。以例而言，注目於第 1 行之畫素。首先，藉由被輸入至信號線 GN_1 及信號線 GH_1 的訊號，使得第 14 圖所示知第 1 行畫素之電流輸入電晶體 203 及電流保持電晶體 204 成為導通狀態。並且，藉由訊號線 GS_1 之訊號，第 1 行畫素之電流停止電晶體 205 是成為導通狀態。並且，若無電流停止電晶體 205 之時，則藉由使消去電晶體 304 成為導通狀態等，事先使驅動電晶體 302 成為非導通狀態即可。

然後，基準電流流至電流線 CL。如此一來，基準電流流至畫素之電流源電晶體 112。在此，第 1 行畫素之電流源電晶體 112 之閘極電極和汲極電極，是經由成為導通狀態之電流保持電晶體 204 而被連接。因此，電流源電晶體 112 是閘極、源極間電壓(閘極電壓)，和源極、汲極間電壓為相

五、發明說明(80)

等之狀態，即是，在飽和區域動作，流動汲極電流。流動第 1 行畫素之電流源電晶體 112 之汲極電流，是設定成流動電流線 CL 之基準電流。如此一來，電流源電容 111 是保持電流源電晶體 112 流動基準電流之時的閘極電壓。其間，電流停止電晶體 205 為非導通狀態。依此，基準電流不會產生洩漏。

接著，訊號線 GH_1 變化，電流保持電晶體 204 成為非導通狀態。依此，電荷被保持於第 1 行之畫素之電流源電量 111。之後，訊號線 GN_1 之訊號變化，第 1 行畫素之電流輸入電晶體 203 成為非導通狀態。如此一來，第 1 行畫素之電流源電晶體 112 是閘極電壓被保持著而切斷與電流線 CL_1 之連接。並且，之後，訊號線 GS_1 之訊號變化，電流停止電晶體 205 即使成為導通狀態亦可，即使成為非導通狀態亦可。於點燈期間中若為導通狀態亦可。

如此一來，執行第 1 行之各畫素之設定動作。依此，以後，在各畫素之電流源電路 102 中，當在端子 A 和端子 B 之間施加電壓時，則在電流源電晶體 112 之源極、汲極間流動與基準電流相同大小之電流。

(實施形態 3)

針對本實施形態中多閘方式之電流源電路予以說明。並且，在此針對與實施形態 1 或實施形態 2 不同之部分予以說明，供同之部分則省略說明。

使用第 57 圖針對多閘方式 1 之電流源電路之構成予以

五、發明說明(81)

說明。並且，與第 3 圖相同之部分則使用相同符號表示。多閘方式 1 之電流源電路是具有電流源電晶體 112 和電流停止電晶體 805。再者，具有作為開關發揮功能之電流輸入電晶體 803、電流保持電晶體 804。在此，電流源電晶體 112、電流停止電晶體 805、電流輸入電晶體 803、電流保持電晶體 804 即使為 p 通道型或 n 通道型亦可。但是，電流源電晶體 112 和電流停止電晶體 805 是必須為相同極性。在此，表示電流源電晶體 112 及電流停止電晶體 805 為 p 通道型之例。再者，電流源電晶體 112 和電流停止電晶體 805 是以電流特性相等為佳。而且，具有保持電流源電晶體 112 之閘極電位的電流源電容 111。再者，具有輸入訊號至電流輸入電晶體 803 之閘極電極的訊號線 GN，和輸入訊號至電流保持電晶體 804 之閘極電極的訊號線 GH。並且具有輸入控制訊號之電流線 CL。而且，電流源電容 111 是藉由利用電晶體之閘極電容等，而可以省略。

電流源電晶體 112 之汲極端子是與端子 A 連接。電流源電晶體 112 之閘極電極和汲極端子是經由電流源電容 111 而被連接。電流源電晶體 112 之閘極電極是與電流停止電晶體 805 之閘極電極連接，經由電流保持電晶體 804 而與電流線 CL 連接。電流源電晶體 112 之汲極端子是與電流停止電晶體 805 之源極端子連接，經由電流輸入電晶體 803 而被連接於電流線 CL 上。電流停止電晶體 805 之汲極端子是被連接於端子 B 上。

而且，於第 57 圖(A)中，即使改變電流保持電晶體 804

五、發明說明（82）

之配置，作為如第 57 圖(B)所示般之電路構成亦可。於第 57 圖(B)中，電流保持電晶體 804 是被連接於電流源電晶體 112 之閘極電極和汲極端子之間。

接著，針對上述多閘方式 1 之電流源電路之設定方法予以說明。並且，於第 57 圖(A)和第 57 圖(B)中，其設定動作相同。在此，以第 57 圖(A)所示之電路為例，針對其設定動作予以說明。為了說明使用第 57 圖(C)～第 57 圖(F)。於多閘方式 1 之電流源電路中，依序經由第 57 圖(C)～第 57 圖(F)之狀態而執行設定動作。為了說明之簡便，將電流輸入電晶體 803、電流保持電晶體 804 當作開關表示記載。在此，表示設定電流源電路之控制訊號為控制電流的例。

第 57 圖(C)所示之期間 TD1 中，使電流輸入電晶體 803 及電流保持電晶體 804 成為導通狀態。此時，電流停止電晶體 805 為非導通狀態。這是藉由成為導通狀態之電流保持電晶體 804 及電流輸入電晶體 803，使電流停止電晶體 805 之汲極端子和閘極電極之電位相等地被保持之故。即是，源極、閘極間電壓為零之時，若將成為非導通狀態之電晶體使用在電流停止電晶體 805，則可以在期間 TD1 中使電流停止電晶體 805 自動成為非導通狀態。如此一來，藉由圖示之路徑流動電流，而將電荷保持在電流源電容 111 上。

在第 57 圖(D)所示之期間 TD2 中，藉由被保持之電荷使得電流源電晶體 112 之閘極、源極間電壓成為臨界電壓以上。如此，汲極電流則流至電流源電晶體 112。

五、發明說明(83)

在第 57 圖(E)所示之期間 TD3 中，當經過充分時間而成爲正常狀態時，電流源電晶體 112 之汲極電流則設定成控制電流。如此一來，當使控制電流成爲汲極電流之時的閘極電壓則被保持於電流源電容 111。之後，電流保持電晶體 804 成爲非導通狀態。如此，被保持在電流源電容 111 之電荷也被分配至電流停止電晶體 805 之閘極電極。如此一來，當電流保持電晶體 804 成爲非導通狀態之時，同時電流停止電晶體 805 自動地成爲導通狀態。

於第 57 圖(F)所示之期間 TD4 中，電流輸入電晶體 803 成爲非導通狀態。如此一來，控制電流不被輸入至畫素。並且，使電流保持電晶體 804 成爲非導通狀態之時機，相對於使電流輸入電晶體 803 成爲非導通狀態之時機，較早或同時爲理想。這是因不使被保持於電流源電容 111 之電荷予以放電之故。於期間 TD4 之後，施加端子 A 和端子 B 之間的電壓時，經由電流源電晶體 112 及電流停止電晶體 805，輸出一一定之電流。即是，電流源電路 102 輸出控制電流之時，電流源電晶體 112 和電流停止電晶體 805 是如同 1 個多閘型電晶體般地發揮功能。因此，相對於所輸入之控制電流即是基準電流，可以將所輸出之一定電流之值設定成較小。所以電流停止電晶體 805 和電流源電晶體 112 之極性必須爲相同。再者，電流停止電晶體 805 和電流源電晶體 112 之電流特性以相同爲理想。這是在具有多閘方式 1 之各電流源電路 102 中，電流停止電晶體 805 和電流源電晶體 112 之特性無一致時，而使輸出電流產生偏差之故。

五、發明說明（84）

並且，於多閘方式 1 之電流源電路中，不僅電流停止電晶體 805 而已，亦使用被輸入控制電流變換成所對應之閘極電壓的電晶體（電流源電晶體 112）而輸出來自電流源電路 102 之電流。另外，在實施形態 1 所示之電流鏡方式之電流源電路中，輸入控制電流變換成所對應之閘極電壓的電晶體（電流電晶體），和將該閘極電壓變換成汲極電流之電晶體（電流源電晶體 112）完全不同。依此，藉由電流鏡方式之電流源電路，是可以減低多閘方式 1 之電流源電路之側，因電晶體之電流特性偏差而對電流源電路 102 之輸出電流的影響。

多閘方式 1 之電流源電路之各訊號線是可以共有。例如，電流輸入電晶體 803 和電流保持電晶體 804 若以相同時機切換導通狀態、非導通狀態，則在動作上無問題。因此，使電流輸入電晶體 803 和電流保持電晶體 804 之極性相同，則可以共有訊號線 GH 和訊號線 GN。

於多閘方式 1 中，電流源電路之部分是在畫素之設定動作時，成為如第 63 圖(a)般，於發光時若成為第 63 圖(b)般即可。即是如此地若連接配線或開關即可。例如，即使如第 68 圖般地連接亦可。

並且，於具有上述構成之開關部或電流源電路之畫素中，將共有各配線之具體例表示於第 74 圖上。於第 74 圖(A)~(D)中，訊號線 GN 和訊號線 GH 是被共有，配線 Wco 和電源線 W 是被共有。尤其，於第 74 圖(A)中，電流保持電晶體 804 之源極端子或汲極端子，無與電流源電容 111

五、發明說明(85)

之一方電極連接之側，是被直接連接至電流線 CL 上。再者，消去電晶體 304 與電流源電晶體 112 及驅動電晶體 302 串聯連接。於第 74 圖(B)中，在選擇電流源電晶體 112 之源極端子和電源線 W 之連接的位置上，連接有消去電晶體 304。於第 74 圖(C)中，電源線 W 是依序經由開關部 101、電流源電路 102 而與發光元件 106 連接之構成。於該構成中，設置有追加電晶體 390。藉由追加電晶體 390，使可以在開關部為 OFF 狀態，即是驅動電晶體 302 為非導通狀態執行畫素之設定動作，連接電源線 W 和電流源電晶體 12 之源極端子。於第 74(D)中，電流保持電晶體 804 是在電流源電晶體 112 之閘極、汲極間被連接。然後，消去電晶體 304 是與保持電容 303 並聯被連接。於畫素之設定動作時，驅動電晶體 302 即使為任何狀態，電流亦不會流至驅動電晶體 302 之方向。這是因電流停止電晶體 805 之閘極、源極間之電壓成為 0，電流停止電晶體 805 自動成為 OFF 狀態之故。

於實施形態 1 所示之電流鏡方式之電流源電路中，被輸入至發光元件之訊號是以規定倍率增減被輸入至畫素之控制電流的電流。因此，可將控制電流設定成某程度大，可以較早執行各畫素之電流源電路之設定動作。但是，當構成具有電流源電路之電流鏡電路的電晶體之電流特性產生偏差時，畫像顯示則有偏差之問題。另外，在同一電晶體方式之電流源電路中，被輸入至發光元件之訊號是與被輸入至畫素之控制電流之電流值相等。在此，於同一電晶體方式之電流源電路中，被輸入控制電流之電晶體，和輸

五、發明說明(86)

出電流至發光元件之電晶體相同。因此，降低因電晶體之電流特性之偏差所引起之畫像不均勻。

對此，於多閘方式之電流源電路中，被輸入至發光元件之訊號，是以規定之倍率增減被輸入至畫素之控制電流的電流。因此，可將控制電流設定成某程度大。依此，可以較早執行各畫素之電流源電路之設定動作。再者，因共有被輸入控制電流之電晶體，和輸出電流至發光元件之電晶體之一部分，故電晶體之電流特性之偏差所引起之畫像不均勻，是比起電流鏡方式之電流源電路被降低。

接著，以下表示多閘方式之電流源電路之時的設定動作，和開關部之動作的關連。於多閘方式之電流源電路之時，被輸入控制電流之間，是無法輸出一定電流。因此，產生了必須使開關部之動作和電流源電路之設定動作同步執行。例如，可在僅開關部為 OFF 之狀態，執行電流源電路之設定動作。即是，幾乎與同一電晶體方式相同。因此，因畫像顯示動作(開關部之驅動動作)，和電流源電路之設定動作(畫素之設定動作)也幾乎與同一電晶體方式相同，故省略說明。

【實施例】

(實施例 1)

於本實施例中，為具有電流鏡方式之電流源電路之畫素構成，在實施形態 1 中，舉出使用第 4 圖所示構成之電流源電路不同之構成的電流源電路之畫素構成的例。

五、發明說明（87）

將配置在各畫素之電流源電路之構成例表示於第 17 圖。並且，於第 17 圖中，與第 4 圖相同部分是使用相同符號表示，省略其說明。於第 17 圖中，電流源電路 102 是除了具有電流源電容 111、電流源電晶體 112、電流電晶體 1405、電流輸入電晶體 1403、電流保持電晶體 1404、電流線 CL、訊號線 GN、訊號線 GH 之外，還具有點順序電晶體 2404 和點順序線 CLP。與第 4 圖不同的是追加點順序電晶體 2404 之部分。並且，雖然將點順序電晶體 2404 設為 n 通道型，但是即使僅作為開關予以動作的 p 通道型亦可。

電流源電晶體 112 之閘極電極，和電流電晶體 1405 之閘極電極及電流源電容 111 之一方電極是被連接。再者，電流源電容 111 之另一方電極是與電流源電晶體 112 之源極端子及電流電晶體 1405 之源極端子連接，被連接至電流源 102 之端子 A 上。電流電晶體 1405 之閘極電極是依序經由其汲極端子，和電流保持電晶體 1404 之源極、汲極端子間及點順序電晶體 2404 之源極、汲極端子間而被連接。電流保持電晶體 1404 之閘極電極是被連接至訊號線 GH 上。點順序電晶體 2404 之閘極電極是被連接至點順序線 CLP 上。電流電晶體 1405 之汲極端子和電流線 CL 是經由電流輸入電晶體 1403 之源極、汲極端子間而被連接。電流輸入電晶體 1403 之閘極電極是被連接至訊號線 GN 上。再者，電流源電晶體 112 之汲極端子是被連接至端子 B 上。

於上述構成中，即使將電流輸入電晶體 1403 配置在電流電晶體 1405 和端子 A 之間亦可。即是，即使為電流電晶

五、發明說明（88）

體 1405 之源極端子經由電流輸入電晶體 1403 之源極、汲極端子間而被連接至端子 A，電流電晶體 1405 之汲極端子被連接至電流線 CL 之構成亦可。反正電流源電路之部分於畫素之設定動作時，若成為第 61 圖(a)所示般，發光時若成為第 61 圖(b)所示般即可。

於上述構成中，電流電晶體 1405 及電流源電晶體 112 之閘極電極即使不經由電流輸入電晶體 1403 之源極、汲極端子間，而被連接於電流線 CL 亦可。即是，即使為點順序電晶體 2404 之源極端子及汲極端子之不與電流保持電晶體 1404 之源極端子或汲極端子連接之側，直接被連接於電流線 CL 之構成亦可。當然，並不限定於此，電流保持電晶體 1404 及點順序電晶體 2404 其雙方皆成為導通狀態之時，若可使電流電晶體 1405 之閘極電極之電位與電流線 CL 之電位相等地予以連接即可。

再者，即使替換電流保持電晶體 1404 和點順序電晶體 2404 之配置亦可。即是，電流電晶體 1405 之閘極電極即使為依序經由其汲極端子，和電流保持電晶體 1404 之源極、汲極端子間及點順序電晶體 2404 之源極、汲極端子間而被連接之構成亦可，電流電晶體 1405 之閘極電極即使為依序經由其汲極端子，和點順序電晶體 2404 之源極、汲極端子間及電流保持電晶體 1404 之源極、汲極端子間而被連接之構成亦可。

於第 17 圖中，對第 4 圖追加點順序電晶體 2404，點順序電晶體 2404 是與電流保持電晶體 1404 串聯連接。依據該

五、發明說明(89)

構成，電流源電容 111 是在電流保持電晶體 1404 和點順序電晶體 2404 之雙方不成爲導通狀態之範圍下保持電荷。如此，藉由追加點順序電晶體 2404，可以不利用第 4 圖之線順序而採用點順序執行畫素之設定動作。第 18 圖是表示將具有第 17 圖所示之構成的電流源電路 102，和第 13 圖所示構成之開關部 101 的畫素 100 配置成 x 列 y 行之矩陣狀的畫素區域之一部分的電路圖。

於第 18 圖中，僅代表性地表示第 i (i 爲自然數) 行 j (j 爲自然數) 列、第 $(i+1)$ 行 j 列、第 i 行 $(j+1)$ 列、第 $(i+1)$ 行 $(j+1)$ 列的 4 畫素。與第 17 圖及第 13 圖相同部分是使用相同符號表示省略說明。而且，將對應於第 i 行、第 $(i+1)$ 行之各畫素行的掃描線 G 表示爲 G_i 、 G_{i+1} ，消去用訊號線表示爲 RG_i 、 RG_{i+1} ，訊號線 GN 表示爲 GN_i 、 GN_{i+1} ，訊號線 GH 表示爲 GH_i 、 GH_{i+1} 。再者，將對應於第 j 列、第 $(j+1)$ 列之各畫素列的影像訊號輸入線 S 表示爲 S_j 、 S_{j+1} ，電源線 W 表示爲 W_j 、 W_{j+1} ，電流線 CL 表示爲 CL_j 、 CL_{j+1} ，配線 W_{co} 表示爲 W_{coj} 、 W_{coj+1} 。基準電流由畫素區域外部被輸入於電流線 CL_j 、 CL_{j+1} 中。

發光元件 106 之畫素電極是被連接於端子 D ，對向電極是被給予對向電位。於第 18 圖中，針對將發光元件之畫素電極當作陽極，將對向電極當作陰極之構成予以表示。即是，表示電流源電路之端子 A 被連接至電源線 W ，端子 B 被連接至開關部 101 之端子 C 的構成。但是，本實施例之構成亦可以容易應用於將發光元件 106 之畫素電極當作陰

五、發明說明(90)

極，將對向電極當作陽極之構成的顯示裝置上。

模式性地以 404 表示爲了決定流動在電流線 CL_j 、 CL_{j+1} 的基準電流而設置在畫素區域外部之電流源(以下，以參照電流源電路表示記載)。可以使用來自 1 個參照電流源電路 404 之輸出電流，使基準電流流動至各個電流線 CL 上。如此一來，可以抑制流動各電流線之電流的偏差，將流動所有電流線之電流正確地設定成基準電流。

將輸入藉由參照電流源電路 404 而所決定之基準電流至各電流線 $CL_1 \sim CL_x$ 的電路稱爲切換電路，於第 18 圖中以 2405 表示。將切換電路 2405 之構成例表示在第 20 圖上。切換電路 2405 是具有脈衝輸出電路 2711，和取樣脈衝線 $2710_1 \sim 2710_x$ ，和開關 $2701_1 \sim 2701_x$ 。

藉由脈衝輸出電路 2711 所輸出之脈衝(取樣脈衝)是被輸入至取樣脈衝線 $2710_1 \sim 2710_x$ 。藉由被輸入至取樣脈衝線 $2710_1 \sim 2710_x$ 之訊號，使開關 $2701_1 \sim 2701_x$ 依序成爲 ON 狀態。經由 ON 狀態之開關 $2701_1 \sim 2701_x$ ，參照電流源電路 404 則與各電流線 $CL_1 \sim CL_x$ 連接。並且，同時，取樣脈衝也被輸入至 $CLP_1 \sim CLP_x$ 。例如，藉由被輸入至第 j 之取樣脈衝線 2710_j 之取樣脈衝，使電流線 CL_j 和參照電流源電路 404 被連接，同時取樣脈衝被輸出至點順序線 CLP_j 上。

在此，於點順序線 CLP_j 上連接有點順序電晶體 2404 之畫素中，於點順序電晶體 2404 爲導通狀態時，藉由被輸入至某行之訊號線 GN 和 GH 之訊號，使被連接於該訊號線

五、發明說明(91)

GN 和 GH 之電流輸入電晶體 1403 和電流保持電晶體 1404 成爲導通狀態。如此一來，僅電流保持電晶體 1404 和點順序電晶體 2404 之雙方成爲導通狀態之畫素，可以將訊號輸入至電流源電容 111 上。依此，可以執行因點順序所產生之畫素設定動作。

第 19 圖是表示第 18 圖所示之被配置在各畫素之電流源電路 102 之設定動作(畫素之設定動作)的時序圖。於第 19 圖中，以 SET_i 表示執行第 i 行之畫素的設定動作。於 SET_i 中，執行從第 i 行之第 1 列至第 x 列之畫素設定動作。在此，將從第 i 行之第 1 列至第 x 列之畫素設定動作在第 19 圖中分爲 SET_i 之(1)及(2)予以說明。

於 SET_i 期間中，藉由被輸入至訊號線 GN_i 及訊號線 GH_i，使第 18 圖所示之第 i 行畫素之電流輸入電晶體 1403 及電流保持電晶體 1404 成爲導通狀態。之後，一系列地依序選擇各列之 CLP 和開關 2701。以第 j 列，即是以第 i 行第 j 列之畫素之設定動作爲一系列予以說明。

在此，以 SET(i, j)表示於 SET_i 期間(1)中，執行第 i 行第 j 列之畫素設定的期間。於 SET(i, j)中，藉由切換電路 2405，電流線 CL_i 則與參照電流源電路 404 連接。如此一來，基準電流流動電流線 CL_i。同時由切換電路 2405，依據被輸入至點順序線 CLP_j 之訊號，點順序電晶體 2404 成爲導通狀態。於 19 圖之時序圖中，以 CL_i 所示之期間，是表示電流線 CL_i 和參照電流源電路 404 被連接之期間。如此一來，SET(i, j)中，第 i 行第 j 列之畫素之電流保持電晶體 1404

五、發明說明(92)

、點順序電晶體 2404、電流輸入電晶體 1403 成爲導通狀態。因此，第 i 行第 j 列之畫素之電流電晶體 1405 是閘極、源極間電壓(閘極電壓)，和源極、汲極間電壓爲相等之狀態，即是，在飽和區域動作流動汲極電流。當經過充分時間而成爲平常狀態時，訊號被存儲於電流源電容 111，流動電流電晶體 1405 之汲極電流是設定成流動電流線 CL_j 的基準電流。

之後，當 $SET(i, j)$ 完成時，第 i 行第 j 列之畫素之點順序電晶體成爲非導通狀態，如此一來，第 i 行第 j 列之畫素之電流源電容 111 是保持電流電晶體 1405 流動基準電流之時的閘極電壓。一系列地反覆以上之動作。

當從 $SET(i, 1) \sim SET(i, x)$ 完成時，則在第 i 行之所有畫素之電流源電容量 111，保持對應流至電流線 CL 之基準電流的電荷。之後，進入期間(2)。當期間(2)完成時，訊號線 GN_i 及訊號線 GH_i 之訊號變化，第 i 行之畫素電流輸入電晶體 1403 及電流保持電晶體 1404 則成爲非導通狀態。並且，於第 18 圖所示之畫素之顯示裝置中，即使替換電流保持電晶體 1404 和點順序電晶體 2404 之配置亦可。但是，於將第 18 圖所示之畫素構成之顯示裝置隨著第 19 圖所示之時序圖而予以驅動時，各畫素之點順序電晶體 2404 是比電流保持電晶體 1404 多執行導通狀態、非導通狀態之切換。依此，爲了不影響被保持於電流源電容 111 之電荷，導通狀態、非導通狀態之切換較少之電流保持電晶體 1404 是與電流源電容 111 連接之構成爲理想。

五、發明說明(93)

(實施例 2)

於本實施例中，為具有同一電晶體方式之電流源電路的畫素構成，在實施形態 2 中，舉出使用第 12 圖所示構成之電流源電路不同之構成的電流源電路之畫素構成的例。

首先，將本實施例之電流源電路之構成例表示於第 21 圖。而且，於第 21 圖中，與第 12 圖相同之部分是使用相同符號表示。本實施例也與實施例 1 相同，為可以執行藉由點順序之畫素設定動作之情形者。

於第 21 圖中，電流源電路 102 除了具有電流源電容 111、電流源電晶體 112、電流輸入電晶體 203、電流保持電晶體 204、電流條紙晶體 205、電流線 CL、訊號線 GH、訊號線 GS 之外，還具有點順序電晶體 208 和點順序 CLP。與第 12 圖不同的是追加點順序電晶體 208 之部分。再者，雖然將點順序電晶體 208 設為 n 通道型，但是即使僅作為開關予以動作的 p 通道型亦可。

電流源電晶體 112 之閘極電極和電流源電容 111 之一方電極是被連接。再者，電流源電容 111 之另一方電極是與電流源電晶體 112 之源極端子連接。電流電晶體 112 之源極端子是被連接於電流源電路 102 之端子 A 上。

電流源電晶體 112 之閘極電極是依序經由其汲極端子，和電流保持電晶體 204 之源極、汲極端子間及點順序電晶體 208 之源極、汲極端子間而被連接。電流保持電晶體 204 之閘極電極是被連接至訊號線 GH 上。點順序電晶體

五、發明說明(94)

208 之閘極電極是被連接至點順序線 CLP 上。電流源電晶體 112 之汲極端子和電流線 CL 是經由電流輸入電晶體 203 之源極、汲極端子間而被連接。電流輸入電晶體 203 之閘極電極是被連接至訊號線 GN 上。再者，電流源電晶體 112 之汲極端子是經由電流停止電晶體 205 之源極、汲極端子間而被連接至端子 B 上。電流停止電晶體 205 之閘極電極是被連接於訊號線 GS 上。

再者，於上述構成中，電流源電晶體 112 之閘極電極即使不經由電流輸入電晶體 203 之源極、汲極端子間，而被連接於電流線 CL 亦可。即是，即使為點順序電晶體 208 之源極端子及汲極端子之不與電流保持電晶體 204 之源極端子或汲極端子連接之側，直接被連接於電流線 CL 之構成亦可。當然，並不限定於此，電流保持電晶體 204 及點順序電晶體 208 其雙方皆成為導通狀態之時，若可使電流電晶體 1405 之閘極電極之電位與電流線 CL 之電位相等地予以連接即可。

在此，即使替換電流保持電晶體 204 和點順序電晶體 208 之配置亦可。電流源電晶體 112 之閘極電極即使為依序經由其汲極端子，和電流保持電晶體 204 之源極、汲極端子間及點順序電晶體 208 之源極、汲極端子間而被連接之構成亦可，電流源電晶體 112 之閘極電極和汲極端子即使為依序經由點順序電晶體 208 之源極、汲極端子間及電流保持電晶體 204 之源極、汲極端子間而被連接之構成亦可。

五、發明說明(95)

即是，於第 21 圖中，對第 12 圖追加點順序電晶體 208，該是與電流保持電晶體 204 並聯連接。依此，電流源電容 111 是在電流保持電晶體 204 和點順序電晶體 208 之雙方不成爲導通狀態之範圍下保持電荷。如此，藉由追加點順序電晶體 208，可以不利用第 12 圖之線順序而採用點順序執行畫素之設定動作。

第 22 圖是表示將具有第 21 圖所示之構成的電流源電路 102，和第 13 圖所示構成之開關部 101 的畫素 100 配置成 x 列 y 行之矩陣狀的畫素區域之一部分的電路圖。

於第 22 圖中，僅代表性地表示第 i 行 j 列、第 $(i+1)$ 行 j 列、第 i 行 $(j+1)$ 列、第 $(i+1)$ 行 $(j+1)$ 列的 4 畫素。與第 21 圖及第 13 圖相同部分是使用相同符號表示省略說明。

而且，將對應於第 i 行、第 $(i+1)$ 行之各畫素行的掃描線表示爲 G_i 、 G_{i+1} ，消去用訊號線表示爲 RG_i 、 RG_{i+1} ，訊號線 GN 表示爲 GN_i 、 GN_{i+1} ，訊號線 GH 表示爲 GH_i 、 GH_{i+1} 。再者，將對應於第 j 列、第 $(j+1)$ 列之各畫素列的影像訊號輸入線 S 表示爲 S_j 、 S_{j+1} ，電源線 W 表示爲 W_j 、 W_{j+1} ，電流線 CL 表示爲 CL_j 、 CL_{j+1} ，配線 W_{co} 表示爲 W_{coj} 、 W_{coj+1} 。基準電流由畫素區域外部被輸入於電流線 CL_j 、 CL_{j+1} 中。

發光元件 106 之畫素電極是被連接於端子 D，對向電極是被給予對向電位。於第 22 圖中，針對將發光元件之畫素電極當作陽極，將對向電極當作陰極之構成予以表示。即是，表示電流源電路之端子 A 被連接至電源線 W ，端子 B 被連接至開關部 101 之端子 C 的構成。但是，本實施例之

五、發明說明(96)

構成亦可以容易應用於將發光元件 106 之畫素電極當作陰極，將對向電極當作陽極之構成的顯示裝置上。

模式性地以 404 表示爲了決定流動在電流線 CL_j 、 CL_{j+1} 的基準電流而設置在畫素區域外部之電流源(以下，以參照電流源電路表示記載)。可以使用來自 1 個參照電流源電路 404 之輸出電流，使基準電流流動至各個電流線 CL 上。如此一來，可以抑制流動各電流線之電流的偏差，將流動所有電流線之電流正確地設定成基準電流。將輸入藉由參照電流源電路 404 而所決定之基準電流至各電流線 $CL_1 \sim CL_x$ 的電路稱爲切換電路，於第 18 圖中以 2405 表示。切換電路 2405 之構成例是可以設爲與實施例 1 中第 20 圖所示者相同之構成。藉此，關於切換電路 2405 之構成及其設定動作，則省略說明。

並且，於第 22 圖所示之畫素成之顯示裝置中，即使替換電流保持電晶體 204 和點順序電晶體 208 之配置亦可。但是，各畫素之點順序電晶體 208 是比電流保持電晶體 204 多執行導通狀態、非導通狀態之切換的情形。此時，爲了不影響被保持於電流源電容 111 之電荷，導通狀態、非導通狀態之切換較少之電流保持電晶體 1404 是與電流源電容 111 連接之構成爲理想。而且，於本實施形態中，雖然表示同一電晶體方式之電流源電路之構成例，但是亦可以適用於多閘方式之電流源電路。即是於第 57 圖(A)、(B)中，若將點順序電晶體與電流保持電晶體 804 串聯地配置即可。

五、發明說明(97)

(實施例3)

於本實施例中，表示實施形態2中第14圖所示之畫素構成中，共有電流線CL和訊號線S之例。

第51圖是表示第14圖中在每畫素共有電流線CL和訊號線S之構成的電路圖。於第51圖中，與第14圖相同之部分是使用相同符號表示，省略說明。於第51圖中與第14圖不同的是電流輸入電晶體203是被連接於訊號線及電流線(圖中，以 S_j 、 CL_j 表示記載)，和電流源電晶體112之汲極端子之間。再者，訊號線及電流線(S_j 、 CL_j)是藉由基準電流輸出電路405和訊號線驅動電路(無圖示)而輸入訊號。切換訊號線及電流線(S_j 、 CL_j)和基準電流輸出電路405之連接，和訊號線及電流線(S_j 、 CL_j)和訊號線驅動電路的連接。

具有第51圖之畫素成之顯示裝置之驅動方法(畫像顯示動作及畫素之設定動作)基本上與實施形態2中使用第7圖、第16圖及第40圖之時序圖所示之方法相同。

但是，於第51圖所示之畫素構成中，因每畫素共有訊號線S和電流線CL，故於輸入影像訊號於畫素之間，即是位址期間 T_a 之間是無法也執行任意行的畫素設定動作。依此，本實施形態之顯示裝置在具有比位址期間 T_a 長之顯示期間 T_s 的子幀期間SF中，也使用設置非顯示期間 T_{us} 之驅動方法。然後，在不與位址期間 T_a 期間 T_a 重疊的非顯示期間 T_{us} ，執行畫素之設定動作。

本實施例所示之第51圖之構成的顯示裝置中，可以在

五、發明說明（98）

每畫素將訊號線和電流線匯集成 1 條。如此一來，比起實施形態 2 所示之第 14 圖之構成的顯示裝置，可以減少畫素所具有之配線的數量，可提高顯示裝置之開口率。如此，匯集訊號線 S 和電流線 CL，亦可以適用於別的實施形態或實施例上。

（實施例 4）

於本實施例中，為具有電流鏡方式之電流源電路的畫素構成，舉出使用與實施形態 1 或實施例 1 中所示構成之電流源電路不同之構成的電流源電路之畫素構成的例。因此主要針對與第 4 圖不同之部分予以說明。

將配置在各畫素之電流源電路之構成例表示於第 38 圖。並且，於第 38 圖中，與第 3 圖相同部分是使用相同符號表示。於第 38 圖中，電流源電路 102 是藉由電流源電容 111、電流源晶體 112、電流電晶體 1445、電流輸入電晶體 1443、電流保持電晶體 1444、電流線 CL、訊號線 GN、訊號線 GH 所構成。

電流源電晶體 112 之閘極電極是經由電流保持電晶體 1444 之源極、汲極端子間而與電流電晶體 1445 之閘極電極連接。電流源電容 112 之閘極電極是與電流源電容 111 之一方電極連接。電流源電容 111 之另一方電極是與電流源電晶體 112 之源極端子及電流電晶體 1445 之源極端子連接，被連接至電流源電路 102 之端子 A 上。再者，電流電晶體 1445 之閘極電極和汲極端子是被連接。電流保持電晶體

五、發明說明(99)

1444 之閘極電極是被連接至訊號線 GH 上。電流電晶體 1445 之汲極端子和電流線 CL 是經由電流輸入電晶體 1443 之源極、汲極端子間而被連接。電流輸入電晶體 1443 之閘極電極是被連接至訊號線 GN 上。再者，電流源電晶體 112 之汲極端子是被連接至端子 B 上。

而且，於上述構成中，即使將電流輸入電晶體 1443 配置在電流電晶體 1445 和端子 A 之間亦可。即是，即使為電流電晶體 1445 之源極端子經由電流輸入電晶體 1443 之源極、汲極端子間而被連接至端子 A，電流電晶體 1445 之汲極端子被連接至電流線 CL 之構成亦可。

如此，第 38 圖和第 4 圖是否有串聯連接電流電晶體 1445 之閘極和汲極端子，及是否有直接連接電流源電晶體 112 之閘極和電流電晶體 1445 之閘極為不同，除此之外為相同。即是，於電流源電路之部分若在畫素之設定動作時，成為如第 61 圖(a)般，於發光時則成為第 61 圖(b)般即可。即是，若連接配線或開關即可。依此，即使成為第 70 圖般亦可。

第 39 圖是表示將具有第 38 圖所示之構成的電流源電路 102，和第 13 圖所示構成之開關部 101 的畫素 100 配置成 x 列 y 行之矩陣狀的畫素區域之一部分的電路圖。於第 39 圖中，僅代表性地表示第 i(i 為自然數)行 j(j 為自然數)列、第(i+1)行 j 列、第 i 行(j+1)列、第(i+1)行(j+1)列的 4 畫素。與第 38 圖及第 13 圖相同部分是使用相同符號表示省略說明。

五、發明說明(100)

而且，將對應於第 i 行、第 $(i+1)$ 行之各畫素行的掃描線 G 表示為 G_i 、 G_{i+1} ，消去用訊號線表示為 RG_i 、 RG_{i+1} ，訊號線 GN 表示為 GN_i 、 GN_{i+1} ，訊號線 GH 表示為 GH_i 、 GH_{i+1} 。再者，將對應於第 j 列、第 $(j+1)$ 列之各畫素列的影像訊號輸入線 S 表示為 S_j 、 S_{j+1} ，電源線 W 表示為 W_j 、 W_{j+1} ，電流線 CL 表示為 CL_j 、 CL_{j+1} ，配線 W_{co} 表示為 W_{coj} 、 W_{coj+1} 。基準電流由畫素區域外部被輸入於電流線 CL_j 、 CL_{j+1} 中。再者，發光元件 106 之畫素電極是被連接於端子 D ，對向電極是被給予對向電位。

(實施例 5)

於本實施例中，為具有電流鏡方式之電流源電路之畫素構成，舉出使用與實施形態 1 或實施例 1、實施例 4 不同構成之電流源電路之畫素構成的例。本實施例中藉由在實施例 4 之電路上追加點順序電晶體，使成為可以點順序來執行畫素之設定動作。因此，省略與實施例 1 或實施例 4 相同部分之說明。

將配置在各畫素之電流源電路之構成例表示於第 44 圖。並且，於第 44 圖中，與第 38 圖相同部分是使用相同符號表示，省略其說明。於第 44 圖中，電流源電路 102 是除了具有電流源電容 111、電流源晶體 112、電流電晶體 1445、電流輸入電晶體 1443、電流保持電晶體 1444、電流線 CL 、訊號線 GN 、訊號線 GH 之外，還具有點順序電晶體 1448 和點順序線 CLP 。與第 4 圖不同的是追加點順序電晶體

五、發明說明(101)

2404 之部分。並且，雖然將點順序電晶體 1448 設為 n 通道型，但是即使僅作為開關予以動作的 p 通道型亦可。

電流源電晶體 112 之閘極電極，是依序經由電流保持電晶體 1444 之源極、汲極端子間及點順序電晶體 1448 之源極、汲極端子間，而與電流電晶體 1445 之閘極電極連接。電流保持電晶體 1444 之閘極電極是被連接於訊號線 GH。點順序電晶體 1448 之閘極電極是被連接於點順序線 CLP 上。電流源電晶體 112 之閘極電極是與電流源電容 111 之一方電極連接。再者，電流電晶體 1445 之閘極電極和汲極端子是被連接著。電流源電容 111 之另一方電極是與電流源電晶體 112 之源極端子及電流電晶體 1405 之源極端子連接，被連接至電流源 102 之端子 A 上。再者，電流源電晶體 112 之汲極端子是被連接於端子 B 上。電流電晶體 1445 之汲極端子和電流線 CL 是經由電流輸入電晶體 1443 之源極、汲極端子間而被連接。電流輸入電晶體 1443 之閘極電極是被連接至訊號線 GN 上。

在此，即使替換電流保持電晶體 1444 和點順序電晶體 1448 之配置亦可。電流電晶體 1445 之閘極電極和電流源電容 111 即使為依序經由電流保持電晶體 1444 之源極、汲極端子間，及點順序電晶體 1448 之源極、汲極端子間而被連接之構成亦可，電流電晶體 1445 之閘極電極和電流源電容 111 即使為依序經由點順序電晶體 1448 之源極、汲極端子間，及電流保持電晶體 1444 之源極、汲極端子間而被連接之構成亦可。

五、發明說明(102)

第 45 圖是表示將具有第 44 圖所示之構成的電流源電路 102，和第 13 圖所示構成之開關部 101 的畫素 100 配置成 x 列 y 行之矩陣狀的畫素區域之一部分的電路圖。於第 45 圖中，僅代表性地表示第 i (i 為自然數) 行 j (j 為自然數) 列、第 $(i+1)$ 行 j 列、第 i 行 $(j+1)$ 列、第 $(i+1)$ 行 $(j+1)$ 列的 4 畫素。與第 17 圖及第 13 圖相同部分是使用相同符號表示省略說明。

而且，將對應於第 i 行、第 $(i+1)$ 行之各畫素行的掃描線 G 表示為 G_i 、 G_{i+1} ，消去用訊號線表示為 RG_i 、 RG_{i+1} ，訊號線 GN 表示為 GN_i 、 GN_{i+1} ，訊號線 GH 表示為 GH_i 、 GH_{i+1} 。再者，將對應於第 j 列、第 $(j+1)$ 列之各畫素列的影像訊號輸入線 S 表示為 S_j 、 S_{j+1} ，電源線 W 表示為 W_j 、 W_{j+1} ，電流線 CL 表示為 CL_j 、 CL_{j+1} ，配線 W_{co} 表示為 W_{coj} 、 W_{coj+1} 。基準電流由畫素區域外部被輸入於電流線 CL_j 、 CL_{j+1} 中。再者，發光元件 106 之畫素電極是被連接於端子 D ，對向電極是被給予對向電位。

(實施例 6)

於本實施例中，為具有同一電晶體方式之電流源電路的畫素構成，舉出使用與實施形態 2 中所示所示構成之電流源電路不同之構成的電流源電路之畫素構成的例。因此主要針對與實施形態不同之部分予以說明。針對相同部分予以省略。

將配置在各畫素之電流源電路之構成例表示於第 41 圖

五、發明說明(103)

。並且，於第 41 圖中，與第 3 圖相同部分是使用相同符號表示。於第 41 圖中，電流源電路 102 是藉由電流源電容 111、電流源晶體 112、電流輸入電晶體 1483、電流保持電晶體 1484、電流基準電晶體 1488、發光電晶體 1486、電流線 CL、訊號線 GN、訊號線 GH、訊號線 GC、訊號線 GE、電流基準線 SCL 所構成。

於第 41 圖中，表示將電流源電晶體 112 設為 p 通道型的例。而且，於將電流源電晶體 112 設為 n 通道型之時，亦可以隨著第 3 圖(C)所示之構造而容易應用。將此時之電路圖表示於第 25 圖。雖然將電流輸入電晶體 1483、電流保持電晶體 1484、電流基準晶體 1488、發光電晶體 1486 設為 n 通道型，但是即使僅作為開關而予以動作之 p 通道型亦可。

於第 41 圖中，電流源晶體 112 之閘極電極和電流源電容 111 之一方電極是被連接。再者，電流源電容 111 之另一方電極是與電流源電晶體 112 之源極端子連接。電流源電晶體 112 之源極端子是經由發光電晶體 1486 之源極、汲極端子間，而被連接至電流源電路 102 之端子 A 上。

電流源電晶體 112 之閘極電極和汲極端子是經由電流保持電晶體 1484 之源極汲極端子間，而被連接。電流保持電晶體 1484 之閘極電極是被連接至訊號線 GH。電流源電晶體 112 之汲極端子和電流基準線 SCL 是經由電流基準電晶體 1488 之源極、汲極端子間而被連接。電流基準電晶體 1488 之閘極電極是被連接於訊號線 GC。電流源電晶體 112

五、發明說明(104)

之源極端子和電流線 CL 是經由電流輸入電晶體 1483 之源極汲極端子間而被連接。電流輸入電晶體 1483 之閘極電極是被連接至訊號線 GN 上。再者，電流源電晶體 112 之汲極端子是被連接至端子 B 上。

再者，於上述構成中，即使為電流保持電晶體 1484 之源極端子及汲極端子之無與電流源電晶體 112 之閘極電極連接之側，直接被連接至電流基準線 SCL 上之成亦可。並且，並非限定於此，電流保持電晶體 1484 成為導通狀態之時，若連接成使電流源電晶體 112 之閘極電極之電位與電流基準線 SCL 之電位相等即可。

即是，如第 65 圖所示般，於畫素之設定動作時，若成為第 65 圖(a)，於畫像顯示時若成為第 65 圖(b)即可。即是，若如此的連接配線或開關即可。因此，即使成為第 71 圖所示般亦可。

再者，即使為電流源電晶體 112 和端子 B 經由新的電晶體(在此，稱為電流停止電晶體)而連接之構成亦可。該電晶體是電流基準電晶體 1488 為導通狀態之時成為非導通狀態，於非導通狀態之時成為導通狀態。再者或是即使省略電流基準電晶體 1488 和電流基準線 SCL 亦可。此時，於畫素之設定動作時電流通過端子 B 而流至發光元件 106。

接著，針對本實施例之開關部之構成予以說明。開關部之構成與實施形態 1 中之第 13 圖等所示者為相同之構成，故省略說明。但是，消去電晶體 304 是可以兼併作為其嘎之電晶體，例如發光電晶體 1486 或電流停止電晶體等使

五、發明說明(105)

用。

第 42 圖是表示將具有第 41 圖所示構成之電流源電路 102, 和第 13 圖所示構成之開關部 101 的畫素 100, 配置成矩陣狀之畫素區域之一部分的電路圖。並且。本發明之第 1 圖中, 即使替換電流源電路和開關部之連接亦可。即是, 電源線和開關部 101 連接, 即使連接連接電流源電路 102 亦可。因此, 如第 41 圖所示般, 不僅是如電源線—電流源電路—開關部—發光元件之連接法, 即使例如電源線—開關部—電流源電路—發光元件之連接法亦可。

於第 42 圖中, 僅代表性地表示第 i (i 為自然數) 行 j (j 為自然數) 列、第 $(i+1)$ 行 j 列、第 i 行 $(j+1)$ 列、第 $(i+1)$ 行 $(j+1)$ 列的 4 畫素。與第 41 圖及第 13 圖相同部分是使用相同符號表示省略說明。而且, 將對應於第 i 行、第 $(i+1)$ 行之各畫素行的掃描線 G 表示為 G_i 、 G_{i+1} , 消去用訊號線表示為 RG_i 、 RG_{i+1} , 訊號線 GN 表示為 GN_i 、 GN_{i+1} , 訊號線 GH 表示為 GH_i 、 GH_{i+1} 。再者, 將對應於第 j 列、第 $(j+1)$ 列之各畫素列的影像訊號輸入線 S 表示為 S_j 、 S_{j+1} , 電源線 W 表示為 W_j 、 W_{j+1} , 電流線 CL 表示為 CL_j 、 CL_{j+1} , 配線 W_{co} 表示為 W_{coj} 、 W_{coj+1} 。基準電流由畫素區域外部被輸入於電流線 CL_j 、 CL_{j+1} 中。

發光元件 106 之畫素電極是被連接於端子 D , 對向電極是被給予對向電位。於第 42 圖中, 針對將發光元件之畫素電極當作陽極, 將對向電極當作陰極之構成予以表示。即是, 表示電流源電路之端子 A 被連接至電源線 W , 端子 B

五、發明說明(106)

被連接至開關部 101 之端子 C 的構成。但是，本實施例之構成亦可以容易應用於將發光元件 106 之畫素電極當作陰極，將對向電極當作陽極之構成的顯示裝置上。

再者，於第 42 圖中，驅動電晶體 302 因僅作為開關發揮功能，故即使 n 通道型或 p 通道型任一者亦可。但是，驅動電晶體 302 是以在其源極端子之電位被固定之狀態下動作為佳。因此，在將如第 42 圖所示般之發光元件 106 之畫素電極當作陽極，將對向電極當作陰極之構成中，驅動電晶體 302 則為 p 通道型為最佳。另外，在將發光元件 106 之畫素電極當作陰極，將對向電極當作陽極之構成中，驅動電晶體 302 則為 n 通道型為最佳。並且，於第 42 圖中，各畫素之配線 W_{co} 與電源線 W 因即使被保持於相同電位亦可，故可以共用。再者，不同畫素間之配線 W_{co} 彼此，電源線 W 彼此，亦可共用配線 W_{co} 和電源線 W。

再者，電流基準線 SCL 係藉由與如訊號線或掃描線般之別的配線共用，而可刪除。此時，即使自己之行的配線或另外行的配線任一者亦可。即是，即使在不作為電流基準線 SCL 使用時(無執行畫素之設定動作)，有輸入例如脈衝訊號之情形，或在作為電流基準線 SCL 使用之時(執行畫素之設定動作之時)，若為在某一定電位之配線，則任何配線亦可共用。

並且，於具有上述之構成的開關部或電流源電路之畫素中，將具有各配線之具體例表示於第 76 圖、第 77 圖。於第 76 圖(A)~(F)及第 77 圖(A)~(D)中，訊號線 GN 和訊

五、發明說明(107)

號線 GH 是被共有，配線 Wco 和電源線 W 是被共有。再者，發光電晶體 1486 藉由使用消去電晶體 304 而省略。尤其，於第 76 圖(A)中，電流保持電晶體 1484 之源極端子或汲極端子中，無與電流源電容 111 之一方電極連接之側，是被直接連接於電流基準線 SCL 上。消去電晶體 304 是被串聯連接於電流源電晶體 112 及驅動電晶體 302。於第 76 圖(C)，第 76 圖(A)所示之構成是，電流基準電晶體 1488 及電流輸入電晶體 1483 之極性不同。並且，訊號線 GH 也與訊號線 GC 及訊號線 GN 共有。於第 76 圖(D)中，是電源線 W 依序經由開關部 101、電流源電路 102 而與發光元件 106 連接的構成。於第 77 圖(A)中，電流源電晶體 112 為 n 通道型。第 77 圖(b)中，電流源電晶體 112 為 n 通道型，電流保持電晶體 1484 之源極端子或汲極端子部與電流源電容 111 之一方電極連接之側，是被直接連接至電流線 CL。於第 77 圖(C)，第 77 圖(B)所示之構成是電流基準電晶體 1488 及電流輸入電晶體 1483 之極性為不同。並且，訊號線 GH 也和訊號線 GC 及訊號線 GN 共有。於第 77 圖(D)中，使用 1 條前之掃描線 G₁₁ 來取代電流基準線 SCL。如此，依據各種改變配線之共有、電晶體之共有或極性或位置、開關部和電流源電路之位置、開關部或電流源電路中之構成等，並且改變該組合方式，則可以容易實現各式各樣電路。

關於基準電流輸出電路 405 或參照電流源電路 404，與實施形態 1 中已說明的相同，省略其說明。

說明具有第 42 圖所示構成之畫素的顯示裝置之驅動方

五、發明說明（108）

法。針對畫像顯示動作，與實施形態 1 中使用第 7 圖所說明的相同。不同的是針對發光電晶體 1486、電流輸入電晶體 1483 及電流基準電晶體 1488 的動作。

點燈期間中，發光電晶體 1486 成為導通狀態，電流輸入電晶體 1483 成為非導通狀態。對畫素設定期間中是發光晶體 1486 成為非導通狀態，電流輸入電晶體 1483 成為導通狀態。非點燈期間中（但是，除了對畫素設定期間中之外），電流輸入晶體 1483 為非導通狀態，發光電晶體 1486 為任一皆可。並且，使發光電晶體 1486 間作消去電晶體使用，即使使發光電晶體 1486 成為非導通狀態亦可。然後，存有電流基準電晶體 1488 之時，於點燈期間中電流基準電晶體 1488 是必須成為非導通狀態。其理由是電流流至電流基準線 SCL 之方向，流至發光元件之電流量改變之故。

非點燈期間中，電流基準電晶體 1488 即使為導通或不導通任一皆可。但是，藉由調整電流基準線 SCL 和發光元件 106 之對向電極之電壓，可以使逆偏壓施加至發光元件 106 上。

再者，若放入新的電晶體（在此稱為電流停止電晶體）於電流源電晶體 112 和端子 B 之間時，於點燈期間中，必須使電流停止電晶體先成為導通狀態。這是因為當成為非導通狀態時，電流則不流至發光元件 106 之故。非點燈期間中，雖然電流停止電晶體即使為導通或不導通任一者皆可，但藉由成為非導通狀態，可以兼作消去電晶體使用。若除去上述之點，則與實施形態 1 相同。

五、發明說明(109)

接著，說明畫素之設定動作。這是幾乎與實施形態 2 相同。以例而言，設定第 i 行被執行設定動作。基準電流 I_0 流入電流線 CL。基準電流 I_0 因電流輸入電晶體 1483 電流源電晶體 112、電流基準電晶體 1488 成為導通狀態，故精油該些，流動電流線 CL 和電流機基準線 SCL 之間。並且，此時，發光電晶體 1486 成為非導通狀態。再者，比端子 B 先成為電流不流動之狀態。或是具有電流停止電晶體之時是成為非導通狀態，比端子 B 先成為電流不流動。如此一來，電流 I_0 流至電流源電晶體 112 上。電流源電晶體 112 之閘極電極和汲極端子是經由成為導通狀態之電流保持電晶體 1484 而被連接。因此，電流源電晶體 112 是在閘極、源極間電壓(閘極電壓)，和源極、汲極間電壓相等之狀態下，即是在飽和區域上動作，並流動汲極電流。流動電流源電晶體 112 的汲極電流是決定成流動電流線 CL 的電流 I_0 。如此一來電流源電容 111 是保持電流源電晶體 112 流動電流 I_0 之時的閘極電壓。

並且，無電流基準線 SCL 和電流基準電晶體 1488 之時， I_0 是由端子 B 先流動。依此，此時成為流至發光元件 106。若當長期間流動時則不希望影響至亮度。再者，當 I_0 流動至發光元件 106 時，則使發光元件 106 之電位予以變化的時間則需較長。其結果，畫素之設定動作也需花較長時間。

當將對應於流動至電流線 CL 之基準電流 I_0 的電荷保持於電流源電容 111 而完成時，訊號線 GH_i 之訊號則變化，電

五、發明說明(110)

流保持電晶體 1484 成為非導通狀態。依此，電荷則被保持在畫素之電流源電容 111 上。之後，訊號線 GH_i 及訊號線 GC_i 之訊號變化，第 i 行畫素之電流輸入電晶體 1483 及電流基準電晶體 1488 成為非導通狀態。如此一來，第 i 行畫素之電流源電晶體 112 是被保持閘極電壓之狀態下，切斷電流線 CL 及電流基準線 SCL 之連接。再者，同時訊號線 GE_i 之訊號變化，發光電晶體 1486 成為導通狀態。

如此一來，第 i 行之各畫素之設定動作被執行。之後，在各畫素之電流源電路 102 中，當施加電壓於端子 A 和端子 B 之間時，基準電流(畫素基準電流)則流至電流源電晶體 112 之源極、汲極間。

並且，於第 42 圖所示之畫素部之構成中，訊號線 GN、訊號線 GH、訊號線 GC、訊號線 GE、掃描線 G、消去用訊號線 RG 等，是可以考慮驅動之時機等而共有。例如，可以共有信號線 GH_i 和訊號線 GN_i 。此時，將電流輸入電晶體 1483 成為非導通狀態之時機和將電流保持電晶體 1484 成為非導通狀態之時機完全相同，在畫素之設定動作上無問題。

以另外之例而言，可以共有訊號線 GE_i 和訊號線 GN_i 。此時，使用與電流輸入電晶體 1483 極性不同之極性的發光電晶體 1486。如此一來，當輸入相同訊號於電流輸入電晶體 1483 之閘極電極和發光電晶體 1486 之閘極電極時，可以使一方之電晶體成為導通狀態，使另一方之電晶體成為非導通狀態。再者，於追加電流停止電晶體之時，使此與電

五、發明說明(111)

流基準電晶體 1488 之極性相反，藉由連接閘極電極彼此，而可以共有配線。

（實施例 7）

針對多閘方式 2 之電流源電路予以說明。並且參照第 58 圖予以說明。第 58 圖(A)中與第 3 圖相同之部分使用相同之符號表示。

針對多閘方式 2 之電流源電路之構成要素予以說明。多閘方式 2 之電流源電路是具有電流源電晶體 112 和發光電晶體 886。再者，具有作為開關發揮功能之電流輸入電晶體 883、電流保持電晶體 884。在此，電流源電晶體 112、發光電晶體 886、電流輸入電晶體 883、電流保持電晶體 884、電流基準電晶體 888 即使為 p 通道型或 n 通道型亦可。但是，電流源電晶體 112 和發光電晶體 886 是必須為相同極性。在此，表示電流源電晶體 112 及發光電晶體 886 為 n 通道型之例。電流源電晶體 112 和發光電晶體 886 是以電流特性相等為佳。而且，具有保持電流源電晶體 112 之閘極電位的電流源電容 111。再者，具有輸入訊號至電流輸入電晶體 883 之閘極電極的訊號線 GN，和輸入訊號至電流保持電晶體 884 之閘極電極的訊號線 GH。並且具有輸入控制訊號之電流線 CL，和被保持一定電位的電流基準線 SCL。而且，電流源電容 111 是藉由利用電晶體之閘極電容等，而可以省略。

說明該些構成要素之連接關係。電流源電晶體 112 之

五、發明說明(112)

源極端子是被連接至端子 B 上。電流源電晶體 112 之源極端子是經由電流基準電晶體 888 而被連接至電流基準線 SCL 上。電流源電晶體 112 之汲極端子是被連接至發光電晶體 886 之源極端子上。電流源電晶體 112 之汲極端子是經由電流輸入晶體 883 而被連接至電流線 CL 上。電流源電晶體 112 之閘極電極和汲極端子是經由電流源電容 111 而被連接。電流源電晶體 112 之閘極電極是與發光電晶體 886 之閘極電極連接，經由電流保持電晶體 884 而與電流線 CL 連接。發光電晶體 886 之汲極端子是被連接於端子 A 上。

而且，於第 58 圖(A)中，即使改變電流保持電晶體 884 之配置，作為如第 58 圖(B)所示般之電路構成亦可。於第 58 圖(B)中，電流保持電晶體 884 是被連接於電流源電晶體 112 之閘極電極和汲極端子之間。

接著，針對上述多閘方式 2 之電流源電路之設定方法予以說明。並且，於第 58 圖(A)和第 58 圖(B)中，其設定動作相同。在此，以第 58 圖(A)所示之電路為例，針對其設定動作予以說明。為了說明使用第 58 圖(C)~第 58 圖(F)。於多閘方式 2 之電流源電路中，依序經由第 58 圖(C)~第 58 圖(F)之狀態而執行設定動作。為了說明之簡便，將電流輸入電晶體 883、電流保持電晶體 884、電流基準電晶體 888 當作開關表示記載。在此，表示設定電流源電路之控制訊號為控制電流的例。再者，於圖中以粗箭號表示電流流動的路徑。

第 58 圖(C)所示之期間 TD1 中，使電流輸入電晶體 883

五、發明說明(113)

、電流保持電晶體 884 及電流基準電晶體 888 成為導通狀態。並且此時發光電晶體 805 為非導通狀態。這是藉由成為導通狀態之電流保持電晶體 884 及電流輸入電晶體 883，使發光電晶體 886 之汲極端子和閘極電極之電位相等地被保持之故。即是，源極、閘極間電壓為零之時，若將成為非導通狀態之電晶體使用在發光電晶體 886，則可以在期間 TD1 中使發光電晶體 886 自動成為非導通狀態。如此一來，藉由圖示之路徑流動電流，而將電荷保持在電流源電容 111 上。

在第 58 圖(D)所示之期間 TD2 中，藉由被保持之電荷使得電流源電晶體 112 之閘極、源極間電壓成為臨界電壓以上。如此，汲極電流則流至電流源電晶體 112。

在第 58 圖(E)所示之期間 TD3 中，當經過充分時間而成為正常狀態時，電流源電晶體 112 之汲極電流則設定成控制電流。如此一來，當使控制電流成為汲極電流之時的閘極電壓則被保持於電流源電容 111。之後，電流保持電晶體 884 成為非導通狀態時，被保持在電流源電容 111 之電荷也被分配至發光電晶體 886 之閘極電極上。如此一來，當電流保持電晶體 884 成為非導通狀態之時，同時發光電晶體 886 自動地成為導通狀態。

於第 58 圖(F)所示之期間 TD4 中，電流基準電晶體 888 及電流輸入電晶體 883 成為非導通狀態。如此一來，控制電流不被輸入至畫素。並且，使電流保持電晶體 884 成為非導通狀態之時機，相對於使電流輸入電晶體 883 成為非

訂

五、發明說明(114)

導通狀態之時機，較早或同時為理想。這是因不使被保持於電流源電容 111 之電荷予以放電之故。於期間 TD4 之後，施加端子 A 和端子 B 之間的電壓時，經由電流源電晶體 112 及發光電晶體 886，輸出一定之電流。即是，電流源電路 102 輸出控制電流之時，電流源電晶體 112 和發光電晶體 886 是如同 1 個多閘型電晶體般地發揮功能。因此，相對於所輸入之控制電流，可以將所輸出之一定電流之值設定成較小。因此發光電晶體 886 和電流源電晶體 112 之極性必須為相同。再者，發光電晶體 886 和電流源電晶體 112 之電流特性以相同為理想。這是在具有多閘方式 2 之各電流源電路 102 中，發光電晶體 886 和電流源電晶體 112 之特性無一致時，而使輸出電流產生偏差之故。

並且，於多閘方式 2 之電流源電路中，亦使用被輸入控制電流變換成所對應之閘極電壓的電晶體(電流源電晶體 112)而輸出來自電流源電路 102 之電流。另外，在電流鏡方式之電流源電路中，輸入控制電流變換成所對應之閘極電壓的電晶體(電流電晶體)，和將該閘極電壓變換成汲極電流之電晶體(電流源電晶體)完全不同。依此，藉由電流鏡方式之電流源電路，是可以減低因電晶體之電流特性偏差而對電流源電路 102 之輸出電流的影響。

並且，於設定動作之時的期間 TD1~期間 TD3 中電流流至端子 B 之時，是不需要電流基準線 SCL 及電流基準電晶體 888。或者，電流基準線 SCL 是藉由與如掃描線般之另外的配線共用，而可刪除。此時，即使自行的配線或其他

五、發明說明(115)

行的配線亦可。即是，即使在不作為電流基準線 SCL 使用時(無執行畫素之設定動作)，有輸入例如脈衝訊號之情形，或在作為電流基準線 SCL 使用之時(執行畫素之設定動作之時)，若為在某一定電位之配線，則任何配線亦可共用。

多閘方式 2 之電流源電路之各訊號線是可以共有。例如，電流輸入電晶體 883 和電流保持電晶體 884 若以相同時機切換導通狀態、非導通狀態，則在動作上無問題。因此，使電流輸入電晶體 883 和電流保持電晶體 884 之極性相同，則可以共有訊號線 GH 和訊號線 GN。再者，電流基準電晶體 888 和電流輸入電晶體 883 若以相同時機切換導通狀態、非導通狀態，則在動作上無問題。因此，使電流基準電晶體 888 和電流輸入電晶體 883 之極性相同，可以共有訊號線 GN 和訊號線 GC。

於多閘方式 2 中，電流源電路之部分是在畫素之設定動作時，成為如第 64 圖(a)般，於發光時若成為(b)般即可。即是如此地若連接配線或開關即可。例如，即使如第 69 圖般地連接亦可。並且，於具有上述構成之開關部或電流源電路之畫素中，將共有各配線之具體例表示於第 75 圖上。於第 75 圖(A)~(D)中，訊號線 GN 和訊號線 GH 是被共有，配線 Wco 和電源線 W 是被共有。尤其，於第 75 圖(A)中，電流保持電晶體 884 之源極端子或汲極端子，無與電流源電容 111 之一方電極連接之側，是被直接連接至電流線 CL 上。再者，消去電晶體 304 與電流源電晶體 112 及驅動電晶體 302 串聯連接。於第 75 圖(B)中，在選擇電流源電晶

五、發明說明(116)

體 112 之源極端子和驅動電晶體 302 之源極端子或汲極端子之連接的位置上，連接有消去電晶體 304。於第 75 圖(C)，第 75 圖(B)所示之構成是電流輸入電晶體 883 和電流基準電晶體 888 之極性不同。並且，訊號線 GH 也共有訊號線 GC 及訊號線 GN。於第 75 圖(D)中，電源線 W 是依序經由開關部 101、電流源電路 102 而與發光元件 106 連接之構成。而且，藉由調節電流基準線 SCL 之電位，使得電流基準電晶體 888 為 ON 之時，可施加逆偏壓於發光源建 106 中。如此，依據各種改變配線之共有、電晶體之共有或極性或位置、開關部和電流源電路之位置、開關部或電流源電路中之構成等，並且改變該組合方式，則可以容易實現各式各樣電路。

於實施形態 1 所示之電流鏡方式之電流源電路中，被輸入至發光元件之訊號是以規定倍率增減被輸入至畫素之控制電流的電流。因此，可將控制電流設定成某程度大，依此，可以較早執行各畫素之電流源電路之設定動作。但是，當構成具有電流源電路之電流鏡電路的電晶體之電流特性產生偏差時，畫像顯示則有偏差之問題。

另外，在同一電晶體方式之電流源電路中，被輸入至發光元件之訊號是與被輸入至畫素之控制電流之電流值相等。於同一電晶體方式之電流源電路中，被輸入控制電流之電晶體，和輸出電流至發光元件之電晶體相同。因此，降低因電晶體之電流特性之偏差所引起之畫像不均勻。

對此，於多閘方式之電流源電路中，被輸入至發光元

五、發明說明(117)

件之訊號，是以規定之倍率增減被輸入至畫素之控制電流的電流。因此，可將控制電流設定成某程度大。依此，可以較早執行各畫素之電流源電路之設定動作。再者，因共有被輸入控制電流之電晶體，和輸出電流至發光元件之電晶體之一部分，故電晶體之電流特性之偏差所引起之畫像不均勻，是比起電流鏡方式之電流源電路被降低。

接著，以下表示多閘方式之電流源電路之時的設定動作，和開關部之動作的關連。於多閘方式之電流源電路之時，被輸入控制電流之間，是無法輸出一定電流。因此，產生了必須使開關部之動作和電流源電路之設定動作同步執行。例如，可在僅開關部為 OFF 之狀態，執行電流源電路之設定動作。即是，幾乎與同一電晶體方式相同。因此，因畫像顯示動作(開關部之驅動動作)，和電流源電路之設定動作(畫素之設定動作)也幾乎與同一電晶體方式相同，故省略說明。

(實施例 8)

於本實施形態中，為具有同一晶體方式之電流源電路的畫素成，針對可點順序實施例 6 所述之電路之情形予以說明。因此，省略重複部分。

將配置在各畫素之電流源電路之構成例表示於第 47 圖。並且，於第 47 圖中，與第 41 圖相同部分是使用相同符號表示，省略其說明。於第 47 圖中，電流源電路 102 是除了具有電流源電容 111、電流源晶體 112、電流輸入電晶體

五、發明說明(118)

1483、電流保持電晶體 1484、電流基準電晶體 1488、發光電晶體 1486、電流線 CL、訊號線 GN、訊號線 GH、訊號線 GC、訊號線 GE、電流基準線 SCL 之外，還具有點順序電晶體 1490 和點順序線 CLP。再者，雖然將點順序電晶體 1490 設為 n 通道型，但是即使僅作為開關予以動作的 p 通道型亦可。

電流源電晶體 112 之閘極電極是與電流源電容 111 之異方電極連接。再者，電流源電容 111 之另一方電極是與電流源電晶體 112 之源極端子連接。電流源電晶體 112 之源極端子是經由發光電晶體 1486 之源極、汲極端子間，而被連接至電流源電路 102 之端子 A 上。

電流電晶體 112 之閘極電極是依序經由其汲極端子，和電流保持電晶體 1484 之源極、汲極端子間及點順序電晶體 1490 之源極、汲極端子間而被連接。電流保持電晶體 1484 之閘極電極是被連接至訊號線 GH 上。點順序電晶體 1490 之閘極電極是被連接至點順序線 CLP 上。電流電晶體 112 之汲極端子和電流基準線 SCL 是經由電流基準電晶體 1488 之源極、汲極端子間而被連接。電流基準電晶體 1488 之閘極電極是被連接至訊號線 GC 上。電流源電晶體 112 之源極端子和電流線 CL，是經由電流輸入電晶體 1483 之源極、汲極端子間而被連接。電流輸入電晶體 1483 之閘極電極是被連接至訊號線 GN。再者，電流源電晶體 112 之汲極端子是被連接至端子 B 上。

於上述構成中，即使為點順序電晶體 1490 之源極端子

五、發明說明(119)

及汲極端子之不與電流保持電晶體 1484 之源極端子或汲極端子連接之側，直接被連接於電流基準線 SCL 之構成亦可。當然，並不限定於此，電流保持電晶體 1484 及點順序電晶體 1490 其雙方皆成為導通狀態之時，若可使電流源電晶體 112 之閘極電極之電位與電流基準線 SCL 之電位相等地予以連接即可。

即使替換電流保持電晶體 1404 和點順序電晶體 2404 之配置亦可。電流源電容 111 即使是依序經由電流保持電晶體 1484 之源極、汲極端子間及點順序電晶體 1490 之源極、汲極端子間，而與電流源電晶體 112 之汲極端子連接之構成亦可，電流源電容 111 即使是依序經由點順序電晶體 1490 之源極、汲極端子間及電流保持電晶體 1484 之源極、汲極端子間，而與電流源電晶體 112 之汲極端子連接之構成亦可。

第 48 圖是表示將具有第 47 圖所示之構成的電流源電路 102，和第 13 圖所示構成之開關部 101 的畫素 100 配置成 x 列 y 行之矩陣狀的畫素區域之一部分的電路圖。於第 48 圖中，僅代表性地表示第 i (i 為自然數) 行 j (j 為自然數) 列、第 $(i+1)$ 行 j 列、第 i 行 $(j+1)$ 列、第 $(i+1)$ 行 $(j+1)$ 列的 4 畫素。與第 41 圖及第 13 圖相同部分是使用相同符號表示省略說明。

而且，將對應於第 i 行、第 $(i+1)$ 行之各畫素行的掃描線 G 表示為 G_i 、 G_{i+1} ，消去用訊號線表示為 RG_i 、 RG_{i+1} ，訊號線 GN 表示為 GN_i 、 GN_{i+1} ，訊號線 GH 表示為 GH_i 、

五、發明說明(120)

GH_{i+1} ，訊號線 GC 表示為 GC_i 、 GC_{i+1} ，訊號線 GE 表示為 GE_i 、 GH_{i+1} 。再者，將對應於第 j 列、第 $(j+1)$ 列之各畫素列的影像訊號輸入線 S 表示為 S_j 、 S_{j+1} ，電源線 W 表示為 W_j 、 W_{j+1} ，電流線 CL 表示為 CL_j 、 CL_{j+1} ，電流基準線 SCL 表示為 SCL_j 、 SCL_{j+1} ，配線 W_{co} 表示為 W_{coj} 、 W_{coj+1} ，點順序線 CLP 表示為 CLP_j 、 CLP_{j+1} ，基準電流由畫素區域外部被輸入於電流線 CL_j 、 CL_{j+1} 中。106 為發光元件。發光元件 106 之畫素電極是被連接至端子 D，被給予著對向電極。並且，於本實施例中，雖然表示同一電晶體方式之電流源電路之構成例，但是亦可以適用於多閘方式之電流源電路。即是，於第 58 圖(A)、(B)中，即使與電流保持電晶體 884 串聯地配置點順序晶體即可。

(實施例 9)

於本實施例中，是關於實施形態 2 中之第 14 圖所示之畫素構成，表示以 n 通道型構成各畫素電流源電晶體 112 的例。在此，表示將發光元件 106 之畫素電極當作陽極，將對向電極當作陰極的例。因此，省略與實施形態 2 重複之部分的說明。

於第 52 圖中表示顯示本實施例之畫素構成的電路圖。而且，於第 52 圖中，與第 14 圖相同之部分是使用相同之符號表示。於第 52 圖中，電流源電路 102 是藉由藉由電流源電容 111、電流源電晶體 112、電流輸入電晶體 203、電流保持電晶體 204、電流停止電晶體 205、電流線 CL、訊號

五、發明說明(121)

線 GN、訊號線 GH、訊號線 GS 而所構成。

電流源電晶體 112 之閘極電極和電流源電容 111 之一方電極是被連接。再者，電流源電容 111 之另一方之電極是與電流源電晶體 112 之源極端子連接。電流源電晶體 112 之源極端子是經由電流停止電晶體 205 而被連接於電流源電路 102 之端子 B 上。電流停止電晶體 205 之閘極電極是被連接至訊號線 GS。

電流源電晶體 112 之閘極電極和汲極端子，是經由電流保持電晶體 204 之源極、汲極端子間，而被連接。電流保持電晶體 204 之閘極電極是被連接於訊號線 GH。電流源電晶體 112 之汲極端子和電流線 CL 是經由電流輸入晶體 203 之源極、汲極端子間而被連接。電流輸入電晶體 203 之閘極電極是被連接於訊號線 GN。再者，電流源電晶體 112 之汲極端子是被連接於端子 A。

此時，如第 3 圖所說明般，即使變更電流源電容 111 之連接對象亦可。即是，若使藉由畫素之設定動作而保持在電流源電容 111 之 V_{gs} 與實際發光時的 V_{gs} 無變動即可。以該情形之一例而言，若於電流源電晶體 112 之閘極電極和源極端子之間連接電流源電容 111 即可。即是，電流源電路之部分在畫素之設定動作時，成為第 66 圖(a)般，於發光時，若成為第 66 圖(b)即可。

於第 52 圖中，開關部 101 雖然幾乎與實施形態 1 中之第 13 圖所示之構成相同，但是，亦表示以 n 通道型構成驅動電晶體 302 之例。如此，於本實施例中之第 52 圖所示之

五、發明說明(122)

構成的畫素，可以將構成畫素之電晶體完全設為 n 通道型。如此，若以單極性之電晶體構成電路，則可減少在製作電晶體時的工程，降低成本。

本實施例是可與其他之實施形態及實施例自由組合而予以實施。

(實施例 10)

本實施例是表示於實施形態 1 中之第 5 圖所示之畫素構成中，以多數畫素共有配置在各畫素之電流電晶體 1406 的例。

第 53 圖示表示本實施例之畫素構成的電路圖。並且，第 53 圖中與第 5 圖相同之部分是使用相同符號表示，省略說明。於第 53 圖中，共有第 i 行 j 列之畫素，和第 $(i+1)$ 行 j 列之畫素的電流電晶體 1405。再者，共有第 i 行 $(j+1)$ 列之畫素，和第 $(i+1)$ 行 $(j+1)$ 列之畫素的電流電晶體 1405。

於第 53 圖中，表示以 2 畫素共有電流晶體 1405 的例。而且，並不限定於此，一般，可以多數畫素共有電流電晶體 1405。藉由上述成，可以減少在每 1 畫素上所配置之電晶體的數量及訊號線之數量。如此一來，可得開口率高的顯示裝置。

本實施例是可與其他之實施形態及實施例自由組合而予以實施。

(實施例 11)

五、發明說明(123)

於本實施例中，表示將訊號輸入至本發明之顯示裝置之畫素中的驅動電路之成例。第 54 圖是表示訊號線驅動電路之方塊圖。於第 54 圖中，訊號線驅動電路 5400 是藉由移位暫存器 5401，和第 1 門鎖電路 5402，和第 2 門鎖電路 5403 而所構成。隨著移位暫存器 5401 輸出之取樣脈衝，第 1 門鎖電路 5402 是保持影像訊號 VD。在此，被輸入至第 1 門鎖電路 5402 之影像訊號 VD 是爲了執行顯示而以時間分割灰階方式，加工被輸入至顯示裝置之數位視頻訊號的訊號。被輸入至顯示裝置之數位視頻訊號，是藉由時間分割灰階影像訊號處理電路 5410 而被變換至影像訊號，並被輸入至訊號線驅動電路 5400 之第 1 門鎖電路 5402。當於第 1 門鎖電路 5402 上，保持著 1 水平期間份的影像訊號 VD 時，門鎖脈衝則被輸入至第 2 門鎖電路 5403 上。如此一來，第 2 門鎖電路 5403 是與一起保持 1 水平份之影像訊號之同時輸出至各畫素之影像訊號輸入線。

以下，將訊號線驅動電路 5400 之構成例表示於第 55 圖上。並且，於第 55 圖中，與第 54 圖相同之部分使用相同之符號表示。在此，於第 55 圖中，僅代表性表示對應於第 1 列之影像訊號輸入線 S1 之第 1 門鎖電路 5402 之一部分 5402a，和第 2 門鎖電路 5403 之一部分 5403a。移位暫存器 5401 是藉由多數之同步脈衝換流器、換流器、開關和 NA 電路所構成。於移位暫存器 5401 上，被輸入著時鐘脈衝 S_CLK 及反轉時鐘脈衝 S_CLK 之極性的反轉時鐘脈衝時鐘脈衝 S_CLKB、啓動脈衝 S_SP、掃描方向切換訊號

五、發明說明(124)

L/R。如此一來，移位暫存器 5401 是藉由多數 NAND 電路依序輸出移位的脈衝(取樣脈衝)。藉由移位暫存器 5401 而被輸出之取樣脈衝是被輸入至第 1 閘鎖電路 5402a 上。當取樣脈衝被輸入時，第 1 閘鎖電路 5402a 是保持影像訊號 VD。第 1 閘鎖電路 5402 若保持輸入至所又影像訊號之影像訊號(1 水平期間份之影像訊號)VD，則輸入閘鎖脈衝 LP 及反轉閘鎖脈衝 LP 之極性的反轉閘鎖脈衝 LPB 至第 2 閘鎖電路。如此一來，第 2 閘鎖電路 5403 是一起將影像訊號 VD 輸出至所有的影像訊號輸入線 S 上。

第 56 圖是表示掃描線驅動電路之構成例的電路圖。於第 56 圖中，掃描線驅動電路 3610 是具有藉由多數之同步脈衝換流器、換流器、開關和 NA 電路所構成的移位暫存器 3601。於移位暫存器 3601 上，被輸入著時鐘脈衝 G__CLK 及反轉時鐘脈衝 G__CLK 之極性的反轉時鐘脈衝時鐘脈衝 S__CLKB、啟動脈衝 G__SP、掃描方向切換訊號 U/D。如此一來，移位暫存器 3601 是藉由多數 NAND 電路依序輸出移位的脈衝(取樣脈衝)。取樣脈衝是經由緩衝器而被輸出至掃描線 G 上。如此一來，將訊號輸入至掃描線 G 上。

於本實施例中，訊號線驅動電路及掃描線驅動電路雖然為具有移位暫存器之構成，但是即使為使用解碼器等之構成者亦可。並且，可以自由使用公知構成之驅動電路來作為本發明之顯示裝置之驅動電路。

(實施例 12)

五、發明說明(125)

於本實施例中表示以時間灰階方式執行顯示動作之時的畫素設定動作之一例。

於復位期間中，依序選擇各畫素行，開始非顯示期間。在此，可以與依序選擇掃描線之頻率相同的頻率，執行各畫素行之設定動作。例如，注目於使用第 13 圖所示之構成的開關部之時。可以與依序選擇掃描線 G 或消去用訊號線 RG 之頻率相同之頻率，選擇各畫素行，而執行畫素之設定動作。但是，在 1 行份之選擇期間的長度中，充分地執行畫素之設定動作則有困難。此時，即使使用多數行份之選擇期間，緩慢地執行畫素之設定動作亦可。緩慢地執行畫素之設定動作，是表示花較長時間執行將規定之電荷存儲於具有電流源電路之電流源電容中之動作。

如此，使用多數行份之選擇期間，並且，使用與選擇復位期間中之消去用訊號線 RG 等之頻率相同之頻率，爲了選擇各行，而不照次序地予以選擇。依此，爲了執行所有行之畫素的設定動作，則必須在多數非顯示期間執行設定動作。

接著，針對使用上述手法之時的顯示裝置之構成及驅動方法詳細說明。首先，使用與選擇多數條之掃描線的期間相同之長度的期間，針對執行 1 行之畫素設定動作的驅動方法，使用第 59 圖予以說明。於第 59 圖中，是以表示在執行選擇 10 條掃描線之期間執行 1 行之畫素設定的時序圖作爲一例。

於第 59 圖(A)中視表示各幀期間中之各行動作。並且，

五、發明說明(126)

於實施形態 1 中，予第 7 圖所示之時序圖相同部分，使用相同符號表示，省略說明。在此，表示將 1 幀期間分割成 3 個子幀期間 $SF_1 \sim SF_3$ 的例。並且，使子幀期間 $SF_2 \sim SF_3$ 成為設置有非顯示期間 T_{us} 之構成。於非顯示期間 T_{us} 中執行畫素之設定動作(圖中期間 A 及期間 B)。

接著，針對期間 A 及期間 B 之動作，詳細說明。為了說明，使用第 59 圖(B)。並且在圖中，以選擇訊號線 GN 之期間表示執行畫素之設定動作的期間。一般而言，以 GN_i 表示第 i 行(i 為自然數)之畫素的訊號線 GN。首先，在第 1 幀期間 F_1 之期間 A 中，不照次序地選擇 GN_2 、 GN_{12} 、 GN_{22} 、…。如此一來，執行第 2 行、第 12 行、第 22 行的畫素設定動作(期間 2)。藉由 5 幀期間反覆執行上述動作，則可以執行一套所有之畫素設定動作。

在此，將可以使用於 1 行之畫素之設定動作的期間表示記載成 T_c 。於使用驅動方法之時，可將 T_c 設定成掃描線 G 之選擇時間的 10 倍。如此一來，可以增長使用於每 1 畫素之設定動作的時間，可效率佳正確地執行畫素之設定動作。並且，即使在一套設定動作中不充分之時，多次反覆上述動作亦可。如此一來，即使緩慢地執行畫素之設定動作亦可。

接著，針對使用上述驅動方法之時的驅動電路之構成予以說明。為了說明使用第 60 圖。並且，於第 60 圖中表示將訊號輸入至訊號線 GN 之驅動電路。但是，針對倍輸入至具有電流源電路之其他之訊號線的訊號也相同。具出兩

五、發明說明(127)

個用以執行畫素設定動作的驅動電路之構成例。

第 1 例是藉由切換移位暫存器之輸出的訊號而切換，並輸出至訊號線 GN 之構成的驅動電路。將該驅動電路(設定動作用驅動電路)之構成的例表示於第 60 圖(A)中。設定動作用驅動電路 5801 是藉由移位暫存器 5802、AND 電路和換流器電路(INV)等而所構成。並且，在此，表示以移位暫存器 5802 之脈衝輸出期間之 4 倍期間，選擇 1 條訊號線 GN 之成的驅動電路作為例。針對設定動作用驅動電路 5801 之動作予以說明。移位暫存器 5802 之輸出是藉由切換訊號 5803 而被選擇，經由 AND 電路而被輸出至訊號線 GN。

第 2 例是藉由移位暫存器之輸出，而閘鎖用以選擇特定行之訊號之構成的驅動電路。將該驅動電路(設定動作用驅動電路)之成的例表示於第 60 圖(B)上。設定動作用驅動電路 5811 是具有移位暫存器 5812、閘鎖 1 電路 5813 和閘鎖 2 電路 5814。

針對設定動作用驅動電路 5811 之動作予以說明。藉由移位暫存器 5812 之輸出，閘鎖 1 電路 5813 是依序保持行選擇訊號 5815。在此，行選擇訊號 5815 是選擇任意之行的訊號。被保持於閘鎖 1 電路 5813 之訊號是藉由閘鎖訊號 5816 而被轉送至閘鎖 2 電路 5814 上。如此一來，訊號被輸入至特定之訊號線 GN 上。如此，在非顯示期間中，可以執行電流源電路之設定動作。

並且，即使在顯示期間中，電流鏡方式之電流源電路之時是可以執行設定動作。再者，即使為同一電晶體方式

五、發明說明(128)

之電流源電路或多開方式之電流源電路，一旦中斷顯示期間，執行電流源電路之設定動作，之後，即使使用可再開始顯示期間的驅動方法亦可。

本實施形態是可自由組合實施形態 1～實施形態 3，或實施形態 1～實施形態 11 而予以實施。

(實施例 13)

於本實施例中，關於畫素之設定動作，是針對與其他實施例不同之方法說明。

於實施形態 1 等中，是 1 行 1 行地選擇畫素，執行畫素之設定動作。或是不照次序選擇行，而執行畫素之設定動作，無論在任一情形下，執行某行之畫素設定動作之期間，皆無同時執行另外之行的畫素設定動作。於本實施例中，則針對與上述手法不同之畫素設定動作予以說明。即使在某瞬間中，使用 1 條電流線，同時對多數畫素，執行畫素之設定動作亦可。此時，被平均畫的電流藉由多數畫素之電流源電路而流入各個畫素之電流源電路上。因此，在輸入電流的多數畫素間，當該些畫素之電流源電路之特性有偏差時，則受到該偏差所造成之影響，被設定成各流至各畫素之電流源電路之電流值形成參差不齊。但是，當以多數畫素同時執行畫素之設定動作時，則需增大被連接至 1 條電流線之畫素份，流至該電流線之電流的值。如此，因增大流至電流線之電流值，故可以儘早執行畫素之設定動作。此時，即使使同時執行畫素之設定動作的行，予

五、發明說明(129)

以重複亦可。即使例如同時執行第 1 行和第 2 行，同時執行第 2 行和第 3 行，同時執行第 3 行和第 4 行般地予以重複亦可。

再者，即使將同時執行畫素之設定動作的行，在某任意時間變更亦可。例如，即使同時執行虛設行和第 1 行，同時執行第 2 行和第 3 行，同時執行第 4 行和第 5 行般，或在另外之時，同時執行第 1 行和第 2 行，同時執行第 3 行和第 4 行、同時執行第 5 行和第 6 行般亦可。依據該手法，可以使特性偏差經時性地予以平均化。

弊且，於本實施例所示之設定動作之手法，因不依存於電流源電路之構成，故可以適用於所有之構成。

(實施例 14)

於本實施例中，關於電流線，是針對與其他實施例不同之成予以說明。於除了實施例 13 之其他的實施例中，配置有 1 條電流線於 1 列份之畫素上。此時，雖然對 1 條電流線僅執行 1 個畫素之設定動作。但即使成為在 1 列份之畫素上設置多數條之電流線亦可。

例如，設定成在第 1 條之電流線上被連接著第偶數行之畫素，在第 2 條之電流線上被連接著第奇數行之畫素。如此一來，在第偶數行和第奇數行上，同時可以執行 2 行份之畫素的設定動作。因此，可以增長執行 1 畫素份之畫素之設定動作的期間，或縮短執行全畫素之畫素之設定動作的期間。

五、發明說明(130)

於其他即使為將畫面區分為多數區域，電流線僅連接於其區域之畫素上亦可。其結果，同時可對多數行之畫素，執行畫素之設定動作。因此，可增長執行 1 畫素份之畫素的設定動作，或縮短執行全畫素之畫素設定動作。

例如，將畫面分為上下 2 個，上半部分是配置有與被配置於其上方之基準電流輸出電路連接的電流線。下半部分是配置有與被配置在其下方之基準電流輸出電路連接的電流線。使被配置在上半部分之畫素的電流線和被配置在下半部分之畫素的電流線是無被連接。其結果，可在上半部分之畫素和下半部分之畫素，同時執行畫素之設定動作。

而且，本實施例因不於電流源之電路的構成，故可以適用於所有之構成。

(實施例 15)

於本實施例中，以第 78 圖表示實際製作實施形態 2 中之第 73 圖(A)所示之構成的畫素之例。於第 78 圖(A)表示實際製作畫素之時的俯視圖。再者，於第 78 圖(B)中表示對應於第 78 圖(A)之電路圖。並且，與第 73 圖(A)相同部分是使用相同部分表示，省略說明。再者，作為第 78 圖(A)中之發光元件 106，僅表示畫素電極。於第 78 圖中，消去電晶體 304、電流保持電晶體 204 及電流輸入電晶體 203 是各以雙閘型之電晶體所形成。

五、發明說明(131)

(實施例 16)

於本實施例中，將具有實施形態 3 中之第 57 圖(A)或第 57 圖(B)所示之構成的電流源電路的畫素之製作例表示在第 79 圖上。於第 79 圖(A)表示畫素之俯視圖，將對應於此之等效電路圖表示於第 79 圖(B)上。並且，與第 74 圖相同之部分使用相同符號表示省略說明。於第 79 圖中，與第 74 圖(A)不同的是消去電晶體 304 是與保持電容 303 並聯連接。再者，電流停止電晶體 805 之源極端子或汲極端子中，不與驅動電晶體 302 之源極端子或汲極端子之側，是直接與電源線 W 連接。

(實施例 17)

於本實施例中，是針對本發明之顯示裝置中，輸入控制電流於各畫素的驅動電路之構成予以說明。當輸入至各畫素之控制電流有產生偏差時，各畫素之電流源電路所輸出之電流的電流值也產生偏差。因此，必須成為將幾乎一定之控制電流輸出至各電流線之構成的驅動電路。將如此之驅動電路之例表示在下述。可以使用表示於日本特願 2001-333462 號、特願 2001-333466 號、特願 2001-333470 號、特願 2001-335917 號或特願 2001-335918 號之構成的訊號線驅動電路。即是，可以將該訊號線驅動電路之輸出電流當作控制電流而輸出至各畫素中。於本發明之顯示裝置中，依據適用上述之訊號線驅動電路，可以將幾乎一定之控制電流輸入至各畫素。如此一來，可更降低畫像亮度之偏

五、發明說明(132)

差。

本實施例是可自由組合其他之實施形態或實施例而予以實施。

(實施例 18)

於本實施例中，是針對應用本發明之顯示系統予以說明。在此，顯示系統是包含有記憶被輸入至顯示裝置之影像訊號的記憶體，或輸出被輸入於顯示裝置之各驅動電路的控制訊號(時鐘脈衝、啟動脈衝等)的電路，控制該些之控制器等。

將顯示系統之例表示於第 2 圖中。顯示系統除了顯示裝置之外，還具有 A/D 變換電路、記憶選擇開關 A、記憶選擇開關 B、幀記憶體 1、幀記憶體 2、控制器、時鐘訊號發生電路、電源發生電路。

針對顯示系統之動作予以說明。A/D 變換電路是將被輸入於顯示系統之影像訊號變換至數位之影像訊號。幀記憶體 A 或是幀記憶體 B 是記憶該數位之影像訊號。在此藉由將幀記憶體 A 或幀記憶體 B 在每期間(每 1 幀期間、每子幀期間)分開使用，而可以持有餘裕地寫入訊號至記憶體及讀出來自記憶體的訊號。在此，幀記憶體 A 或幀記憶體 B 的分開使用，是藉由控制器切換記憶選擇開關 A 及記憶選擇而所執行。再者，時鐘發生電路是藉由來自控制器之訊號而使時鐘訊號等予以發生。電源發生電路是藉由來自控制器之訊號，使發生規定之電源。自記憶體所讀出之訊號、

五、發明說明(133)

時鐘訊號、但源等是經由 FPC 而被輸入至顯示裝置。

並且，應用本發明之顯示裝置並不限定於第 2 圖所示之構成，亦可將公知構成的顯示裝置應用本發明。

本實施例是可自由組合其他實施形態或實施例而予以實施。

(實施例 19)

於本實施例中，針對利用本發明之顯示裝置的電子機器使用第 46 圖予以說明。第 46 圖(A)是表示使用本發明之顯示裝置的攜帶資訊終端機的模式圖。攜帶資訊終端機是藉由本體 4601a、操作開關 4601b、電源開關 4601c、天線 4601d、顯示部 4601e、外部輸入埠 4601f 所構成。本發明之顯示裝置是可以使用於顯示部 4601e。第 46 圖(B)是表示使用本發明之顯示裝置的個人電腦之模式圖。個人電腦是藉由主體 4602a、框體 4602b、顯示部 4602c、操作開關 4602d、電源開關 4602e、外部輸入埠 4602f 而所構成。本發明之顯示裝置是可以使用於顯示部 4602c 上。第 46 圖(C)是表示使用本發明之顯示裝置之畫像再生裝置的模式圖。畫像再生裝置是藉由主體 4603a、框體 4603b、記錄媒體 4603c、顯示部 4603d、聲音輸出部 4603e、操作開關 f 而所構成。本發明之顯示裝置是可以使用於顯示部 4603d 上。第 46 圖(D)是表示使用本發明之顯示裝置的電視之模式圖。電視是藉由主體 4604a、框體 4604b、顯示部 4604c、操作開關 4604d 而所成。本發明之顯示裝置是可以使用於顯示部

五、發明說明(134)

4604c 上。第 46 圖 E 是表示使用本發明之顯示裝置的頭盔式顯示器的模式圖。頭盔式顯示器是藉由主體 4605a、螢幕部 4605b、頭部固定帶 4605c、顯示部 4605d、光學系統 4605e 所構成。本發明之顯示裝置是可以使用於顯示部 4605d。第 46 圖(F)是表示使用本發明之顯示裝置的視頻照相機之模式圖。視頻照相機是藉由主體 4606a、框體 4606b、連接部 4606c、顯像部 4606b、眼睛接觸部 4606e、電池 4606f、聲音輸入部 4606g、顯示部 4606h 而所構成。本發明之顯示裝置是可以使用於顯示部 4606h。

本發明並不限定於上述應用電子機器，可以應用於各種電子機器。本實施例是可以自由組合實施形態 1～實施形態 3 及實施例 1～實施例 18 而予以實施。

【產業上之利用可行性】

本發明之顯示裝置的各畫素是具有電流源電路和開關部。發光元件和電流源電路和開關部是被串聯地連接於電源基準線和電源線之間。藉由使用數位之影像訊號，切換開關部之 ON、OFF。再者，流動電流源電路之一定電流的大小是藉由從畫素外部所輸入之控制訊號而所決定。開關部為 ON 狀態之時，藉由電流源電路在發光元件上流動著一定電流而予以發光。開關部為 OFF 狀態之時，於發光元件則不流動電流不予以發光。如此，可以藉由影像訊號控制開關部之 ON、OF，來表現灰階。如此一來，即使因發光元件之惡化等而變化電流特性，亦可以一定亮度來表現，不

五、發明說明(135)

但訊號之寫入變快，且可正確地表現灰階，並可提供低成本、可小型化之顯示裝置。

【圖面之簡單說明】

第 1 圖是表示本發明之顯示裝置之畫素之驅動方法的模式圖。

第 2 圖是表示使用本發明之顯示裝置的顯示系統之圖示。

第 3 圖是表示本發明之顯示裝置之畫素之構成的方塊圖。

第 4 圖是本發明之顯示裝置之電流源電路的電路圖。

第 5 圖本發明之顯示裝置之畫素部之電路圖。

第 6 圖是表示本發明之顯示裝置之畫素設定動作的時序圖。

第 7 圖是表示本發明之顯示裝置之畫像顯示動作的時序圖。

第 8 圖是表示本發明之顯示裝置之基準電流輸入電路之構成的方塊圖。

第 9 圖是表示本發明之顯示裝置之基準輸入電路之構成的方塊圖。

第 10 圖是表示本發明之顯示裝置之基準電流輸入電路之動作的時序圖。

第 11 圖是表示本發明之顯示裝置之基準電流輸入電路之動作的圖示。

五、發明說明(136)

第 12 圖是本發明之顯示裝置之電流源電路之電路圖。

第 13 圖是本發明之顯示裝置之開關部的電路圖。

第 14 圖本發明之顯示裝置之畫素部的電路圖。

第 15 圖是表示本發明之顯示裝置之畫素的設定動作之
時序圖。

第 16 圖是表示本發明之顯示裝置之畫像顯示動作及其
時序圖。

第 17 圖是表示本發明之顯示裝置之電流源電路之電路
圖。

第 18 圖是表示本發明之顯示裝置之畫素部的電路圖。

第 19 圖是表示本發明之顯示裝置之畫素的設定動作之
時序圖。

第 20 圖是表示本發明之顯示裝置之參照電流源電路之
切換電路的構成圖。

第 21 圖是本發明之顯示裝置之電流源電路之電路圖。

第 22 圖是本發明之顯示裝置的畫素部之電路圖。

第 23 圖是本發明之顯示裝置之電流源電路之電路圖。

第 24 圖是本發明之顯示裝置之電流源電路的電路圖。

第 25 圖是本發明之顯示裝置之電流源電路之電路圖。

第 26 圖是本發明之顯示裝置之畫素部之電路圖。

第 27 圖是表示以往之顯示裝置之驅動方法的時序圖。

第 28 圖是表示以往之顯示裝置之驅動方法的圖示。

第 29 圖是以往之顯示裝置之畫素的電路圖。

第 30 圖是以往之顯示裝置之畫素的電路圖。

五、發明說明(137)

第 31 圖是表示以往之顯示裝置之驅動電晶體之動作區域的圖示。

第 32 圖是表示以往之顯示裝置之驅動電晶體之動作點的圖示。

第 33 圖是表示以往之顯示裝置之驅動電晶體之動作點的圖示。

第 34 圖是表示以往之顯示裝置之畫素的電路圖。

第 35 圖是表示以往之顯示裝置之驅動方法的時序圖。

第 36 圖是表示表示因以往之顯示裝置的惡化而產生驅動電晶體之動作點變化的圖示。

第 37 圖是表示表示因以往之顯示裝置的惡化而產生驅動電晶體之動作點變化的圖示。

第 38 圖是表示本發明之顯示裝置之電流源電路之構成的圖示。

第 39 圖是表示本發明之顯示裝置之畫素部的構成圖。

第 40 圖是表示本發明之顯示裝置之畫像顯示動作及其時序圖。

第 41 圖是表示本發明之顯示裝置之電流源電路的構成圖。

第 42 圖是表示本發明之顯示裝置之畫素部的構成圖。

第 43 圖是表示本發明之顯示裝置之畫素之開關部的電路圖。

第 44 圖是表示本發明之顯示裝置之電流源電路的構成圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(138)

第 45 圖是表示發明之顯示裝置之畫素部的構成圖。

第 46 圖是表示應用本發明之顯示裝置之電子機器的圖示。

第 47 圖是表示本發明之顯示裝置之電流源電路的構成圖。

第 48 圖是表示本發明之顯示裝置之畫素部的構成圖。

第 49 圖是表示本發明之顯示裝置之畫素部的構成圖。

第 50 圖是表示本發明之顯示裝置之畫素部的構成圖。

第 51 圖是表示本發明之顯示裝置之畫素部的構成圖。

第 52 圖是表示本發明之顯示裝置之畫素部的構成圖。

第 53 圖是表示本發明之顯示裝置之畫素部的構成圖。

第 54 圖是表示本發明之顯示裝置之訊號線驅動電路之構成的方塊圖。

第 55 圖是表示本發明之顯示裝置之訊號線驅動電路的構成圖。

第 56 圖是表示本發明之顯示裝置之掃描線驅動電路的構成圖。

第 57 圖是表示本發明之顯示裝置之電流源電路的構成圖。

第 58 圖是表示本發明之顯示裝置之電流源電路的構成圖。

第 59 圖是表示本發明之顯示裝置之畫素設定動作的時序圖。

第 60 圖是表示本發明之顯示裝置之掃描線驅動電路的

五、發明說明(139)

構成圖。

第 61 圖是表示本發明之顯示裝置之畫素之狀態的模式圖。

第 62 圖是表示本發明之顯示裝置之畫素之狀態的模式圖。

第 63 圖是表示本發明之顯示裝置之畫素之狀態的模式圖。

第 64 圖是表示本發明之顯示裝置之畫素之狀態的模式圖。

第 65 圖是表示本發明之顯示裝置之畫素之狀態的模式圖。

第 66 圖是表示本發明之顯示裝置之畫素之狀態的模式圖。

第 67 圖是表示本發明之顯示裝置之畫素之電流源電路的電路圖。

第 68 圖是表示本發明之顯示裝置之畫素之電流源電路的電路圖。

第 69 圖是表示本發明之顯示裝置之畫素之電流源電路的電路圖。

第 70 圖是表示本發明之顯示裝置之畫素之電流源電路的電路圖。

第 71 圖是表示本發明之顯示裝置之畫素之電流源電路的電路圖。

第 72 圖是表示本發明之顯示裝置之畫素之電流源電路

五、發明說明(140)

的電路圖。

第 73 圖是表示本發明之顯示裝置之畫素之構成的電路圖。

第 74 圖是表示本發明之顯示裝置之畫素之構成的電路圖。

第 75 圖是表示本發明之顯示裝置之畫素之構成的電路圖。

第 76 圖是表示本發明之顯示裝置之畫素之構成的電路圖。

第 77 圖是表示本發明之顯示裝置之畫素之構成的電路圖。

第 78 圖是表示本發明之顯示裝置之畫素之構成的上面圖(A)和電路圖(B)。

第 79 圖是表示本發明之顯示裝置之畫素之構成的上面圖(A)和電路圖(B)。

【符號對照表】

100	畫素
101	開關部
102	電流源電路
106	發光元件
106a	畫素電極
106b	對向電極
111	電流源電容

五、發明說明(141)

- 112 電流源電晶體
- 203、803、883、1443、1483 電流輸入電晶體
- 204、804、884、1444、1484 電流保持電晶體
- 205、805 電流停止電晶體
- 208、1448、1490、2404 點順序電晶體
- 301 選擇電晶體
- 302 驅動電晶體
- 303 保持電容
- 304 消去電晶體
- 404 參照電流源電路
- 405 基準電流輸出電路
- 701__1~701__x 電流輸入開關
- 701__2~702__x 電流輸出開關
- 722__1~722__x 電流保持開關
- 886、1486 發光電晶體
- 888、1488 電流基準電晶體
- 901 畫素部
- 902 影像訊號輸入線驅動電路
- 903A 第1掃描線驅動電路
- 903B 第2掃描線驅動電路
- 904A 切換電路
- 904B 切換電路
- 1405、1445 電流電晶體
- 1801、1802、1803 追加電晶體

五、發明說明(142)

- 2405 切換電路
- 2710__1~2710__x 取樣脈衝線
- 2701__1~2701__x 開關
- 2901、3001、3301 選擇 TFT
- 2902、3302 保持 TFT
- 2903、3004、3303 驅動 TFT
- 2904 電流 TFT
- 2905、3007、3305 保持電容
- 2906、3006、3306 OLED
- 2906a、b, 3006a、b, 3306a、b OLED 之電極
- 2907、3002、3003、3307 源極訊號線
- 2908、3308 第 1 閘極訊號線
- 2909、3309 第 2 閘極訊號線
- 2911、3005、3305、3311 電源線
- 2912、3312 視頻訊號輸入電流源
- 3304 發光 TFT
- 3310 第 3 閘極訊號線
- 4601a 主體
- 4601b 操作開關
- 4601c 電源開關
- 4601d 天線
- 4601e 顯示部
- 4601f 外部輸入埠
- 4602a 主體

五、發明說明(143)

- | | |
|-------|-------|
| 4602b | 框體 |
| 4602c | 顯示部 |
| 4602d | 操作開關 |
| 4602e | 電源開關 |
| 4602f | 外部輸入埠 |
| 4603a | 主體 |
| 4603b | 框體 |
| 4603c | 記錄媒體 |
| 4603d | 顯示部 |
| 4603e | 聲音輸出部 |
| 4603f | 操作開關 |
| 4604a | 主體 |
| 4604b | 框體 |
| 4604c | 顯示部 |
| 4604d | 操作開關 |
| 4605a | 主體 |
| 4605b | 螢幕部 |
| 4605c | 頭部固定帶 |
| 4605d | 顯示部 |
| 4605e | 光學系統 |
| 4606a | 主體 |
| 4606b | 框體 |
| 4606c | 連接部 |
| 4606d | 顯像部 |

五、發明說明(144)

4606e	眼睛接觸部
4606f	電池
4606g	聲音輸入部
4606h	顯示部
5400	訊號線驅動電路
5401、5811、5802、5812	移位暫存器
5402	第1門鎖電路
5403	第2門鎖電路
5410	時間分割灰階影像訊號處理電路
5803	切換訊號
5813	門鎖1電路
5814	門鎖2電路
5815	行號碼選擇訊號
5816	門鎖訊號
A、B、C、D	端子
W	電源線
G	掃描線
S	影像訊號輸入線
CL	電流線
GH、GS、GN、GC、GE	訊號線
RG	消去用訊號線
W _{co} 、W _r	配線
CLP	點順序線
SCL	電流基準線

五、發明說明(145)

VD 影像訊號

LP 門鎖脈衝

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：

)

顯示裝置及其驅動方法

顯示裝置是具有電流源電路、開關部和發光元件。發光元件、電流源電路和開關部是串聯地被連接在電源基準線和電源線之間。藉由使用數位之影像訊號，來切換開關部之 ON、OFF。再者，流動電流源電路之一定電流的大小，是藉由從畫素外部所輸入之控制訊號而被決定。開關部為 ON 狀態之時，藉由電流源電路流動著所決定之一定電流而予以發光。其結果，可使發光元件不受因惡化等而導致電流特性變化的影響，可以一定亮度予以發光，並可增加對各畫素寫入訊號之速度，可表現正確之灰階，再者以提供低成本可小型化之顯示裝置及其驅動方法為課題。

英文發明摘要(發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍 1

1.一種顯示裝置，其特徵為：包含具有將第 1 電流變換成電壓之機構；保持所變換之上述電壓之機構；將所保持之上述電壓變換成第 2 電流之機構；和藉由數位之影像訊號，將上述第 2 電流流向發光元件之機構的畫素。

2 一種顯示裝置，其特徵為：包含具有將第 1 電流變換成電壓之機構；保持所變換之上述電壓之機構；將所保持之上述電壓變換成與上述第 1 電流之電流值相等的第 2 電流之機構；和藉由數位之影像訊號，將上述第 2 電流流向發光元件之機構的畫素。

3.一種顯示裝置，其特徵為：包含具有將第 1 電流變換成電壓之機構；保持所變換之上述電壓之機構；將所保持之上述電壓變換與上述第 1 電流之電流值成比例的第 2 電流之機構；和藉由數位之影像訊號，將上述第 2 電流流向發光元件之機構的畫素。

4.如申請專利範圍第 1 項至第 3 項中之任一項所記載之顯示裝置，其中，具有藉由上述數位之影像訊號之外的訊號，使上述第 2 電流不流至上述發光元件的機構。

5.一種顯示裝置，為包含具有使一定電流流動的電流源電路(102)；和依據數位之影像訊號切換導通、非導通 (ON、OFF)之開關部 (101) 的畫素，控制發光元件(106)之發光的顯示裝置，其特徵為：上述開關部(101)和上述電流源電路(102)和發光元件(106)是被串聯連接。

6.一種顯示裝置，其特徵為：包含具有第 1 端子(A)和第 2 端子(B)，將流動上述第 1 端子(A)和上述第 2 端子(B)

六、申請專利範圍 2

之間的電流設定成一定的電流源電路(102)；具有第 3 端子(C)和第 4 端子(D)，藉由數位之影像訊號切換上述第 3 端子(C)和上述第 4 端子(D)間之導通狀態、非導通狀態的開關部(101)；電源線；和電源基準線的畫素，當選擇上述第 3 端子(C)和上述第 4 端子(D)間的導通狀態時，於上述電源線和上述電源基準線之間連接著上述電流源電路(102)、上述開關部(101)及上述發光元件(106)，使流動上述第 1 端子(A)和上述第 2 端子(B)間的電流可流至發光元件(106)之陽極和陰極間。

7.一種顯示裝置，其特徵為：包含具有將第 1 電流當作第 1 電晶體之汲極電流之機構；保持上述第 1 電晶體之閘極電壓之機構；將上述閘極電壓設為與上述第 1 電晶體之極性相等的第 2 電晶體(112)之閘極電壓的之機構；和藉由數位之影像訊號，使上述第 2 電晶體(112)之汲極電流流至發光元件(106)之機構的畫素。

8.如申請專利範圍第 7 項所記載之顯示裝置，其中，上述第 1 電晶體之閘極長度和閘極寬度之比率和上述第 2 電晶體(112)之閘極長度和閘極寬度之比率為不同。

9.如申請專利範圍第 7 項或第 8 項所記載之顯示裝置，其中，具有電氣性連接上述第 1 電晶體之閘極電極和汲極端子的機構。

10.如申請專利範圍第 7 項或第 8 項中之任一項所記載之顯示裝置，其中，具有藉由上述數位之影像訊號之外的訊號，使上述第 2 電晶體(112)之汲極電流不流至上述發光

六、申請專利範圍 3

元件(106)的機構。

11.一種顯示裝置，其特徵為：包含具有將第 1 電流輸入至電晶體(112)而當作上述電晶體(112)之汲極電流之機構；保持上述電晶體(112)之閘極電壓之機構；和藉由數位之影像訊號而施加電壓於上述電晶體(112)之源極、汲極端子間，使藉由所保持之上述閘極電壓而設定的上述電晶體(112)的汲極電流流至發光元件(106)之機構的畫素。

12.如申請專利範圍第 11 項所記載之顯示裝置，其中，具有電氣性連接上述電晶體(112)之閘極電極和汲極端子的機構。

13.如申請專利範圍第 11 項或第 12 項所記載之顯示裝置，其中，具有藉由上述數位之影像訊號之外的訊號，使上述電晶體(112)之汲極電流不流至上述發光元件(106)的機構。

14.如申請專利範圍第 1、2、3、5、6、7、8、11、12 項中之任一項所記載之顯示裝置，其中，上述第 1 電流是藉由上述數位之影像訊號而不變化。

15.如申請專利範圍第 1、2、3、5、6、7、8、11、12 項中之任一項所記載之顯示裝置，其中，上述畫素是具有保持上述數位之影像訊號的機構。

16.如申請專利範圍第 1、2、3、5、6、7、8、11、12 項中之任一項所記載之顯示裝置，其中，上述畫素是具有選擇對該畫素輸出上述數位之影像訊號的機構，和保持上述數位之影像訊號的機構。

六、申請專利範圍 4

17.如申請專利範圍第 1、2、3、5、6、7、8、11、12 項中之任一項所記載之顯示裝置，其中，具有多數上述畫素，上述第 1 電流之電流值是在多數上述畫素之至少一部分上為相同。

18.如申請專利範圍第 1、2、3、5、6、7、8、11、12 項中之任一項所記載之顯示裝置，其中，具有輸入一定電流至上述畫素的驅動電路。

19.一種顯示裝置之驅動方法，其特徵為：在畫素中，進行將所輸入之第 1 電流變換成第 1 電流，並保持所變換之上述電壓的第 1 動作；和將所保持之上述電壓變換成第 2 電流，並使上述第 2 電流流至發光元件的第 2 動作。

20.如申請專利範圍第 19 項所記載之顯示裝置之驅動方法，其中，上述第 2 動作是包含選擇對上述畫素輸入上述數位之影像訊號，並保持所輸入之上述數位之影像訊號的動作。

21.如申請專利範圍第 19 項或第 20 項所記載之顯示裝置之驅動方法，其中上述第 1 動作和上述第 2 動作是獨立進行。

22.如申請專利範圍第 19 項或第 20 項所記載之顯示裝置之驅動方法，其中，藉由使 1 幀期間中之上述第 2 電流流至上述發光元件之期間的比率予以變化，而表現灰階。

23.如申請專利範圍第 19 項或第 20 項所記載之顯示裝置之驅動方法，其中，將 1 幀期間分割成多數之子幀期間，並針對上述多數子幀期間，各執行上述第 2 動作，而表

六、申請專利範圍 5

現灰階。

24.如申請專利範圍第 23 項所記載之顯示裝置之驅動方法，其中在上述多數子幀期間之至少一個中，藉由上述數位之影像訊號之外的訊號，使上述第 2 電流不流至上述發光元件，而設置非顯示期間。

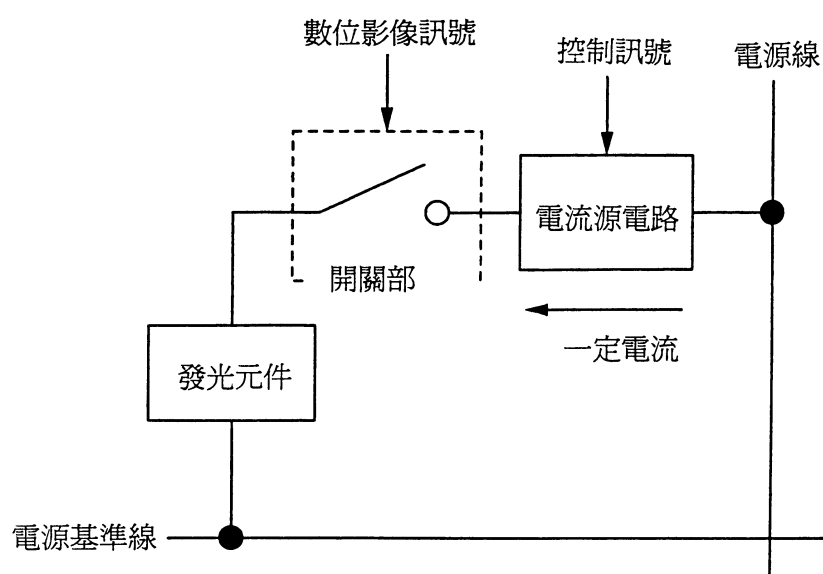
25.如申請專利範圍第 24 項所記載之顯示裝置之驅動方法，其中，在上述非顯示期間中執行上述第 1 動作。

(請先閱讀背面之注意事項再填寫本頁)

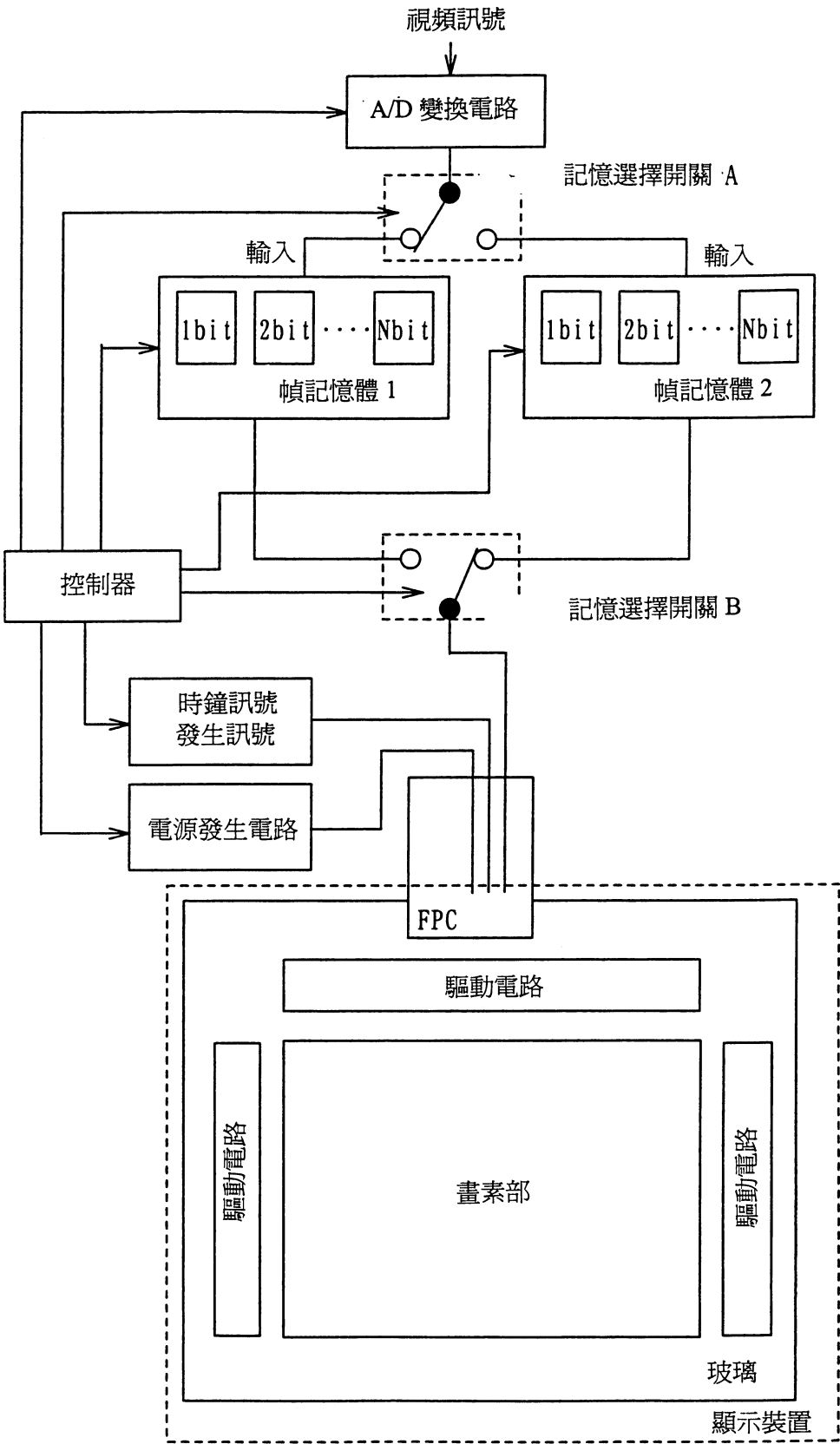
裝

訂

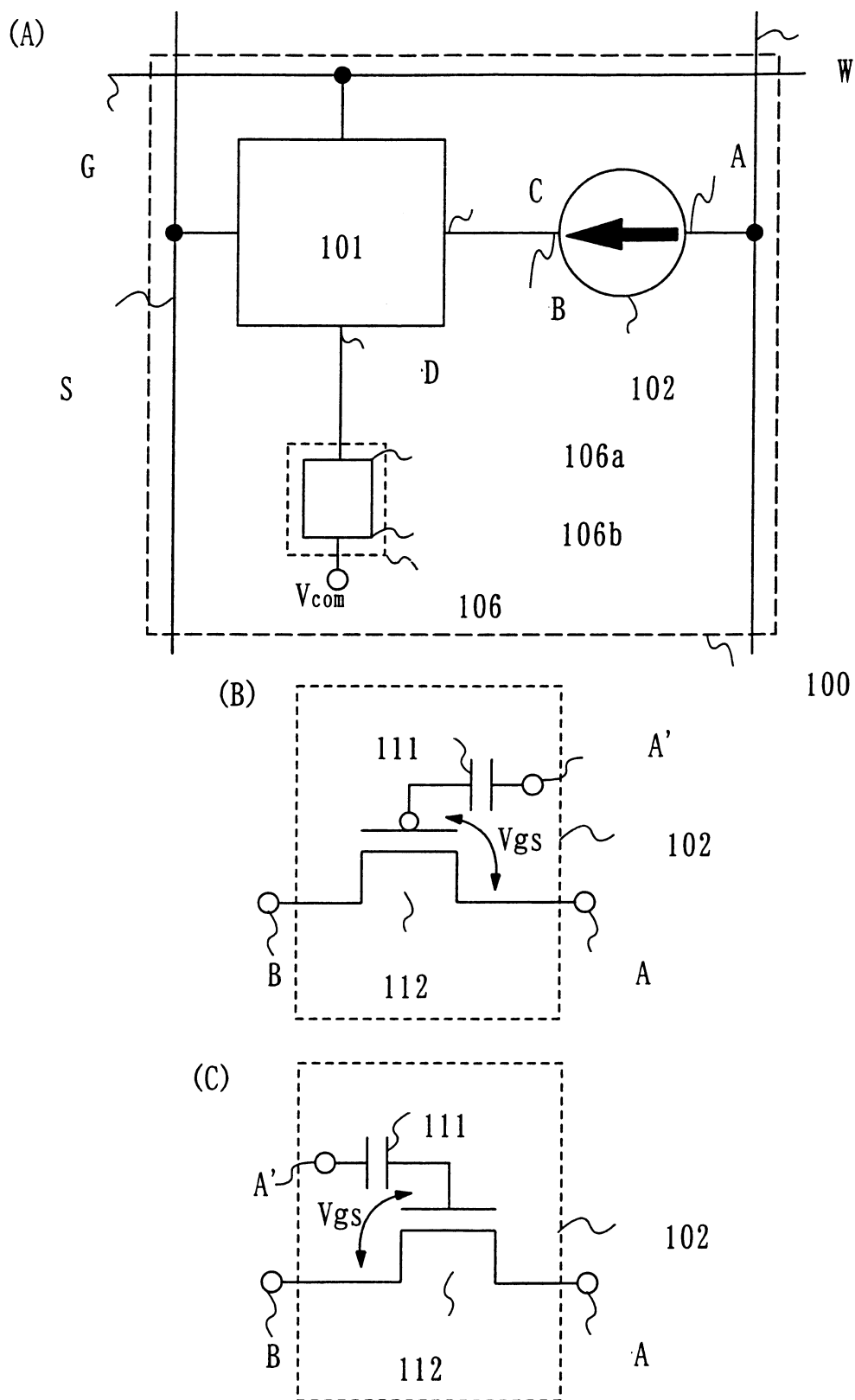
第 1 圖



第 2 圖



第 3 圖



第 4 圖

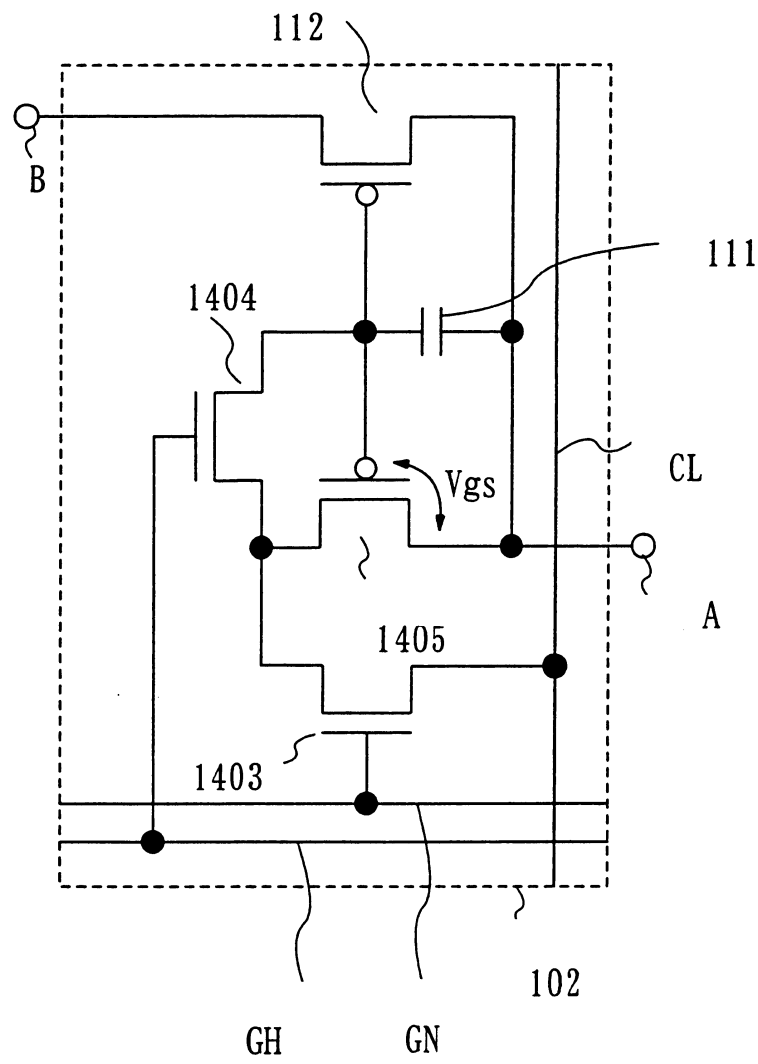
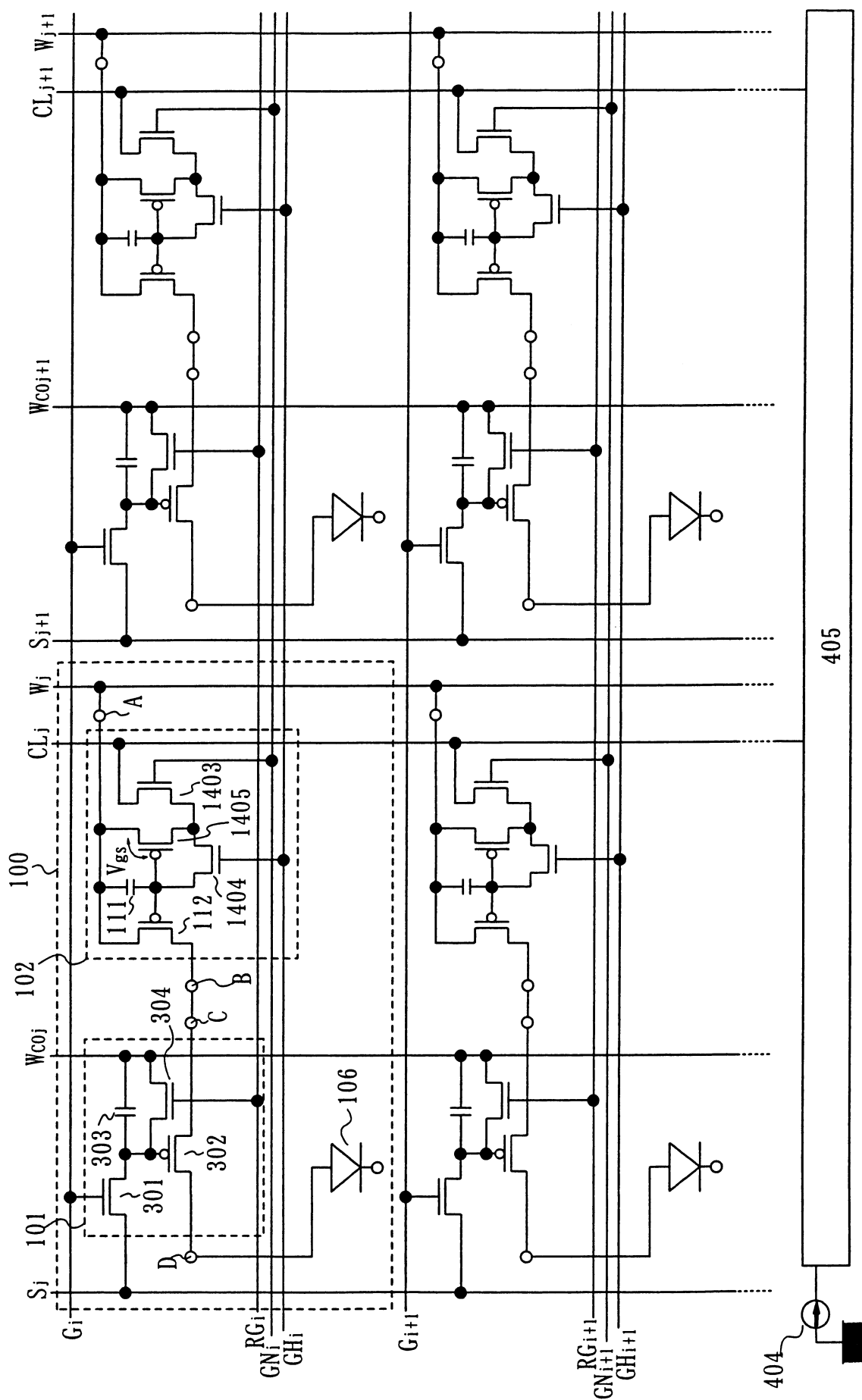
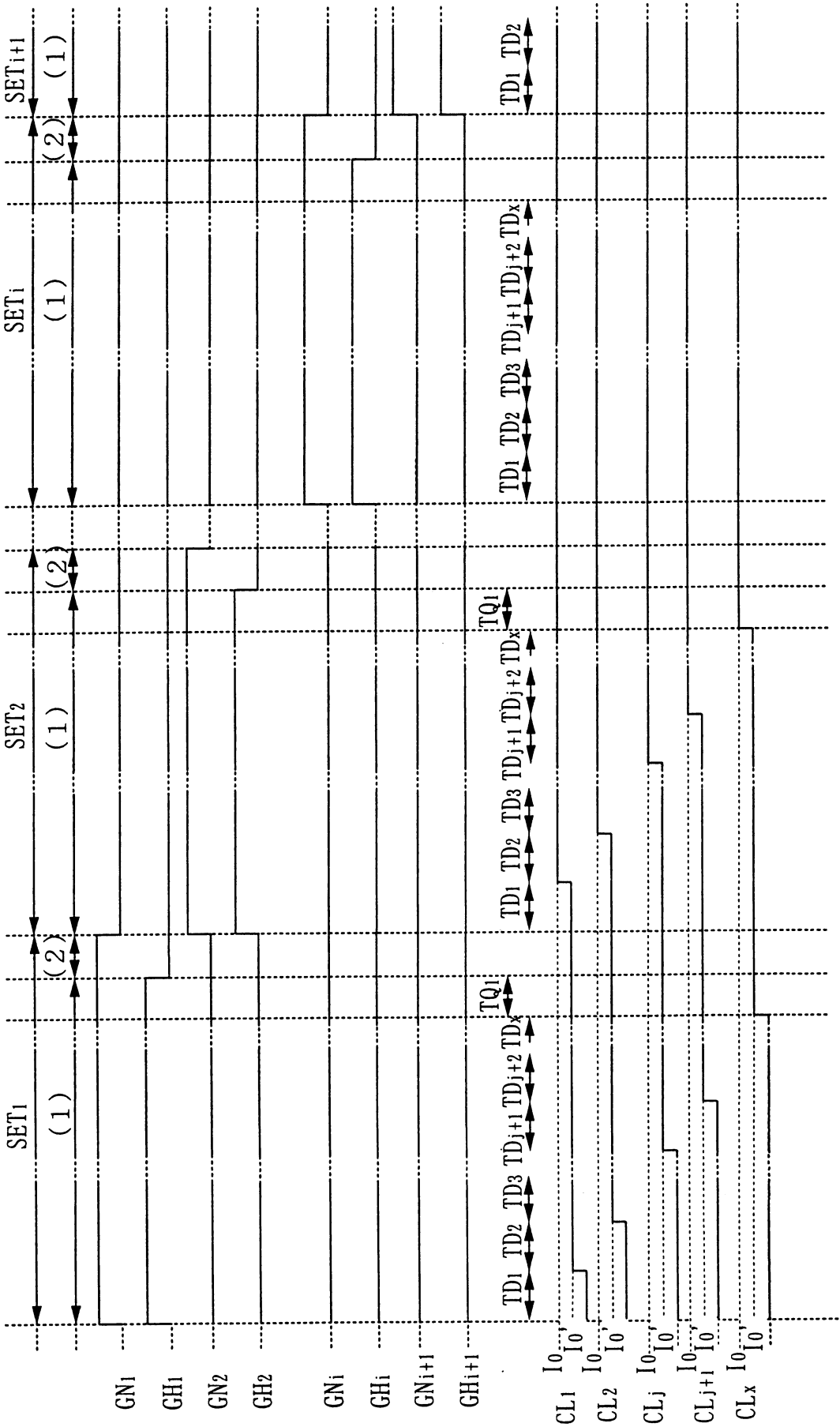


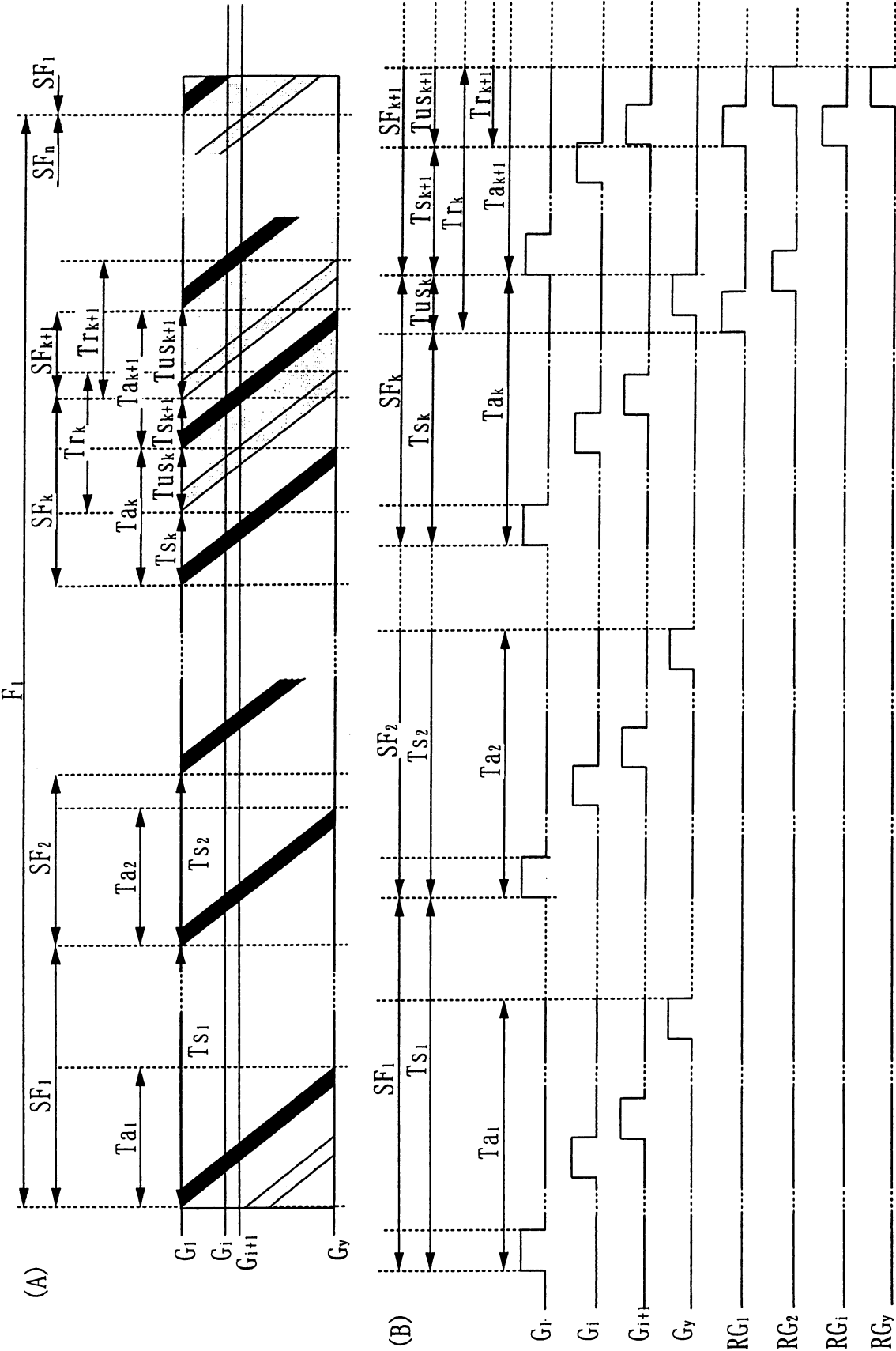
圖 5 第



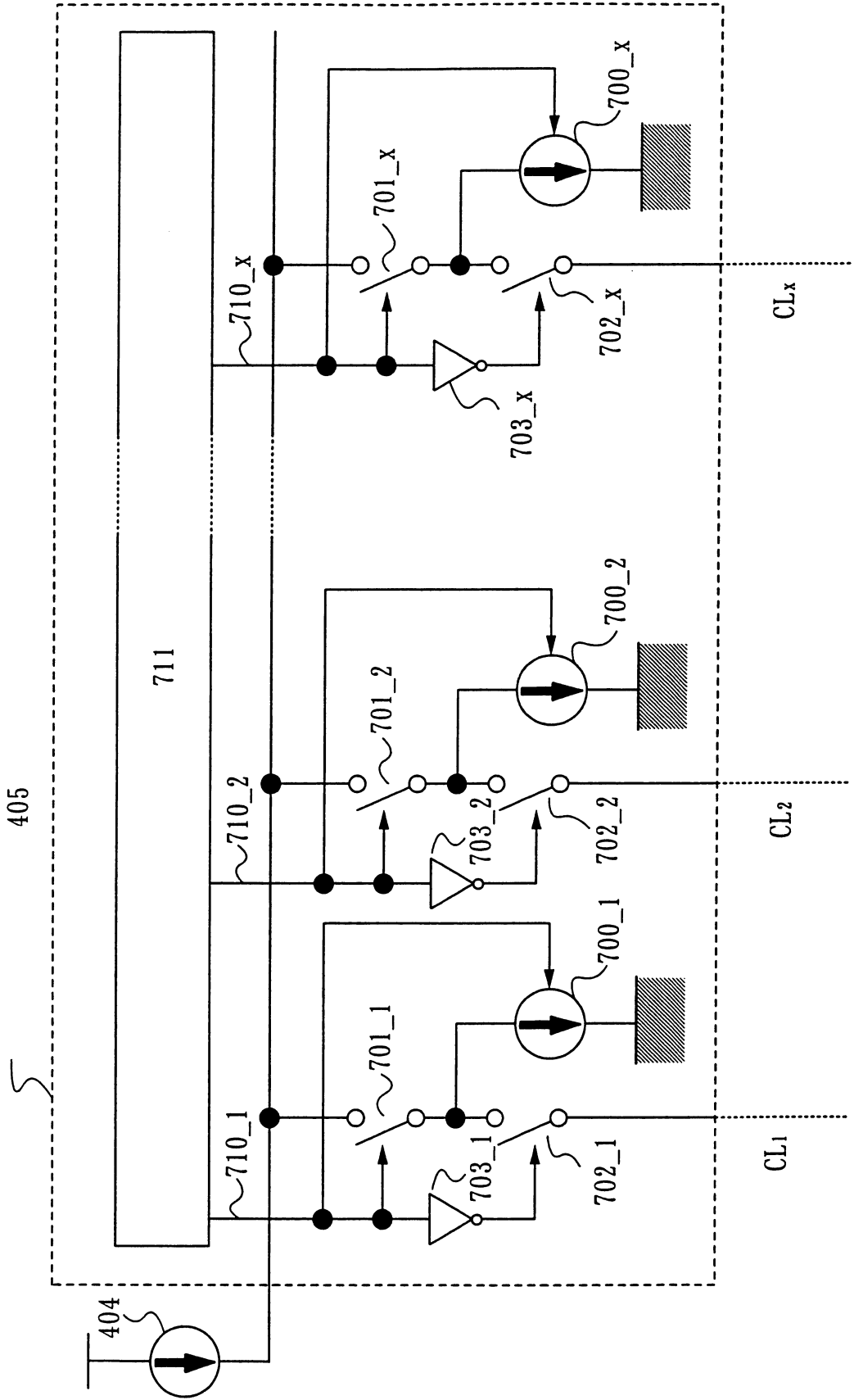
第 6 圖



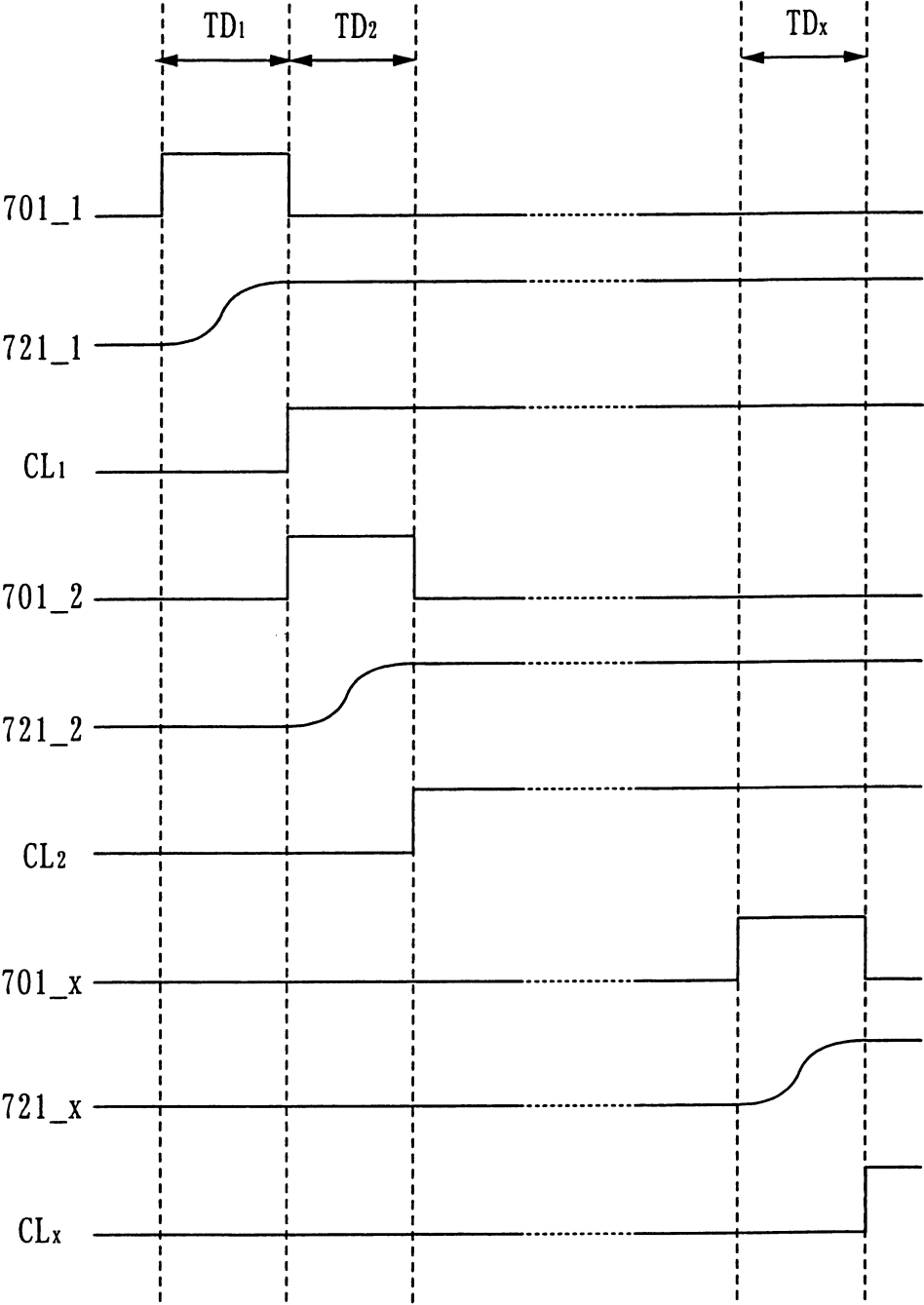
第 7 圖



第 8 圖

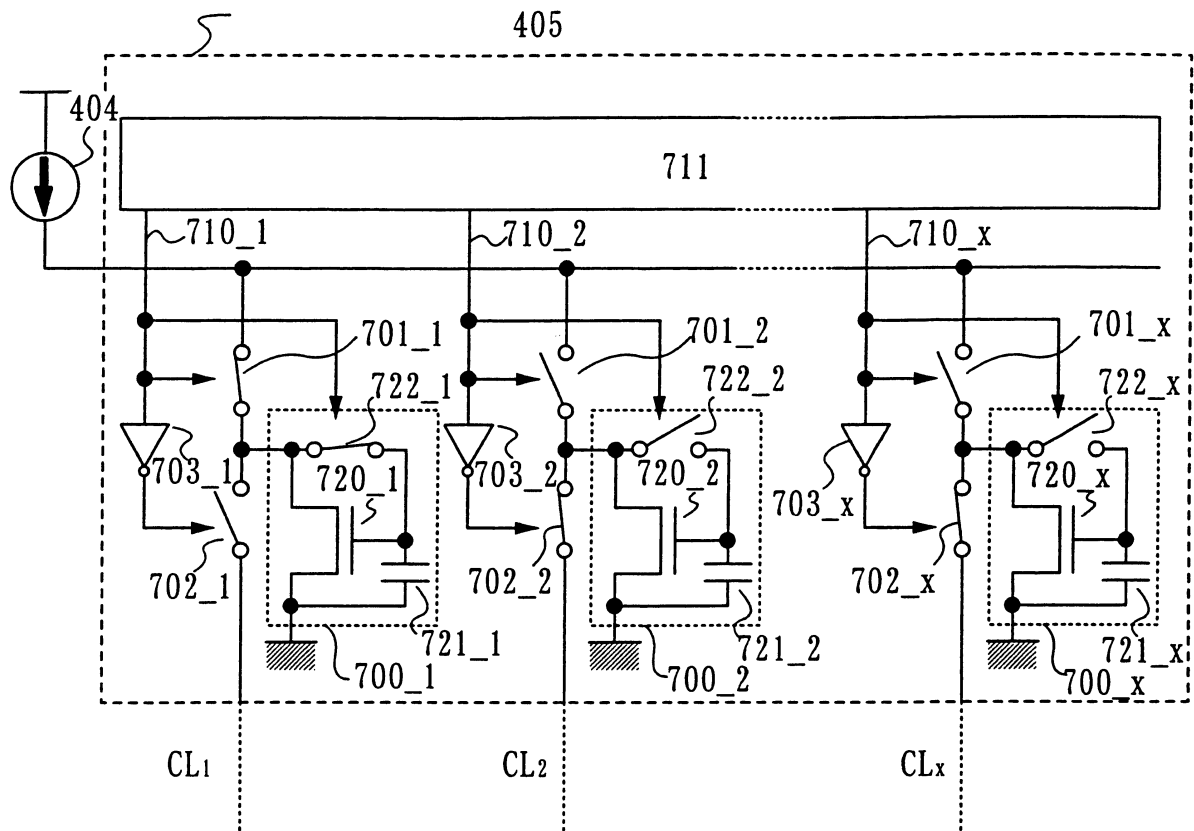


第 10 圖

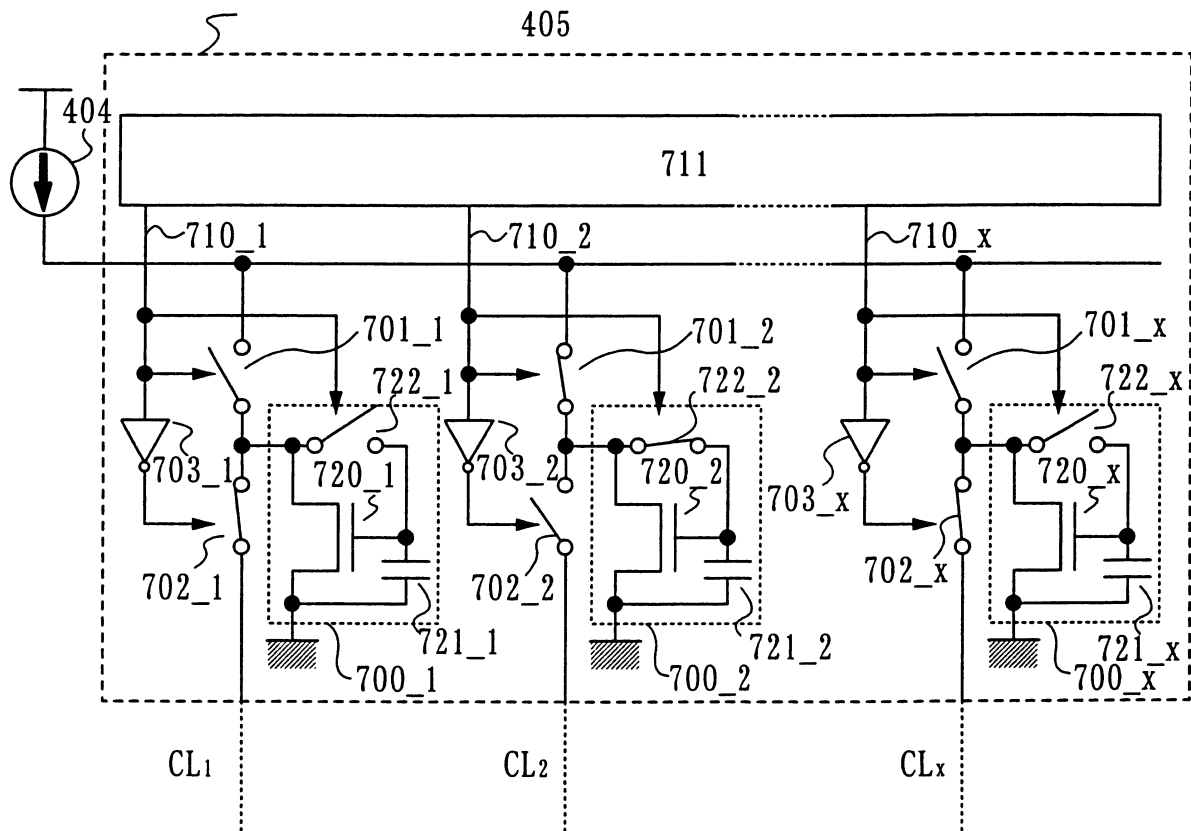


第 11 圖

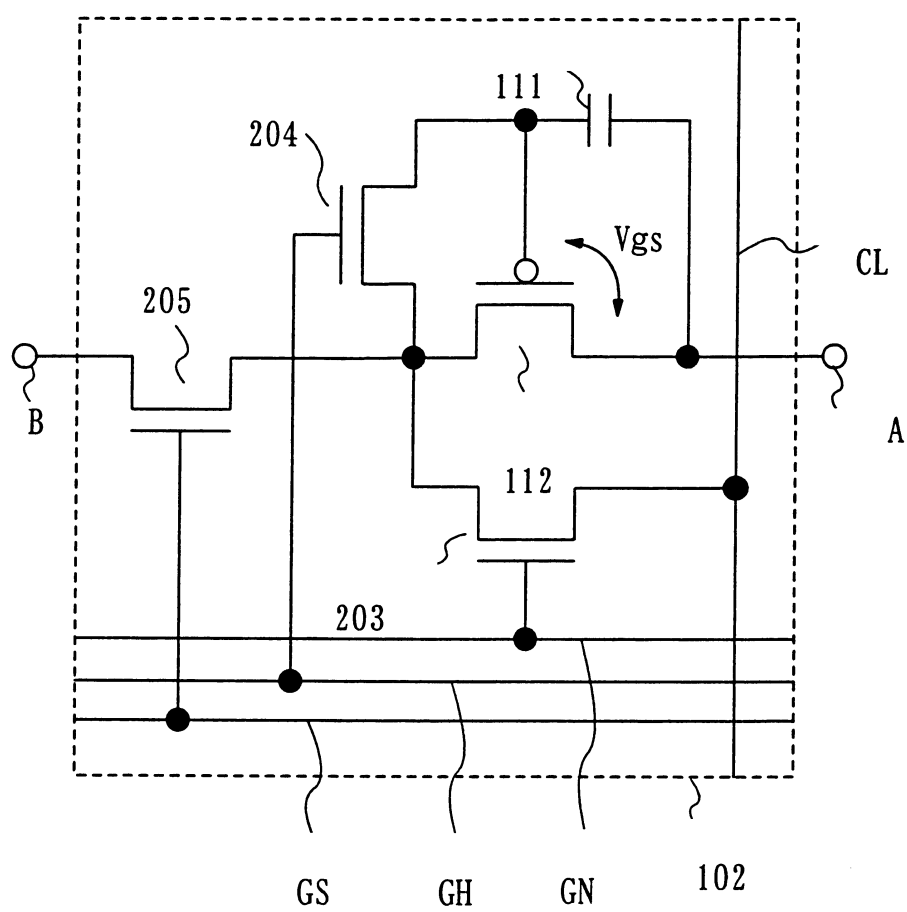
(TD1)



(TD2)



第 12 圖



第 13 圖

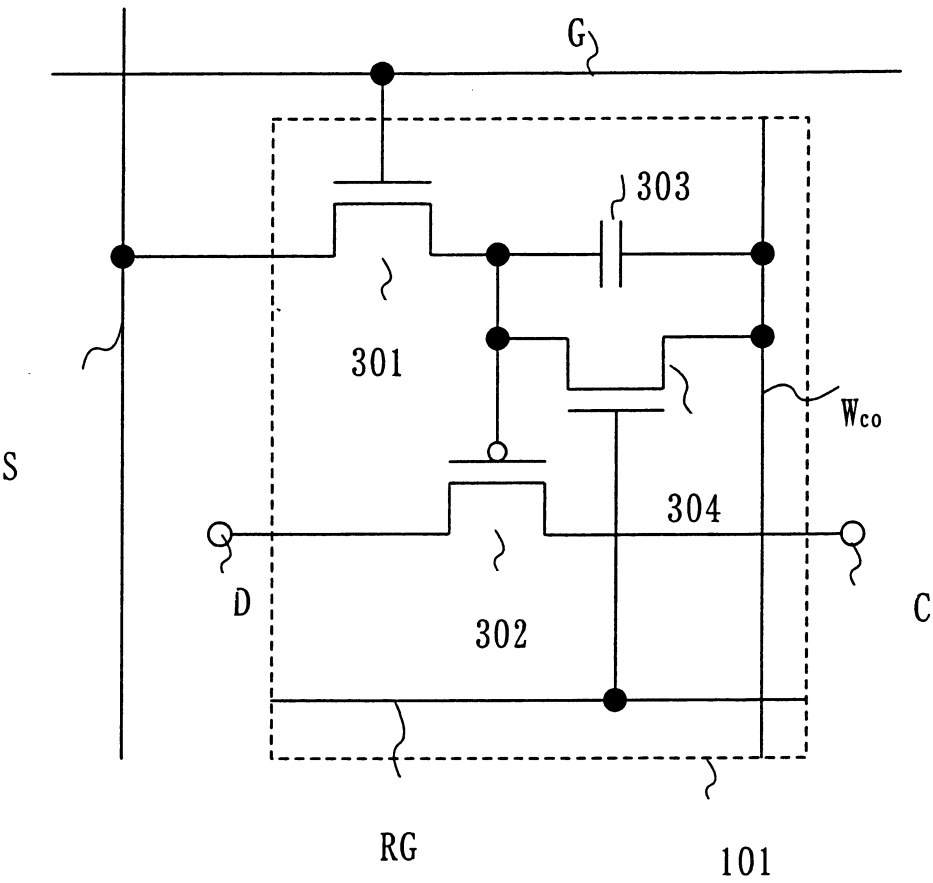


圖 14 第

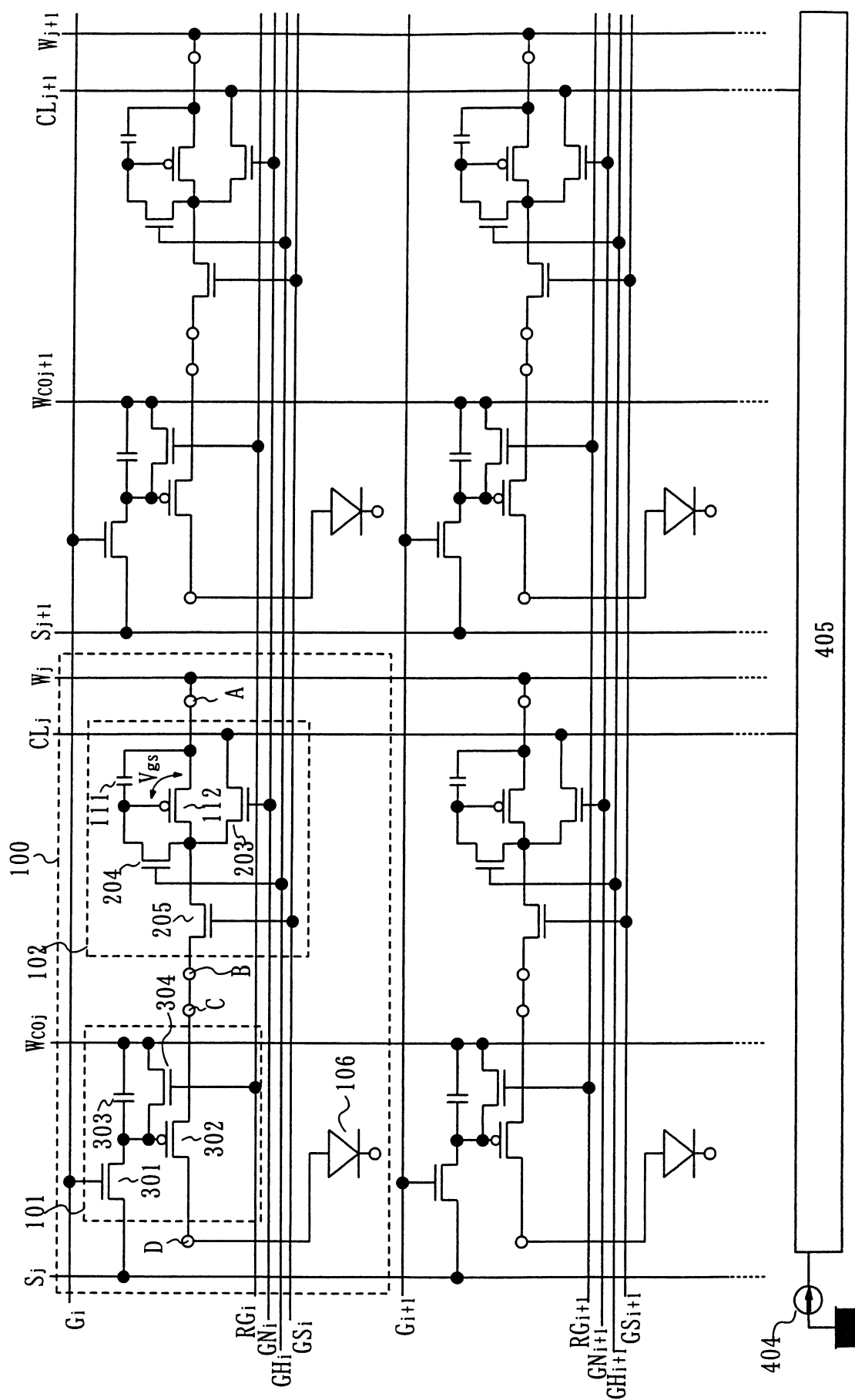
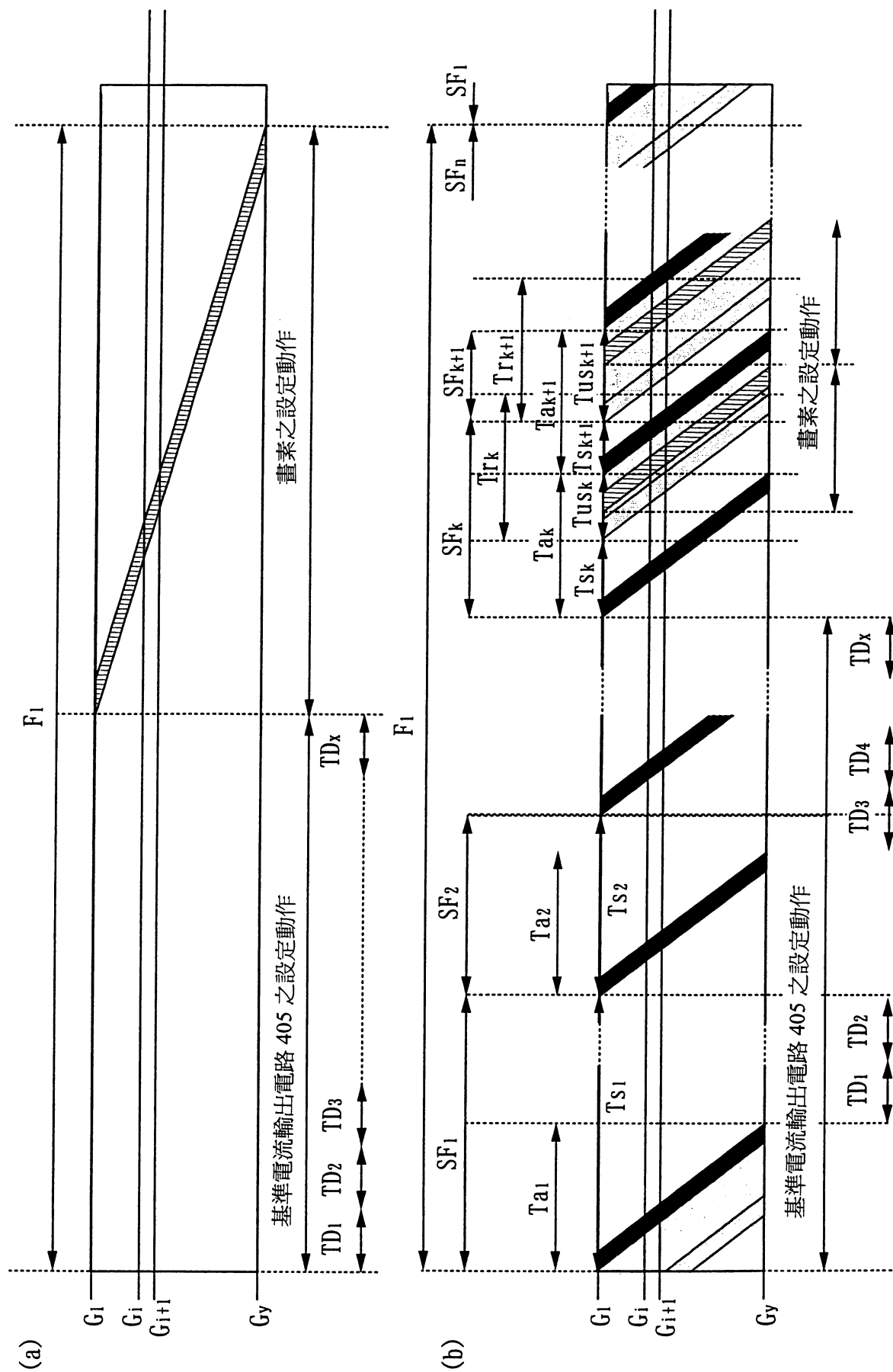
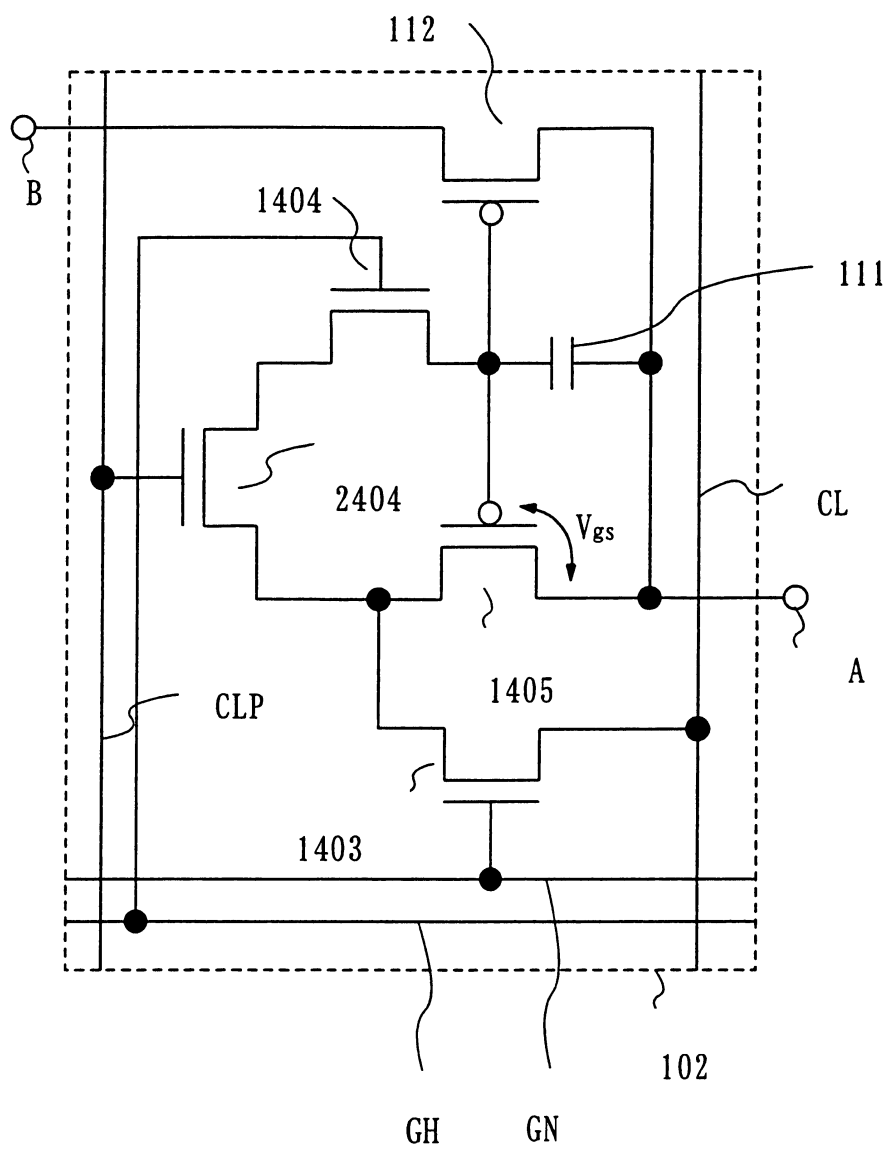


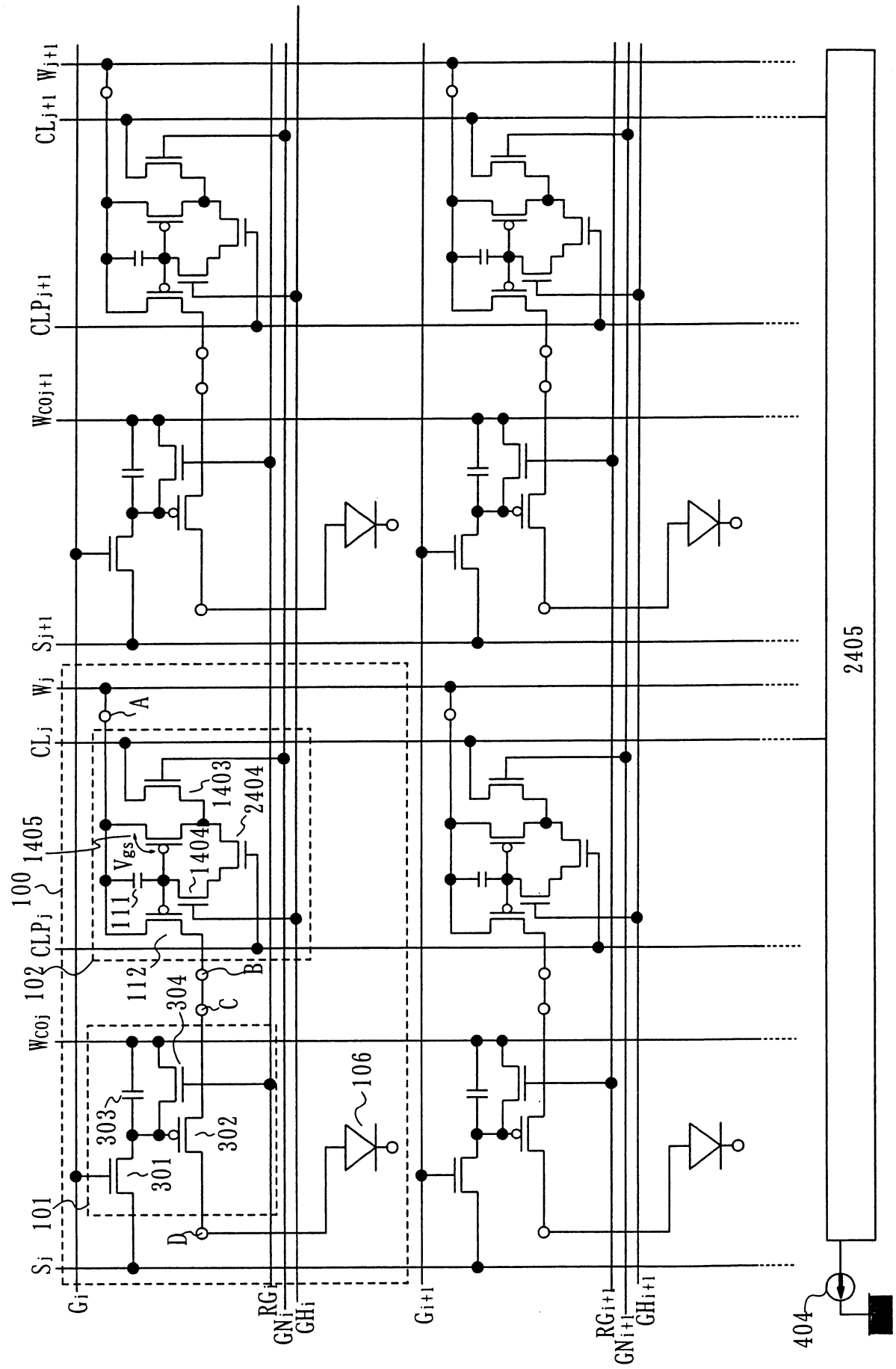
圖 15 第



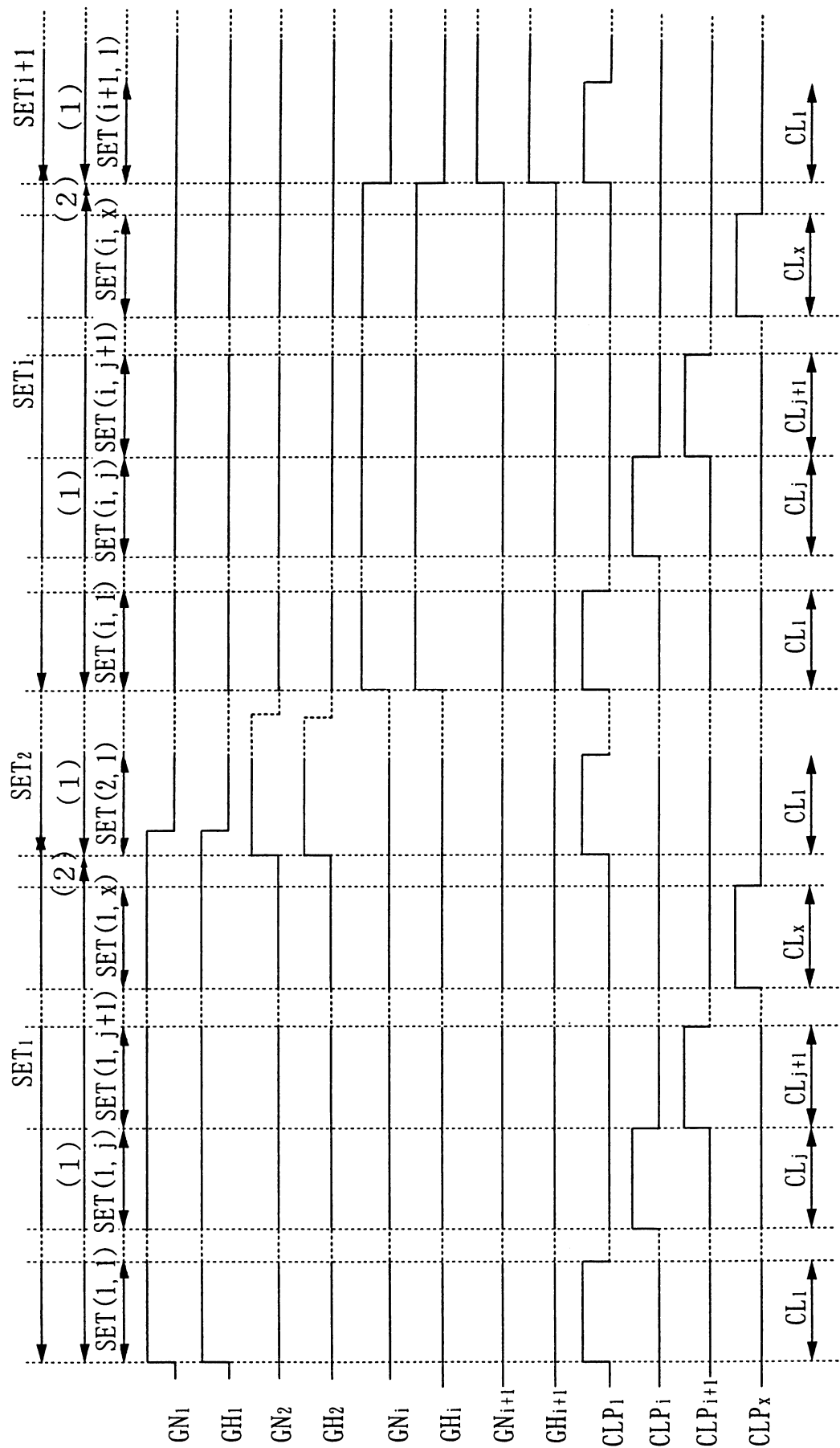
第 17 圖



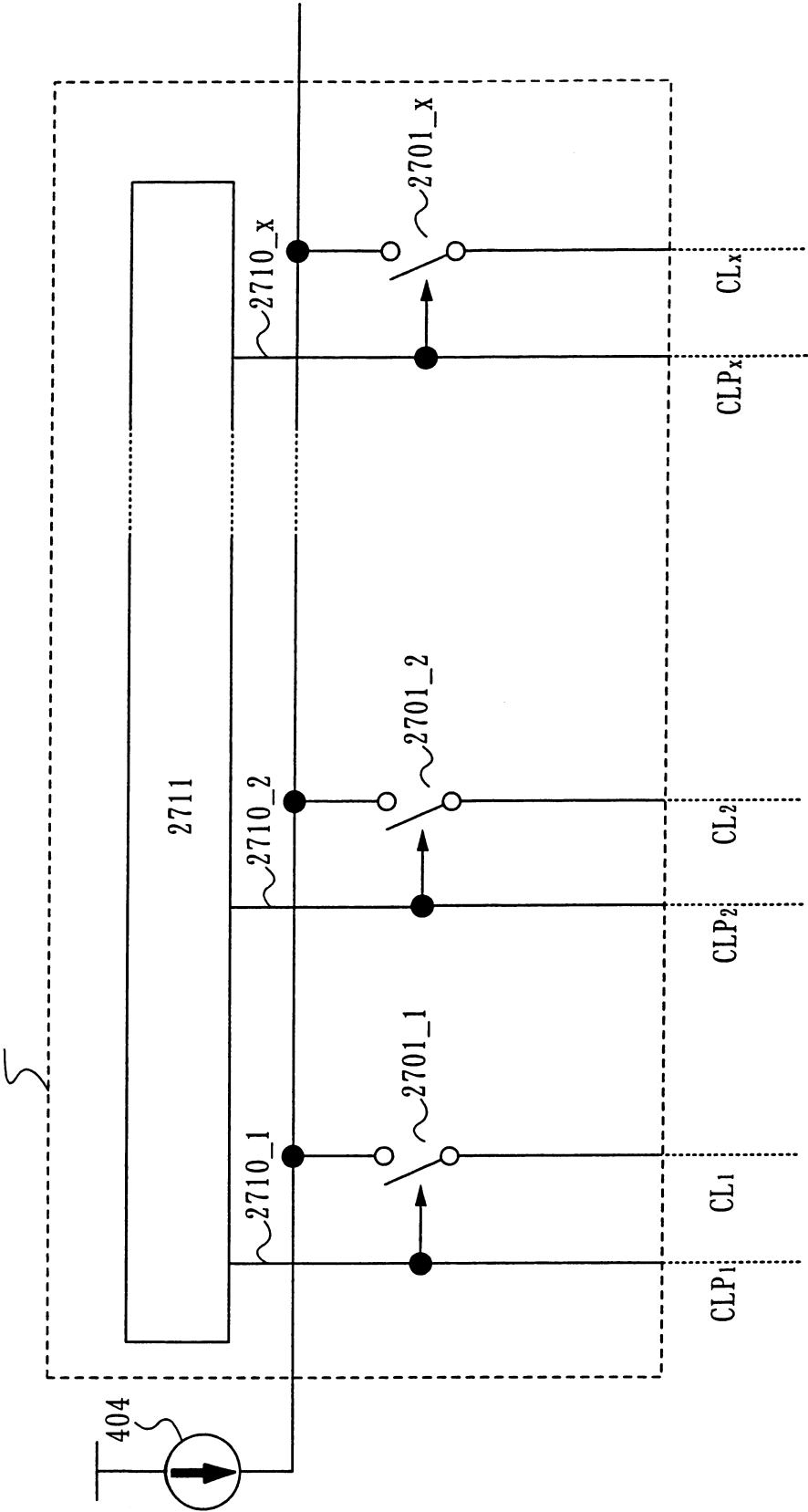
第 18 圖



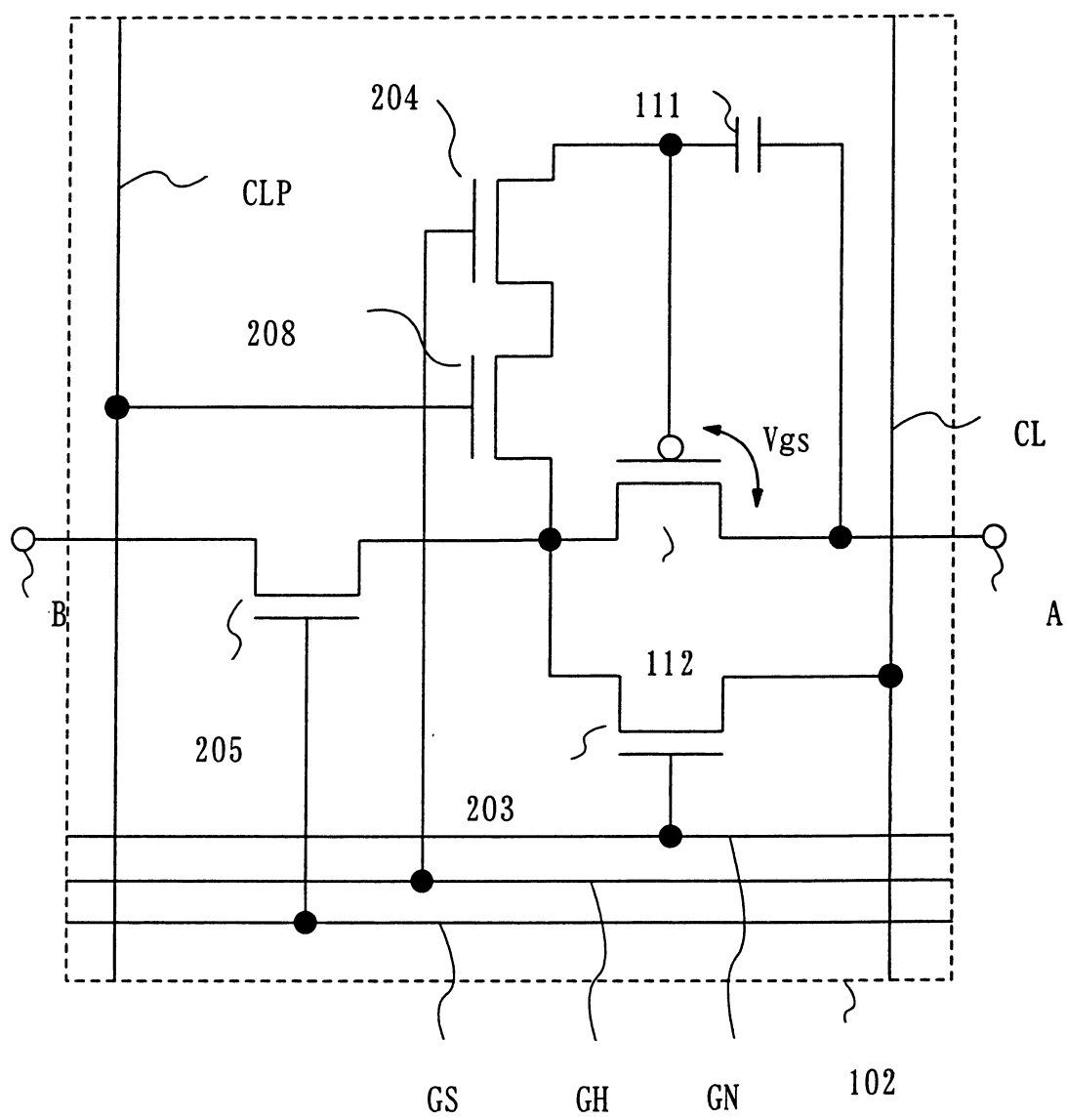
第 19 圖



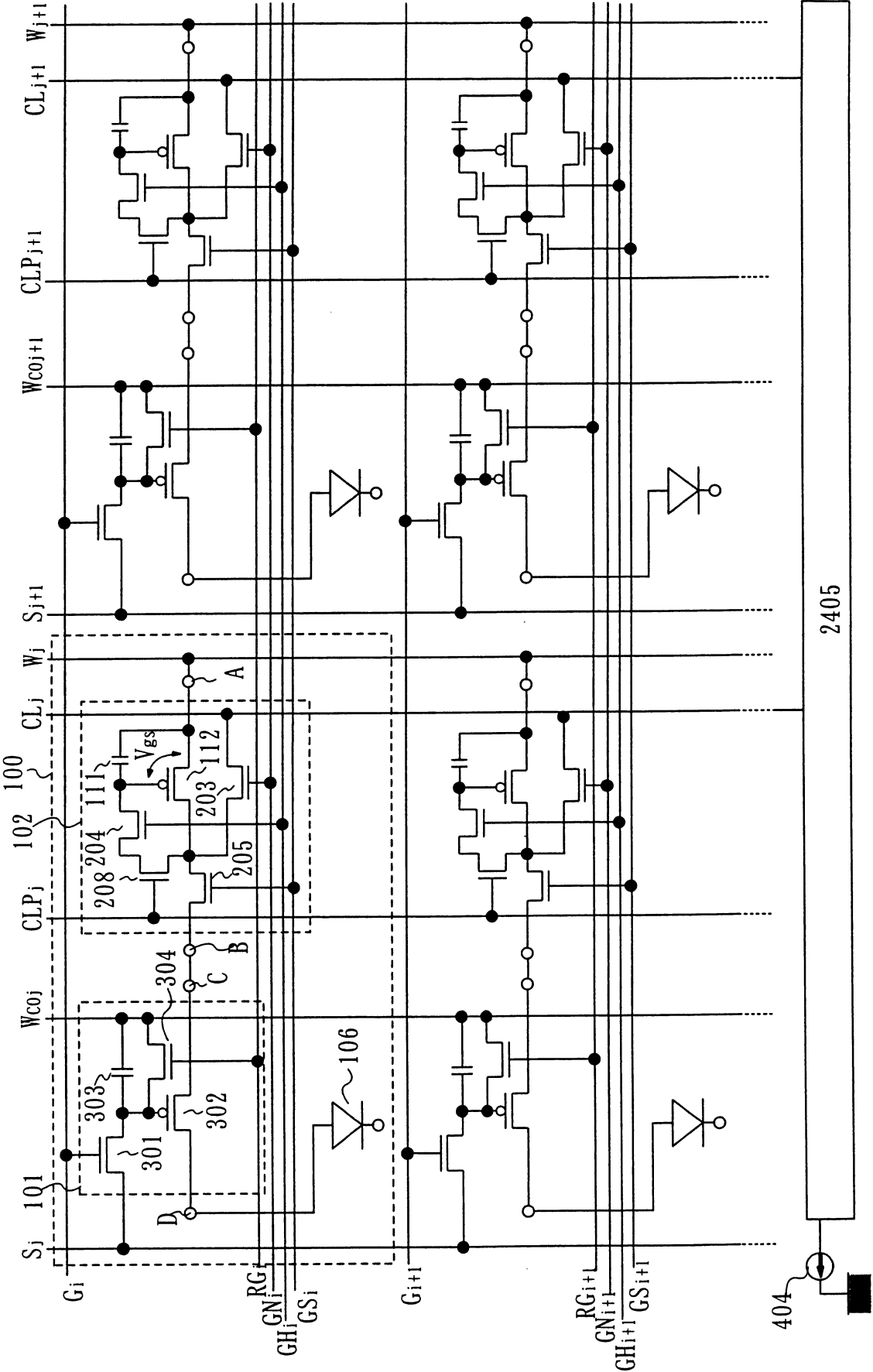
第 20 圖



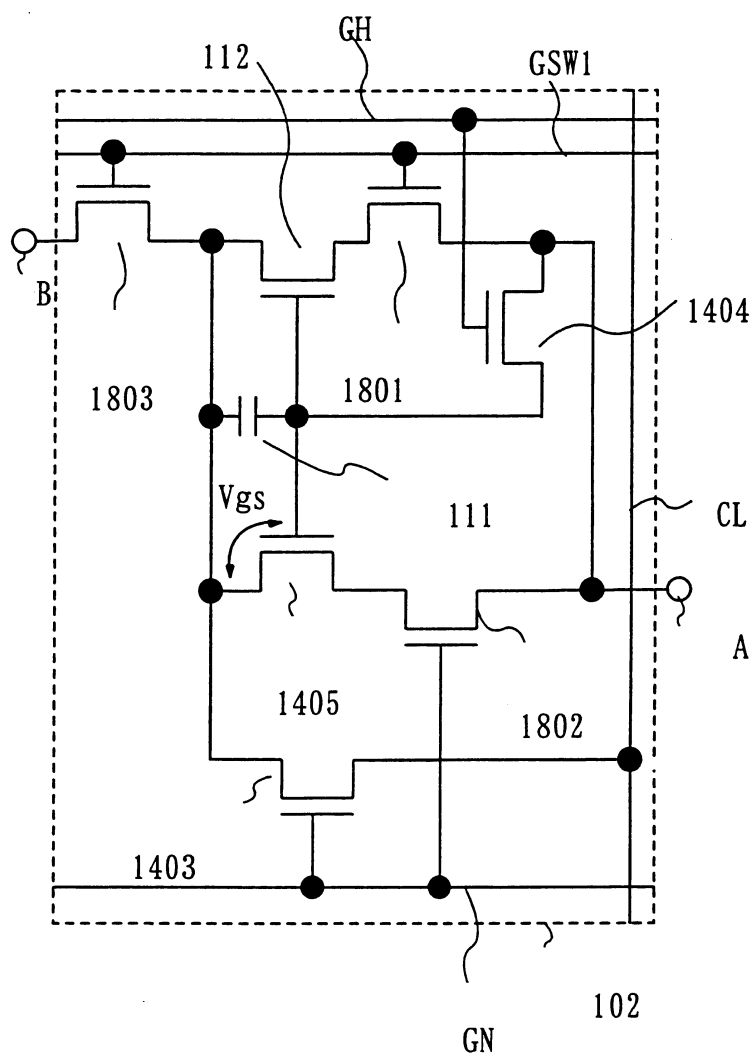
第 21 圖



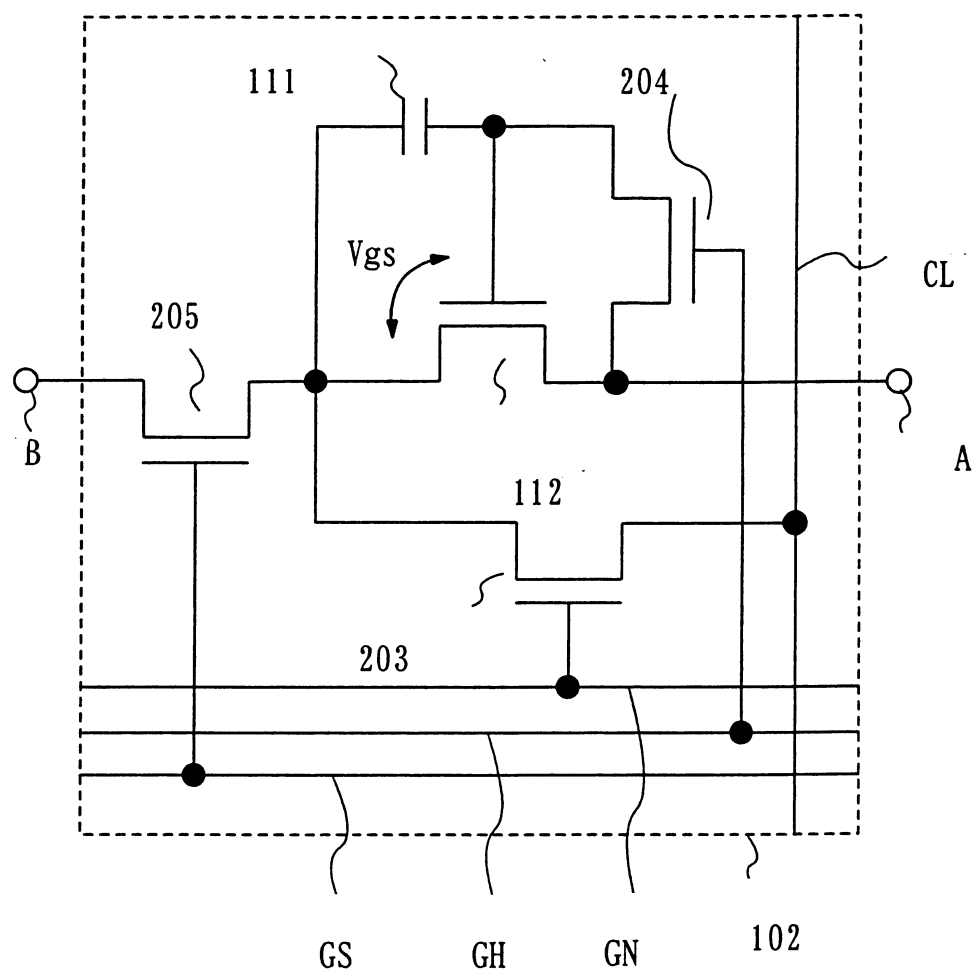
第 22 圖



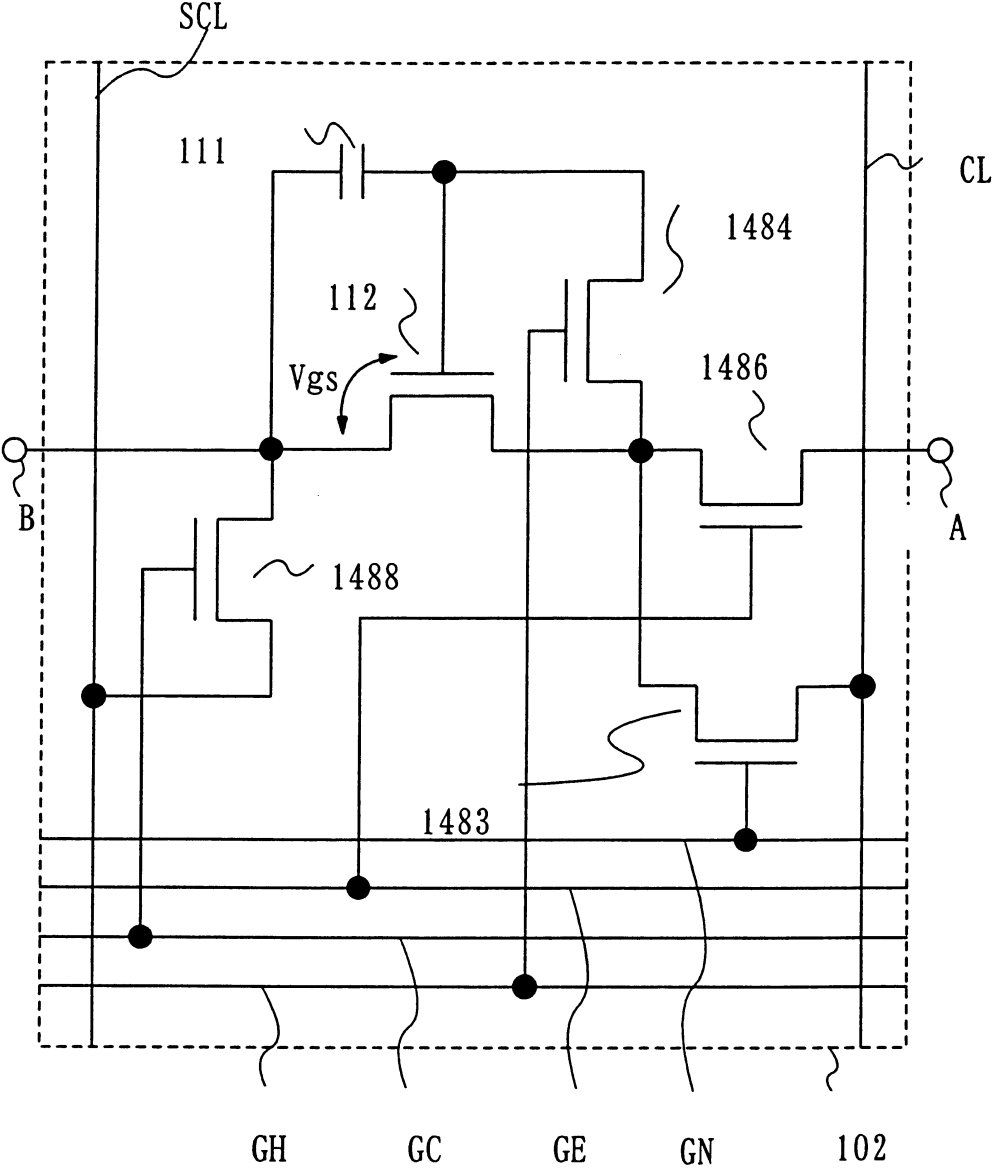
第 23 圖



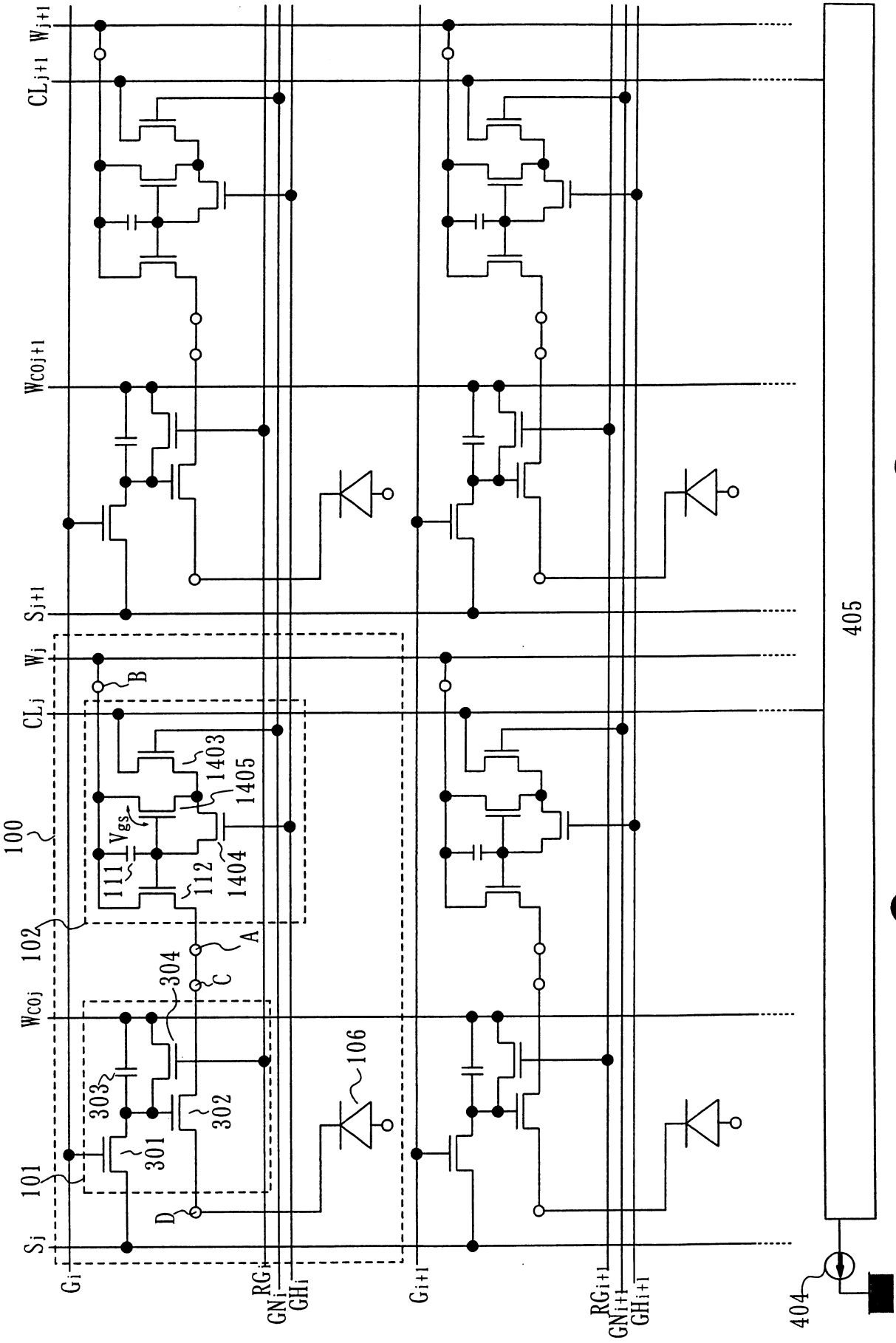
第 24 圖



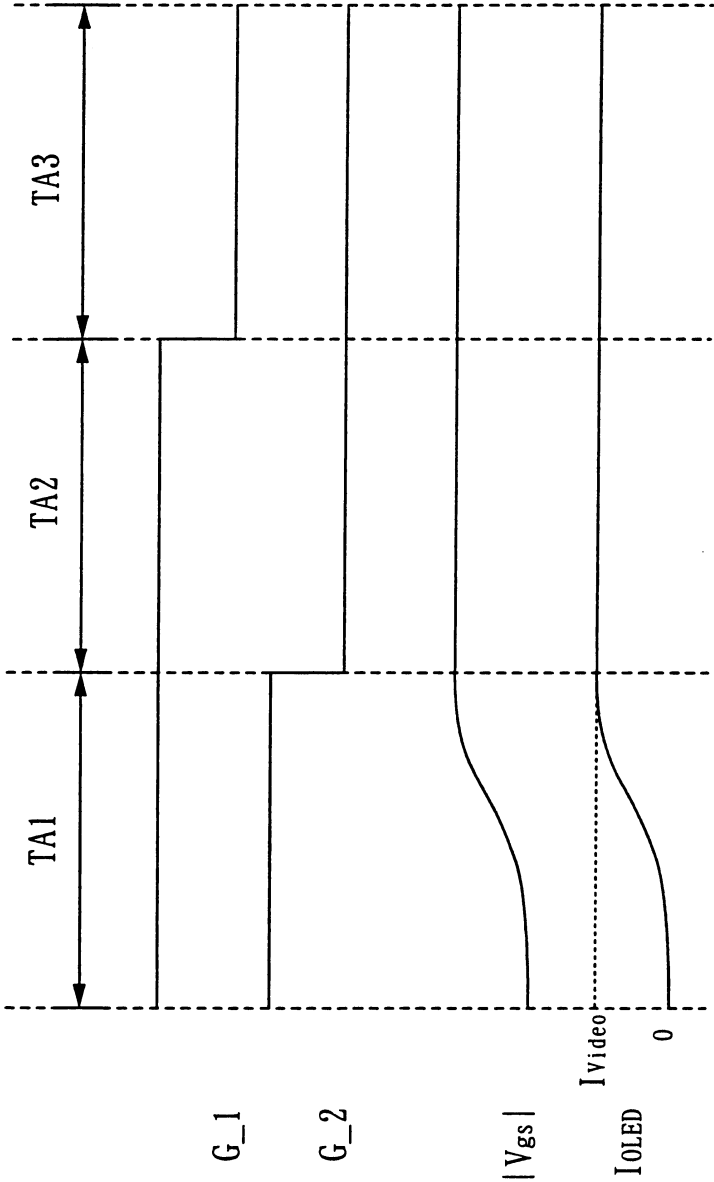
第 25 圖



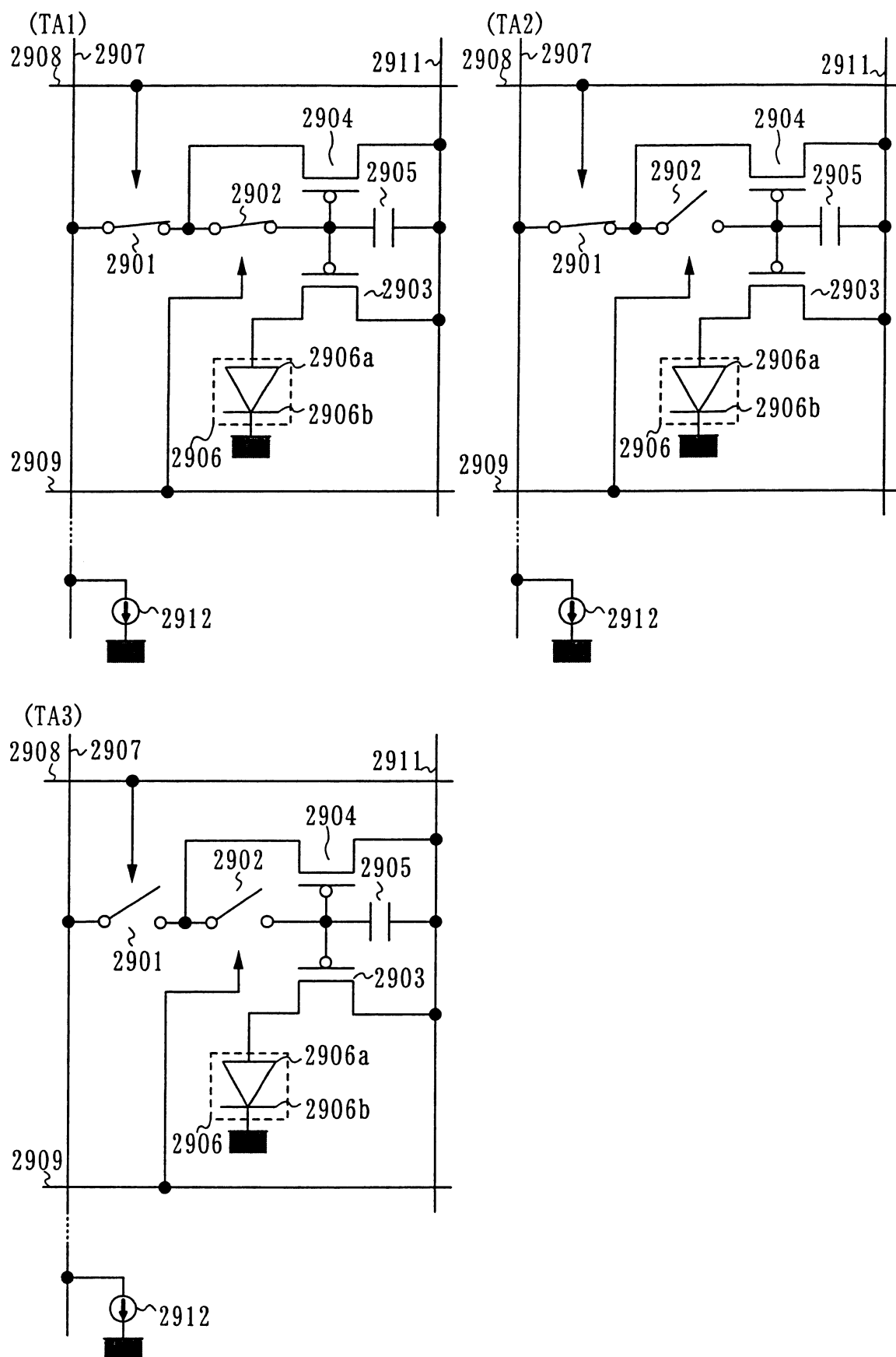
第 26 圖



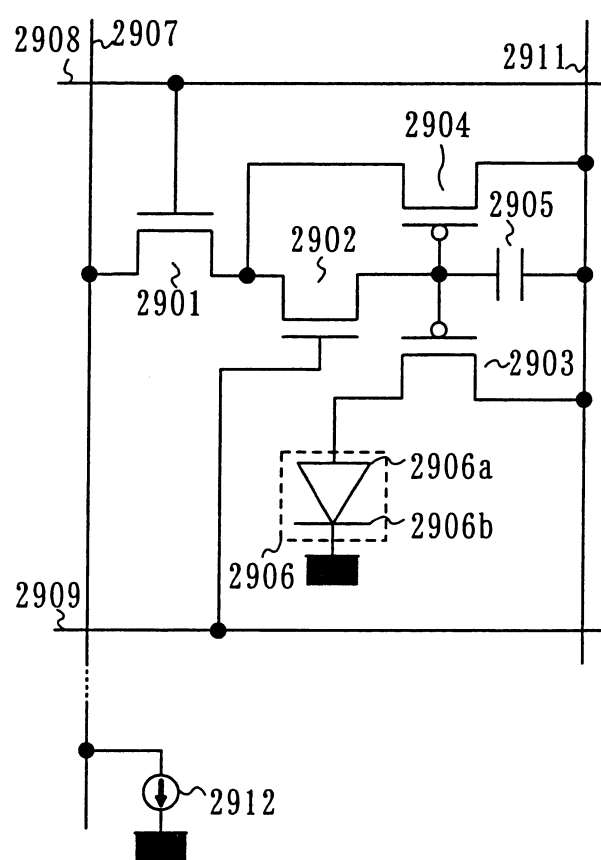
第 27 圖



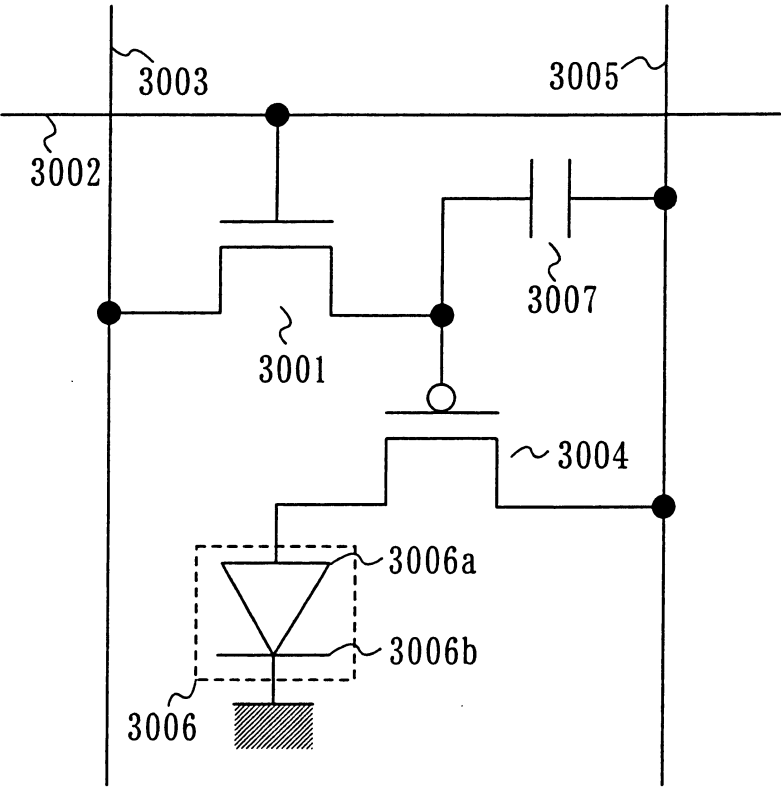
第 28 圖



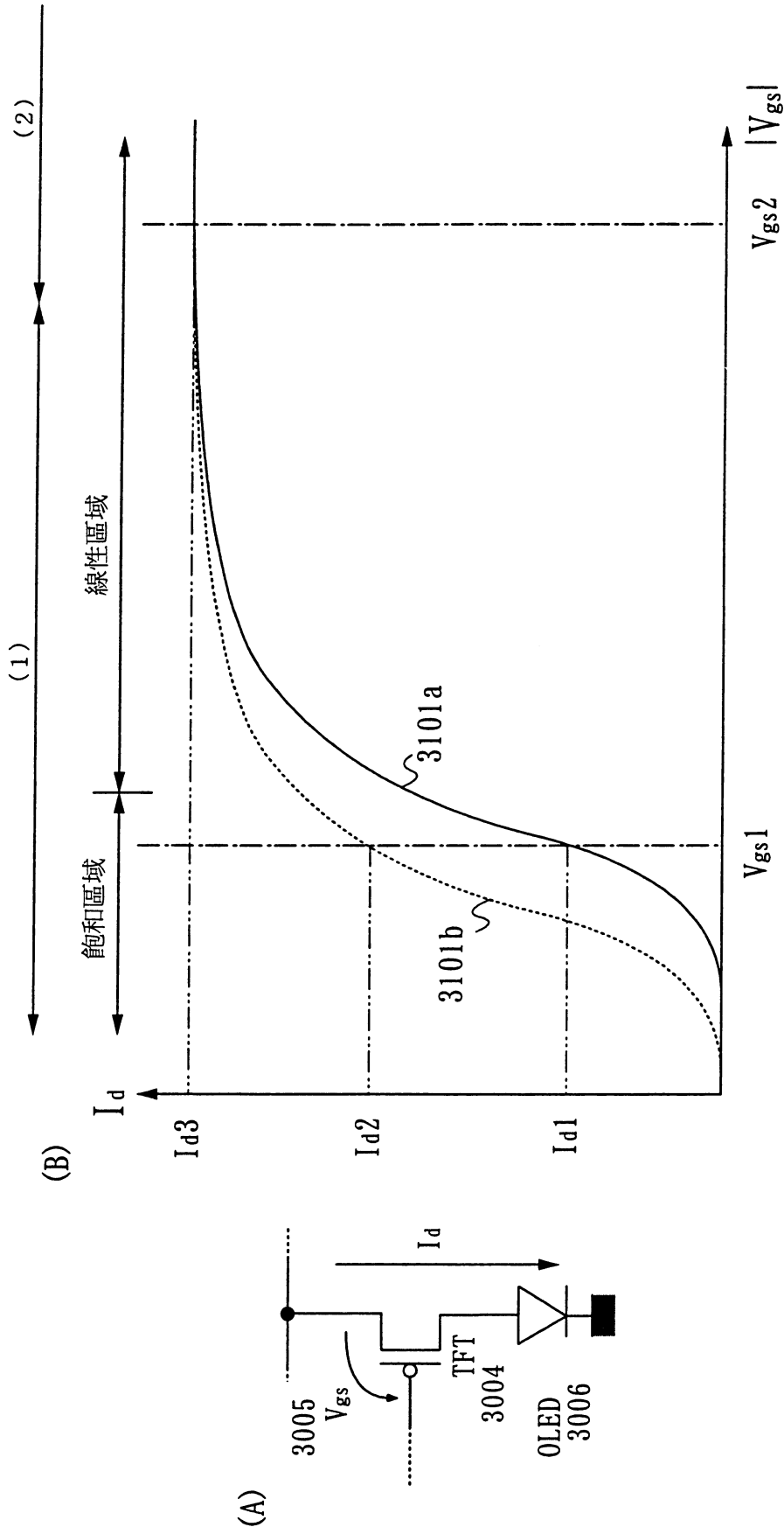
第 29 圖



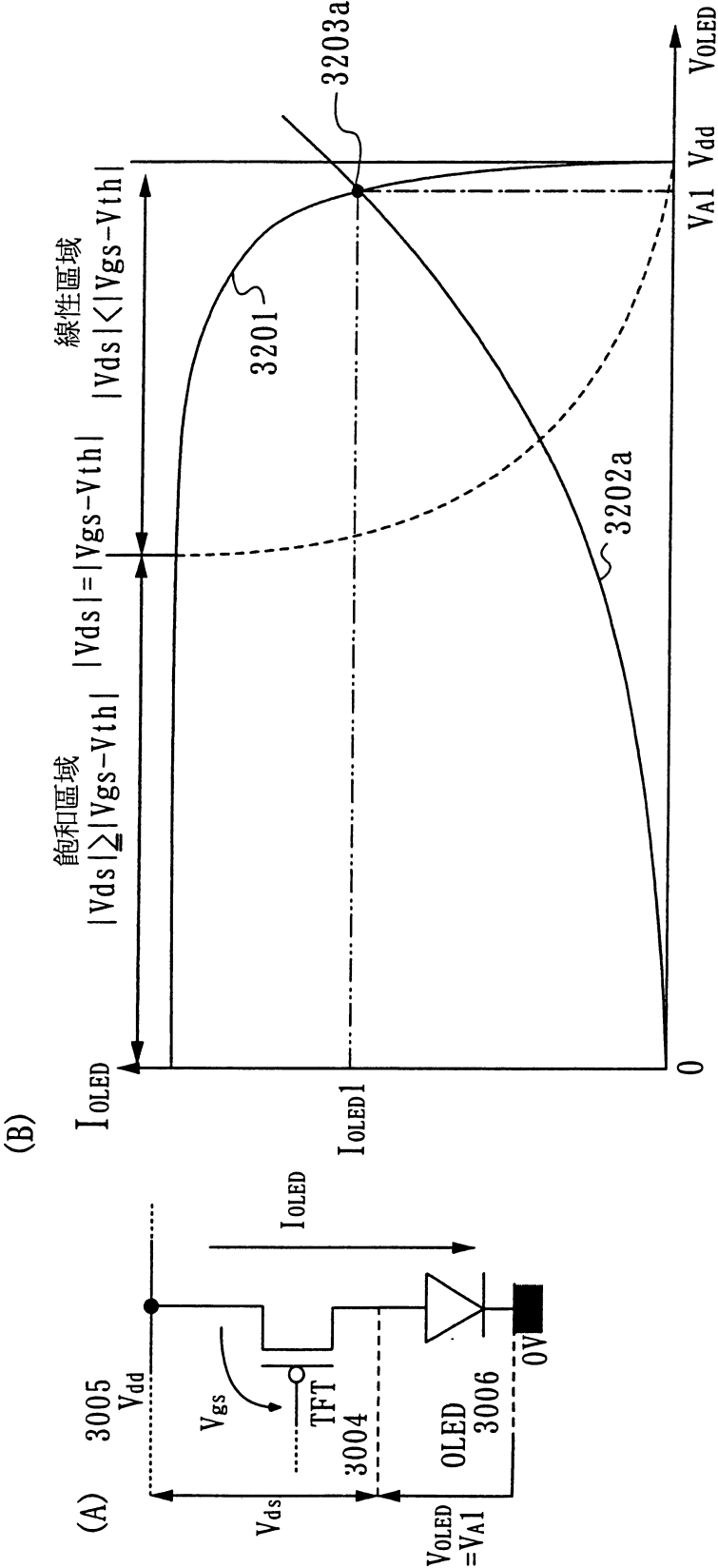
第 30 圖



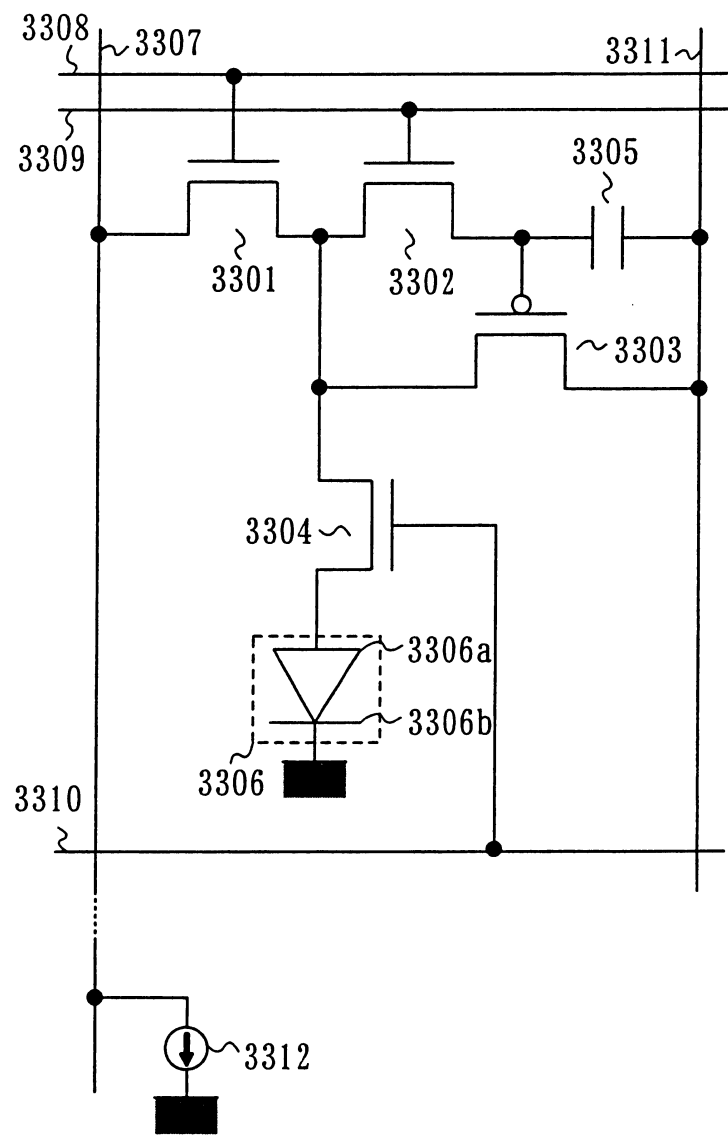
第 31 圖



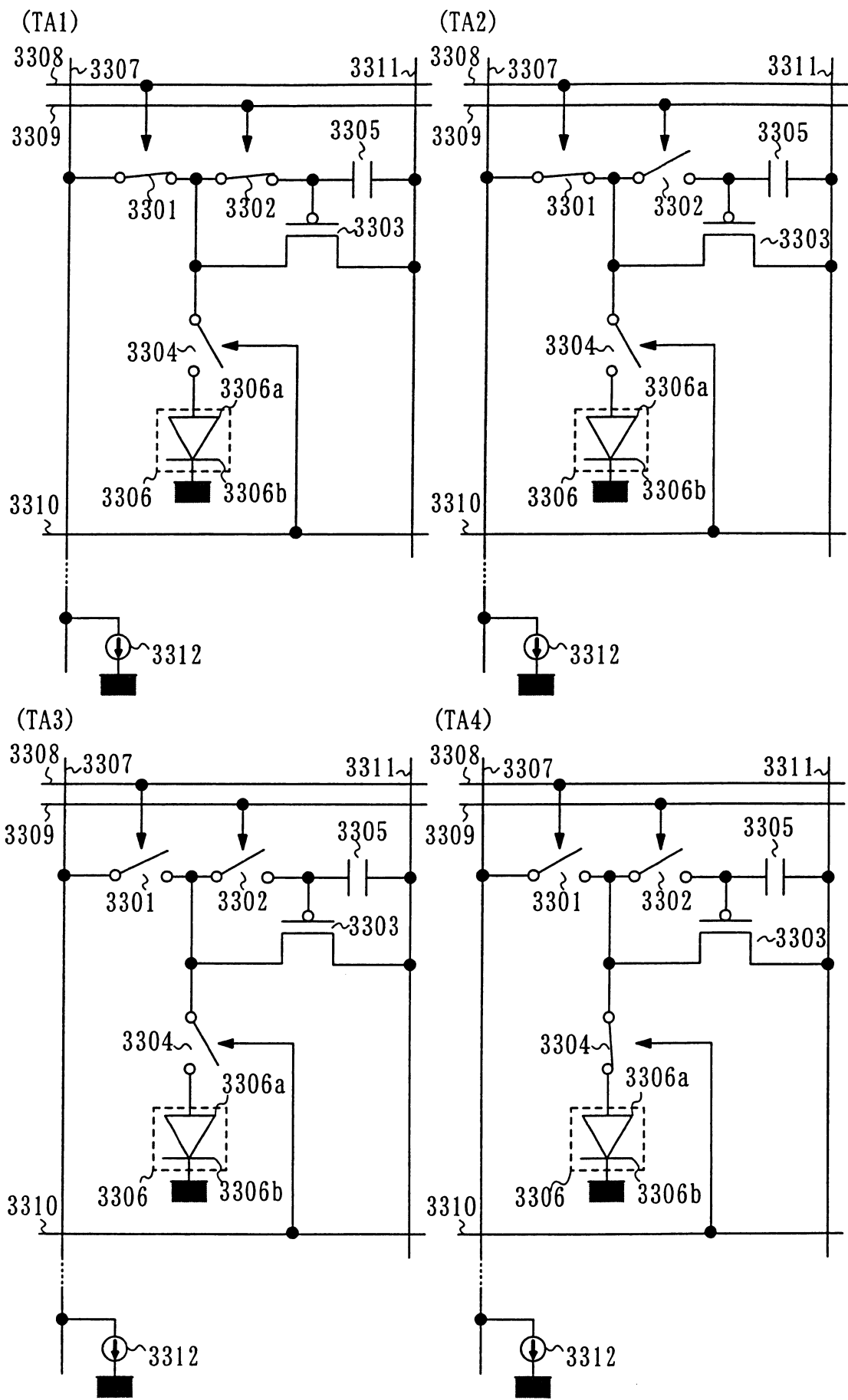
第 32 圖



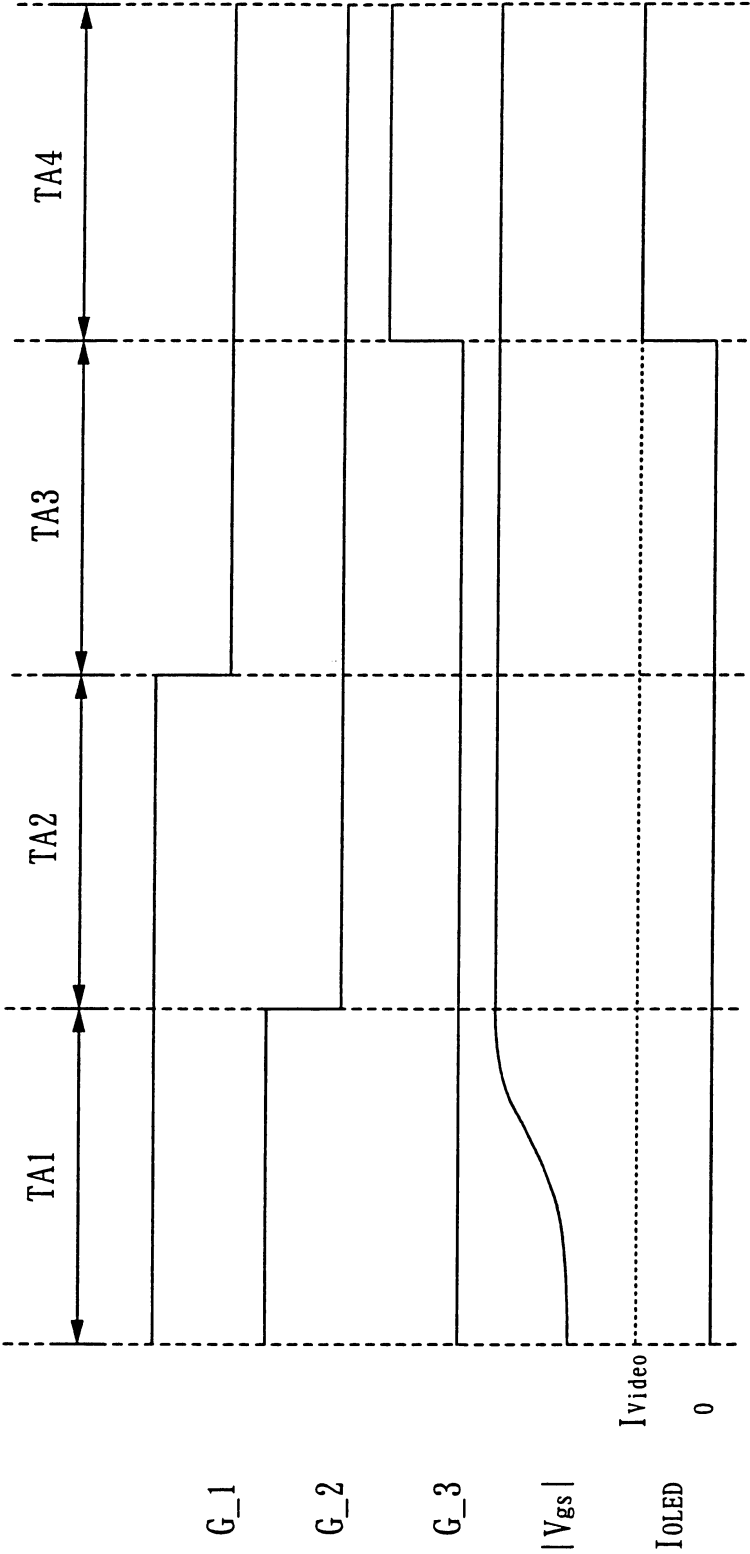
第 33 圖



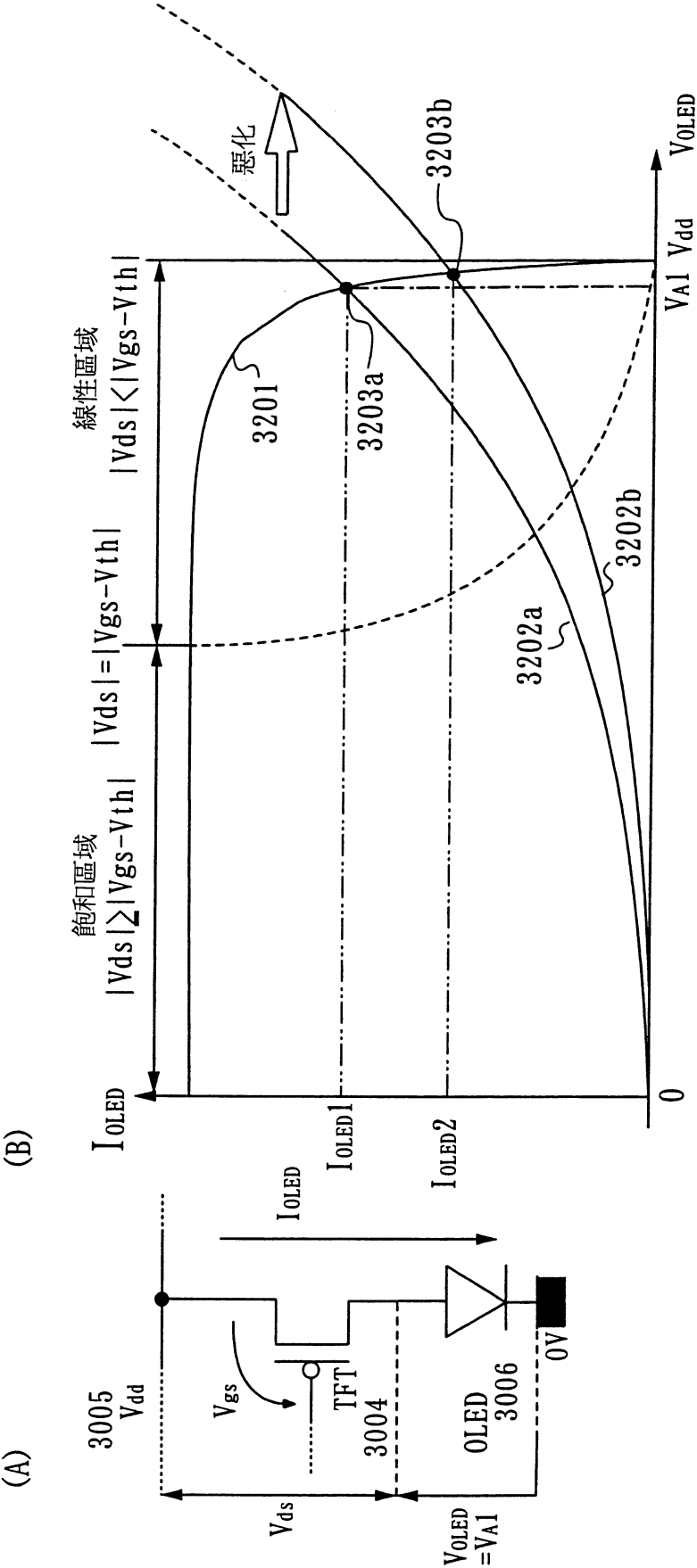
第 34 圖



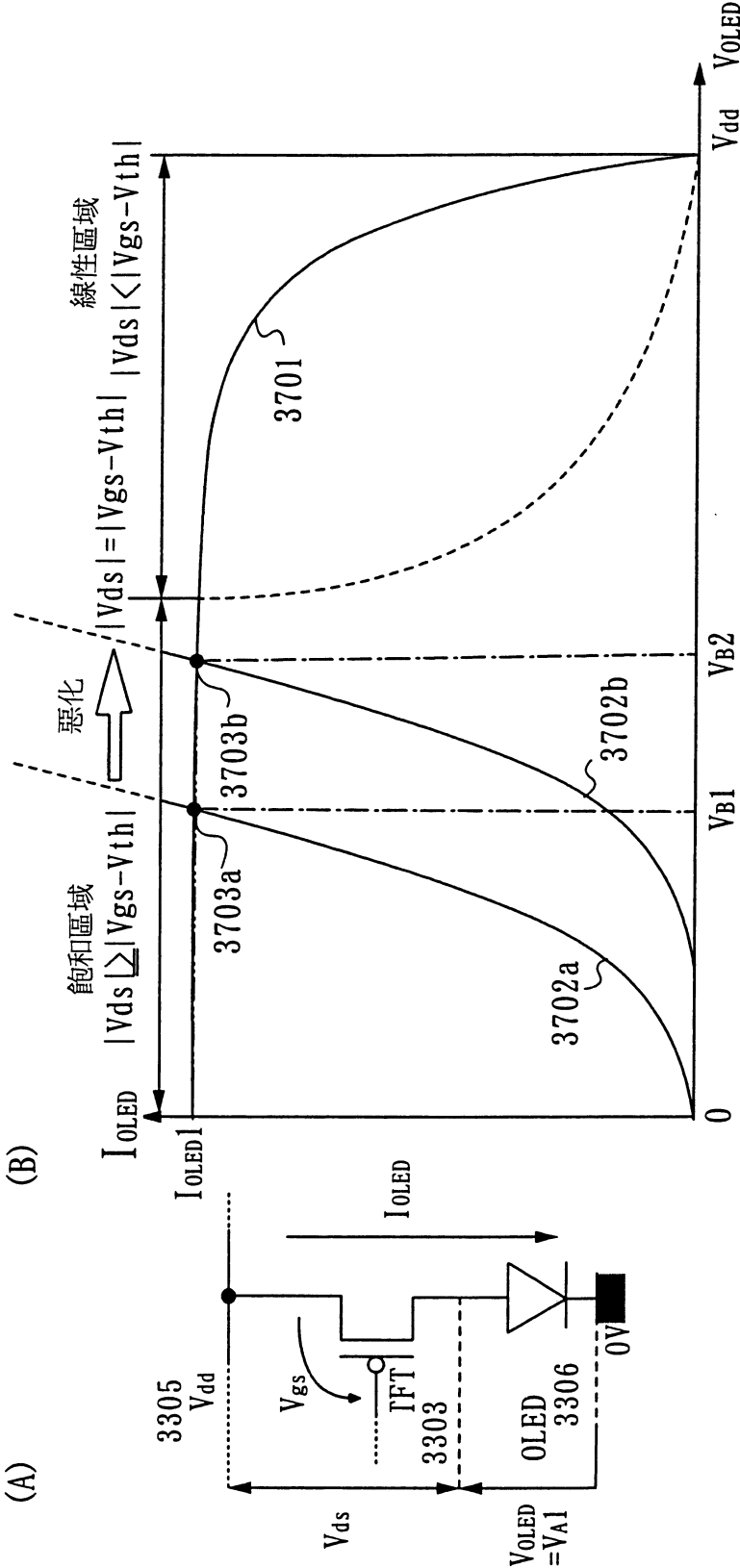
第 35 圖



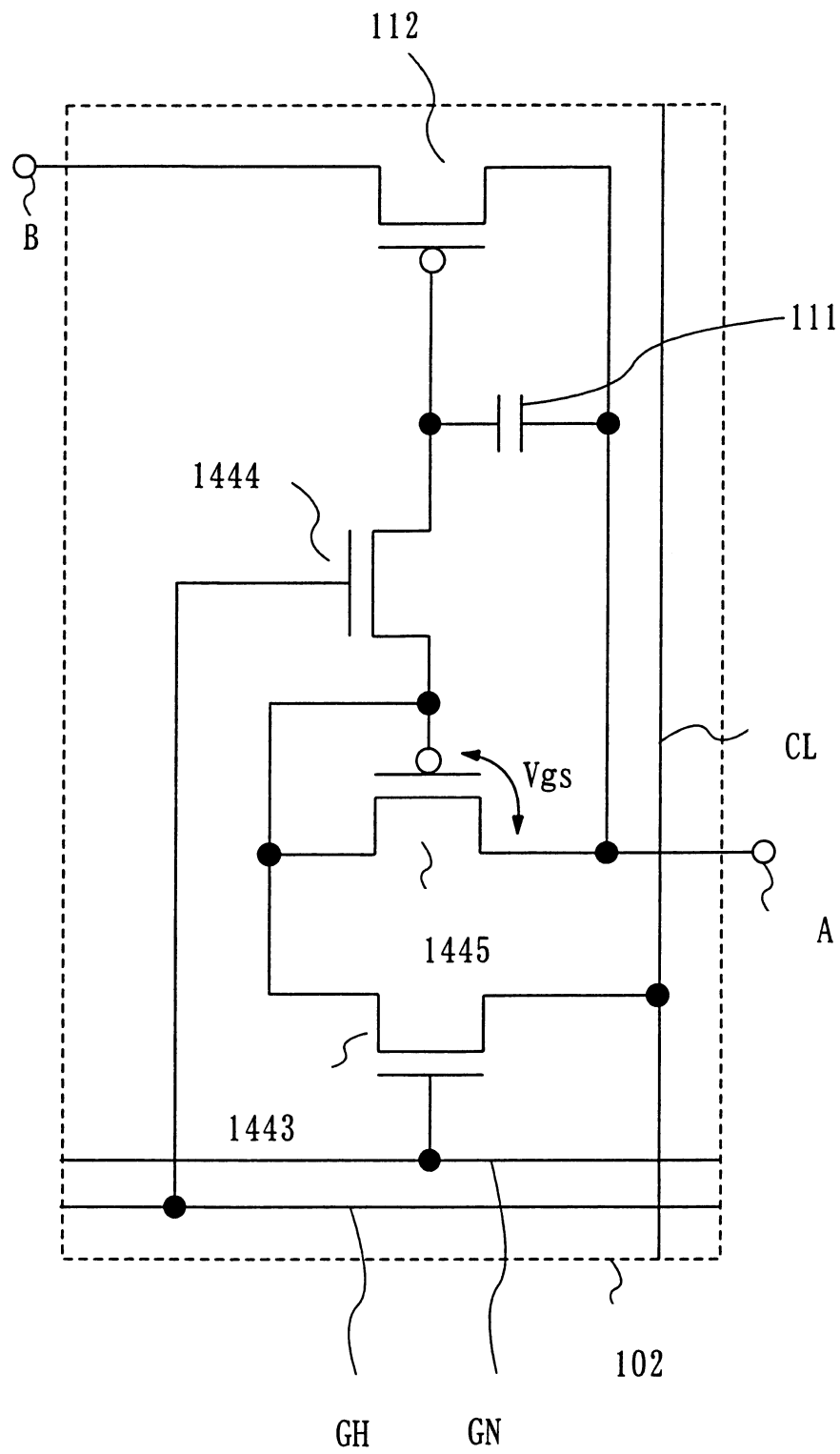
第 36 圖



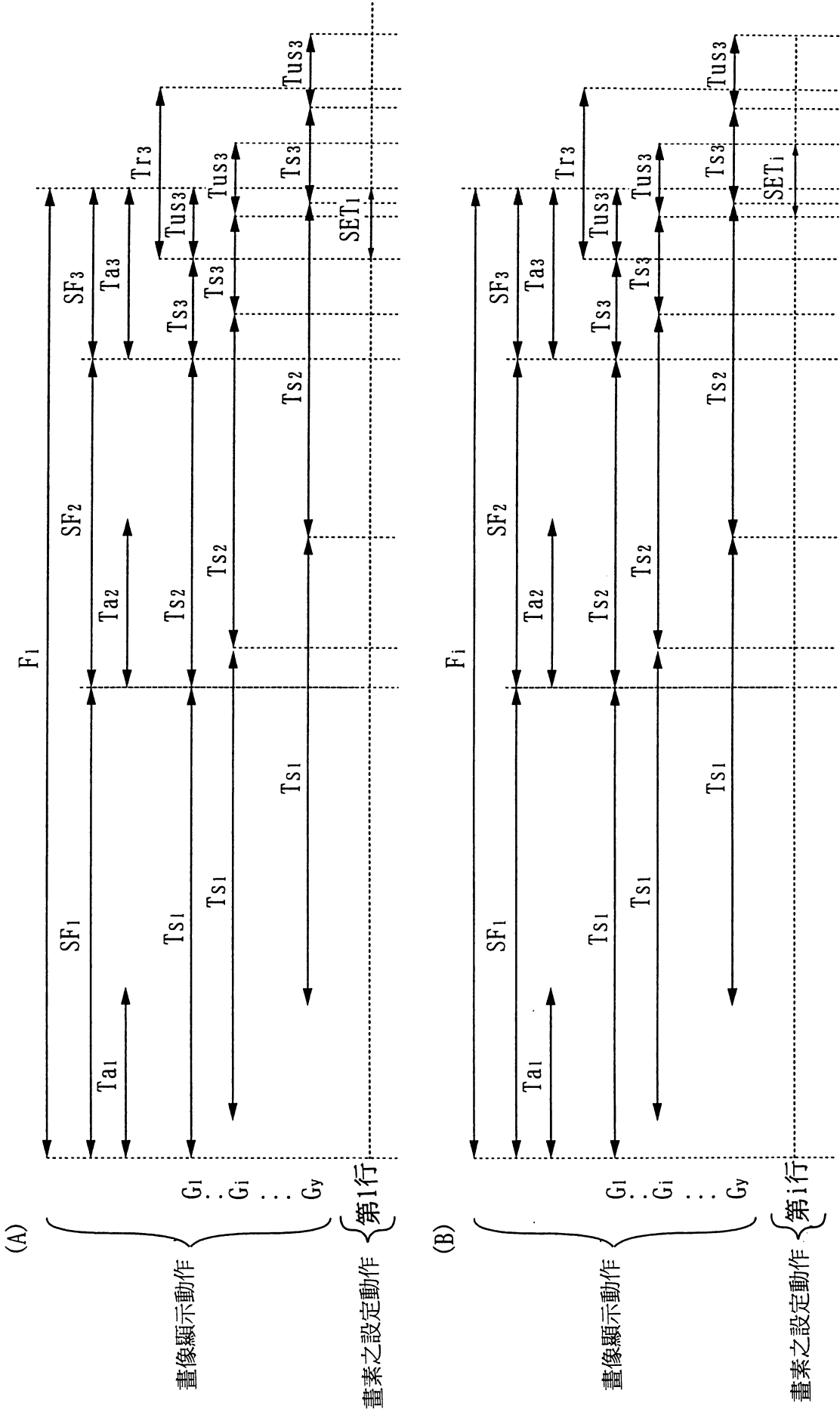
第 37 圖



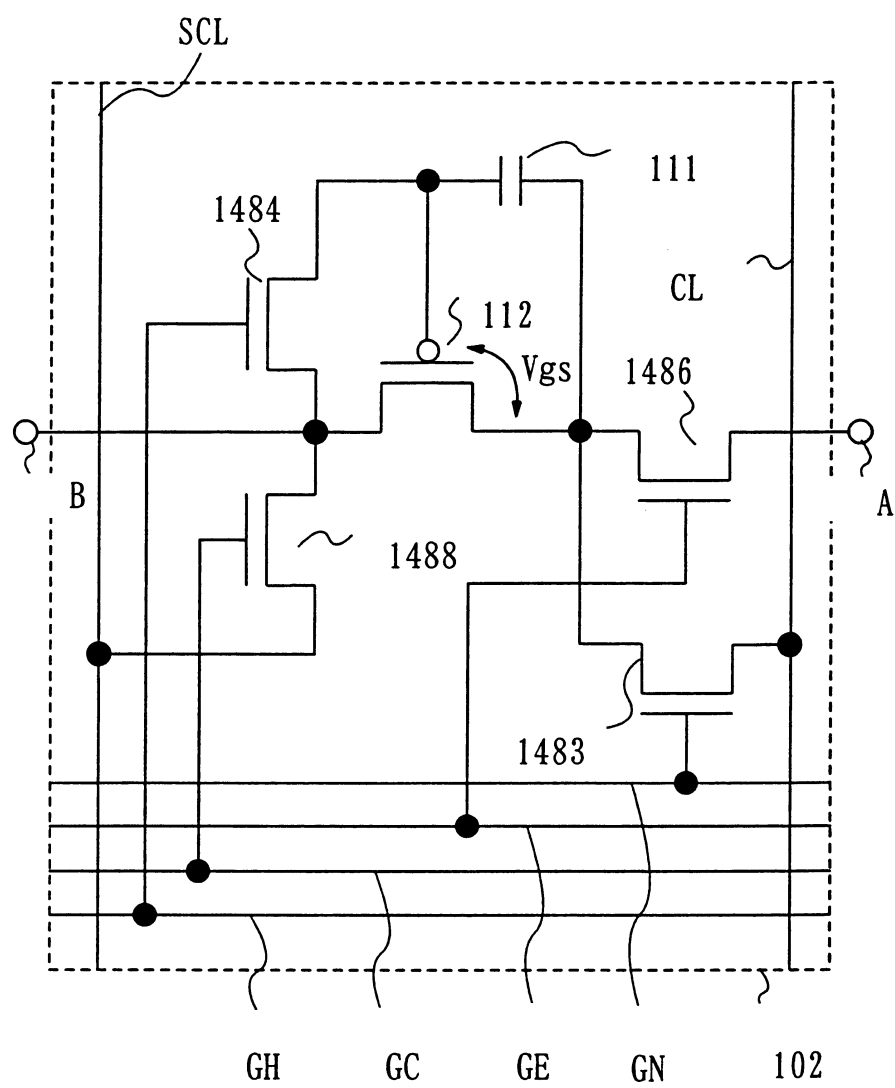
第 38 圖



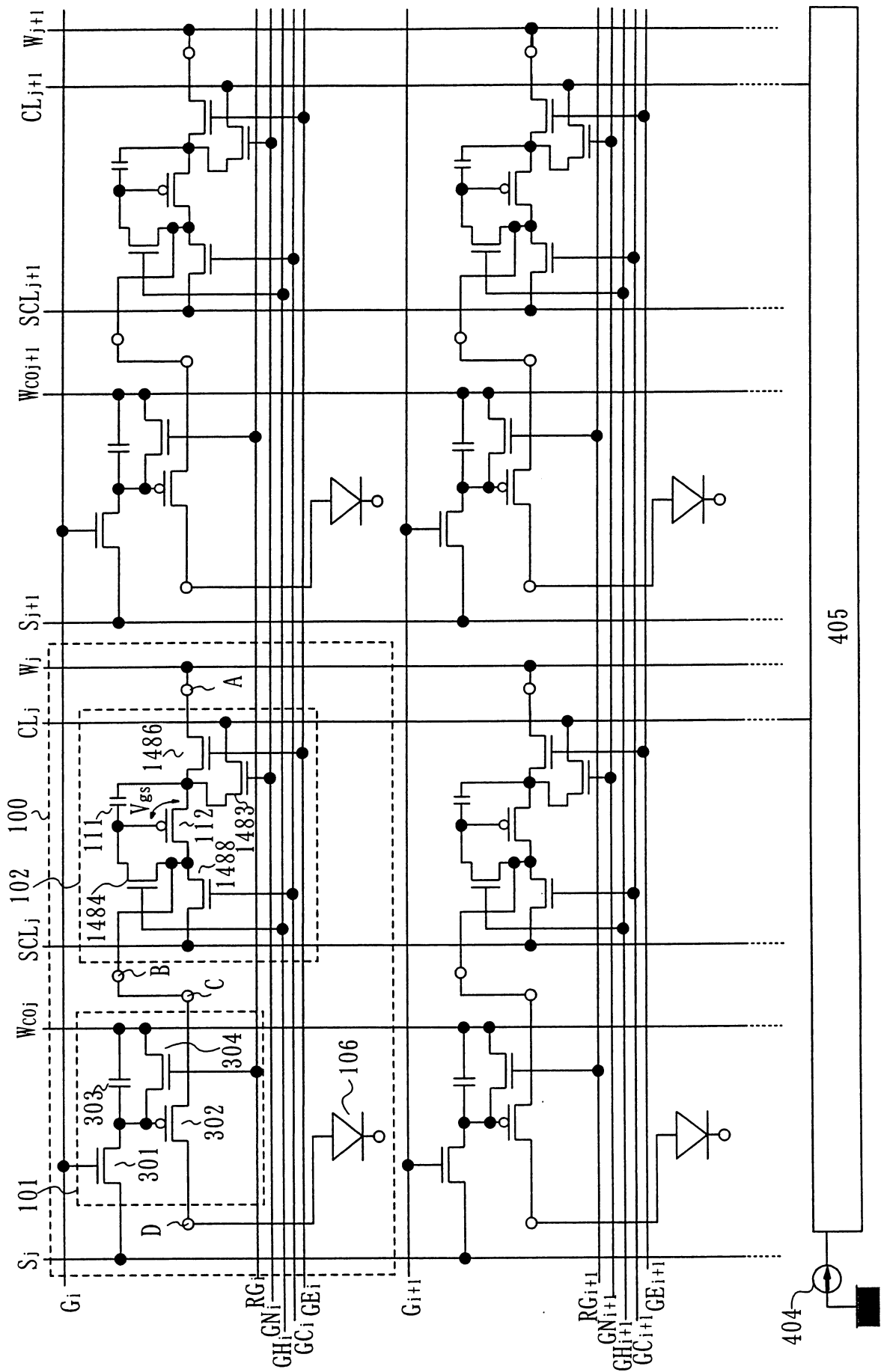
第 40 圖



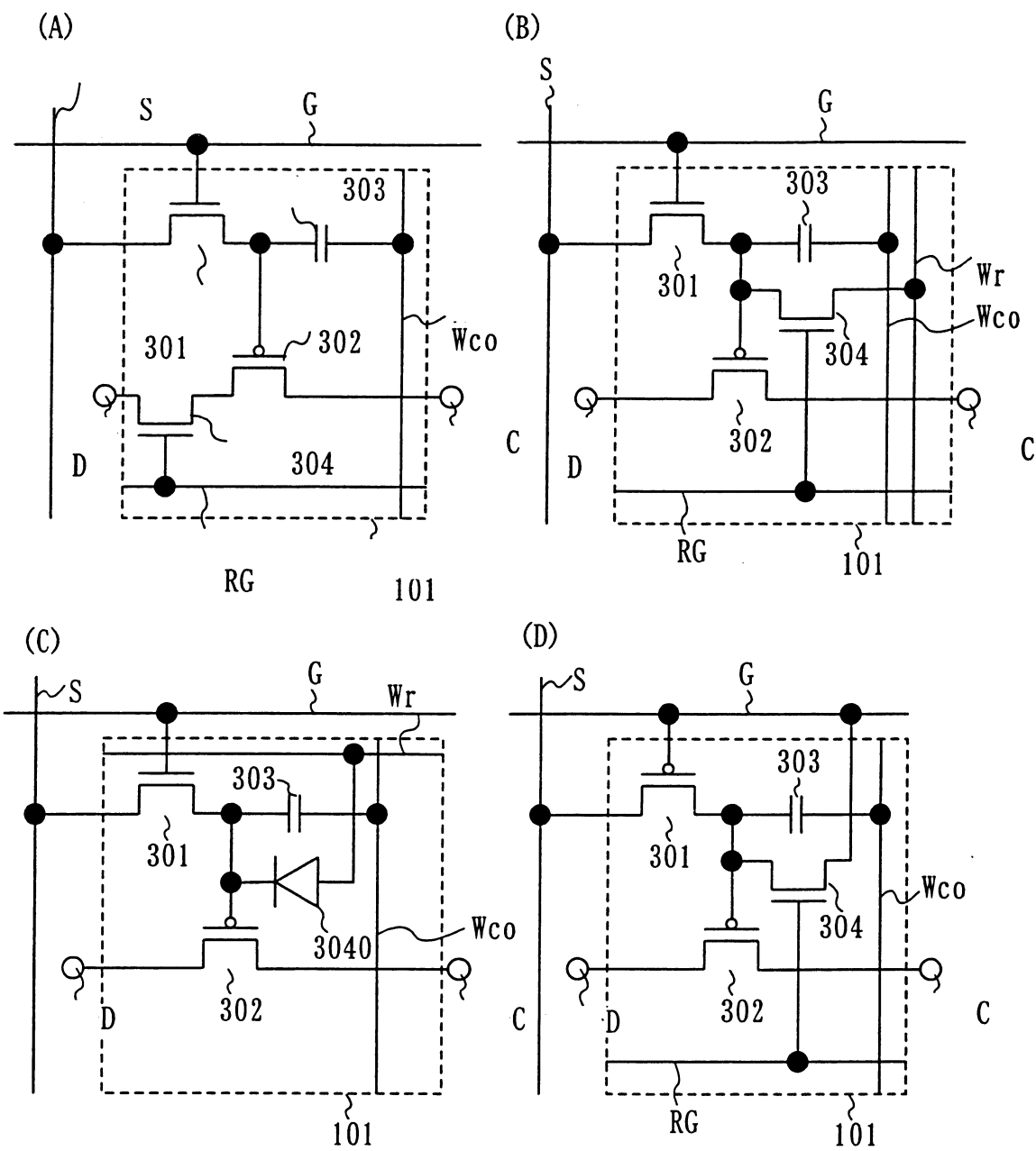
第 41 圖



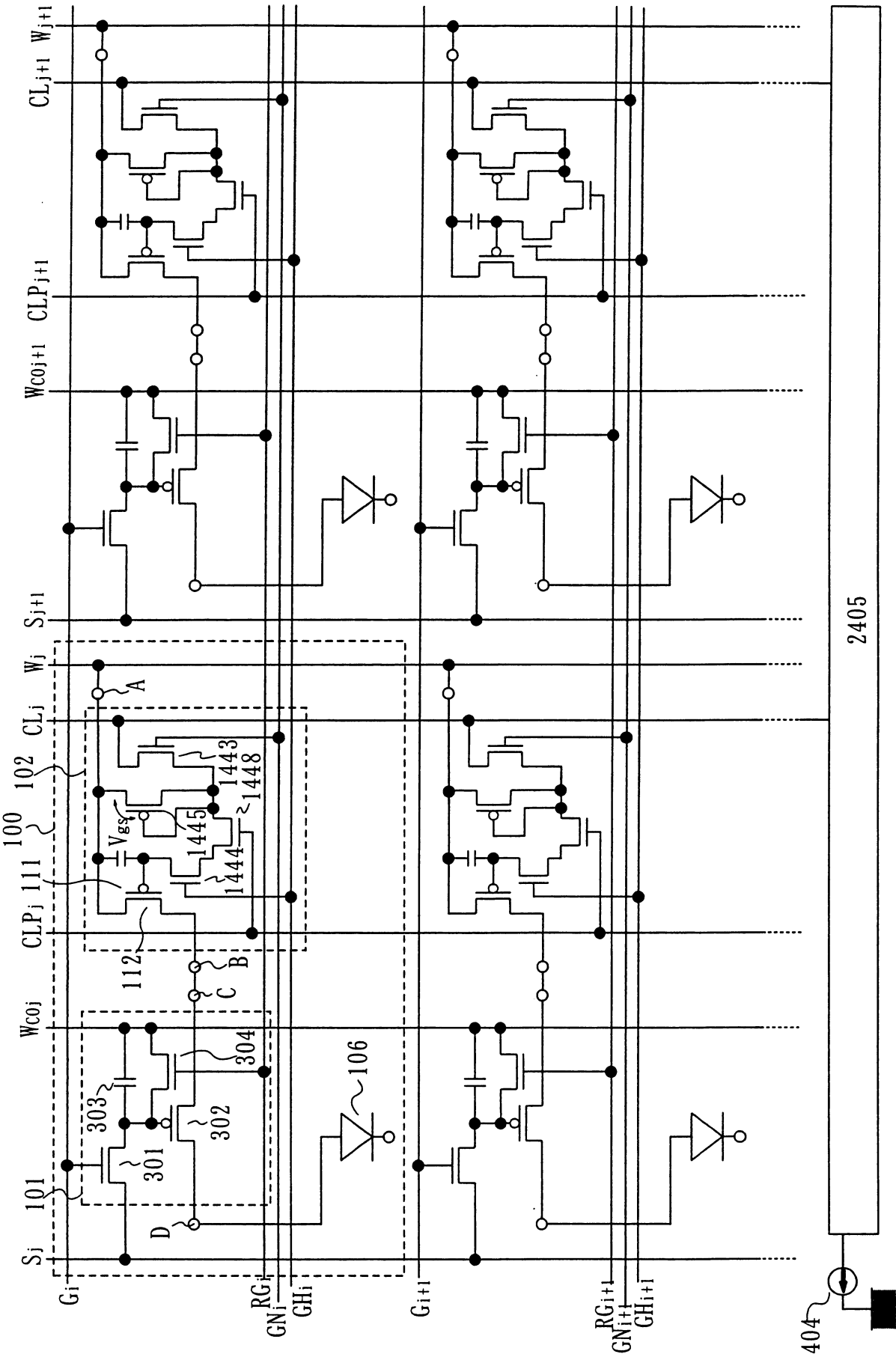
第 42 圖



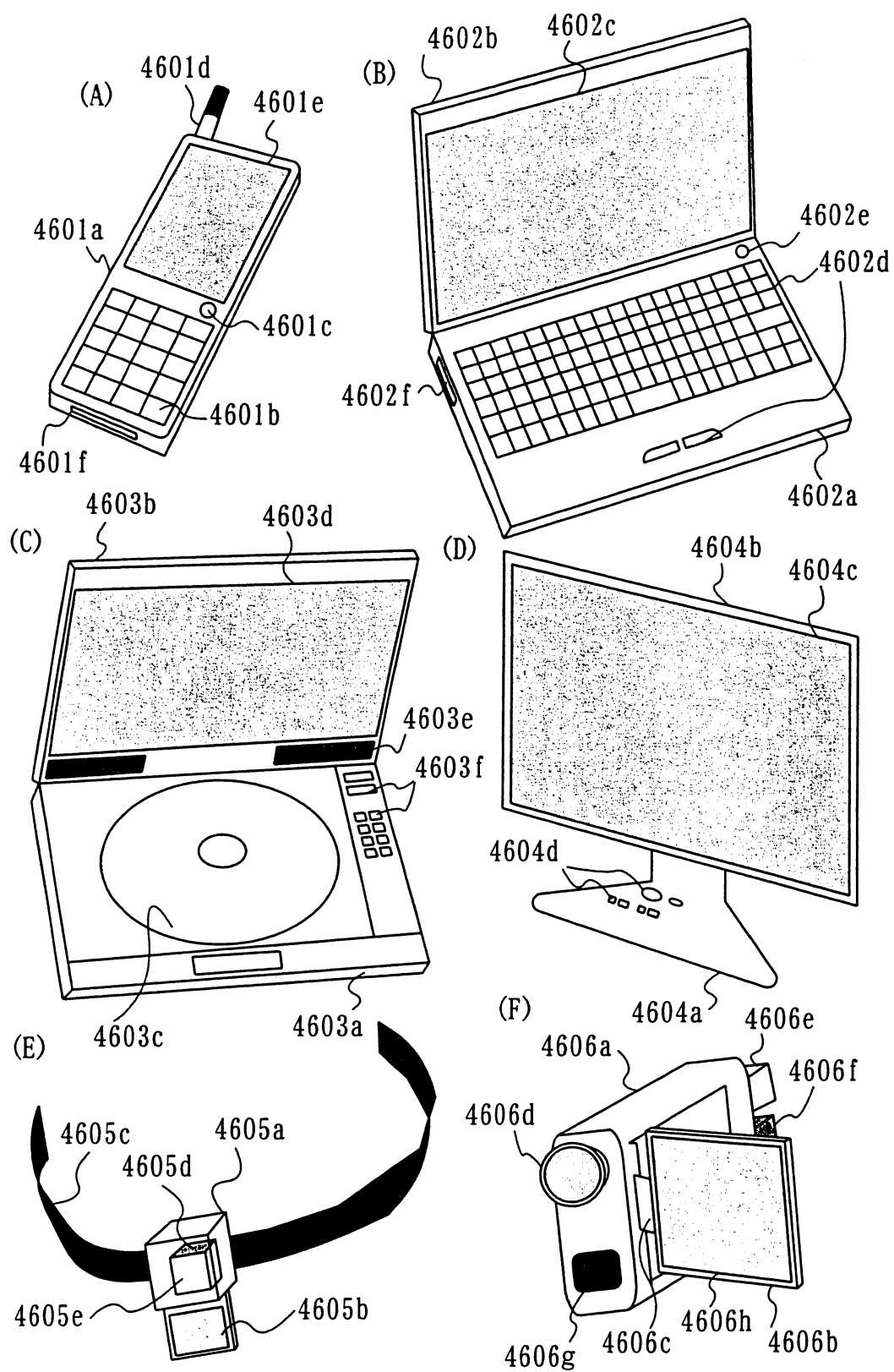
第 43 圖



第 45 圖



第 46 圖



第 47 圖

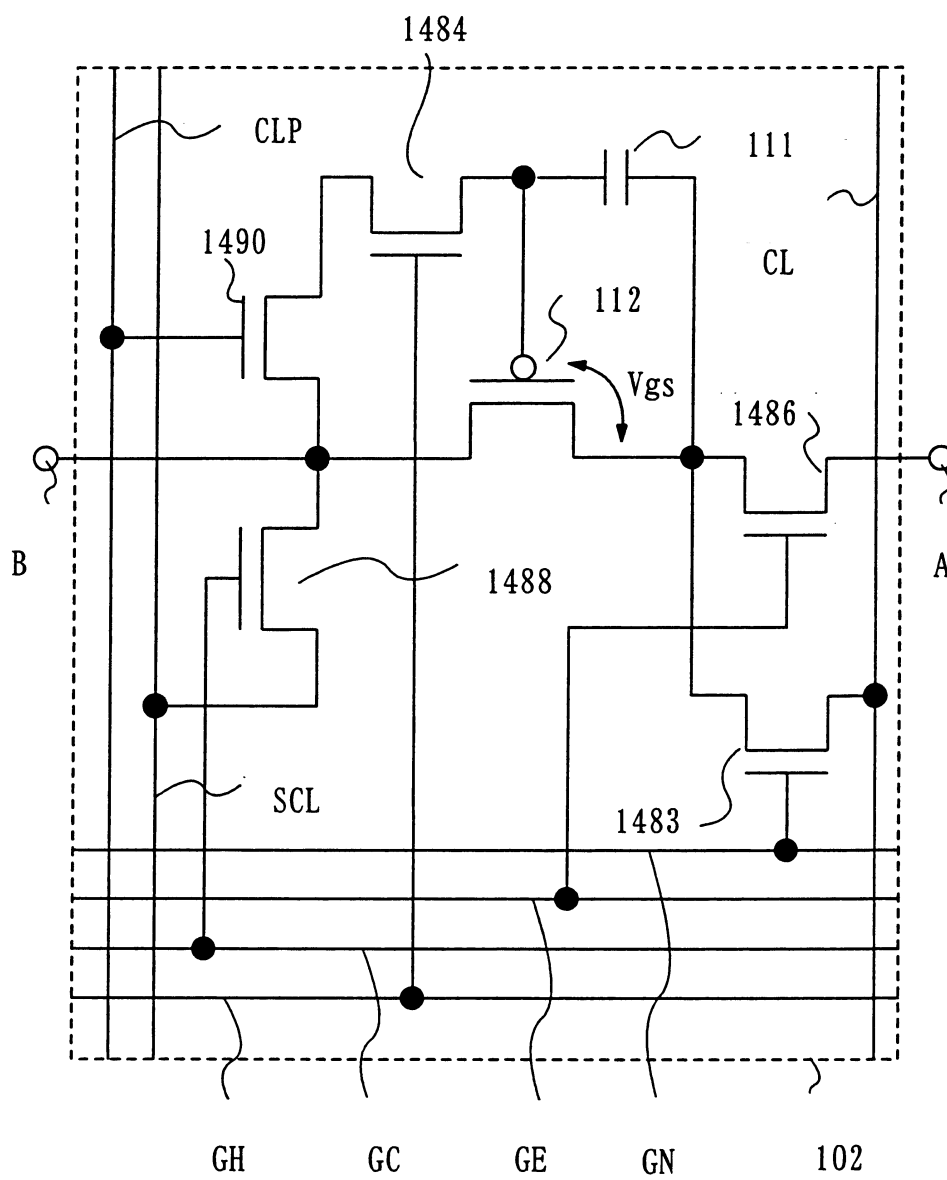
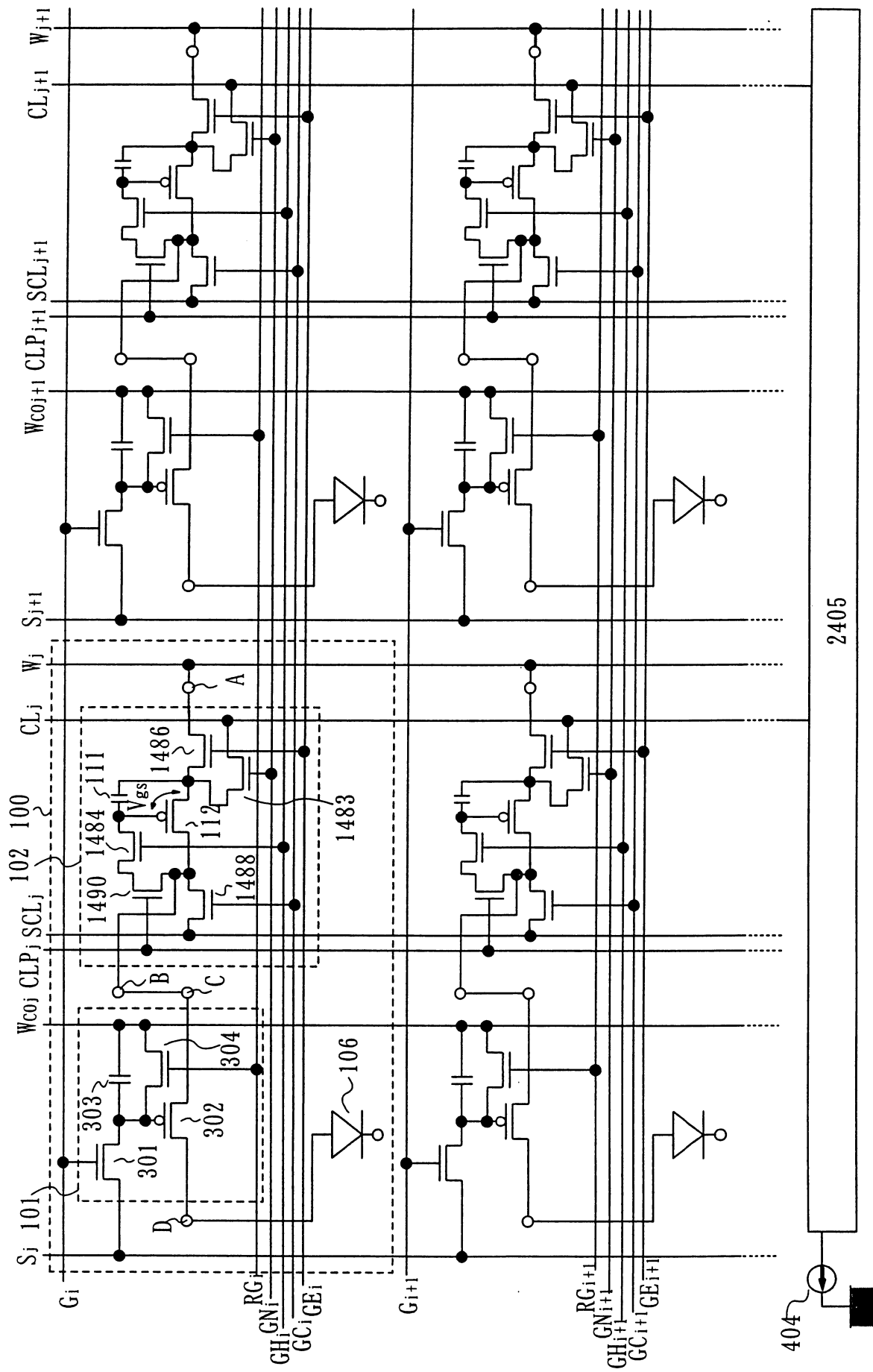
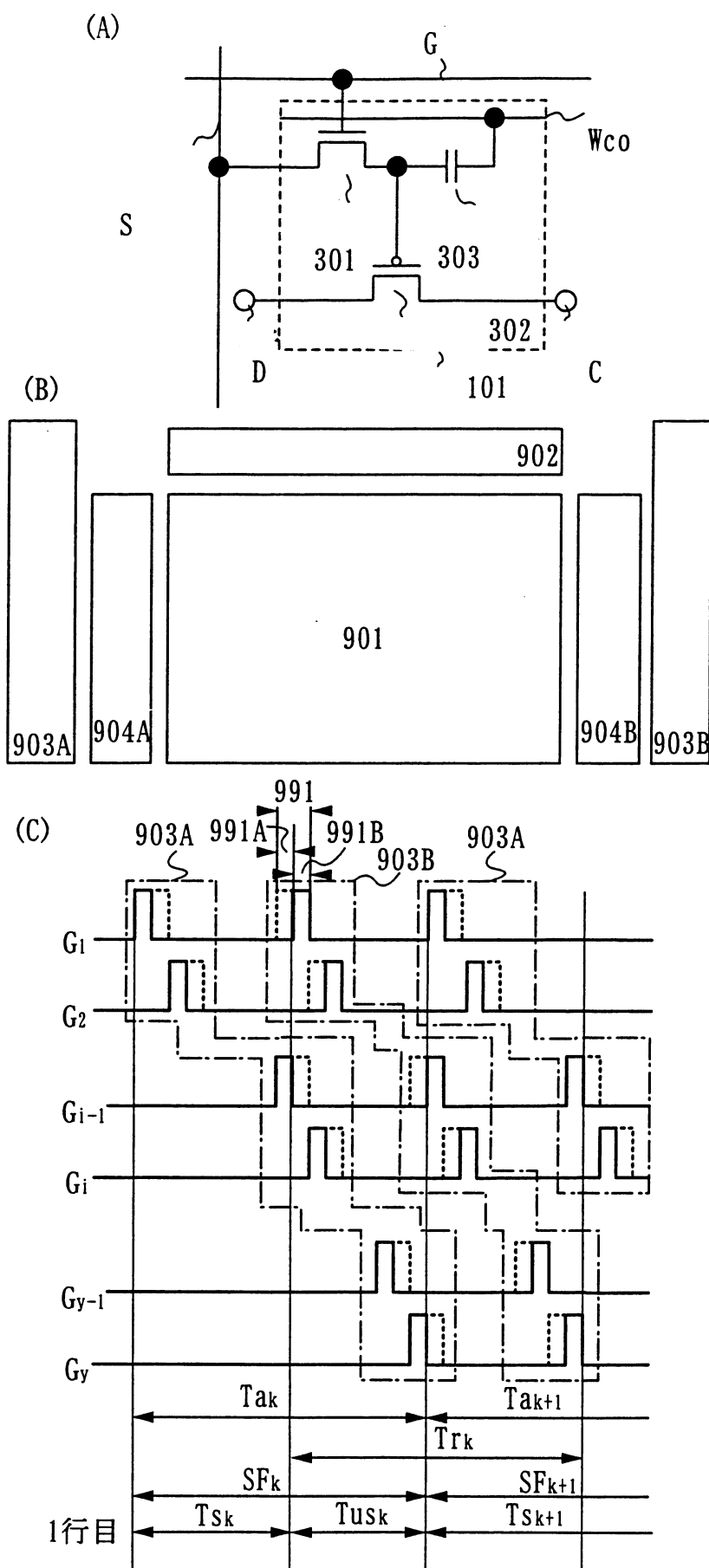


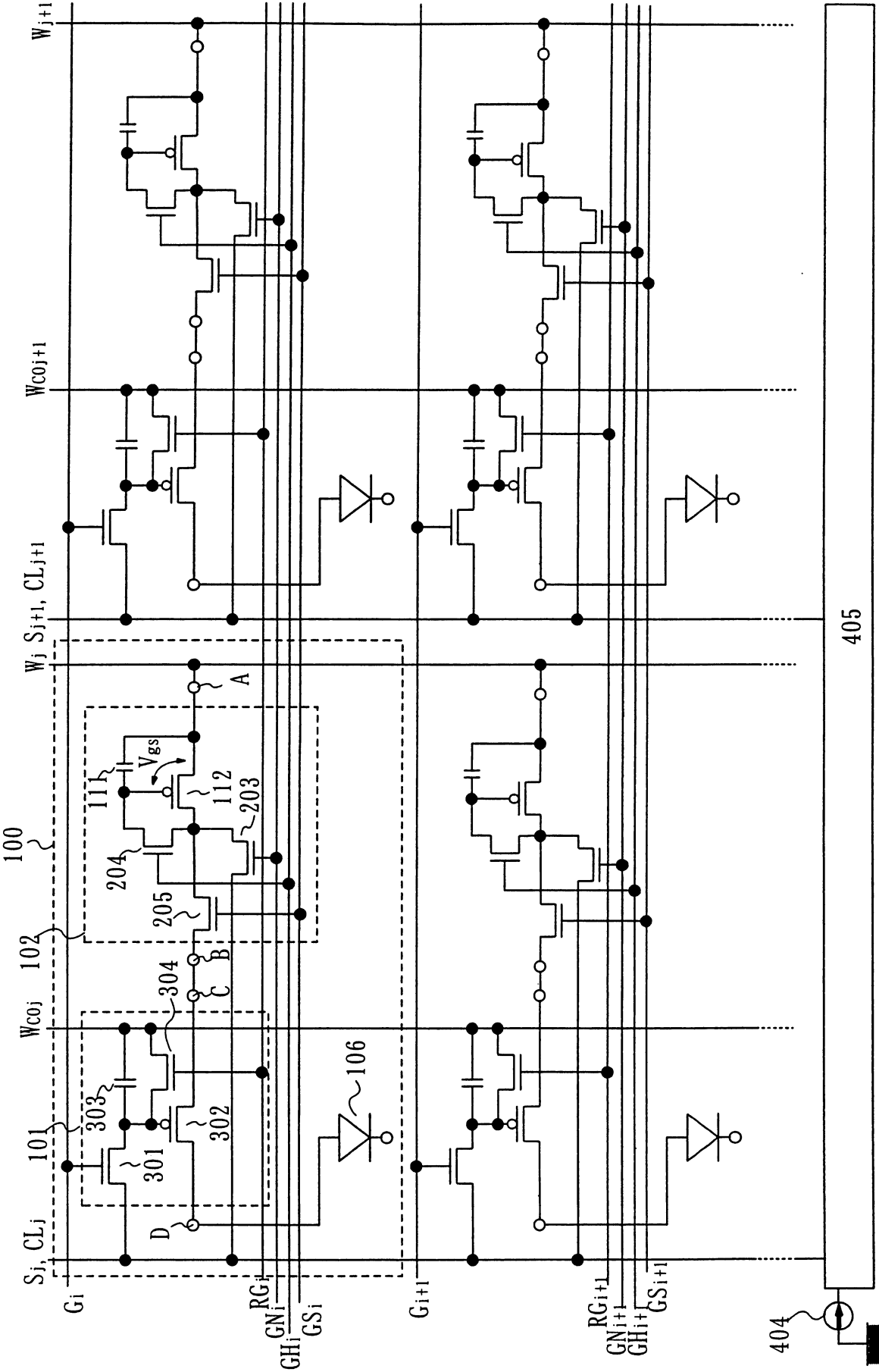
圖 48 第



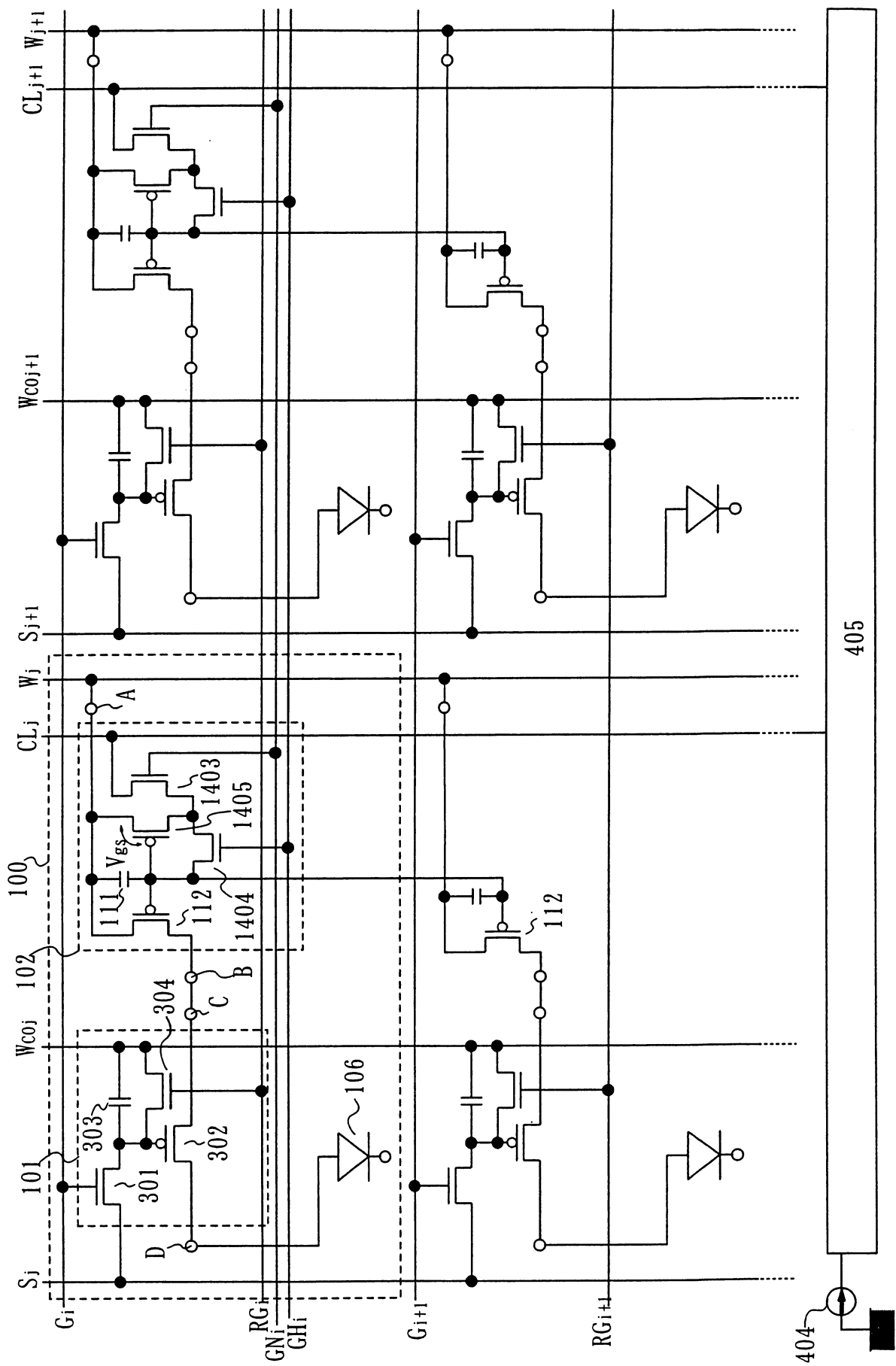
第 49 圖



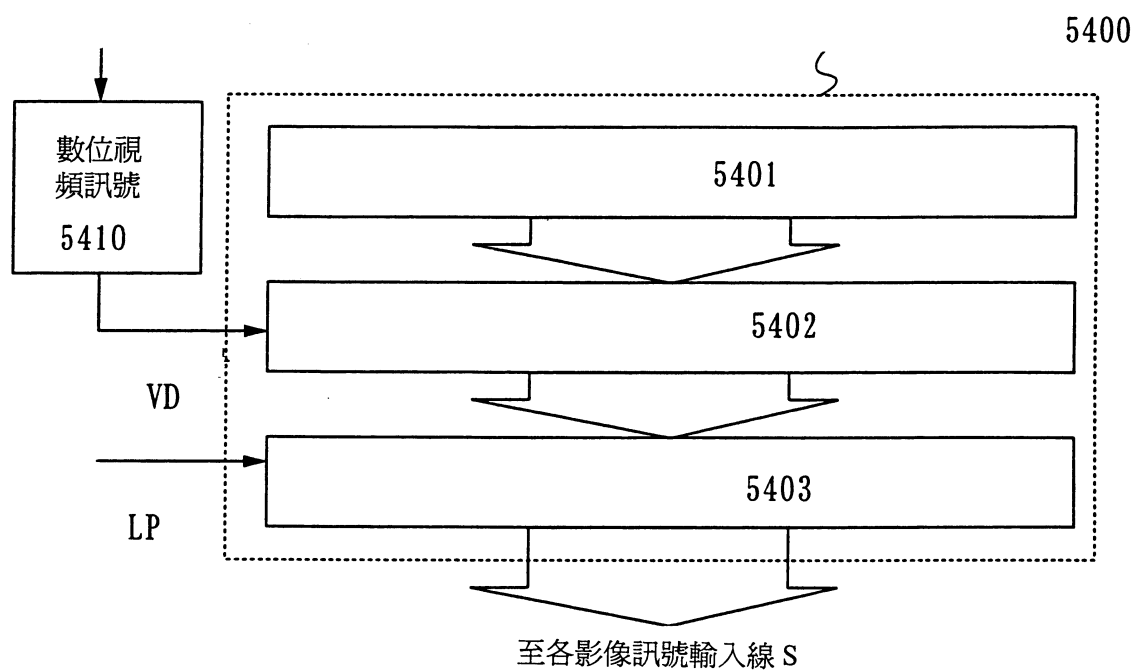
第 51 圖



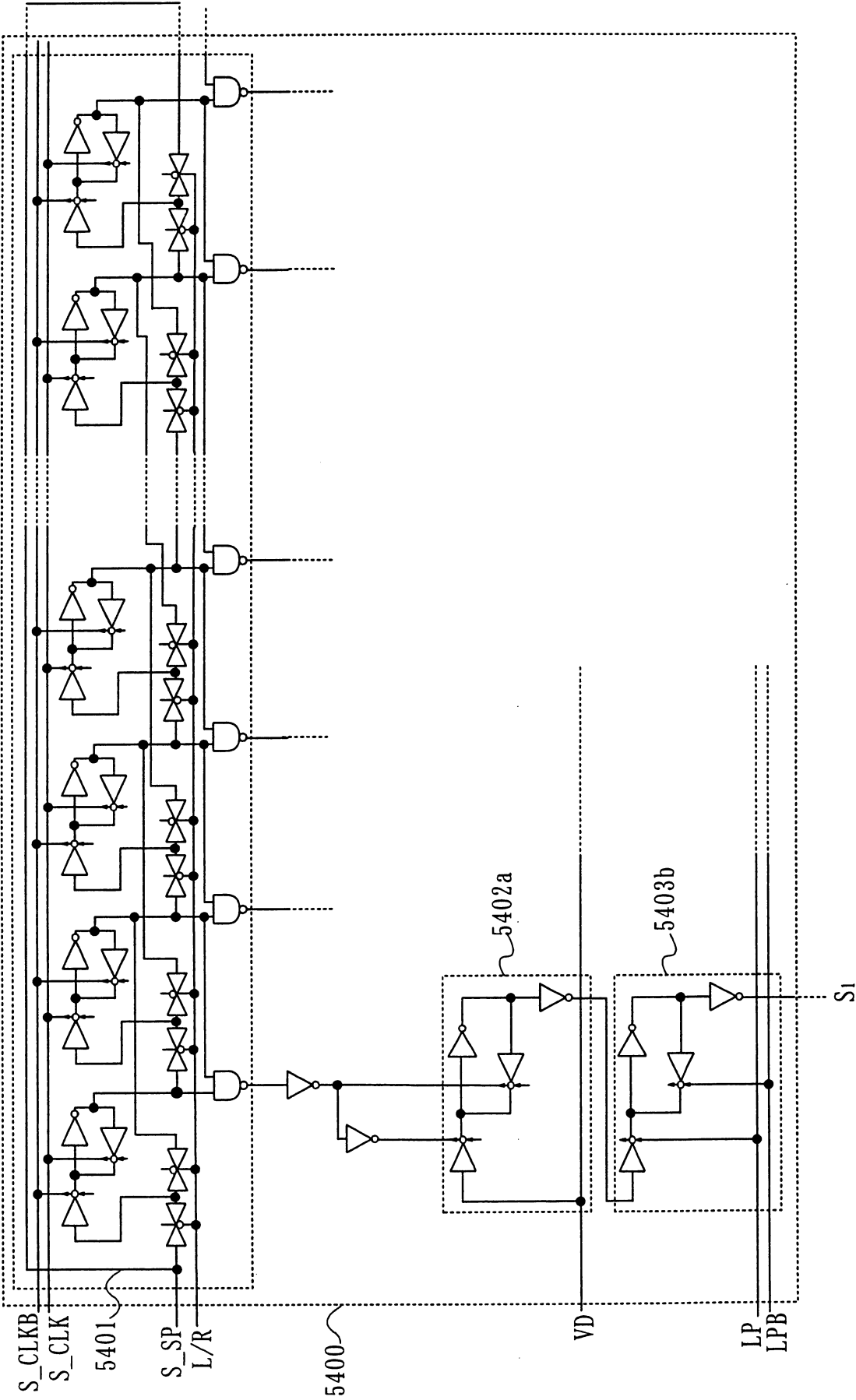
第 53 圖



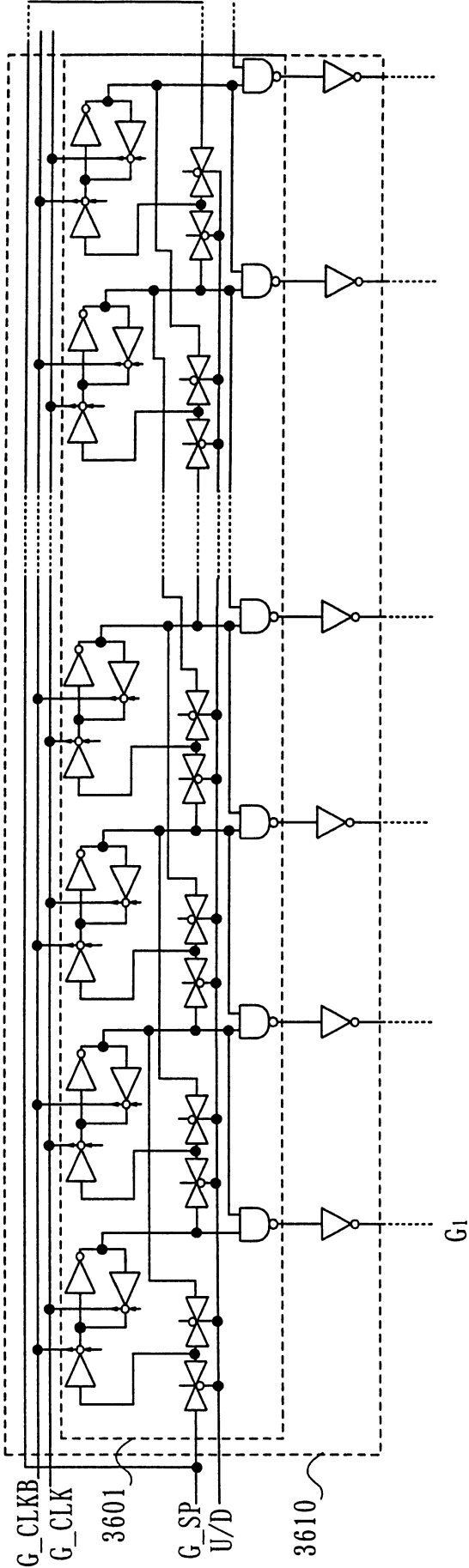
第 54 圖



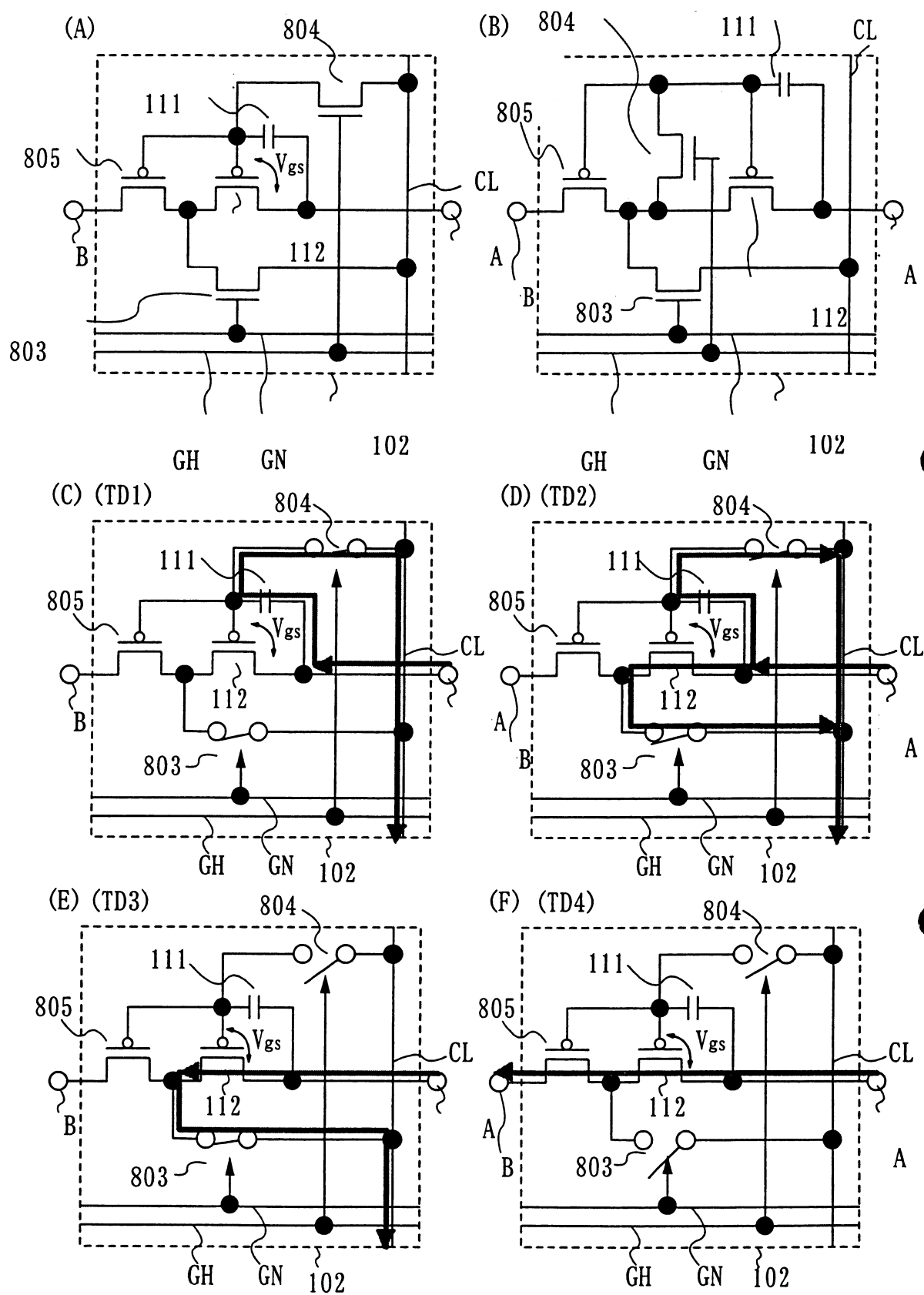
第 55 圖



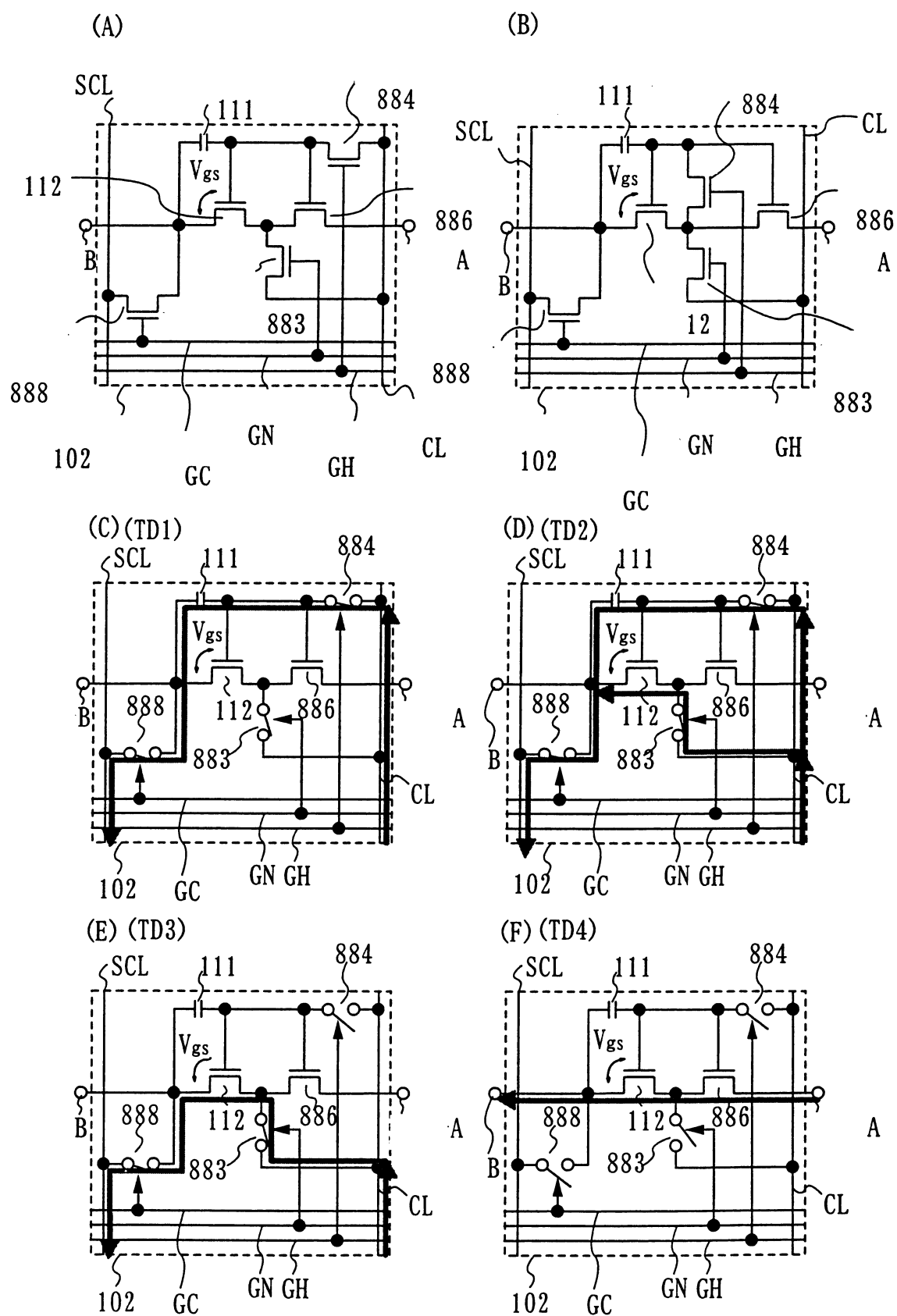
第 56 圖



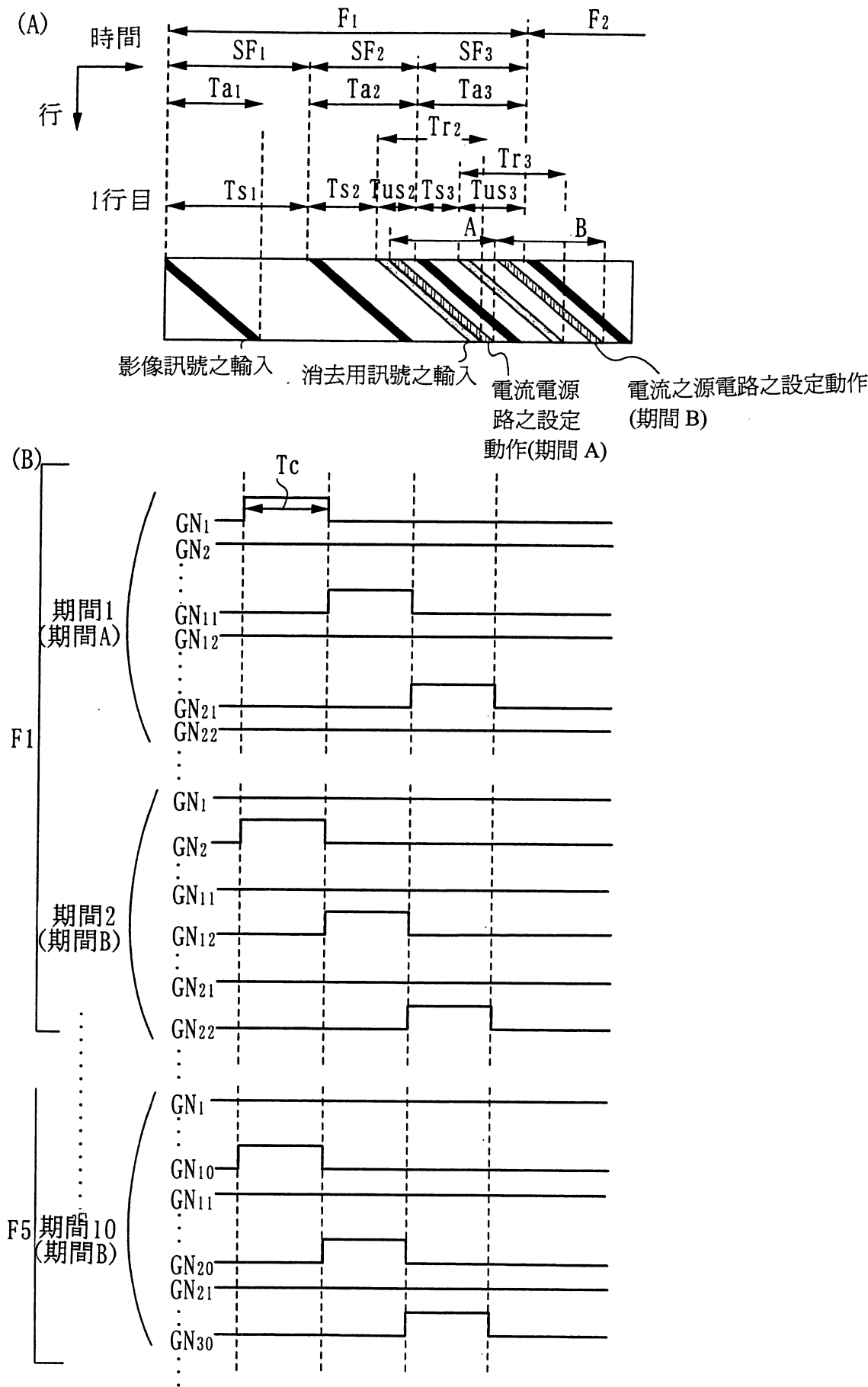
第 57 圖



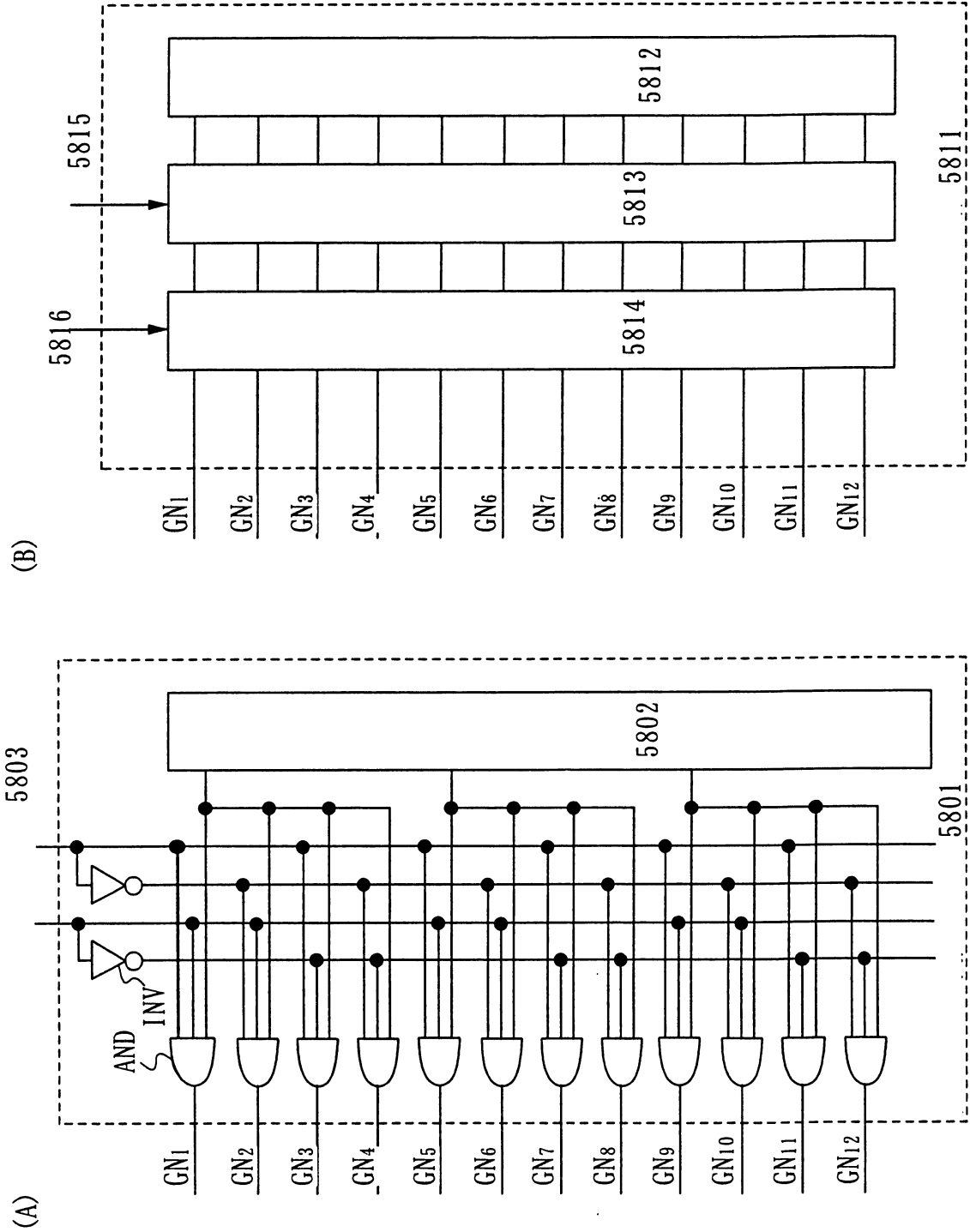
第 58 圖



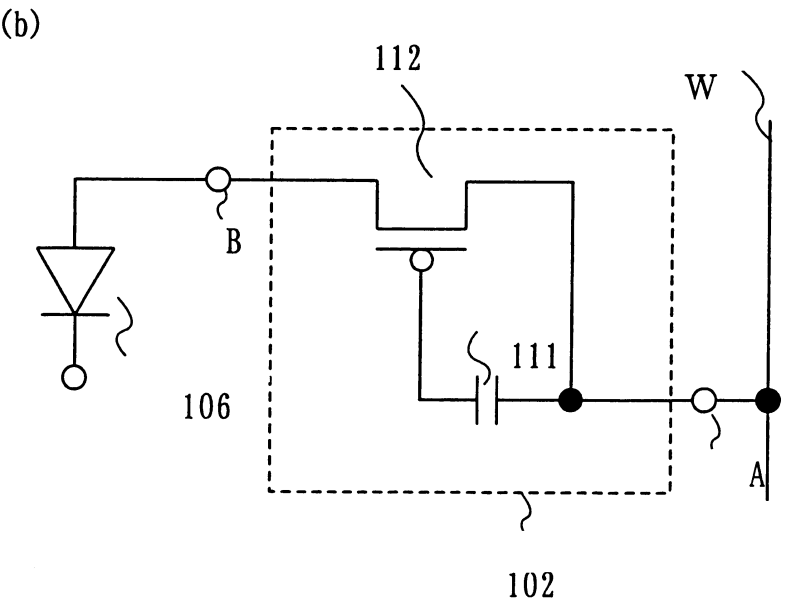
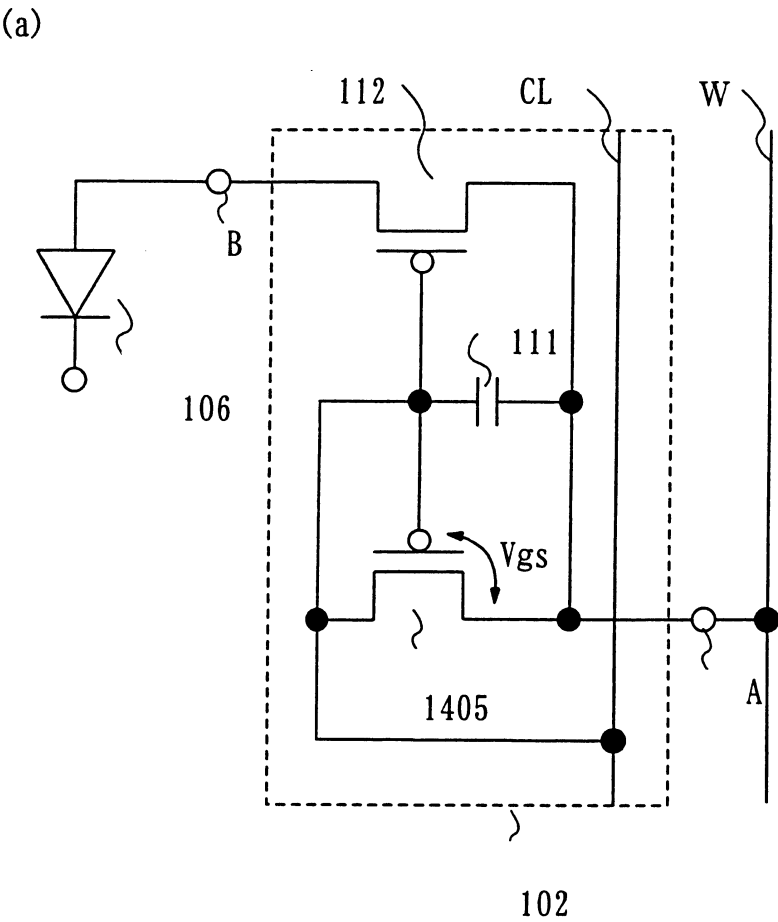
第 59 圖



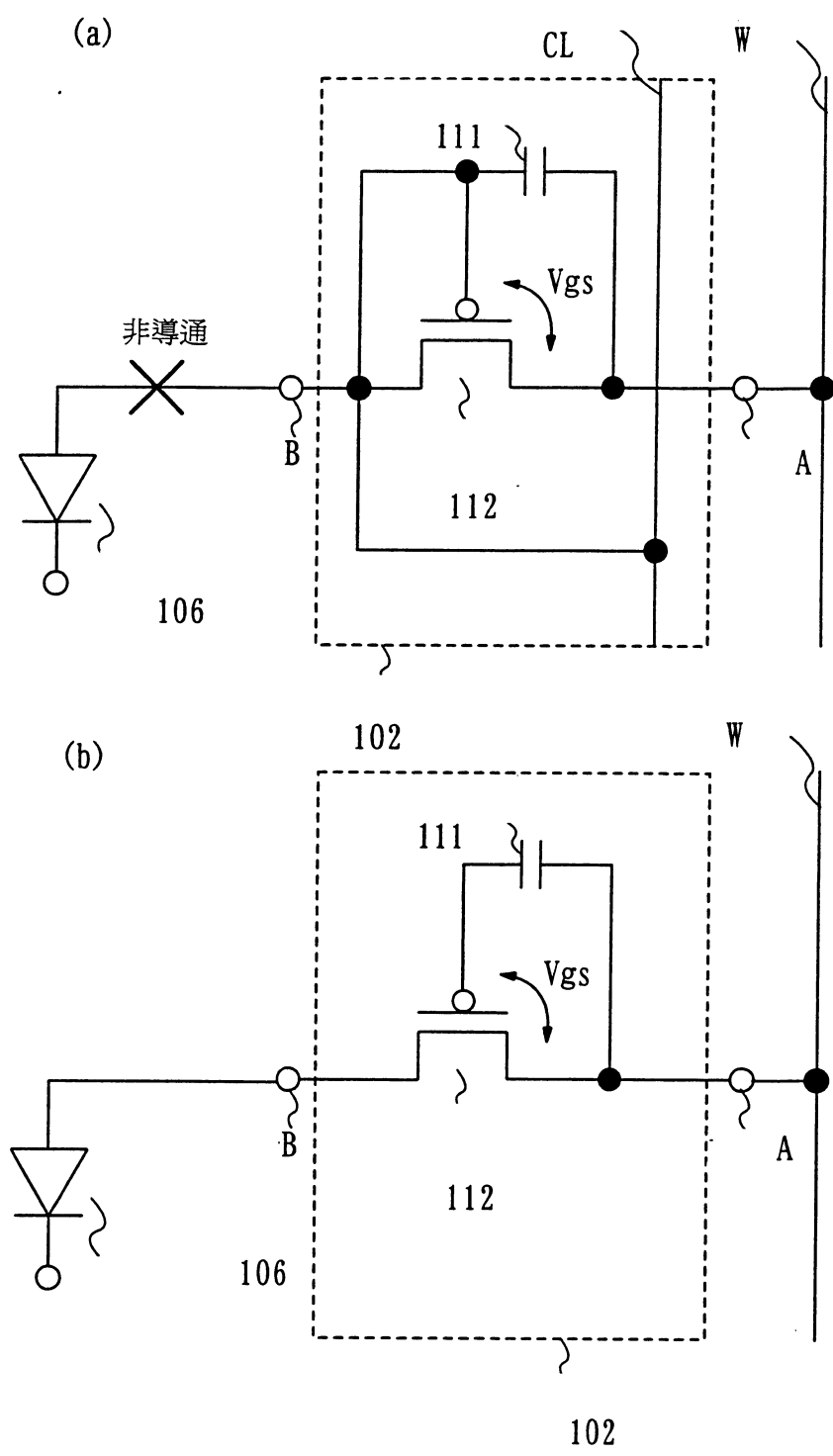
第 60 圖



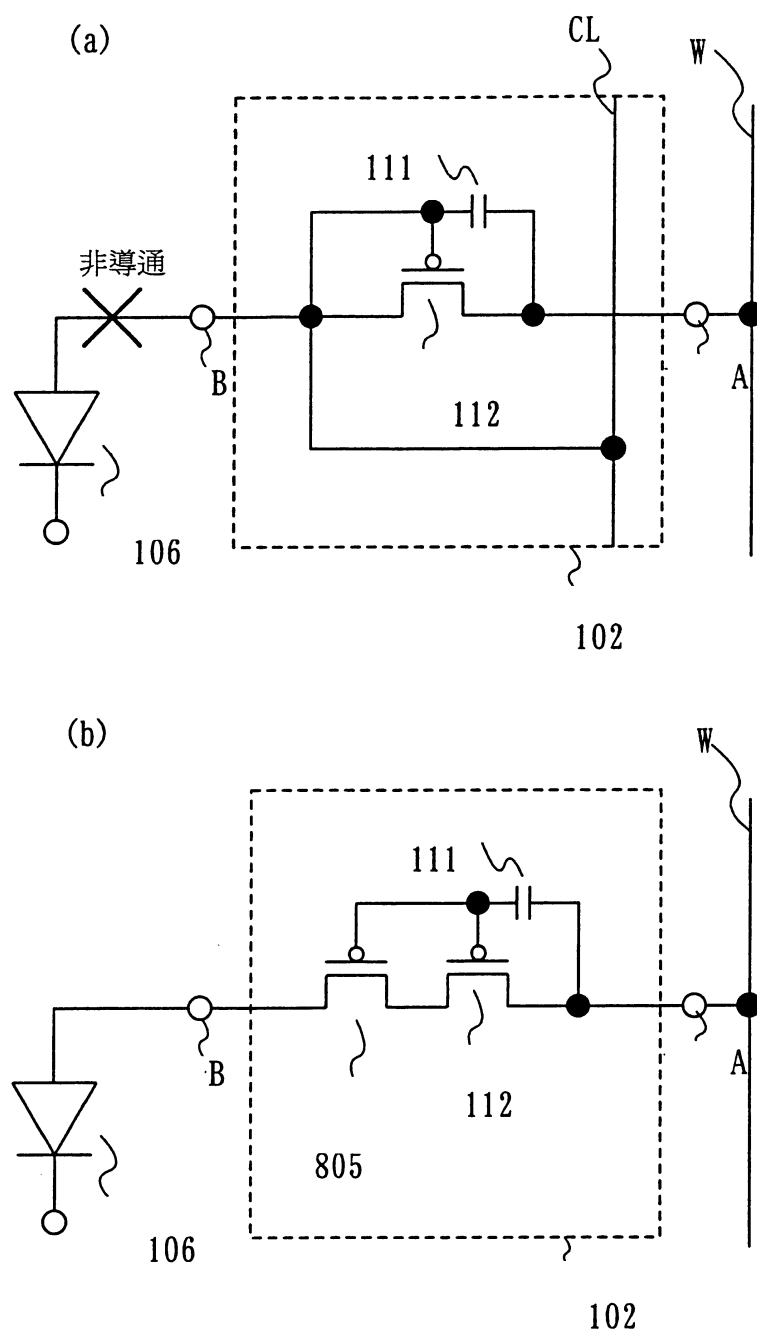
第 61 圖



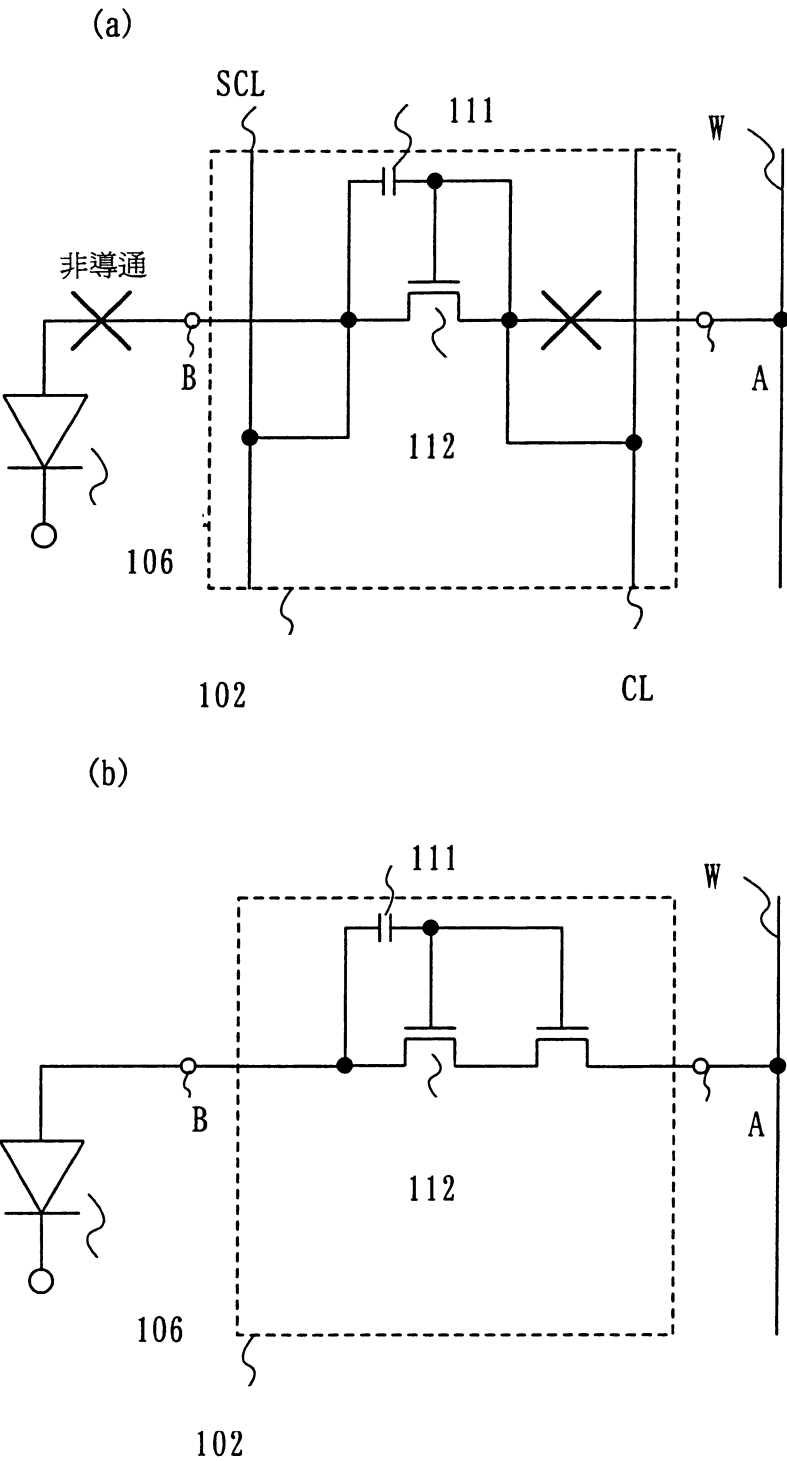
第 62 圖



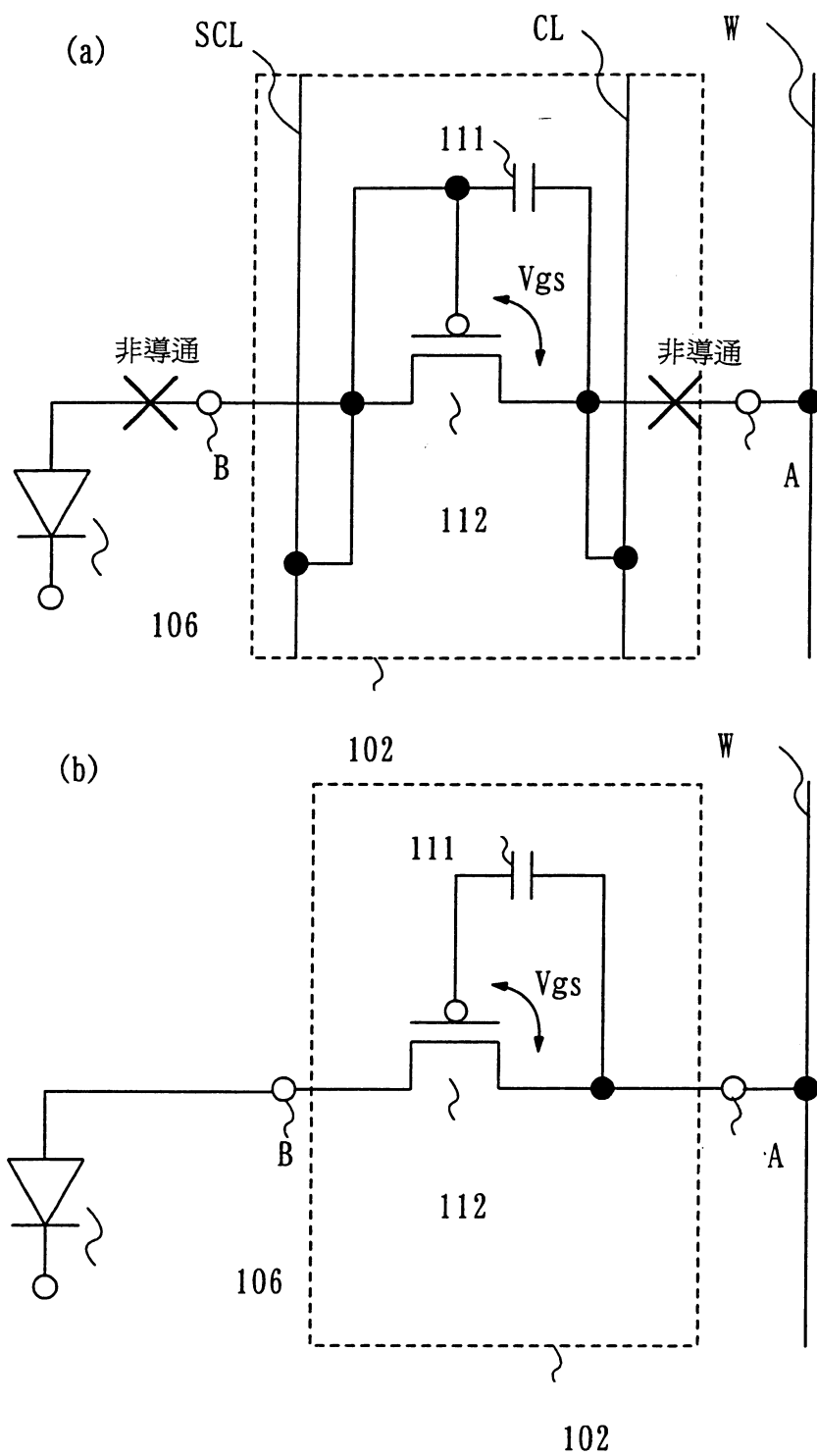
第 63 圖



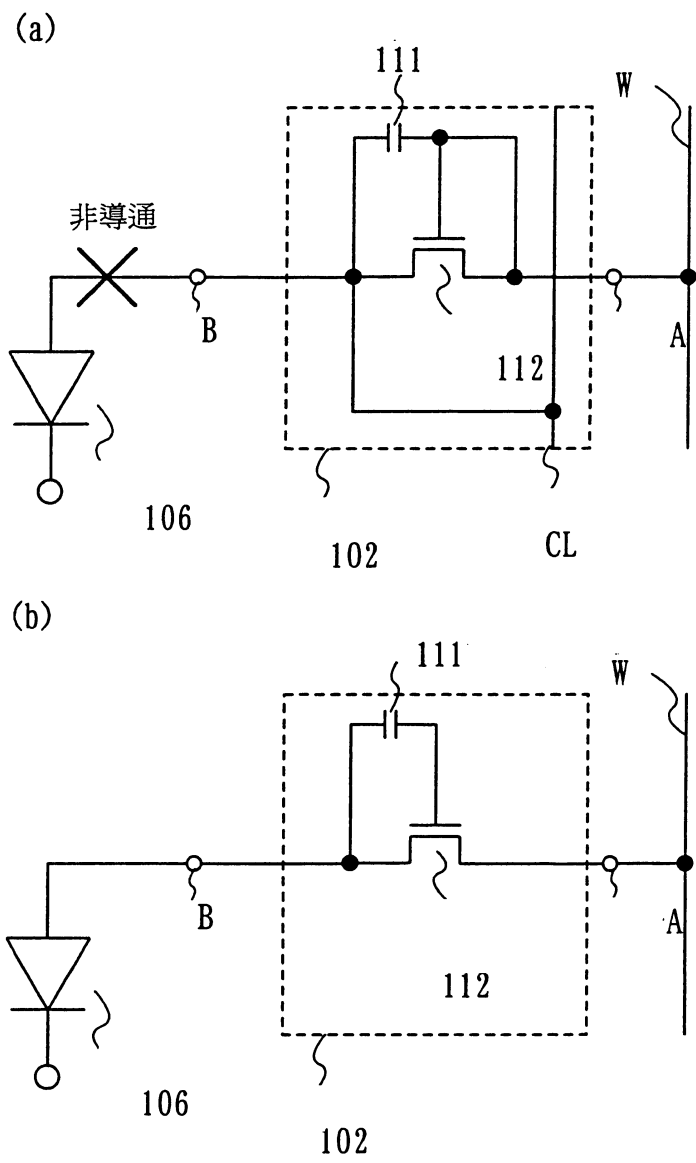
第 64 圖



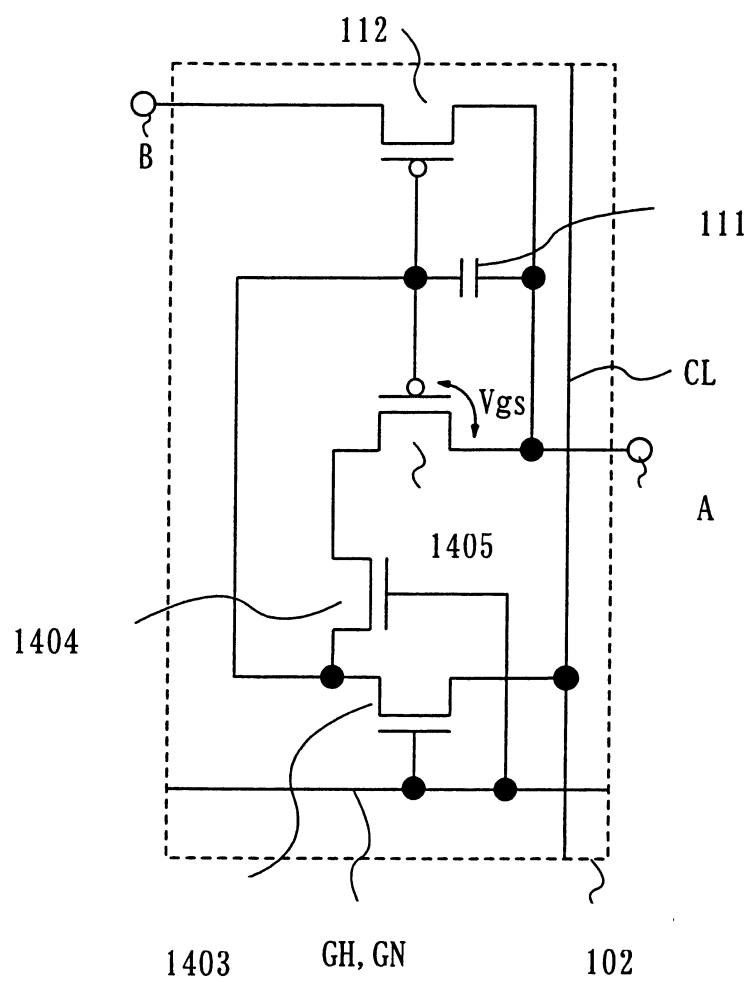
第 65 圖



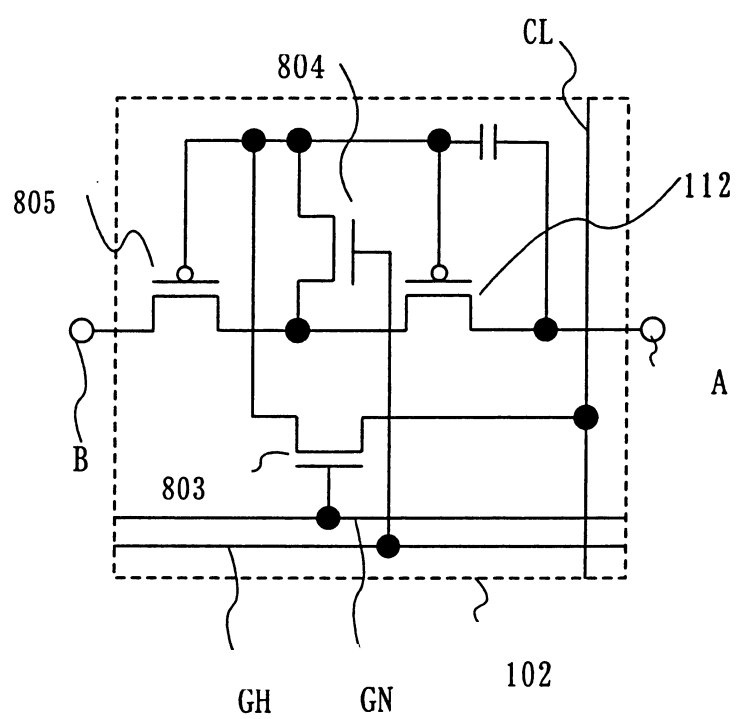
第 66 圖



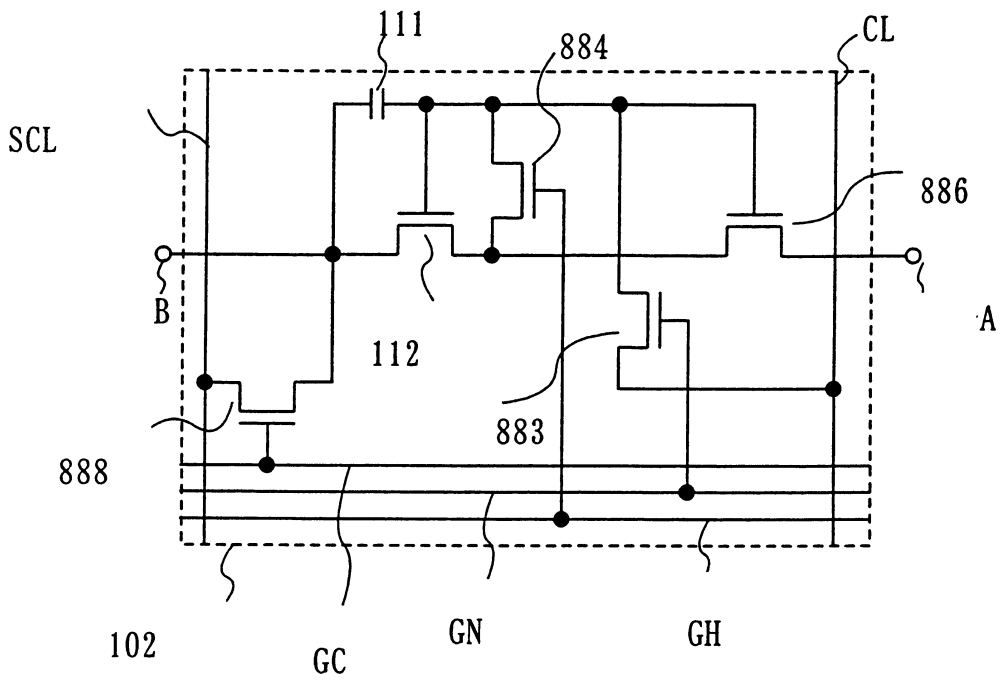
第 67 圖



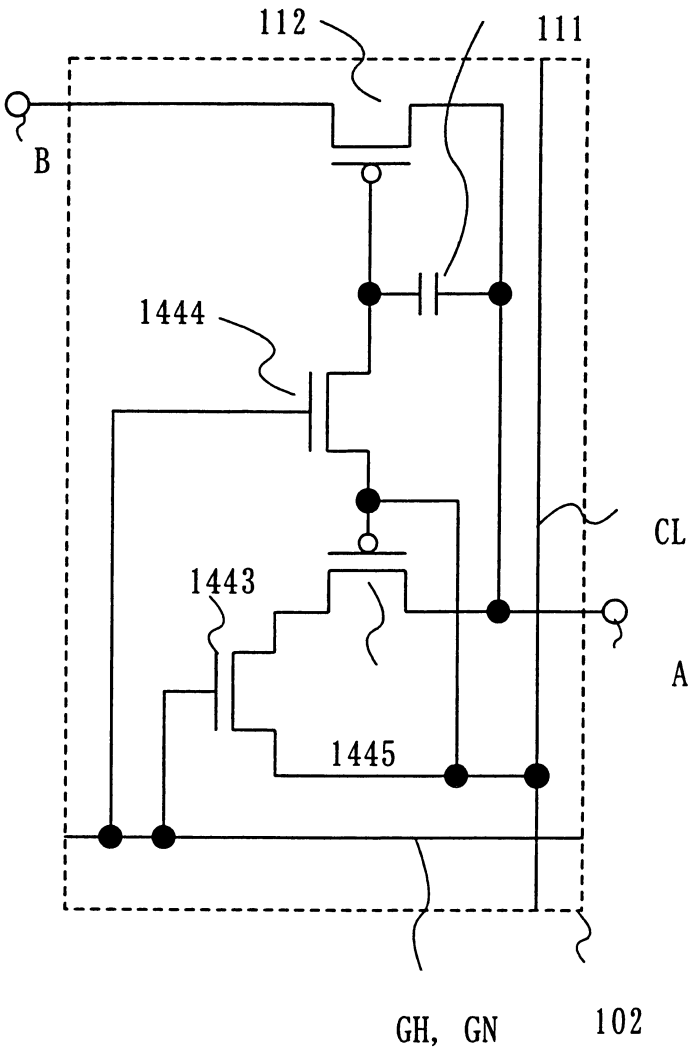
第 68 圖



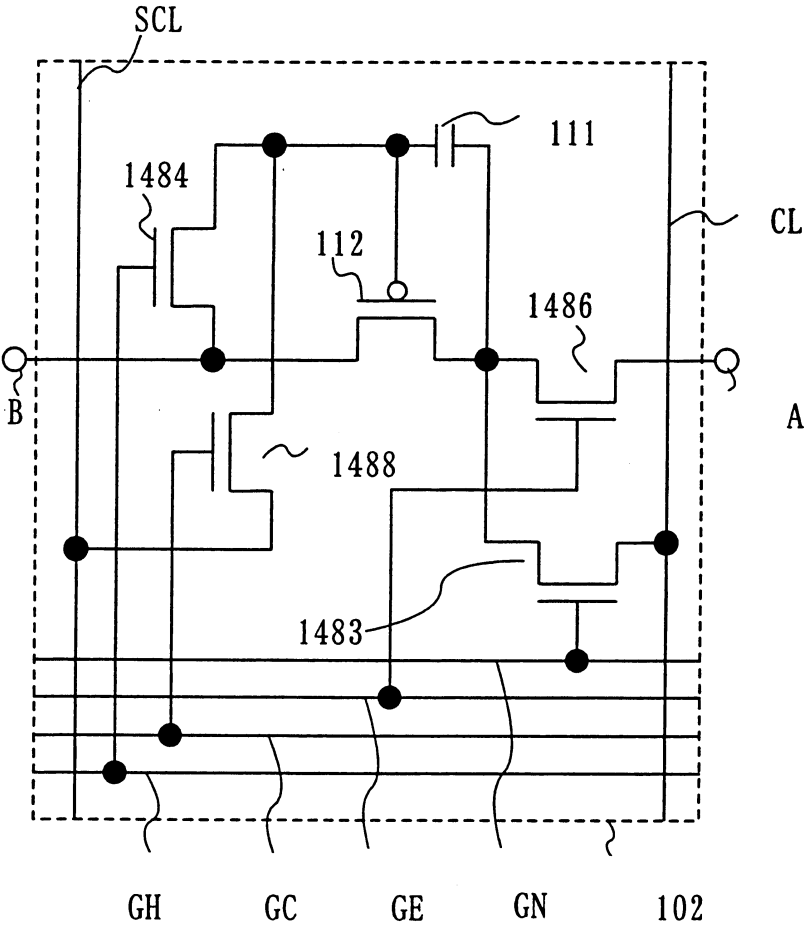
第 69 圖



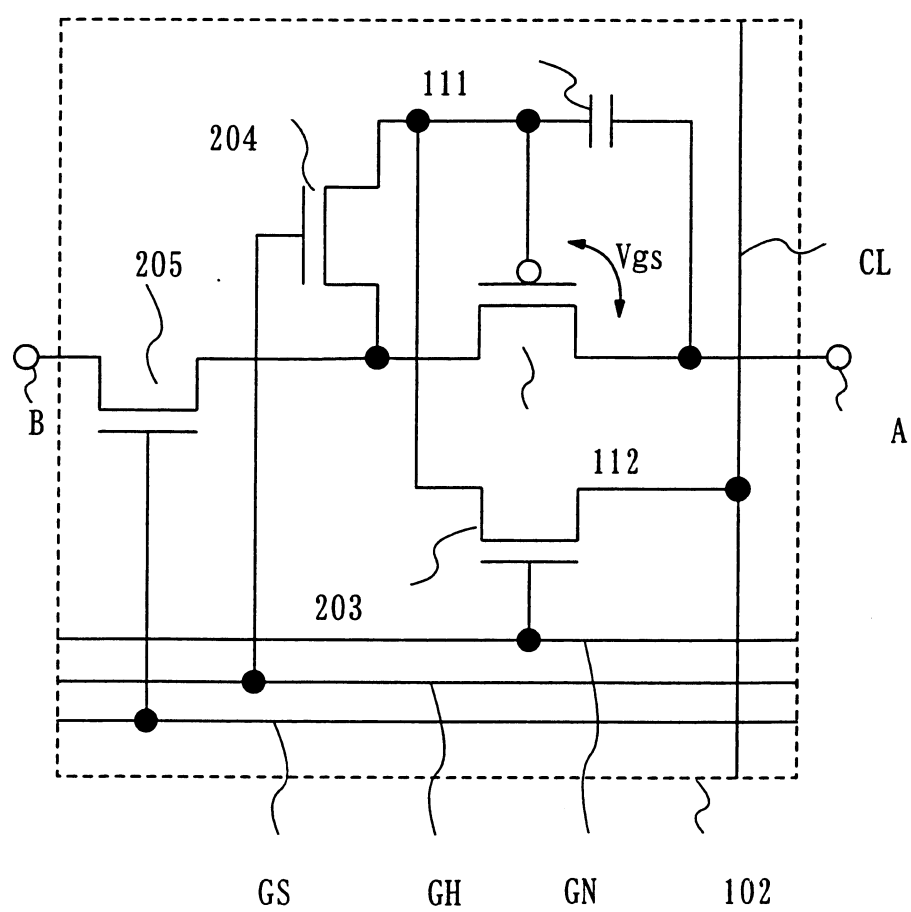
第 70 圖



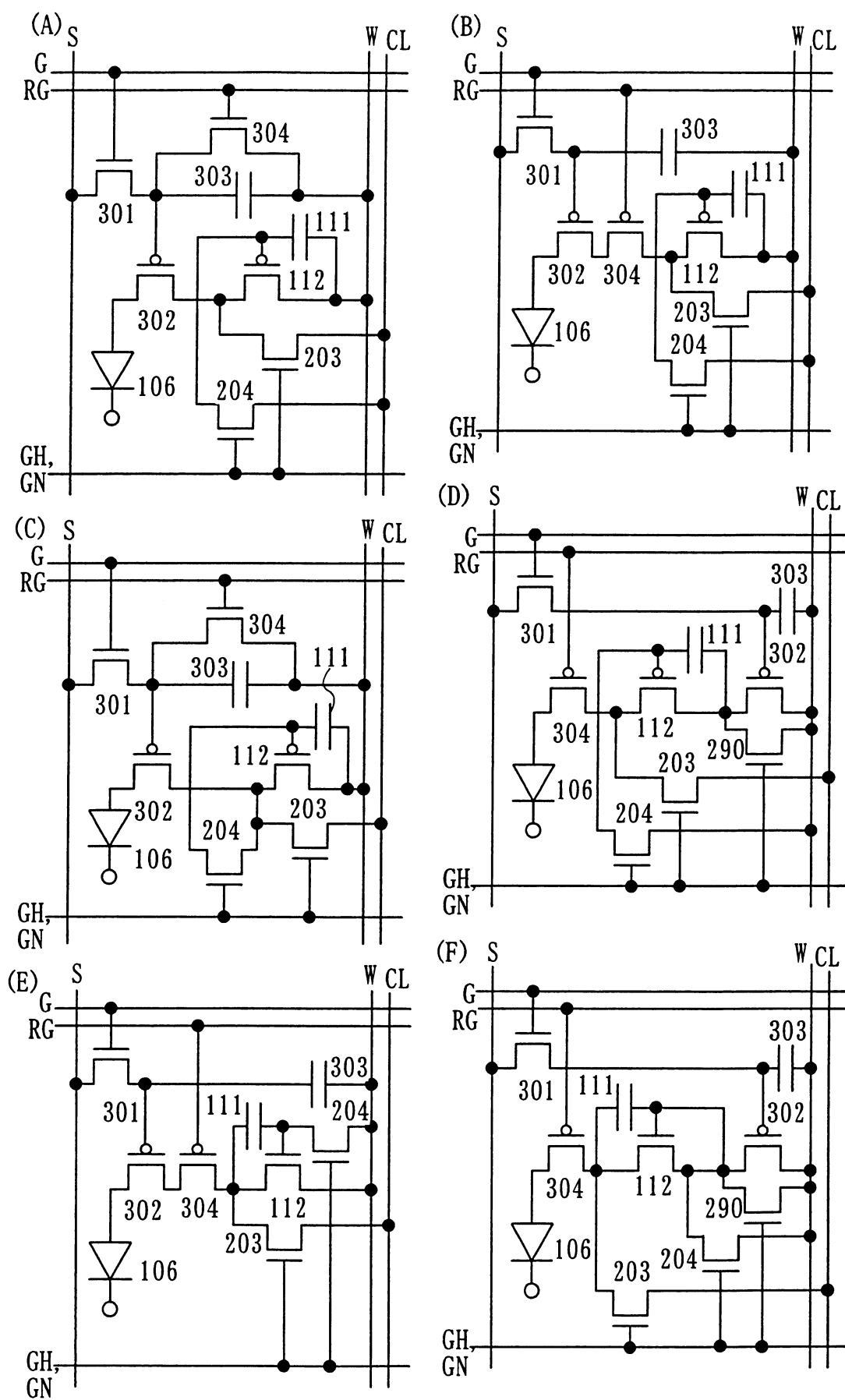
第 71 圖



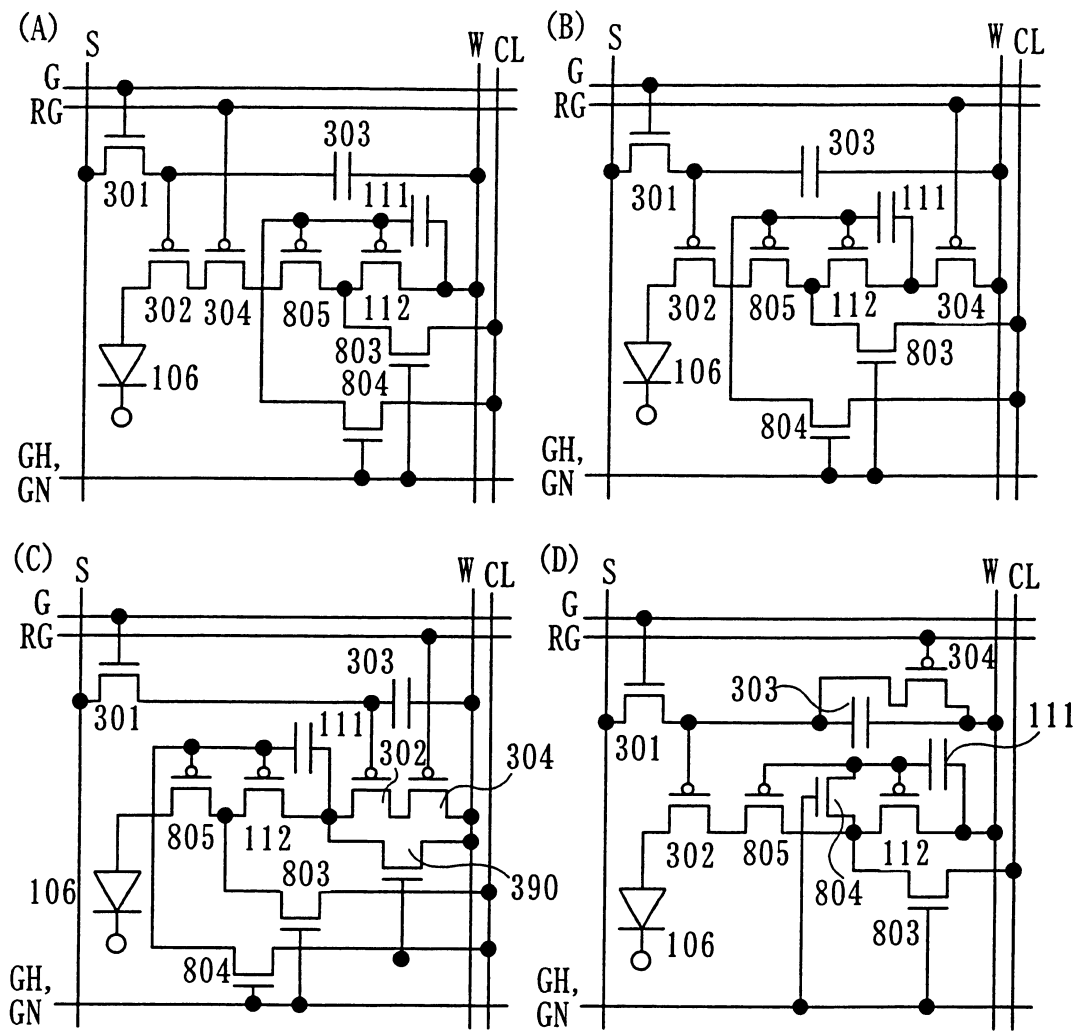
第 72 圖



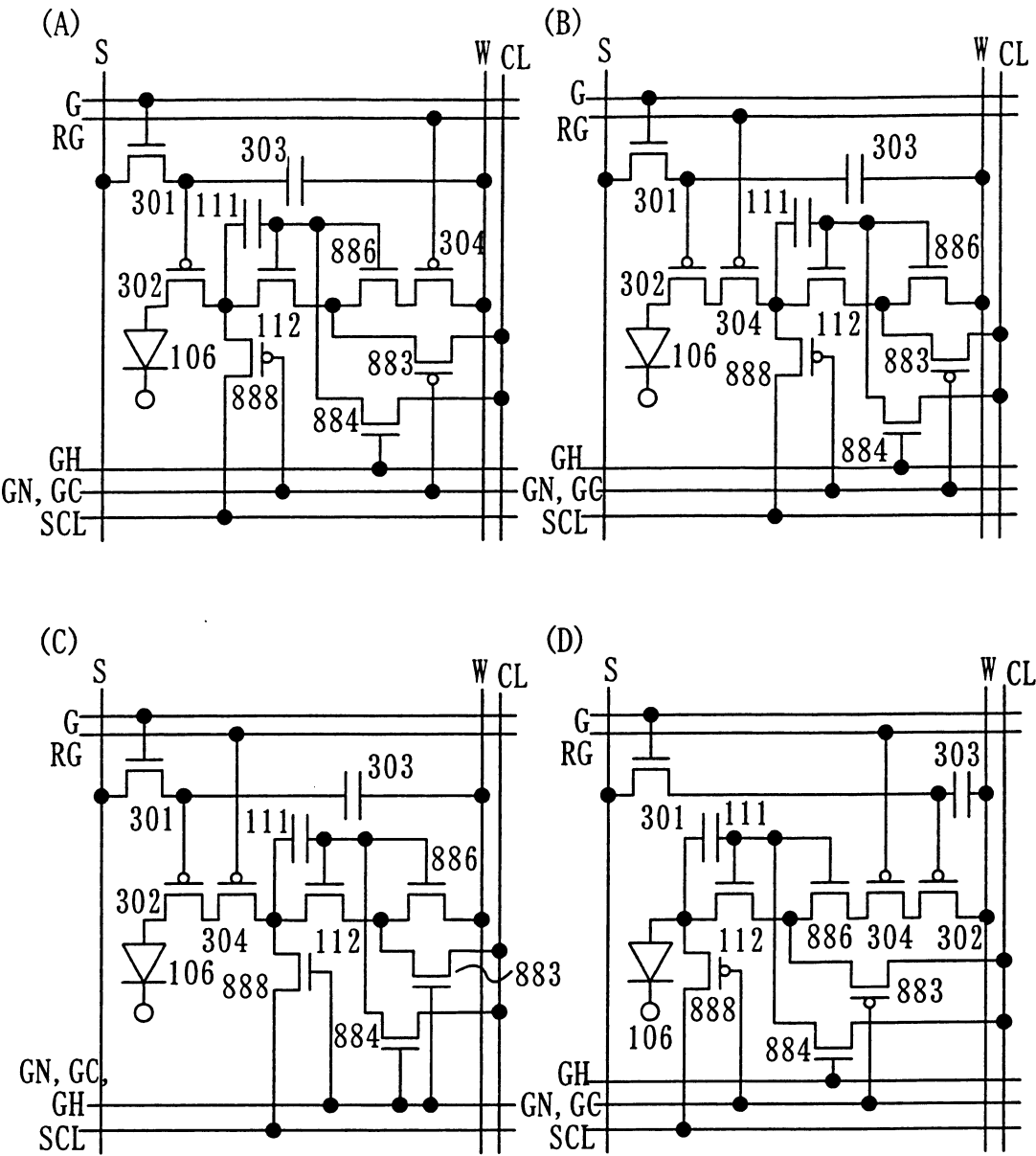
第 73 圖



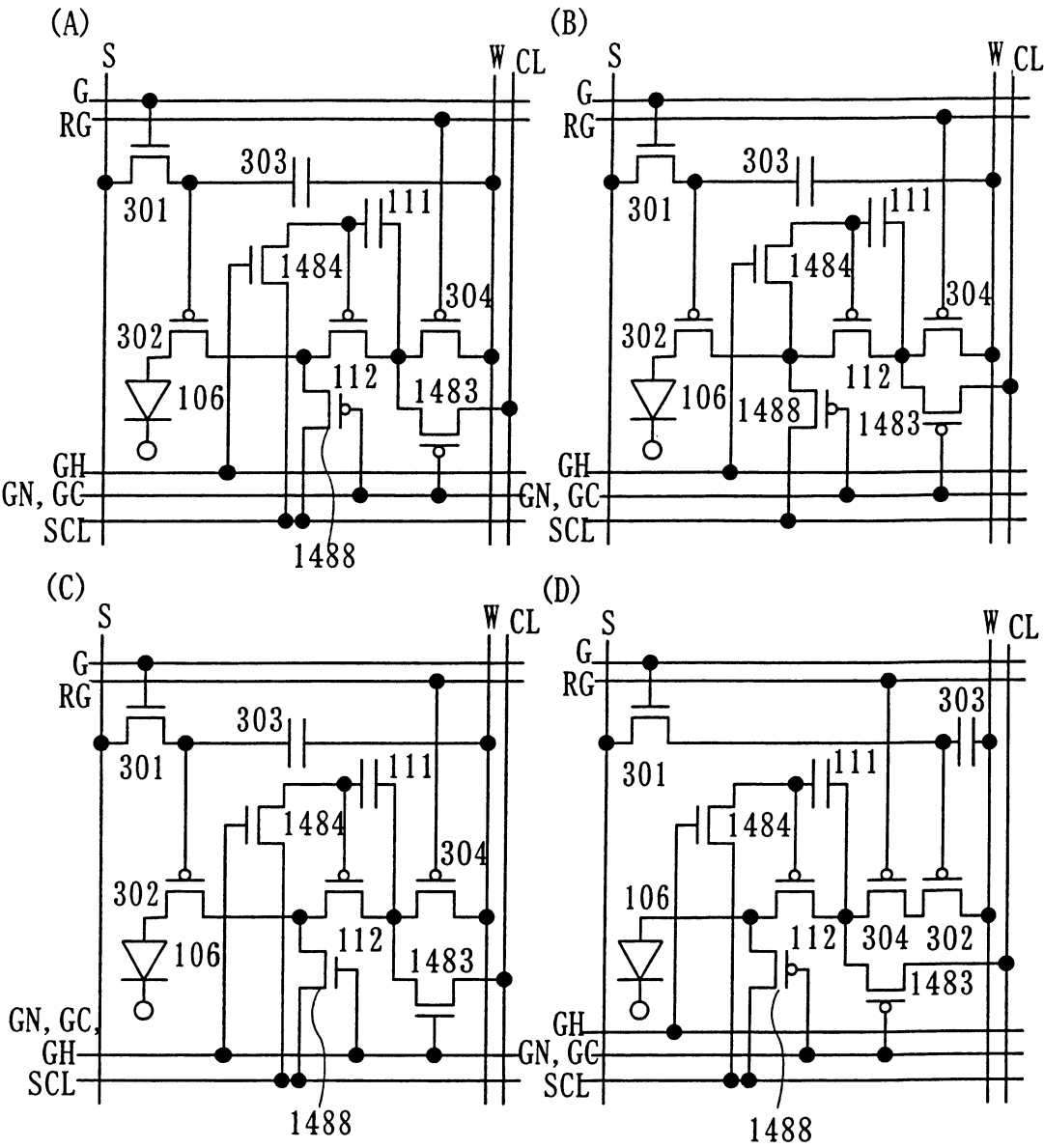
第 74 圖



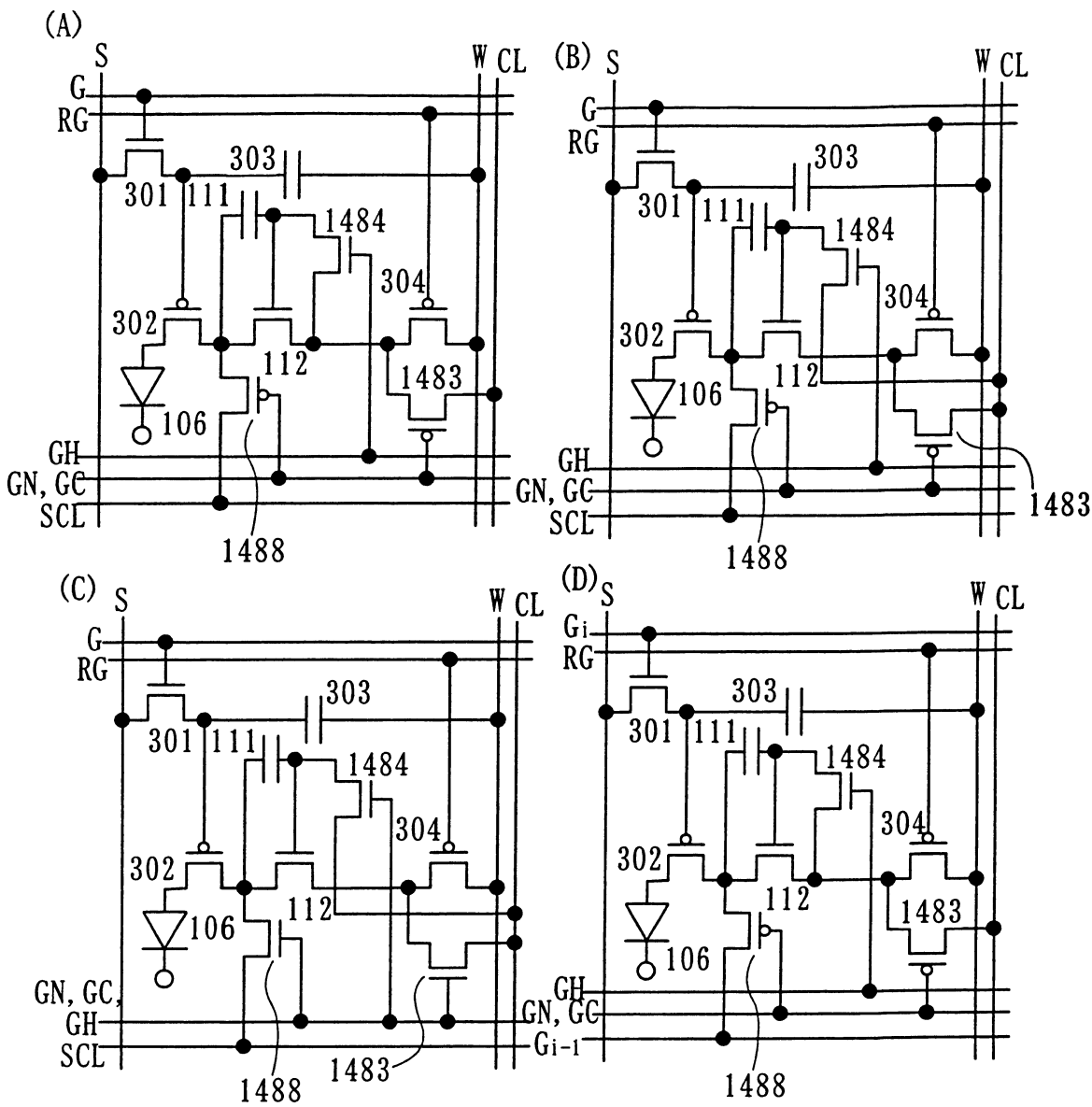
第 75 圖



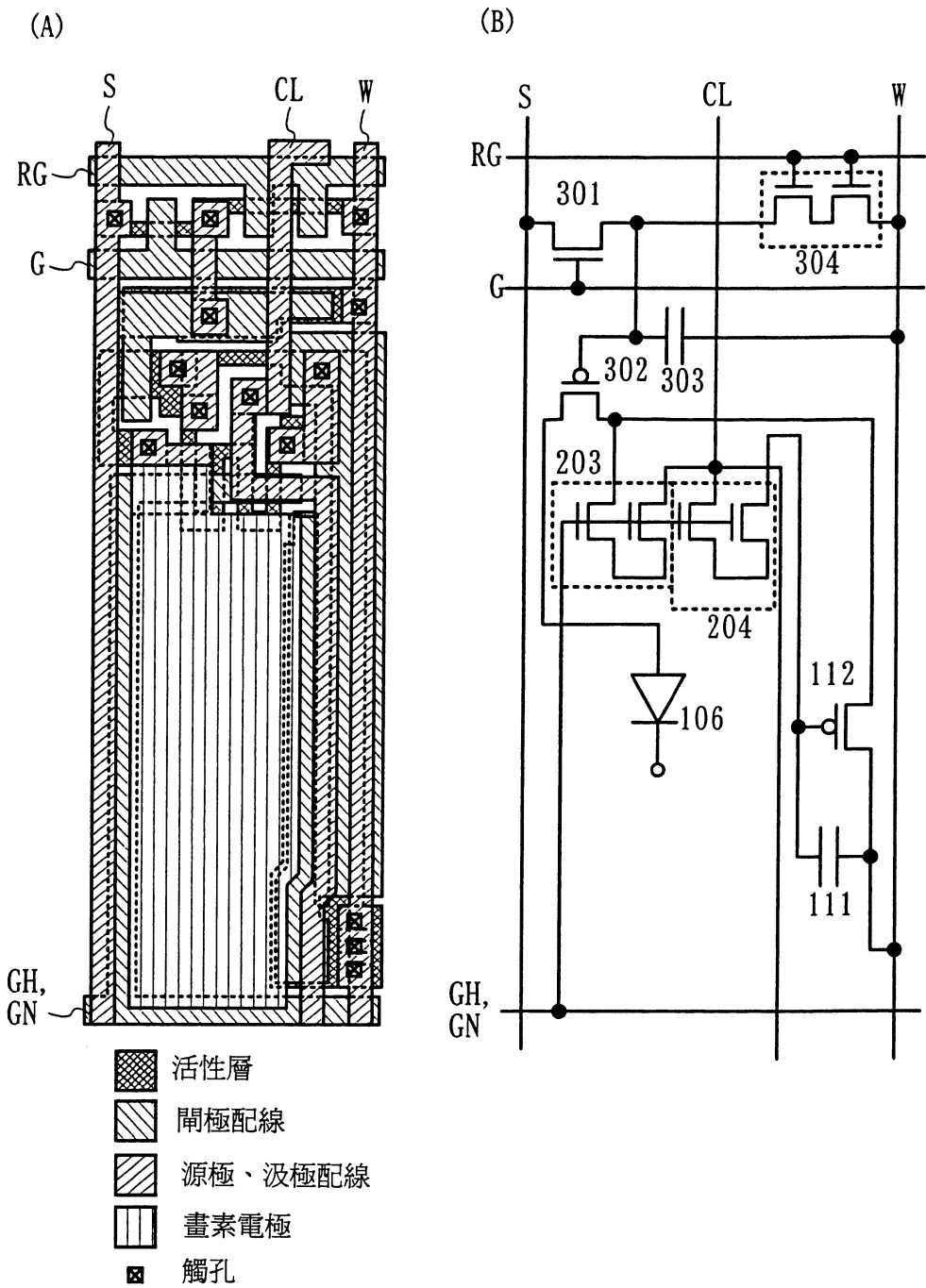
第 76 圖



第 77 圖



第 78 圖



第 79 圖

