



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0111854
(43) 공개일자 2016년09월27일

(51) 국제특허분류(Int. Cl.)

G06F 3/01 (2006.01) *G02F 1/1333* (2006.01)
G02F 1/1368 (2006.01) *G06F 3/0481* (2013.01)
G06F 3/0488 (2013.01) *G06F 3/16* (2006.01)

(52) CPC특허분류

G06F 3/01 (2013.01)
G02F 1/13338 (2013.01)

(21) 출원번호 10-2016-0030074

(22) 출원일자 2016년03월14일

심사청구일자 **없음**

(30) 우선권주장

JP-P-2015-052913 2015년03월17일 일본(JP)
JP-P-2015-057168 2015년03월20일 일본(JP)

(71) 출원인

가부시키가이샤 **한도오따이 에네루기 켄큐쇼**
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

구보타 다이스케

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 **한도오따이 에네루기 켄큐쇼** 내

구보타 유스케

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 **한도오따이 에네루기 켄큐쇼** 내

(뒷면에 계속)

(74) 대리인

양영준, 박충범

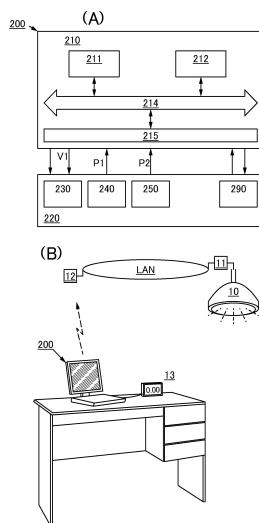
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 정보 처리 장치, 프로그램

(57) 요 약

편리성 또는 신뢰성이 우수한 신규 정보 처리 장치를 제공한다. 또한, 편리성 또는 신뢰성이 우수한 신규 프로그램을 제공한다. 위치 정보를 공급하고, 화상 정보를 공급받는 입출력 장치와, 위치 정보를 공급받고, 화상 정보를 공급하는 연산 장치를 포함하고, 연산 장치는 포인터의 이동 속도에 기초하여 화상 정보의 콘트라스트 또는 밝기를 결정하는 구성에 상도하였다.

대 표 도 - 도1



(52) CPC특허분류

G02F 1/1368 (2013.01)

G06F 3/0481 (2013.01)

G06F 3/0488 (2013.01)

G06F 3/16 (2013.01)

(72) 발명자

구스노키 고지

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부

시키가이사 한도오따이 에네루기 켄큐쇼 내

야마자키 슈페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이사 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

정보 처리 장치로서,

프로그램을 저장하는 메모리부를 포함하는 연산 장치; 및

입출력 장치

를 포함하고,

상기 연산 장치는 위치 정보를 수신하고 화상 정보 및 제어 정보를 공급하고,

상기 입출력 장치는 상기 위치 정보를 공급하고 상기 화상 정보 및 상기 제어 정보를 수신하고,

상기 입출력 장치는 상기 화상 정보를 표시하는 표시부 및 상기 위치 정보를 공급하는 입력부를 포함하고,

상기 표시부는 반사형 액정 소자 및 상기 액정 소자에 전기적으로 접속된 화소 회로를 포함하고,

상기 입력부는 포인터의 위치를 검출하고 상기 위치에 따라 결정된 위치 정보를 공급하고,

상기 연산 장치는 상기 위치 정보에 따라 상기 포인터의 이동 속도를 결정하고,

상기 연산 장치는 상기 포인터의 상기 이동 속도에 따라 상기 화상 정보의 콘트라스트 또는 밝기를 조절하는,
정보 처리 장치.

청구항 2

제1항에 있어서,

상기 화소 회로는 산화물 반도체를 포함하는 트랜지스터를 포함하는, 정보 처리 장치.

청구항 3

제1항에 있어서,

상기 프로그램은,

설정을 초기화하는 제1 스텝;

인터럽트 처리를 허가하는 제2 스텝;

상기 제1 스텝 또는 상기 인터럽트 처리에서 선택된 제1 또는 제2 모드로 화상 정보를 표시하는 제3 스텝;

종료 명령이 공급된 경우에는 제5 스텝으로 이동하도록 그리고 상기 종료 명령이 공급되지 않은 경우에는 상기 제3 스텝으로 이동하도록 결정하는 제4 스텝; 및

상기 프로그램을 종료하는 상기 제5 스텝

을 포함하고,

상기 인터럽트 처리는 제6 내지 제8 스텝으로서,

소정의 이벤트가 공급된 경우에는 상기 제7 스텝으로 이동하도록 그리고 상기 소정의 이벤트가 공급되지 않은 경우에는 상기 제8 스텝으로 이동하도록 결정하는 상기 제6 스텝;

모드를 변경하는 상기 제7 스텝; 및

상기 인터럽트 처리를 종료하는 상기 제8 스텝

을 포함하고,

상기 제3 스텝의 상기 제1 모드에서, 포인터의 이동 속도가 소정의 속도보다 높은 경우의 화상 정보의 콘트라스

트는 상기 포인터의 상기 이동 속도가 상기 소정의 속도보다 낮은 경우의 화상 정보의 콘트라스트보다 낮은, 정보 처리 장치.

청구항 4

제1항에 있어서,

상기 프로그램은,

설정을 초기화하는 제1 스텝;

인터럽트 처리를 허가하는 제2 스텝;

상기 제1 스텝 또는 상기 인터럽트 처리에서 선택된 제1 또는 제2 모드로 화상 정보를 표시하는 제3 스텝;

종료 명령이 공급된 경우에는 제5 스텝으로 이동하도록 그리고 상기 종료 명령이 공급되지 않은 경우에는 상기 제3 스텝으로 이동하도록 결정하는 제4 스텝; 및

상기 프로그램을 종료하는 상기 제5 스텝

을 포함하고,

상기 인터럽트 처리는 제6 내지 제8 스텝으로서,

소정의 이벤트가 공급된 경우에는 상기 제7 스텝으로 이동하도록 그리고 상기 소정의 이벤트가 공급되지 않은 경우에는 상기 제8 스텝으로 이동하도록 결정하는 상기 제6 스텝;

모드를 변경하는 상기 제7 스텝; 및

상기 인터럽트 처리를 종료하는 상기 제8 스텝

을 포함하고,

상기 제3 스텝의 상기 제1 모드에서, 포인터의 이동 속도가 소정의 속도보다 높은 경우에는 상기 제2 모드에서의 화상 정보보다 낮은 콘트라스트를 갖는 화상 정보가 표시되고, 상기 포인터의 상기 이동 속도가 상기 소정의 속도보다 낮은 경우에는 상기 제2 모드에서의 상기 화상 정보보다 높은 콘트라스트를 갖는 화상 정보가 표시되고,

상기 제3 스텝의 상기 제2 모드에서, 선택 신호는 상기 제1 모드보다 낮은 빈도로 공급되는, 정보 처리 장치.

청구항 5

제1항에 있어서,

상기 표시부는 청색을 표시하는 화소, 녹색을 표시하는 화소 및 적색을 표시하는 화소를 포함하고,

상기 청색을 표시하는 화소의 면적은 청색이 아닌 색을 표시하는 화소의 면적보다 큼, 정보 처리 장치.

청구항 6

제1항에 있어서,

상기 반사형 액정 소자는 액정층 및 상기 액정층을 통해 입사하는 광을 반사하는 도전막을 포함하고,

상기 도전막은 상기 트랜지스터의 반도체막 및 상기 트랜지스터의 게이트 전극으로서 기능하는 도전막과 중첩하는 영역을 갖고,

상기 반도체막은 상기 도전막과 게이트 전극으로서 기능하는 상기 도전막 사이에 제공되는, 정보 처리 장치.

청구항 7

제1항에 있어서,

상기 입력부는 키보드, 하드웨어 버튼, 포인팅 디바이스, 터치 센서, 촬상 장치, 음성 입력 장치, 시점 입력 장치, 및 자세 검출 장치 중 적어도 하나를 포함하는, 정보 처리 장치.

발명의 설명

기술분야

[0001] 본 발명의 일 형태는, 정보 처리 장치, 프로그램 또는 반도체 장치에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는, 상기 기술 분야에 한정되지 않는다. 본 명세서 등에서 개시하는 발명의 일 형태의 기술분야는, 물, 방법, 또는, 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는, 프로세스, 머신, 매뉴팩처, 또는, 조성물(콤파지션·오브·메터)에 관한 것이다. 그 때문에, 보다 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술 분야로서는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 그것들의 구동 방법, 또는 그것들의 제조 방법을 일례로서 들 수 있다.

배경기술

[0003] 표시부와, 입력부를 갖는 정보 처리 장치를, 입력부에 의해 입력 신호를 취득하는 제1 스텝과, 입력 신호에 따라, 표시부에 표시하는 화상의 이동을 개시하는 제2 스텝과, 화상의 휨도를 저하시키는 제3 스텝과, 화상의 좌표가, 소정 좌표에 도달했는지 여부를 판정하는 제4 스텝과, 화상의 좌표가 소정 좌표에 도달한 경우에, 화상의 휨도를 상승시키는 제5 스텝과, 화상의 이동을 정지하는 제6 스텝에 의해 구동하는, 사용자의 안정 피로가 억제되어, 눈을 편안하게 하는 표시를 할 수 있는 정보 처리 장치의 구동 방법이 알려져 있다(특허문헌 1).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허 공개 제2014-115641호 공보

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 형태는, 편리성 또는 신뢰성이 우수한 신규 정보 처리 장치를 제공하는 것을 과제의 하나로 한다. 또는, 편리성 또는 신뢰성이 우수한 신규 프로그램을 제공하는 것을 과제의 하나로 한다. 또는, 신규 정보 처리 장치, 신규 프로그램 또는 신규 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0006] 또한, 이들 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 이외의 과제는, 명세서, 도면, 청구항 등의 기재로부터, 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터, 이들 이외의 과제를 추출하는 것이 가능하다.

과제의 해결 수단

[0007] (1) 본 발명의 일 형태는, 연산 장치와, 입출력 장치를 갖는 정보 처리 장치이다.

[0008] 그리고, 연산 장치는, 위치 정보를 공급받고, 화상 정보 및 제어 정보를 공급하는 기능을 구비한다.

[0009] 입출력 장치는, 위치 정보를 공급하는 기능을 구비하고, 화상 정보 및 제어 정보를 공급받는다.

[0010] 또한, 입출력 장치는, 화상 정보를 표시하는 표시부 및 위치 정보를 공급하는 입력부를 구비한다.

[0011] 표시부는, 반사형의 액정 소자 및 액정 소자와 전기적으로 접속되는 화소 회로를 구비한다.

[0012] 입력부는, 포인터의 위치를 검지하여, 위치에 기초해서 결정된 위치 정보를 공급하는 기능을 구비한다.

[0013] 연산 장치는, 위치 정보에 기초하여 포인터의 이동 속도를 결정하는 기능을 구비한다.

[0014] 또한, 연산 장치는, 화상 정보의 콘트라스트 또는 밝기를 포인터의 이동 속도에 기초하여 결정하는 기능을 구비한다.

[0015] 상기 본 발명의 일 형태의 정보 처리 장치는, 위치 정보를 공급하고, 화상 정보를 공급받는 입출력 장치와, 위

치 정보를 공급받고, 화상 정보를 공급하는 연산 장치를 포함하여 구성되고, 연산 장치는 포인터의 이동 속도에 기초하여 화상 정보의 콘트라스트 또는 밝기를 결정한다. 이에 의해, 화상 정보의 표시 위치를 이동할 때, 사용자의 눈에 가해지는 부담을 경감할 수 있어, 사용자의 눈을 편안하게 하는 표시를 할 수 있다. 그 결과, 편리성 또는 신뢰성이 우수한 신규 정보 처리 장치를 제공할 수 있다.

- [0016] (2) 또한, 본 발명의 일 형태는, 화소 회로가 산화물 반도체를 사용하는 트랜지스터를 구비하는, 상기 정보 처리 장치이다.
- [0017] (3) 또한, 본 발명의 일 형태는, 이하의 제1 스텝 내지 제8 스텝을 갖는 정보 처리 장치의 프로그램이다.
- [0018] 제1 스텝에서, 설정을 초기화한다.
- [0019] 제2 스텝에서, 인터럽트 처리를 허가한다.
- [0020] 제3 스텝에서, 제1 스텝 또는 인터럽트 처리에서 선택된, 소정의 모드에서 화상 정보를 표시한다.
- [0021] 제4 스텝에서, 종료 명령이 공급된 경우에는 제5 스텝으로 진행하고, 종료 명령이 공급되지 않은 경우에는 제3 스텝으로 진행하도록 선택한다.
- [0022] 제5 스텝에서, 종료한다.
- [0023] 인터럽트 처리는 이하의 제6 스텝 내지 제8 스텝을 구비한다.
- [0024] 제6 스텝에서, 소정의 이벤트가 공급된 경우에는, 제7 스텝으로 진행하고, 소정의 이벤트가 공급되지 않은 경우에는, 제8 스텝으로 진행하도록 결정한다.
- [0025] 제7 스텝에서, 모드를 변경한다.
- [0026] 제8 스텝에서, 인터럽트 처리를 종료한다.
- [0027] 제1 모드가 선택되어 있는 경우, 제3 스텝에서, 포인터의 이동 속도가 소정의 속도보다 빠른 경우에는, 제2 모드가 선택되어 있는 경우보다 콘트라스트가 저감된 화상 정보를 표시하고, 포인터의 이동 속도가 소정의 속도보다 느린 경우에는, 제2 모드가 선택되어 있는 경우보다 콘트라스트가 강조된 화상 정보를 표시한다.
- [0028] 상기 본 발명의 일 형태의 프로그램은, 소정의 이벤트가 공급된 경우에, 콘트라스트가 포인터의 이동 속도에 기초해서 바뀐 화상을 표시하는 스텝을 포함하여 구성된다. 이에 의해, 화상 정보의 표시 위치를 이동할 때, 사용자의 눈에 가해지는 부담을 경감할 수 있어, 사용자의 눈을 편안하게 하는 표시를 할 수 있다. 그 결과, 편리성 또는 신뢰성이 우수한 신규 프로그램을 제공할 수 있다.
- [0029] (4) 또한, 본 발명의 일 형태는, 제3 스텝에서 이하의 조건에서 화상 정보를 표시하는, 정보 처리 장치의 프로그램이다.
- [0030] 제2 모드가 선택되어 있는 경우, 제3 스텝에서, 제1 모드가 선택되어 있는 경우보다 낮은 빈도로 선택 신호를 공급한다.
- [0031] 상기 본 발명의 일 형태의 프로그램은, 소정의 이벤트가 공급되지 않는 경우에, 저감된 빈도로 공급되는 선택 신호를 사용해서 화상을 표시하는 스텝을 포함하여 구성된다. 이에 의해, 정지 화상을 표시할 때, 사용자의 눈에 가해지는 부담을 경감할 수 있어, 사용자의 눈을 편안하게 하는 표시를 할 수 있다. 그 결과, 편리성 또는 신뢰성이 우수한 신규 프로그램을 제공할 수 있다.
- [0032] (5) 또한, 본 발명의 일 형태는, 표시부가, 청색을 표시하는 화소, 녹색을 표시하는 화소 및 적색을 표시하는 화소를 구비하는 상기 정보 처리 장치이다.
- [0033] 그리고, 청색을 표시하는 화소가, 다른 색을 표시하는 화소보다 큰 면적을 구비한다.
- [0034] 이에 의해, 백색의 표시를 양호하게 할 수 있다. 그 결과, 편리성 또는 신뢰성이 우수한 신규 정보 처리 장치를 제공할 수 있다.
- [0035] (6) 또한, 본 발명의 일 형태는, 반사형의 액정 소자가, 액정층 및 액정층으로부터 입사하는 광을 반사하는 도전막을 구비하는 상기 정보 처리 장치이다.
- [0036] 그리고, 도전막은 트랜지스터의 반도체 막 및 게이트 전극으로서 기능하는 도전막과 중첩되는 영역을 구비한다. 또한, 반도체 막은, 도전막 및 게이트 전극으로서 기능하는 도전막의 사이에 배치된다.

- [0037] 상기 본 발명의 일 형태의 정보 처리 장치는, 반사형의 액정 소자의 액정층으로부터 입사하는 광을 반사하는 도전막이 트랜지스터와 중첩되는 영역을 구비하고, 도전막과 트랜지스터의 사이에 제2 게이트로서 기능하는 도전막을 포함하여 구성된다. 이에 의해, 액정 소자의 동작에 수반하여 트랜지스터의 특성이 변동되어버리는 문제를 억제할 수 있다. 그 결과, 편리성 또는 신뢰성이 우수한 신규 정보 처리 장치를 제공할 수 있다.
- [0038] (7) 또한, 본 발명의 일 형태는, 입력부가, 키보드, 하드웨어 버튼, 포인팅 디바이스, 터치 센서, 홀상 장치, 음성 입력 장치, 시점 입력 장치, 자세 검출 장치 중 하나 이상을 포함하는, 상기 정보 처리 장치이다. 이에 의해, 소비 전력을 저감하고, 밝은 장소에서도 우수한 시인성을 확보할 수 있다. 그 결과, 편리성 또는 신뢰성이 우수한 신규 정보 처리 장치를 제공할 수 있다.
- [0039] 본 명세서에 첨부한 도면에서는, 구성 요소를 기능마다 분류하고, 서로 독립된 블록으로 해서 블록도를 나타내고 있지만, 실제의 구성 요소는 기능마다 완전히 분리하는 것이 어렵고, 하나의 구성 요소가 복수의 기능에 관계되는 경우도 있을 수 있다.
- [0040] 본 명세서에서 트랜지스터가 갖는 소스와 드레인은, 트랜지스터의 극성 및 각 단자에 부여되는 전위의 고저에 따라, 그 호칭이 바뀐다. 일반적으로, n채널형 트랜지스터에서는, 낮은 전위가 부여되는 단자가 소스라고 불리고, 높은 전위가 부여되는 단자가 드레인이라고 불린다. 또한, p채널형 트랜지스터에서는, 낮은 전위가 부여되는 단자가 드레인이라고 불리고, 높은 전위가 부여되는 단자가 소스라고 불린다. 본 명세서에서는, 편의상, 소스와 드레인이 고정되어 있는 것으로 가정하고, 트랜지스터의 접속 관계를 설명하는 경우가 있지만, 실제로는 상기 전위의 관계에 따라서 소스와 드레인의 호칭이 바뀐다.
- [0041] 본 명세서에서 트랜지스터의 소스란, 활성층으로서 기능하는 반도체 막의 일부인 소스 영역, 또는 상기 반도체 막에 접속된 소스 전극을 의미한다. 마찬가지로, 트랜지스터의 드레인이란, 상기 반도체 막의 일부인 드레인 영역, 또는 상기 반도체 막에 접속된 드레인 전극을 의미한다. 또한, 게이트는 게이트 전극을 의미한다.
- [0042] 본 명세서에서 트랜지스터가 직렬로 접속되어 있는 상태란, 예를 들어 제1 트랜지스터의 소스 또는 드레인의 한쪽만이, 제2 트랜지스터의 소스 또는 드레인의 한쪽에만 접속되어 있는 상태를 의미한다. 또한, 트랜지스터가 병렬로 접속되어 있는 상태란, 제1 트랜지스터의 소스 또는 드레인의 한쪽이 제2 트랜지스터의 소스 또는 드레인의 한쪽에 접속되고, 제1 트랜지스터의 소스 또는 드레인의 다른 쪽이 제2 트랜지스터의 소스 또는 드레인의 다른 쪽에 접속되어 있는 상태를 의미한다.
- [0043] 본 명세서에서 접속이란, 전기적인 접속을 의미하고 있으며, 전류, 전압 또는 전위가, 공급 가능, 또는 전송 가능한 상태에 상당한다. 따라서, 접속하고 있는 상태란, 직접 접속하고 있는 상태를 반드시 가리키는 것은 아니고, 전류, 전압 또는 전위가, 공급 가능, 또는 전송 가능하도록, 배선, 저항, 다이오드, 트랜지스터 등의 회로 소자를 통해서 간접적으로 접속하고 있는 상태도, 그 범주에 포함한다.
- [0044] 본 명세서에서 회로도상은 독립된 구성 요소끼리 접속되어 있는 경우라도, 실제로는, 예를 들어 배선의 일부가 전극으로서 기능하는 경우 등, 하나의 도전막이, 복수의 구성 요소의 기능을 겸비하고 있는 경우도 있다. 본 명세서에서 접속이란, 이러한 하나의 도전막이, 복수의 구성 요소의 기능을 겸비하고 있는 경우도, 그 범주에 포함한다.
- [0045] 또한, 본 명세서 중에서, 트랜지스터의 제1 전극 또는 제2 전극의 한쪽이 소스 전극을, 다른 쪽이 드레인 전극을 가리킨다.

발명의 효과

- [0046] 본 발명의 일 형태에 의하면, 편리성 또는 신뢰성이 우수한 신규 정보 처리 장치를 제공할 수 있다. 또는, 편리성 또는 신뢰성이 우수한 신규 프로그램을 제공할 수 있다. 또는, 신규 정보 처리 장치, 신규 프로그램, 또는, 신규 반도체 장치를 제공할 수 있다.
- [0047] 또한, 이들 효과의 기재는, 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 반드시 이들 효과 모두를 가질 필요는 없다. 또한, 이들 이외의 효과는, 명세서, 도면, 청구항 등의 기재로부터, 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터, 이들 이외의 효과를 추출하는 것이 가능하다.

도면의 간단한 설명

- [0048] 도 1은 실시 형태에 따른 정보 처리 장치의 구성을 설명하는 도면 및 정보 처리 장치의 사용 상태의 일례를 설

명하는 모식도이다.

도 2는 실시 형태에 따른 표시부의 구성을 설명하는 도면이다.

도 3은 실시 형태에 따른 프로그램을 설명하는 흐름도이다.

도 4는 실시 형태에 따른 화상 정보의 표시 방법을 설명하는 모식도이다.

도 5는 실시 형태에 따른 시신경과 전달 함수를 설명하는 모식도이다.

도 6은 실시 형태에 따른 시각 전달 함수를 설명하는 모식도이다.

도 7은 실시 형태에 따른 화상 정보의 구성을 설명하는 모식도이다.

도 8은 실시 형태에 따른 표시 모듈의 구성을 설명하는 상면도이다.

도 9는 실시 형태에 따른 화소의 구성을 설명하는 상면도이다.

도 10은 실시 형태에 따른 표시 모듈의 구성을 설명하는 단면도이다.

도 11은 실시 형태에 따른 표시 모듈의 구성을 설명하는 단면도이다.

도 12는 실시 형태에 따른 표시 모듈의 구성을 설명하는 단면도이다.

도 13은 실시 형태에 따른 표시 모듈의 구성을 설명하는 단면도이다.

도 14는 실시 형태에 따른 트랜지스터의 구성을 설명하는 도면이다.

도 15는 실시 형태에 따른 트랜지스터의 구성을 설명하는 도면이다.

도 16은 실시 형태에 따른 터치 패널의 구성을 설명하는 도면이다.

도 17은 실시 형태에 따른 표시 모듈의 구성을 설명하는 도면이다.

도 18은 실시 형태에 따른 전자 기기의 구성을 설명하는 도면이다.

도 19는 실시예에 관한 정보 처리 장치의 표시부의 구성을 설명하는 도면이다.

도 20은 실시예에 관한 정보 처리 장치의 화소의 구성을 설명하는 도면이다.

도 21은 실시예에 관한 정보 처리 장치의 특성을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0049]

본 발명의 일 형태의 정보 처리 장치는, 위치 정보를 공급하고, 화상 정보를 공급받는 입출력 장치와, 위치 정보를 공급받고, 화상 정보를 공급하는 연산 장치를 포함하여 구성되고, 연산 장치는 포인터의 이동 속도에 기초하여 화상 정보의 콘트라스트 또는 밝기를 결정한다.

[0050]

이에 의해, 화상 정보의 표시 위치를 이동할 때, 사용자의 눈에 가해지는 부담을 경감할 수 있어, 사용자의 눈을 편안하게 하는 표시를 할 수 있다. 그 결과, 편리성 또는 신뢰성이 우수한 신규 정보 처리 장치를 제공할 수 있다.

[0051]

<측 억제의 영향을 피하는 표시 방법>

[0052]

측 억제의 영향을 피하는 표시 방법에 대해서, 도 5 및 도 6을 참조하면서 설명한다.

[0053]

도 5는, 시신경과 시각 전달 함수를 설명하는 모식도이다. 도 5의 (A)는, 하나의 화상 정보로부터 다른 화상 정보로의 전환에 수반하여, 시신경에 공급되는 자극의 일례를 설명하는 모식도이다. 또한, 도 5의 (B) 및 도 5의 (C)는, 표시부를 갖는 정보 처리 장치와, 당해 정보 처리 장치의 사용자의 위치를 설명하는 모식도이다. 또한, 도 5의 (D)는, 시각 전달 함수에 의해 변형된, 공급되는 자극에 대한 응답을 설명하는 모식도이다. 또한, 도 5의 (A)에서 종축 L은 밝기를 나타내고, 순응한 밝기를 0으로 한다. 또한, 도 5의 (D)에서 종축 S는 응답의 강도를 나타낸다.

[0054]

도 6은, 시신경과 시각 전달 함수를 설명하는 모식도이다. 도 6의 (A)는, 하나의 화상 정보로부터 다른 화상 정보로의 전환에 수반하여, 시신경에 공급되는 자극의 일례를 설명하는 모식도이다. 또한, 도 6의 (B)는, 시각 전달 함수에 의해 변형된, 공급되는 자극에 대한 응답을 설명하는 모식도이다. 또한, 도 6의 (C) 및 도 6의

(D)는, 공급되는 자극에 대한 응답의 증폭을 억제할 수 있는, 본 발명의 일 형태의 표시 방법을 설명하는 모식도이다.

[0055] 《측 억제》

자극을 받은 시신경의 신경 단위는, 인접하는 다른 신경 단위의 활동을 억제하는 능력을 구비한다. 이에 의해, 펠스 형상의 시각 자극에 대한 응답이 변형되는 경우가 있다.

[0057] 예를 들어, 사용자의 눈으로부터 40cm 떨어진 면에 있는 직경이 $100\mu\text{m}$ 인 영역에 펠스 형상으로 밝은 표시와 어두운 표시를 한다(도 5의 (A) 참조). 또한, 40cm 떨어진 면에 있는 직경 약 $100\mu\text{m}$ 의 영역은, 1개의 시세포 CELL의 크기에 상당한다(도 5의 (B) 및 (C) 참조).

[0058] 펠스 형상의 자극은, 시각 전달 함수를 통해서 물결치는 듯한 응답으로 변형되는 경우가 있다(도 5의 (A) 및 도 5의 (D) 참조). 구체적으로는, 펠스 형상의 정의 시각 자극에 대하여, 부의 응답을 수반하는 정의 응답으로 변형된다. 또한, 펠스 형상의 부의 시각 자극에 대하여, 정의 응답을 수반하는 부의 응답으로 변형된다(David C. Burr and M. Concetta Morrone, Impulse-response functions for chromatic and achromatic stimuli, Journal of Optical Society of America, 1993년, 제10권, 제8호, 1706페이지).

[0059] 예를 들어, 밝은 표시와 어두운 표시가 충분히 좁은 간격으로 연속되면, 물결치듯이 변형된, 앞서 공급된 자극에 대한 응답과, 후에 공급된 자극에 대한 응답이, 서로 강화하도록 중첩되어버리는 경우가 있다.

[0060] 구체적으로는, 펠스 형상의 밝은 제1 화상 정보를 표시한 50msec 후에, 어두운 제2 화상 정보를 표시하면, 먼저 제1 화상 정보의 표시에 대한 정의 응답이 발생하고, 이어서 부의 응답이 발생한다. 여기에서 발생한 부의 응답과, 어두운 제2 화상 정보의 표시에 대한 부의 응답이 중첩되는 경우가 있다. 이에 의해, 예를 들어 부의 응답이 매우 크게 증폭되어버리는 경우가 있다(도 6의 (A) 및 도 6의 (B) 참조).

[0061] 《표시 방법》

[0062] 일례를 들면, 100msec 이상, 바람직하게는 150msec 이상의 시간을 들여서, 하나의 화상 정보로부터 다른 화상 정보로 표시를 바꾼다. 이에 의해, 시각 전달 함수에 의해 물결치듯이 변형된 응답이 초래하는 영향, 구체적으로는 후의 자극과의 중첩에 의한 진폭의 증폭을 억제할 수 있다(도 6의 (C) 참조).

[0063] 예를 들어, 하나의 화상 정보와 다른 화상 정보의 사이에 중간의 화상 정보를 표시한다. 구체적으로는, 하나의 화상 정보와 다른 화상 정보의 중간의 계조를 구비하는 화상 정보 또는 그레이의 계조를 구비하는 화상 정보를 표시한다(도 6의 (D) 참조). 이에 의해, 물결치듯이 변형된, 앞서 공급된 자극에 대한 응답을, 후에 공급하는 자극에 대한 응답으로 상쇄하여, 약화시킬 수 있다.

[0064] 또한, 다른 일례를 들면, 하나의 화상 정보를 페이드 아웃하면서 다른 화상 정보를 페이드 인하는 화상(크로스 페이드라고도 함)을 중간의 화상 정보에 사용할 수 있다.

[0065] 또한, 다른 일례를 들면, 단시간에 하나의 화상 정보로부터 다른 화상 정보로 변화되도록, 하나의 화상 정보와 다른 화상 정보의 차를 강조한 화상 정보를, 하나의 화상 정보와 다른 화상 정보의 사이에 삽입해서 표시하는 방법(오버드라이브법이라고도 함)을 사용하지 않고 표시한다. 이에 의해, 목적으로 하는 다른 화상 정보의 표시가 이루어질 때까지의 시간을 늦출 수 있다.

[0066] 또한, 다른 일례를 들면, 계조의 변화가 완만하게 초래되도록, 온화하게 강조된 계조를 구비하는 화상 정보를 하나의 화상 정보와 다른 화상 정보의 사이에 삽입하여, 액정 표시 소자를 구동한다.

[0067] 이에 의해, 측 억제의 영향을 피할 수 있다. 그 결과, 시각 자극에 대한 응답의 증폭을 억제할 수 있다.

[0068] 《응답이 측 억제의 영향을 받기 쉬운 화상 정보》

[0069] 시각 전달 함수에 의해 물결치듯이 변형된 앞의 자극에 대한 응답이, 후에 공급되는 자극에 영향을 주기 쉬운 화상 정보에 대해서, 도 7을 참조하면서 설명한다. 여기서 설명하는 화상 정보를 표시할 때, 예를 들어 상기 표시 방법을 사용해도 된다.

[0070] 도 7의 (A)는, 화상 정보 및 화상 정보에 포함되는 암부와 명부를 설명하는 모식도이다.

[0071] 도 7의 (B)는, 화상 정보에 포함되는 화소를 명도마다 구분하고, 명도마다의 면적비를 구한 결과를 설명하는 히스토그램이다. 또한, 표시 장치의 표시부에 표시하는 가장 어두운 밝기를 0으로, 가장 밝은 밝기를 1로 규격화하여, 획축에 사용한다. 또한, 어떤 명도의 화소가 그 화상 정보에서 차지하는 비율을, 히스토그램에 그려지는

그래프의 면적으로부터 알 수 있다.

[0072] 도 7의 (C)는, 백색의 용지에 문자가 인쇄된 일반적인 문서의 일례에 대해서, 명도마다의 면적비를 조사한 결과를 설명하는 도면(히스토그램이라고도 함)이다. 또한, 밝은 부분에서 면적비가 가장 커던 밝기를 1로 규격화하여, 획득에 사용한다.

《콘트라스트가 높은 화상 정보》

[0074] 예를 들어, 명부 및 암부를 갖는 화상 정보가 초래하는 시각 자극에 대한 응답은, 측 역제의 영향을 받기 쉽다. 또한, 화상 정보에 포함되는 규격화된 명도가 0 이상 0.3 이하의 영역을 암부로 할 수 있고, 0.7 이상 1.0 이하의 영역을 명부로 할 수 있다.

[0075] 예를 들어, 규격화된 명도가 0.2인 영역과, 규격화된 명도가 0.95 이상 1 이하인 영역을 갖는 화상 정보가 초래하는 시각 자극에 대한 응답은, 측 역제의 영향을 받기 쉽다(도 7의 (B) 참조).

[0076] 또한, 백색의 용지에 문자가 인쇄된 일반적인 문서의 일례(도 7의 (C) 참조)에 비해 콘트라스트가 낮은 화상 정보가 초래하는 시각 자극에 대한 응답은, 측 역제의 영향이 경미해진다.

《암부의 면적의 비율이 높은 화상 정보》

[0078] 예를 들어, 암부의 면적이 소정의 면적비보다 높은 화상 정보가 초래하는 시각 자극에 대한 응답은, 측 역제의 영향을 받기 쉽다. 구체적으로는, 화상 정보의 30% 이상을 차지하는 암부를 갖는 화상 정보가 초래하는 시각 자극에 대한 응답은, 측 역제의 영향을 받기 쉽다(도 7의 (B) 참조).

[0079] 또한, 암부의 면적이 백색의 용지에 문자가 인쇄된 일반적인 문서의 일례(도 7의 (C) 참조)보다 적은 화상 정보가 초래하는 시각 자극에 대한 응답은, 측 역제의 영향이 경미해진다.

<배경 색>

[0081] 그런데, 화상 정보의 배경에 사용자의 기호에 맞춘 색을 사용할 수 있다.

[0082] 예를 들어, 표시부에 표시하는 화상 정보를 사용하여, 발상력 또는 독창력이 요구되는 창조성이 높은 작업을 행하는 경우, 정형적인 사무 작업 등을 효율적으로 처리할 때 배경으로 사용하는 색보다, 황색기를 띤 색 또는 어두운 색을 배경으로 사용한다. 이에 의해, 에너지의 소비를 예를 들어 40% 이상 삭감할 수 있는 경우가 있다.

[0083] 구체적으로는, 3000K 이상 4500K 이하의 색 온도를 갖는 색을 화상 정보의 배경으로 사용한다.

[0084] 또는, 창조성이 높은 작업을 행하는 환경의 조도를, 3001x 이상 8001x 이하가 되도록 표시부를 사용해도 된다.

[0085] 이에 의해, 발상력 또는 독창력이 요구되는 창조성이 높은 작업에 적합하게, 화상 정보를 표시할 수 있다. 또한, 표시부의 사용에 수반하는 에너지의 소비를 억제할 수 있다.

[0086] 예를 들어, 상기 표시 방법에 있어서, 하나의 화상 정보와 다른 화상 정보의 사이에 사용하는 중간의 화상 정보에, 황색기를 띤 색 또는 어두운 색을 배경으로 사용한 화상 정보를 이용해도 된다. 이에 의해, 스크롤 명령에 수반하여 소비되는 에너지를 삭감할 수 있다.

[0087] 실시 형태에 대해서, 도면을 사용해서 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있음은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시 형태의 기재 내용에 한정해서 해석되는 것이 아니다. 또한, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 마찬가지의 기능을 갖는 부분에는 동일한 부호를 서로 다른 도면간에 공통되게 사용하고, 그 반복 설명은 생략한다.

(실시 형태 1)

[0089] 본 실시 형태에서는, 본 발명의 일 형태의 정보 처리 장치의 구성에 대해서, 도 1 내지 도 3을 참조하면서 설명한다.

[0090] 도 1의 (A)는, 정보 처리 장치(200)의 구성을 설명하는 블록도이다. 도 1의 (B)는, 정보 처리 장치(200)가 사용되고 있는 상태의 일례를 설명하는 모식도이다.

[0091] 도 2의 (A)는 표시부(230)의 구성을 설명하는 블록도이다. 도 2의 (B)는 표시부(230B)의 구성을 설명하는 블록도이다. 도 2의 (C)는 화소(232)(i, j)의 구성을 설명하는 회로도이다. 도 2의 (D)는 화소(232B)(i, j)의 구

성을 설명하는 회로도이다.

[0092] <정보 처리 장치의 구성 예 1.>

[0093] 본 실시 형태에서 설명하는 정보 처리 장치(200)는, 연산 장치(210)와 입출력 장치(220)를 갖는다(도 1의 (A) 참조).

[0094] 그리고, 연산 장치(210)는, 위치 정보(P1)를 공급받고, 화상 정보(V1) 및 제어 정보를 공급하는 기능을 구비한다.

[0095] 입출력 장치(220)는, 위치 정보(P1)를 공급하는 기능을 구비하고, 화상 정보(V1) 및 제어 정보를 공급받는다.

[0096] 입출력 장치(220)는, 화상 정보(V1)를 표시하는 표시부(230) 및 위치 정보(P1)를 공급하는 입력부(240)를 구비한다.

[0097] 또한, 표시부(230)는, 반사형의 액정 소자 및 액정 소자와 전기적으로 접속되는 화소 회로를 구비하고, 화소 회로는 산화물 반도체를 사용하는 트랜지스터를 구비한다.

[0098] 입력부(240)는, 포인터의 위치를 검지하여, 위치에 기초해서 결정된 위치 정보(P1)를 공급하는 기능을 구비한다.

[0099] 연산 장치(210)는, 위치 정보(P1)에 기초하여 포인터의 이동 속도를 결정하는 기능을 구비한다.

[0100] 연산 장치(210)는, 화상 정보(V1)의 콘트라스트 또는 밝기를 이동 속도에 기초하여 결정하는 기능을 구비한다.

[0101] 본 실시 형태에서 설명하는 정보 처리 장치(200)는, 위치 정보(P1)를 공급하고, 화상 정보를 공급받는 입출력 장치(220)와, 위치 정보(P1)를 공급받고 화상 정보(V1)를 공급하는 연산 장치(210)를 포함하여 구성되고, 연산 장치(210)는, 위치 정보(P1)의 이동 속도에 기초하여 화상 정보(V1)의 콘트라스트 또는 밝기를 결정하는 기능을 구비한다.

[0102] 이에 의해, 화상 정보의 표시 위치를 이동할 때, 사용자의 눈에 가해지는 부담을 경감할 수 있어, 사용자의 눈을 편안하게 하는 표시를 할 수 있다. 또한, 소비 전력을 저감하고, 직사 광선 등의 밝은 장소에서도 우수한 시인성을 제공할 수 있다. 그 결과, 편리성 또는 신뢰성이 우수한 신규 정보 처리 장치를 제공할 수 있다.

[0103] <구성>

[0104] 본 발명의 일 형태의 정보 처리 장치는, 연산 장치(210) 및 입출력 장치(220)를 구비한다.

[0105] 《연산 장치(210)》

[0106] 연산 장치(210)는, 연산부(211) 및 기억부(212)를 구비한다. 또한, 전송로(214) 및 입출력 인터페이스(215)를 구비한다(도 1의 (A) 참조).

[0107] 《연산부(211)》

[0108] 연산부(211)는, 예를 들어 프로그램을 실행하는 기능을 구비한다.

[0109] 《기억부(212)》

[0110] 기억부(212)는, 예를 들어 연산부(211)가 실행하는 프로그램, 초기 정보, 설정 정보 또는 화상 등을 기억하는 기능을 갖는다.

[0111] 구체적으로는, 하드 디스크, 플래시 메모리 또는 산화물 반도체를 포함하는 트랜지스터를 사용한 메모리 등을 사용할 수 있다.

[0112] 《입출력 인터페이스(215), 전송로(214)》

[0113] 입출력 인터페이스(215)는, 단자 또는 배선을 구비하고, 정보를 공급하고, 정보를 공급받는 기능을 구비한다. 예를 들어, 전송로(214)와 전기적으로 접속할 수 있다. 또한, 입출력 장치(220)와 전기적으로 접속할 수 있다.

[0114] 전송로(214)는 배선을 구비하고, 정보를 공급하고, 정보를 공급받는 기능을 구비한다. 예를 들어, 입출력 인터페이스(215)와 전기적으로 접속할 수 있다. 또한, 연산부(211) 또는 기억부(212)와 전기적으로 접속할 수 있다.

[0115] 《입출력 장치(220)》

[0116] 입출력 장치(220)는, 표시부(230), 입력부(240), 검지부(250) 및 통신부(290)를 구비한다.

[0117] 《표시부(230)》

[0118] 표시부(230)는, 표시 영역(231)과, 구동 회로(GD)와, 구동 회로(SD)를 갖는다(도 2의 (A) 참조).

[0119] 표시 영역(231)은, 행방향으로 배치되는 복수의 화소(232(i, 1) 내지 232(i, n))와, 열방향으로 배치되는 복수의 화소(232(1, j)) 내지 화소(232(m, j))와, 복수의 화소(232(i, 1)) 내지 232(i, n))와 전기적으로 접속되는 주사선(G(i))과, 복수의 화소(232(1, j)) 내지 화소(232(m, j))와 전기적으로 접속되는 신호선(S(j))과, 배선(VCOM)을 구비한다. 또한, i는 1 이상 m 이하의 정수이며, j는 1 이상 n 이하의 정수이며, m 및 n은 1 이상의 정수이다.

[0120] 또한, 표시부는, 복수의 구동 회로를 가질 수 있다. 예를 들어, 표시부(230B)는, 구동 회로(GD1) 및 구동 회로(GD2)를 가질 수 있다(도 2의 (B) 참조).

[0121] 《구동 회로(GD)》

[0122] 구동 회로(GD)는, 제어 정보에 기초하여 선택 신호를 공급하는 기능을 갖는다.

[0123] 일례를 들면, 제어 정보에 기초하여, 30Hz 이상, 바람직하게는 60Hz 이상의 빈도로 하나의 주사선에 선택 신호를 공급하는 기능을 구비한다. 이에 의해, 동화상을 매끄럽게 표시할 수 있다.

[0124] 예를 들어, 제어 정보에 기초하여, 30Hz 미만, 바람직하게는 1Hz 미만, 보다 바람직하게는 1분에 1회 미만의 빈도로 하나의 주사선에 선택 신호를 공급하는 기능을 구비한다. 이에 의해, 플리커가 억제된 상태에서 정지 화상을 표시할 수 있다.

[0125] 또한, 예를 들어 복수의 구동 회로를 구비하는 경우, 구동 회로(GD1)가 선택 신호를 공급하는 빈도와, 구동 회로(GD2)가 선택 신호를 공급하는 빈도를, 상이하게 할 수 있다. 구체적으로는, 동화상을 원활하게 표시하는 영역에, 정지 화상을 플리커가 억제된 상태에서 표시하는 영역보다 높은 빈도로 선택 신호를 공급할 수 있다.

[0126] 《구동 회로(SD)》

[0127] 구동 회로(SD)는, 화상 정보(V1)에 기초하여 화상 신호를 공급하는 기능을 갖는다.

[0128] 《화소(232(i, j))》

[0129] 화소(232(i, j))는, 표시 소자(235) 및 표시 소자와 전기적으로 접속하는 화소 회로를 구비한다.

[0130] 《표시 소자(235)》

[0131] 예를 들어, 광의 투과를 제어하는 기능을 구비하는 표시 소자를, 표시 소자(235)에 사용할 수 있다. 예를 들어, 편광판 및 액정 소자 또는 셔터 방식의 MEMS 표시 소자 등을 사용할 수 있다.

[0132] 구체적으로는, IPS(In-Plane-Switching) 모드, TN(Twisted Nematic) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 모드 등의 구동 방법을 사용해서 구동할 수 있는 액정 소자를 사용할 수 있다.

[0133] 또한, 예를 들어 수직 배향(VA) 모드, 구체적으로는, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등의 구동 방법을 사용해서 구동할 수 있는 액정 소자를 사용할 수 있다.

[0134] 표시 소자(235)는, 제1 전극과, 제2 전극과, 액정층을 갖는다. 액정층은, 제1 전극 및 제2 전극의 사이의 전압을 사용해서 배향을 제어할 수 있는 액정 재료를 포함한다. 예를 들어, 액정층의 두께 방향(세로 방향이라고도 함), 가로 방향 또는 경사 방향의 전계를, 액정 재료의 배향을 제어하는 전계에 사용할 수 있다.

[0135] 예를 들어, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는, 조건에 따라, 콜레스테리상, 스메틱상, 큐빅상, 키랄네마티상, 등방상 등을 나타낸다. 또는, 블루상을 나타내는 액정 재료를 사용할 수 있다.

[0136] 《화소 회로》

- [0137] 표시 소자에 따른 회로를 화소 회로에 사용할 수 있다. 예를 들어, 화소 회로는, 주사선(G(i)), 신호선(S(j)) 및 배선(VCOM)과 전기적으로 접속된다.
- [0138] 예를 들어, 액정 소자를 표시 소자(235)에 사용하는 경우, 스위치로서 기능하는 트랜지스터(SW) 및 용량 소자(C1) 등을 화소 회로에 사용할 수 있다. 또는, 예를 들어 트랜지스터, 다이오드, 저항 소자, 용량 소자 또는 인덕터 등을 화소 회로에 사용할 수 있다.
- [0139] 예를 들어, 복수의 트랜지스터를 스위치로서 기능하는 트랜지스터(SW) 대신에 사용할 수 있다. 또는, 병렬로 접속된 복수의 트랜지스터, 직렬로 접속된 복수의 트랜지스터, 직렬과 병렬이 조합되어서 접속된 복수의 트랜지스터를, 하나의 스위치로서 기능하는 트랜지스터(SW) 대신에 사용할 수 있다.
- [0140] 예를 들어, 표시 소자(235)의 제1 전극과, 제1 전극과 중첩되는 영역을 구비하는 도전막을 사용하여, 용량 소자를 형성해도 된다.
- [0141] 예를 들어, 화소 회로는, 게이트 전극이 주사선(G)(i)과 전기적으로 접속되고, 제1 전극이 신호선(S)(j)과 전기적으로 접속된 스위치로서 기능하는 트랜지스터(SW)를 갖는다. 또한, 제1 전극이 트랜지스터(SW)의 제2 전극과 전기적으로 접속되고, 제2 전극이 배선(VCOM)과 전기적으로 접속된 용량 소자(C1)를 갖는다(도 2의 (C) 참조). 또한, 표시 소자(235)의 제1 전극은, 스위치에 사용할 수 있는 트랜지스터(SW)의 제2 전극과 전기적으로 접속되고, 표시 소자(235)의 제2 전극은, 배선(VCOM)과 전기적으로 접속된다.
- [0142] 《트랜지스터》
- [0143] 예를 들어, 동일한 공정에서 형성할 수 있는 반도체 막을 구동 회로 및 화소 회로의 트랜지스터에 사용할 수 있다.
- [0144] 예를 들어, 보텀 게이트형의 트랜지스터 또는 톱 게이트형의 트랜지스터 등을 사용할 수 있다.
- [0145] 예를 들어, 4족의 원소를 포함하는 반도체를 사용하는 트랜지스터를 이용할 수 있다. 구체적으로는, 실리콘을 포함하는 반도체를 반도체 막에 사용할 수 있다. 예를 들어, 단결정 실리콘, 폴리 실리콘, 미결정 실리콘 또는 아몰퍼스 실리콘 등을 반도체 막에 사용한 트랜지스터를 사용할 수 있다.
- [0146] 예를 들어, 산화물 반도체를 사용하는 트랜지스터를 이용할 수 있다. 구체적으로는, 인듐을 포함하는 산화물 반도체 또는 인듐과 갈륨과 아연을 포함하는 산화물 반도체를 반도체 막에 사용할 수 있다.
- [0147] 일례를 들면, 오프 상태에서의 누설 전류가, 반도체 막에 아몰퍼스 실리콘을 사용한 트랜지스터보다 작은 트랜지스터를 사용할 수 있다. 구체적으로는, 반도체 막에 산화물 반도체를 사용한 트랜지스터를 사용할 수 있다.
- [0148] 이에 의해, 화소 회로가 화상 신호를 유지할 수 있는 시간을, 아몰퍼스 실리콘을 반도체 막에 사용한 트랜지스터를 이용하는 화소 회로가 유지할 수 있는 시간보다 길게 할 수 있다. 구체적으로는, 폴리커의 발생을 억제하면서, 선택 신호를 30Hz 미만, 바람직하게는 1Hz 미만, 보다 바람직하게는 1분에 1회 미만의 빈도로 공급할 수 있다. 그 결과, 정보 처리 장치의 사용자에게 축적되는 피로를 저감할 수 있다. 또한, 구동에 수반하는 소비 전력을 저감할 수 있다.
- [0149] 또는, 예를 들어 화합물 반도체를 사용하는 트랜지스터를 이용할 수 있다. 구체적으로는, 갈륨 비소를 포함하는 반도체를 반도체 막에 사용할 수 있다.
- [0150] 예를 들어, 유기 반도체를 사용하는 트랜지스터를 이용할 수 있다. 구체적으로는, 폴리아센류 또는 그레핀을 포함하는 유기 반도체를 반도체 막에 사용할 수 있다.
- [0151] 《입력부(240)》
- [0152] 다양한 휴면 인터페이스 등을 입력부(240)에 사용할 수 있다(도 1의 (A) 참조).
- [0153] 예를 들어, 키보드, 마우스, 터치 센서, 마이크 또는 카메라 등을 입력부(240)에 사용할 수 있다. 또한, 표시부(230)와, 표시부(230)에 중첩되는 영역을 구비하는 터치 센서를 포함하는 입출력 장치(220)를 터치 패널이라고 할 수 있다.
- [0154] 예를 들어, 사용자는, 터치 패널에 접촉한 손가락을 포인터로 사용해서 다양한 제스처(탭, 드래그, 스와이프 또는 핀치인 등)를 할 수 있다.
- [0155] 예를 들어, 연산 장치(210)는, 터치 패널에 접촉하는 손가락의 위치 또는 궤적 등의 정보를 해석하고, 해석 결

과가 소정의 조건을 만족할 때, 특정한 제스처가 공급되었다고 판단할 수 있다. 이에 의해, 사용자는, 소정의 제스처에 미리 관련지어진 소정의 조작 명령을, 당해 제스처를 사용해서 공급할 수 있다.

[0156] 일례를 들면, 사용자는, 화상 정보의 표시 위치를 변경하는 「스크롤 명령」을, 터치 패널에 따라 터치 패널에 접촉하는 손가락을 이동하는 제스처를 사용해서 공급할 수 있다.

《검지부(250)》

[0158] 검지부(250)는, 주위의 상태를 검지해서 정보(P2)를 취득하는 기능을 구비한다.

[0159] 예를 들어, 카메라, 가속도 센서, 방위 센서, 압력 센서, 온도 센서, 습도 센서, 조도 센서 또는 GPS(Global positioning System) 신호 수신 회로 등을, 검지부(250)에 사용할 수 있다.

《통신부(290)》

[0161] 통신부(290)는, 정보를 네트워크에 공급하고, 정보를 네트워크로부터 취득하는 기능을 구비한다. 예를 들어, 로컬에리어 네트워크(LAN) 등에 접속된 라우터(12)와 통신하는 기능을 구비한다.

《프로그램》

[0163] 도 3 및 도 4를 참조하면서, 본 발명의 일 형태의 프로그램을 설명한다.

[0164] 도 3의 (A)는 본 발명의 일 형태의 프로그램의 주 처리를 설명하는 흐름도이며, 도 3의 (B)는 인터럽트 처리를 설명하는 흐름도이다.

[0165] 도 4는, 표시부(230)에 화상 정보를 표시하는 방법을 설명하는 모식도이다.

[0166] 본 발명의 일 형태의 프로그램은, 다음의 스텝을 갖는 프로그램이다(도 3의 (A) 참조).

[0167] 제1 스텝에서, 설정을 초기화한다(도 3의 (A) (S1) 참조).

[0168] 일례를 들면, 소정의 화상 정보와 제2 모드를 초기 설정에 사용할 수 있다.

[0169] 예를 들어, 정지 화상을 소정의 화상 정보에 사용할 수 있다. 또는, 선택 신호를 30Hz 미만, 바람직하게는 1Hz 미만, 보다 바람직하게는 1분에 1회 미만의 빈도로 공급하는 모드를 제2 모드에 사용할 수 있다.

[0170] 제2 스텝에서, 인터럽트 처리를 허가한다(도 3의 (A) (S2) 참조). 또한, 인터럽트 처리가 허가된 연산 장치는, 주 처리와 병행해서 인터럽트 처리를 행할 수 있다. 인터럽트 처리로부터 주 처리로 복귀한 연산 장치는, 인터럽트 처리를 해서 얻은 결과를 주 처리에 반영할 수 있다.

[0171] 또한, 카운터의 값이 초기값일 때, 연산 장치에 인터럽트 처리를 시키고, 인터럽트 처리로부터 복귀할 때 카운터를 초기값 이외의 값으로 해도 된다. 이에 의해, 프로그램을 기동한 후에 항상 인터럽트 처리를 시킬 수 있다.

[0172] 제3 스텝에서, 제1 스텝 또는 인터럽트 처리에서 선택된, 소정의 모드에서 화상 정보를 표시한다(도 3의 (A) (S3) 참조).

[0173] 일례를 들면, 초기 설정에 기초하여, 제2 모드에서 소정의 화상 정보를 표시한다.

[0174] 구체적으로는, 30Hz 미만, 바람직하게는 1Hz 미만, 보다 바람직하게는 1분에 1회 미만의 빈도로 하나의 주사선에 선택 신호를 공급하는 모드를 사용하여, 소정의 화상 정보를 표시한다.

[0175] 예를 들어, 시각 T1에 선택 신호를 공급하고, 표시부(230)에 제1 화상 정보(PIC1)를 표시한다(도 4 참조). 또한, 예를 들어 1초 후의 시각 T2에 선택 신호를 공급하고 소정의 화상 정보를 표시한다.

[0176] 또는, 인터럽트 처리에서 소정의 이벤트가 공급되지 않는 경우에 있어서, 제2 모드에서 하나의 화상 정보를 표시한다.

[0177] 예를 들어, 시각 T5에 선택 신호를 공급하고, 표시부(230)에 제4 화상 정보(PIC4)를 표시한다. 또한, 예를 들어 1초 후의 시각 T6에 선택 신호를 공급해서 동일한 화상 정보를 표시한다. 또한, 시각 T5부터 시각 T6까지의 기간은, 시각 T1부터 시각 T2까지의 기간과 동일하게 할 수 있다.

[0178] 일례를 들면, 인터럽트 처리에서, 소정의 이벤트가 공급된 경우, 제1 모드에서 소정의 화상 정보를 표시한다.

[0179] 구체적으로는, 인터럽트 처리에서, 「페이지 넘김 명령」과 관련지어진 이벤트가 공급된 경우, 30Hz 이상, 바람

직하게는 60Hz 이상의 빈도로 하나의 주사선에 선택 신호를 공급하는 모드를 사용하여, 표시되어 있는 하나의 화상 정보로부터 다른 화상 정보로 표시를 전환한다.

[0180] 또는, 인터럽트 처리에서, 「스크롤 명령」과 관련지어진 이벤트가 공급된 경우, 30Hz 이상, 바람직하게는 60Hz 이상의 빈도로 하나의 주사선에 선택 신호를 공급하는 모드를 사용하여, 표시되어 있던 제1 화상 정보(PIC1)의 일부 및 그것에 연속되는 부분을 포함하는 제2 화상 정보(PIC2)를 표시한다.

[0181] 이에 의해, 예를 들어 「페이지 넘김 명령」에 따라 화상이 서서히 전환되는 동화상을 원활하게 표시할 수 있다. 또는, 「스크롤 명령」에 따라 화상이 서서히 이동하는 동화상을 원활하게 표시할 수 있다.

[0182] 구체적으로는, 「스크롤 명령」과 관련지어진 이벤트가 공급된 후의 시각 T3에 선택 신호를 공급하고, 표시 위치 등이 변경된 제2 화상 정보(PIC2)를 표시한다(도 4 참조). 또한, 시각 T4에 선택 신호를 공급하고, 또한 표시 위치 등이 변경된 제3 화상 정보(PIC3)를 표시한다. 또한, 시각 T2부터 시각 T3까지의 기간, 시각 T3부터 시각 T4까지의 기간 및 시각 T4부터 시각 T5까지의 기간은, 시각 T1부터 시각 T2까지의 기간보다 짧다.

[0183] 제4 스텝에서, 종료 명령이 공급된 경우에는 제5 스텝으로 진행하고, 종료 명령이 공급되지 않은 경우에는 제3 스텝으로 진행하도록 선택한다(도 3의 (A) (S4) 참조).

[0184] 또한, 예를 들어 인터럽트 처리에서, 종료 명령을 공급할 수 있다.

[0185] 제5 스텝에서, 종료한다(도 3의 (A) (S5) 참조).

[0186] 인터럽트 처리는 이하의 제6 스텝 내지 제8 스텝을 구비한다(도 3의 (B) 참조).

[0187] 제6 스텝에서, 소정의 이벤트가 공급된 경우에는, 제7 스텝으로 진행하고, 소정의 이벤트가 공급되지 않은 경우에는, 제8 스텝으로 진행하도록 결정한다(도 3의 (B) (S6) 참조).

[0188] 예를 들어, 소정의 기간에 소정의 이벤트가 공급되었는지 여부를 분기의 조건에 사용할 수 있다. 구체적으로는, 5초 이하, 바람직하게는 1초 이하, 보다 바람직하게는 0.5초 이하, 더욱 바람직하게는 0.1초 이하이며, 0초보다 긴 기간을 소정의 기간으로 할 수 있다.

[0189] 또한, 예를 들어 종료 명령을 관련지은 이벤트를 소정의 이벤트에 포함할 수 있다.

[0190] 제7 스텝에서, 모드를 변경한다(도 3의 (B) (S7) 참조). 구체적으로는, 제1 모드를 선택하고 있던 경우에는, 제2 모드를 선택하고, 제2 모드를 선택하고 있던 경우에는, 제1 모드를 선택한다.

[0191] 제8 스텝에서, 인터럽트 처리를 종료한다(도 3의 (B) (S8) 참조).

[0192] 《소정의 이벤트》

[0193] 다양한 명령에 다양한 이벤트를 관련지을 수 있다.

[0194] 예를 들어, 표시되어 있는 하나의 화상 정보로부터 다른 화상 정보로 표시를 전환하는 「페이지 넘김 명령」, 하나의 화상 정보가 표시되어 있는 일부분의 표시 위치를 이동하여, 일부분에 연속되는 다른 부분을 표시하는 「스크롤 명령」 등이 있다.

[0195] 예를 들어, 마우스 등의 포인팅 장치를 사용해서 공급하는, 「클릭」이나 「드래그」 등의 이벤트, 손가락 등을 포인터에 사용해서 터치 패널에 공급하는, 「탭」, 「드래그」 또는 「스와이프」 등의 이벤트를 사용할 수 있다.

[0196] 예를 들어, 포인터가 지시하는 슬라이드 바의 위치, 스와이프의 속도, 드래그의 속도 등을 사용해서, 소정의 이벤트에 관련지어진 명령의 인수를 부여할 수 있다.

[0197] 구체적으로는, 「페이지 넘김 명령」을 실행할 때 사용하는 페이지를 넘기는 속도 등을 결정하는 인수나, 「스크롤 명령」을 실행할 때 사용하는 표시 위치를 이동하는 속도 등을 결정하는 인수를 부여할 수 있다.

[0198] 또한, 예를 들어 페이지를 넘기는 속도 또는/및 스크롤 속도에 따라, 표시의 밝기, 콘트라스트 또는 색감을 변화시켜도 된다.

[0199] 구체적으로는, 페이지를 넘기는 속도 또는/및 스크롤 속도가 소정의 속도보다 빠른 경우에, 속도와 동기해서 표시의 밝기가 어두워지도록 표시해도 된다.

[0200] 또는, 페이지를 넘기는 속도 또는/및 스크롤 속도가 소정의 속도보다 빠른 경우에, 속도와 동기해서 콘트라스트

가 저하되도록 표시해도 된다.

[0201] 예를 들어, 표시되어 있는 화상을 눈으로 끊아가기 어려운 속도를, 소정의 속도로 사용할 수 있다.

[0202] 또한, 화상 정보에 포함되는 밝은 계조의 영역을 어두운 계조에 근접시켜 콘트라스트를 저하시키는 방법을 사용할 수 있다.

[0203] 또한, 화상 정보에 포함되는 어두운 계조의 영역을 밝은 계조에 근접시켜 콘트라스트를 저하시키는 방법을 사용할 수 있다.

[0204] 구체적으로는, 페이지를 넘기는 속도 또는/및 스크롤 속도가 소정의 속도보다 빠른 경우에, 속도와 동기해서 황색기가 강해지도록 표시해도 된다. 또는, 속도와 동기해서 청색기가 약해지도록 표시해도 된다.

[0205] 그런데, 검지부(250)를 사용해서 검지한 정보 처리 장치의 사용 환경에 기초하여, 화상 정보를 생성해도 된다. 예를 들어, 환경의 밝기 등을 검지하여, 사용자의 기호에 맞춘 색을 화상 정보의 배경으로 사용할 수 있다(도 1의 (B) 참조). 이에 의해, 발상력 또는 독창력이 요구되는 창조성이 높은 작업을 하는 작업자에게 적합한 환경을 제공할 수 있다.

[0206] 또한, 예를 들어 조명(10)을 제어하기 위한 정보를, 조명(10)과, 조명(10)의 밝기나 색조를 제어하는 제어 장치(11)와, 제어 장치(11)와 접속된 LAN과, 로컬에리어 네트워크에 접속된 라우터(12)를 구비하는 조명 시스템에 통신부(290)를 사용해서 공급해도 된다.

[0207] 구체적으로는, 발상력 또는 독창력이 요구되는 창조성이 높은 작업을, 표시부에 표시하는 화상 정보를 사용해서 행하는 경우, 효율적으로 정형적인 사무 작업 등을 처리할 때 배경으로 사용하는 색보다, 황색기를 띤 색 또는 어두운 색의 광을 조명에 사용해도 된다.

[0208] 이에 의해, 정보 처리 장치(200)를 사용하는 사용자에게 적합한 환경을 제공할 수 있다.

[0209] 또한, 정보 처리 장치(200)가 사용하는 전력에 관한 정보를, 통신부(290)를 사용해서 인디케이터(13)에 공급해도 된다.

[0210] <정보 처리 장치의 구성예 2.>

[0211] 본 발명의 일 형태의 정보 처리 장치에 사용할 수 있는 화소(232B(i, j))의 구성에 대해서 도 2의 (D)를 참조하면서 설명한다.

[0212] 또한, 트랜지스터(SW) 대신에 트랜지스터(SW1) 및 트랜지스터(SW2)를 구비하는 점 및 스탠디 메모리를 구비하는 점이, 도 2의 (C)를 참조하면서 설명하는 화소(232(i, j))와 상이하다. 또한, 행방향으로 배치되는 화소(232B(i, j))와 전기적으로 접속되는 배선(VP)을 구비하는 점이, 도 2의 (A)를 참조하면서 설명하는 표시부(230) 또는 도 2의 (B)를 참조하면서 설명하는 표시부(230B)와 상이하다.

《화소 회로》

[0214] 표시 소자에 따른 회로를 화소 회로에 사용할 수 있다. 예를 들어, 화소 회로는, 주사선(G)(i), 신호선(S)(j), 배선(VP) 및 배선(VCOM)과 전기적으로 접속된다.

[0215] 예를 들어, 화소 회로는, 스탠디 메모리(SRAM), 트랜지스터(SW1), 트랜지스터(SW2) 및 용량 소자(C1)를 갖는다(도 2의 (D) 참조).

[0216] 예를 들어, 스탠디 메모리(SRAM)는, 신호선(S)(j)으로부터 공급되는 정보를 기억하고, 기억되어 있는 정보에 기초하는 제어 정보를, 제1 출력 단자 또는 제2 출력 단자로부터 공급한다. 트랜지스터(SW1) 또는 트랜지스터(SW2)는, 제어 정보에 기초하여, 소정의 전위를 표시 소자(235)의 제1 단자에 공급한다.

[0217] 이에 의해, 스탠디 메모리(SRAM)를 사용하지 않는 구성과 비교해서 긴 기간, 표시 소자(235)를 소정의 상태로 유지할 수 있다. 그 결과, 선택 신호를 공급하는 빈도를 저감하고, 소비 전력을 줄일 수 있다. 또한, 플리커의 발생을 억제할 수 있다.

[0218] 또한, 스탠디 메모리(SRAM)는, 제어 단자가 주사선(G(i))과 전기적으로 접속되고, 입력 단자가 신호선(S)(j)과 전기적으로 접속된다.

[0219] 또한, 트랜지스터(SW1)는, 게이트가 제1 출력 단자와 전기적으로 접속되고, 제1 전극이 배선(VP)과 전기적으로 접속되어, 스위치로서 기능한다.

- [0220] 또한, 트랜지스터(SW2)는, 게이트가 제2 출력 단자와 전기적으로 접속되고, 제1 전극이 트랜지스터(SW1)의 제2 전극과 전기적으로 접속되고, 제2 전극이 배선(VCOM)과 전기적으로 접속되어, 스위치로서 기능한다.
- [0221] 또한, 표시 소자(235)는, 제1 전극이 트랜지스터(SW1)의 제2 전극에 전기적으로 접속되고, 제2 전극이 배선(VCOM)과 전기적으로 접속된다.
- [0222] 또한, 용량 소자(C1)는, 제1 전극이 트랜지스터(SW1)의 제2 전극에 전기적으로 접속되고, 제2 전극이 배선(VCOM)과 전기적으로 접속된다.
- [0223] 《스태틱 메모리》
- [0224] 예를 들어, 주사선(G(i))으로부터 선택 신호가 공급되고 있는 기간에, 신호선(S(j))으로부터 공급되는 정보를 기억한다. 또한, 선택 신호가 공급되지 않는 기간에, 기억하고 있는 정보에 기초하는 제어 정보를 제1 출력 단자 또는 제2 출력 단자로부터 공급하는 기능을 구비한다.
- [0225] 예를 들어, 순서 회로 등을 사용한 논리 회로를 스태틱 메모리(SRAM)에 사용할 수 있다.
- [0226] 《트랜지스터》
- [0227] 트랜지스터(SW1)는, 스태틱 메모리(SRAM)의 제1 출력 단자가 공급하는 제어 정보에 기초하여, 배선(VP)의 전위에 따른 전위를 표시 소자(235)의 제1 단자에 공급한다. 구체적으로는, 표시 소자(235)를 동작 상태로 하는 전위를 공급한다.
- [0228] 트랜지스터(SW1)는, 스태틱 메모리(SRAM)의 제2 출력 단자가 공급하는 제어 정보에 기초하여, 배선(VCOM)의 전위에 따른 전위를 표시 소자(235)의 제1 단자에 공급한다. 구체적으로는, 표시 소자(235)를 비동작 상태로 하는 전위를 공급한다.
- [0229] 또한, 반도체 막에 폴리실리콘을 사용하는 트랜지스터의 제작에 필요로 하는 온도는, 반도체 막에 단결정 실리콘을 사용하는 트랜지스터에 비해서 낮다.
- [0230] 또한, 폴리실리콘을 반도체 막에 사용하는 트랜지스터의 전계 효과 이동도는, 아몰퍼스 실리콘을 반도체 막에 사용하는 트랜지스터에 비해 높다. 이에 의해, 화소의 개구율을 향상시킬 수 있다. 또한, 매우 높은 정세도로 설치된 화소와, 게이트 구동 회로 및 소스 구동 회로를 동일한 기판 위에 형성할 수 있다. 그 결과, 전자 기기를 구성하는 부품 수를 저감할 수 있다.
- [0231] 또한, 폴리실리콘을 반도체 막에 사용하는 트랜지스터의 신뢰성은, 아몰퍼스 실리콘을 반도체 막에 사용하는 트랜지스터에 비해서 우수하다.
- [0232] 또한, 본 실시 형태는, 본 명세서에서 나타내는 다른 실시 형태와 적절히 조합할 수 있다.
- [0233] (실시 형태 2)
- [0234] 본 실시 형태에서는, 본 발명의 일 형태의 정보 처리 장치에 사용할 수 있는 표시 모듈의 구성에 대해서, 도 8 내지 도 11을 참조하면서 설명한다.
- [0235] 구체적으로는, 본 발명의 일 형태의 정보 처리 장치(200)의 표시부(230)에 사용할 수 있는 표시 모듈(700)의 구성에 대해서 설명한다.
- [0236] 도 8은, 본 발명의 일 형태의 표시 모듈(700)의 구성을 설명하는 상면도이다.
- [0237] 도 9의 (A)는 도 8에 나타내는 화소(702A)의 구성을 설명하는 상면도이며, 도 9의 (B)는 도 8에 나타내는 화소(702A)와는 상이한 구성을 구비하는 화소(702B)의 구성을 설명하는 도면이다.
- [0238] 도 10의 (A)는 도 8에 나타내는 표시 모듈(700)의 절단선 X1-X2, X3-X4 및 X5-X6에서의 단면의 구조를 설명하는 단면도이다. 도 10의 (B)는, 트랜지스터(MD)에 사용할 수 있는 트랜지스터의 구성을 설명하는 단면도이며, 도 10의 (C)는 트랜지스터(MA)에 사용할 수 있는 트랜지스터의 구성을 설명하는 단면도이다.
- [0239] <표시 모듈의 구성 예 1.>
- [0240] 본 실시 형태에서 설명하는 표시 모듈(700)은, 화소부, 배선부, 소스 드라이버 회로부(SDA), 게이트 드라이버 회로부(GDA) 및 단자부를 갖는다(도 8 및 도 10 참조).
- [0241] 또한, 표시 모듈(700)은, 기판(710), 기판(770), 구조체(KB), 액정층(753), 시일재(730) 및 광학 필름(770P)을

갖는다.

[0242] 기판(770)은 기판(710)과 중첩되는 영역을 구비한다.

[0243] 시일재(730)는, 기판(710) 및 기판(770)을 접합하는 기능을 구비한다.

[0244] 액정층(753)은, 기판(710), 기판(770) 및 시일재(730)로 둘러싸인 영역에 배치된다.

[0245] 구조체(KB)는, 기판(710) 및 기판(770)의 사이에 배치된다. 구조체(KB)는, 소정의 간격을 기판(710) 및 기판(770)의 사이에 형성하는 기능을 구비한다.

〔0246〕 《화소부》

[0247] 화소부는, 화소(702A), 차광막(BM), 절연막(771), 절연막(721A), 절연막(721B) 및 절연막(728)을 구비한다.

[0248] 예를 들어, 복수의 부화소를 화소(702A)에 사용할 수 있다. 구체적으로는, 청색의 표시를 하는 부화소(702AB), 녹색의 표시를 하는 부화소(702AG), 적색의 표시를 하는 부화소(702AR) 등을 사용할 수 있다. 또한, 백색의 표시를 하는 부화소 또는 황색의 표시를 하는 부화소 등을 사용할 수 있다.

[0249] 예를 들어, 청색의 표시를 하는 화소의 면적을, 다른 색의 표시를 하는 화소의 면적보다 크게 한다. 이에 의해, 백색의 표시를 적합하게 할 수 있다.

〔0250〕 《화소》

[0251] 화소(702A)는, 액정 소자(750), 착색 막(CF) 및 화소 회로를 갖는다(도 10 참조).

〔0252〕 《액정 소자(750)》

[0253] 예를 들어, 실시 형태 1에서 설명하는 액정 소자를 액정 소자(750)에 사용할 수 있다.

[0254] 액정 소자(750)는, 액정 재료를 포함하는 액정층(753), 액정 재료의 배향을 제어하는 전계를 인가할 수 있도록 배치된 도전막(751A) 및 도전막(752)을 구비한다.

[0255] 도전성을 구비하는 재료를 도전막(751A)에 사용할 수 있다.

[0256] 예를 들어, 배선부에 사용하는 재료를 도전막(751A) 또는 도전막(752)에 사용할 수 있다.

[0257] 예를 들어, 액정층(753)측으로부터 입사하는 광을 반사하는 재료를 도전막(751A)에 사용할 수 있다. 이에 의해, 액정 소자(750)를 반사형의 액정 소자로 할 수 있다.

[0258] 또한, 예를 들어 표면에 요철을 구비하는 도전막을, 도전막(751A)에 사용할 수 있다. 이에 의해, 입사하는 광을 다양한 방향으로 반사하여, 백색의 표시를 할 수 있다.

[0259] 예를 들어, 가시광에 대해서 투광성을 갖고, 또한 도전성을 구비하는 재료를, 도전막(752)에 사용할 수 있다.

[0260] 예를 들어, 도전성 산화물 또는 인듐을 포함하는 도전성 산화물을 도전막(752)에 사용할 수 있다. 또는, 광이 투과할 정도로 얇은 금속막을 도전막(752)에 사용할 수 있다.

[0261] 구체적으로는, 산화인듐, 인듐 주석 산화물, 인듐 아연 산화물, 산화아연, 갈륨을 첨가한 산화아연 등을, 도전막(752)에 사용할 수 있다.

〔0262〕 《착색 막(CF)》

[0263] 착색 막(CF)는, 액정 소자(750)와 중첩되는 영역을 구비하고, 소정의 색의 광을 투과하는 기능을 구비한다. 착색 막(CF)은, 예를 들어 컬러 필터로서 사용할 수 있다.

[0264] 예를 들어, 청색의 광을 투과하는 착색 막(CF)을 부화소(702AB)에 사용할 수 있다. 녹색의 광을 투과하는 착색 막(CF)을 부화소(702AG)에 사용할 수 있다. 적색의 광을 투과하는 착색 막을 부화소(702AR)에 사용할 수 있다. 또한, 백색의 광을 투과하는 착색 막(CF)이나 황색의 광을 투과하는 착색 막(CF)을 사용할 수 있다.

〔0265〕 《화소 회로》

[0266] 예를 들어, 트랜지스터(MA) 및 용량 소자(C1)를 화소 회로에 사용할 수 있다.

[0267] 트랜지스터(MA)는, 반도체 막(718) 및 반도체 막(718)과 중첩되는 영역을 구비하는 도전막(704)을 구비한다(도 10의 (C) 참조). 또한, 트랜지스터(MA)는, 도전막(712A) 및 도전막(712B)을 구비한다.

- [0268] 또한, 도전막(712A)은, 소스 전극의 기능 또는 드레인 전극의 기능의 한쪽을 구비하고, 도전막(712B)은, 소스 전극의 기능 또는 드레인 전극의 기능의 다른 쪽을 구비한다. 또한, 도전막(704)은 게이트 전극으로서 기능한다.
- [0269] 예를 들어, 실시 형태 3에서 설명하는 트랜지스터를 트랜지스터(MA)에 사용할 수 있다.
- [0270] 용량 소자(C1)는, 도전막(712A) 및 도전막(712A)과 중첩되는 영역을 구비하는 도전막을 구비한다(도 10의 (A) 참조).
- [0271] 또한, 도전막(712A)은, 도전막(751A)과 전기적으로 접속한다.
- [0272] 《차광막(BM), 절연막》
- [0273] 차광막(BM)은, 화소(702A)와 중첩되는 영역에 개구부를 구비하고, 광의 투과를 방해하는 기능을 구비한다. 차광막(BM)은, 예를 들어 블랙 매트릭스로서 사용할 수 있다.
- [0274] 절연막(771)은, 액정층(753)과 차광막(BM)의 사이 및 액정층(753)과 착색 막(CF)의 사이에 배치된다. 절연막(771)은, 차광막(BM) 또는 착색 막(CF) 등에 포함되는 불순물의 액정층(753)에의 확산을 억제하는 기능을 구비한다.
- [0275] 절연막(721B)은, 도전막(704) 및 반도체 막(718)과 중첩되는 영역을 구비한다. 절연막(721A)은, 반도체 막(718)과 절연막(721B)의 사이에 배치된다.
- [0276] 절연막(728)은, 절연막(721B) 및 액정층(753)의 사이에 배치된다.
- [0277] 《소스 드라이버 회로부(SDA)》
- [0278] 예를 들어, 집적 회로를 소스 드라이버 회로부(SDA)에 사용할 수 있다. 구체적으로는, 실리콘 기판 위에 형성된 집적 회로를 사용할 수 있다(도 8 참조).
- [0279] 예를 들어, 기판(710)에 설치된 패드에 소스 드라이버 회로부(SDA)를 COG(Chip on glass)법을 사용해서 실장할 수 있다. 구체적으로는, 이방성 도전막을 사용해서 집적 회로를 패드에 실장할 수 있다. 또한, 패드는, 화소부와 전기적으로 접속된다.
- [0280] 《게이트 드라이버 회로부(GDA)》
- [0281] 예를 들어, 트랜지스터(MD)를 게이트 드라이버 회로부(GDA)에 사용할 수 있다(도 10의 (A) 및 도 10의 (B) 참조).
- [0282] 예를 들어, 실시 형태 4에서 설명하는 트랜지스터를 트랜지스터(MD)에 사용할 수 있다.
- [0283] 예를 들어, 트랜지스터(MA)가 구비하는 반도체 막(718)과 동일한 공정에서 형성할 수 있는 반도체 막(718)을 트랜지스터(MD)에 사용할 수 있다.
- [0284] 또한, 트랜지스터(MA)와 동일한 구성을 트랜지스터(MD)에 사용해도 된다.
- [0285] 《도전막(720)》
- [0286] 게이트 드라이버 회로부(GDA)는, 도전막(720)을 구비한다. 도전막(720)은, 트랜지스터(MD)의 반도체 막(718)과 중첩되는 영역을 구비한다. 이에 의해, 반도체 막(718)을 도전막(704) 및 도전막(720)의 사이에 배치할 수 있다. 그 결과, 트랜지스터(MD)의 신뢰성을 높일 수 있다.
- [0287] 또한, 반도체 막(718)과 중첩되는 영역을 구비하는 도전막(720)을 트랜지스터(MD)의 제2 게이트 전극에 사용할 수 있다. 따라서, 도전막(720)은, 트랜지스터(MD)의 일부라고 할 수도 있다.
- [0288] 예를 들어, 도전막(704)과 동일한 전위를 공급하는 배선과 도전막(720)을 전기적으로 접속할 수 있다.
- [0289] 예를 들어, 배선부에 사용하는 재료를 도전막(720)에 사용할 수 있다. 구체적으로는, 도전성 산화물 또는 인듐을 포함하는 도전성 산화물, 산화인듐, 인듐 주석 산화물, 인듐 아연 산화물, 인듐 아연 갈륨 산화물, 산화아연, 갈륨을 첨가한 산화아연 등을, 도전막(720)에 사용할 수 있다.
- [0290] 《배선부, 단자부》
- [0291] 배선부는 신호선(711)을 구비하고, 단자부는 접속 전극(719)을 구비한다(도 10의 (A) 참조).

- [0292] 신호선(711)은 접속 전극(719)과 전기적으로 접속된다. 또한, 신호선(711)의 일부를 접속 전극(719)에 사용할 수 있다.
- [0293] 접속 전극(719)은, 예를 들어 도전 부재(ACF)를 사용해서 플렉시블 프린트 기판(FPC)과 전기적으로 접속된다.
- [0294] 도전성을 구비하는 재료를 신호선(711) 및 접속 전극(719)에 사용할 수 있다.
- [0295] 예를 들어, 무기 도전성 재료, 유기 도전성 재료, 금속 또는 도전성 세라믹스 등을 신호선(711) 또는 접속 전극(719)에 사용할 수 있다.
- [0296] 구체적으로는, 알루미늄, 금, 백금, 은, 구리, 크롬, 탄탈륨, 티타늄, 몰리브덴, 텉스텐, 니켈, 철, 코발트, 팔라듐 또는 망간에서 선택된 금속 원소 등을, 신호선(711) 또는 접속 전극(719)에 사용할 수 있다. 또는, 상술한 금속 원소를 포함하는 합금 등을, 신호선(711) 또는 접속 전극(719)에 사용할 수 있다. 특히, 구리와 망간의 합금이 습식 애칭법을 사용한 미세 가공에 적합하다.
- [0297] 구체적으로는, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화티타늄막 위에 티타늄막을 적층하는 2층 구조, 질화티타늄막 위에 텉스텐막을 적층하는 2층 구조, 질화탄탈막 또는 질화텅스텐막 위에 텉스텐막을 적층하는 2층 구조, 티타늄막과, 그 티타늄막 위에 알루미늄막을 적층하고, 또한 그 위에 티타늄막을 형성하는 3층 구조 등을 신호선(711) 또는 접속 전극(719)에 사용할 수 있다.
- [0298] 구체적으로는, 산화인듐, 인듐 주석 산화물, 인듐 아연 산화물, 산화아연, 갈륨을 첨가한 산화아연 등의 도전성 산화물을, 신호선(711) 또는 접속 전극(719)에 사용할 수 있다.
- [0299] 구체적으로는, 그래핀 또는 그래파이트를 포함하는 막을 신호선(711) 또는 접속 전극(719)에 사용할 수 있다.
- [0300] 예를 들어, 산화 그래핀을 포함하는 막을 형성하고, 산화 그래핀을 포함하는 막을 환원함으로써, 그래핀을 포함하는 막을 형성할 수 있다. 환원하는 방법으로서는, 열을 가하는 방법이나 환원제를 사용하는 방법 등을 들 수 있다.
- [0301] 구체적으로는, 도전성 고분자를 신호선(711) 또는 접속 전극(719)에 사용할 수 있다.
- [0302] 《절연막(728)》
- [0303] 예를 들어, 절연성의 무기 재료, 절연성의 유기 재료 또는 무기 재료와 유기 재료를 포함하는 절연성의 복합 재료를, 절연막(728)에 사용할 수 있다.
- [0304] 구체적으로는, 무기 산화물 막, 무기 질화물 막 또는 무기 산화질화물 막 또는 이것들에서 선택된 복수를 적층한 적층막을, 절연막(728)에 사용할 수 있다.
- [0305] 구체적으로는, 폴리에스테르, 폴리올레핀, 폴리아미드, 폴리이미드, 폴리카르보네이트, 폴리실록산 또는 아크릴 수지 등 또는 이들에서 선택된 복수의 수지의 적층 재료 또는 복합 재료 등을 절연막(728)에 사용할 수 있다. 또한, 감광성을 갖는 재료를 사용해서 형성해도 된다.
- [0306] 절연막(728)은, 절연막(728)과 중첩되는 다양한 구조에서 유래되는 단차를 평탄화할 수 있다. 이에 의해, 액정 층(753)의 두께를 균일하게 할 수 있다.
- [0307] 《도전 부재》
- [0308] 예를 들어, 땜납, 도전성 페이스트 또는 이방성 도전막 등을, 도전 부재(ACF)에 사용할 수 있다.
- [0309] 구체적으로는, 도전성을 구비하는 입자와, 입자를 분산하는 재료 등을 도전 부재(ACF)에 사용할 수 있다.
- [0310] 예를 들어, $1\mu\text{m}$ 이상 $200\mu\text{m}$ 이하, 바람직하게는 $3\mu\text{m}$ 이상 $150\mu\text{m}$ 이하의 크기의 구상, 기둥 형상 또는 필러 형상 등의 형상을 구비하는 입자를 사용할 수 있다.
- [0311] 예를 들어, 니켈 또는 금 등을 포함하는 도전성의 재료로 피복된 입자를 사용할 수 있다.
- [0312] 구체적으로는, 폴리스티렌, 아크릴 수지 또는 산화티타늄 등을 포함하는 입자를 사용할 수 있다.
- [0313] 예를 들어, 합성 고무, 열경화성 수지, 열가소성 수지 등을, 입자를 분산하는 재료에 사용할 수 있다.
- [0314] 이에 의해, 입자를 사용해서 플렉시블 프린트 기판(FPC)과 접속 전극(719)을 전기적으로 접속할 수 있다.
- [0315] 《기판(710)》

- [0316] 제작 공정 중의 열처리에 견딜 수 있을 정도의 내열성을 갖는 재료를 기판(710)에 사용할 수 있다.
- [0317] 유기 재료, 무기 재료 또는 유기 재료와 무기 재료 등의 복합 재료 등을 기판(710)에 사용할 수 있다. 예를 들어, 유리, 세라믹스, 금속 등의 무기 재료를 기판(710)에 사용할 수 있다. 또한, 종이 또는 목재 등을 기판(710)에 사용할 수 있다.
- [0318] 구체적으로는, 무알칼리 유리, 소다석회 유리, 칼륨 유리, 크리스탈 유리, 석영 또는 사파이어 등을, 기판(710)에 사용할 수 있다. 구체적으로는, 무기 산화물 막, 무기 질화물 막 또는 무기 산질화물 막 등을, 기판(710)에 사용할 수 있다. 예를 들어, 산화규소막, 질화규소막, 산질화규소막, 산화알루미늄막 등을, 기판(710)에 사용할 수 있다. 스테인리스·스틸 또는 알루미늄 등을, 기판(710)에 사용할 수 있다.
- [0319] 예를 들어, 실리콘이나 탄화 실리콘을 포함하는 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 기판(710)에 사용할 수 있다. 이에 의해, 반도체 소자를 기판(710) 위에 설치할 수 있다.
- [0320] 예를 들어, 수지, 수지 필름 또는 플라스틱 등의 유기 재료를 기판(710)에 사용할 수 있다. 구체적으로는, 폴리에스테르, 폴리올레핀, 폴리아미드, 폴리이미드, 폴리카르보네이트 또는 아크릴 수지 등의 수지 필름 또는 수지판을, 기판(710)에 사용할 수 있다.
- [0321] 예를 들어, 금속판, 박판 형상의 유리판 또는 무기 재료 등의 막을 수지 필름 등에 접합한 복합 재료를 기판(710)에 사용할 수 있다. 예를 들어, 섬유 형상 또는 입자상의 금속, 유리 또는 무기 재료 등을 수지 필름에 분산시킨 복합 재료를, 기판(710)에 사용할 수 있다. 예를 들어, 섬유 형상 또는 입자상의 수지 또는 유기 재료 등을 무기 재료에 분산시킨 복합 재료를, 기판(710)에 사용할 수 있다.
- [0322] 또한, 단층의 재료 또는 복수의 층이 적층된 재료를, 기판(710)에 사용할 수 있다. 예를 들어, 기재와 기재에 포함되는 불순물의 확산을 방지하는 절연막 등이 적층된 재료를, 기판(710)에 사용할 수 있다. 구체적으로는, 유리와 유리에 포함되는 불순물의 확산을 방지하는 산화규소층, 질화규소층 또는 산화질화규소층 등에서 선택된 하나 또는 복수의 막이 적층된 재료를, 기판(710)에 사용할 수 있다. 또는, 수지와 수지를 투과하는 불순물의 확산을 방지하는 산화규소막, 질화규소막 또는 산화질화규소막 등이 적층된 재료를, 기판(710)에 사용할 수 있다.
- [0323] 구체적으로는, 폴리에스테르, 폴리올레핀, 폴리아미드, 폴리이미드, 폴리카르보네이트 또는 아크릴 수지 등의 수지 필름, 수지판 또는 적층체 등을 기판(710)에 사용할 수 있다.
- [0324] 구체적으로는, 폴리에스테르, 폴리올레핀, 폴리아미드(나일론, 아라미드 등), 폴리이미드, 폴리카르보네이트 또는 아크릴, 우레탄, 에폭시 또는 실리콘 등의 실록산 결합을 갖는 수지를 포함하는 재료를 기판(710)에 사용할 수 있다.
- [0325] 구체적으로는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르술폰(PES) 또는 아크릴 등을 기판(710)에 사용할 수 있다.
- [0326] 예를 들어, 제6세대(1500mm×1850mm), 제7세대(1870mm×2200mm), 제8세대(2200mm×2400mm), 제9세대(2400mm×2800mm), 제10세대(2950mm×3400mm) 등의 면적이 큰 유리 기판을 기판(710)에 사용할 수 있다. 이에 의해, 대형의 표시 장치를 제작할 수 있다.
- [0327] 예를 들어, 가요성을 갖는 기판을 기판(710)에 사용할 수 있다.
- [0328] 또한, 가요성을 갖는 기판에 트랜지스터 또는 용량 소자 등을 직접 형성할 수 있다. 또는, 가요성을 갖는 기판에, 내열성을 갖는 공정용의 기판에 형성된 트랜지스터 또는 용량 소자 등을 전치해서 형성할 수 있다.
- [0329] 《기판(770)》
- [0330] 투광성을 구비하는 재료를 기판(770)에 사용할 수 있다. 예를 들어, 기판(710)에 사용할 수 있는 재료를 기판(770)에 사용할 수 있다.
- [0331] 또한, 액정층(753)과의 사이에 기판(770)을 두도록 광학 필름(770P)을 배치한다. 예를 들어, 편광판 등을 광학 필름(770P)에 사용할 수 있다.
- [0332] <표시 모듈의 구성에 2.>

- [0333] 본 발명의 일 형태의 정보 처리 장치에 사용할 수 있는 표시 모듈(700B)의 구성에 대해서 도 9의 (B) 및 도 11을 참조하면서 설명한다.
- [0334] 도 9의 (B)는 표시 모듈(700B)의 구성을 설명하는 상면도이다. 표시 모듈(700B)은, 도 9의 (A)에 나타내는 표시 모듈(700)과는 상이한 구성을 구비한다.
- [0335] 도 11의 (A)는 표시 모듈(700B)의 구성을 설명하는 단면도이다. 표시 모듈(700B)은, 도 10의 (A)에 나타내는 표시 모듈(700)과는 상이한 구성을 구비한다. 도 11의 (B)는 트랜지스터(MD) 및 트랜지스터(MB)에 사용할 수 있는 트랜지스터의 구성을 설명하는 단면도이다.
- [0336] 또한, 부화소(702AB) 대신에 부화소(702BB)를 구비하고, 부화소(702AG) 대신에 부화소(702BG)를 구비하고, 부화소(702AR) 대신에 부화소(702BR)를 구비하는 점이 도 10의 (A)를 참조하면서 설명하는 표시 모듈(700)과는 상이 하이다.
- [0337] 예를 들어, 트랜지스터(MB)와 중첩되는 영역을 갖는 도전막(751B)을 구비하는 점 및 트랜지스터(MB)의 반도체 막(718)과 도전막(751B)의 사이에 도전막(720)을 구비하는 점이, 도 10의 (A)를 참조하면서 설명하는 표시 모듈(700)과는 상이하이다. 여기에서는 상이한 구성을 대해서 상세하게 설명하고, 마찬가지의 구성을 사용할 수 있는 부분에 대해서 상기 설명을 원용한다.
- [0338] 《도전막(751B)》
- [0339] 도전막(751B)은, 트랜지스터(MB)와 중첩되는 영역을 갖는다. 이에 의해, 액정 소자(750)의 면적을 크게 할 수 있다. 그 결과, 화소(702B)의 개구율을 화소(702A)보다 높일 수 있다.
- [0340] 예를 들어, 도전막(751A)에 사용할 수 있는 재료를 도전막(751B)에 사용할 수 있다.
- [0341] 《도전막(720)》
- [0342] 트랜지스터(MB)의 반도체 막(718)과 중첩되는 영역을 구비하는 도전막(720)을 화소(702B)에 사용한다. 이에 의해, 반도체 막(718)을 도전막(704) 및 도전막(720)의 사이에 배치할 수 있다. 그 결과, 도전막(751B)의 전위의 변화에 기초하여 트랜지스터(MB)의 특성이 변동되는 문제를 억제할 수 있다.
- [0343] 또한, 반도체 막(718)과 중첩되는 영역을 구비하는 도전막(720)을 트랜지스터(MD)의 제2 게이트 전극에 사용할 수 있다. 따라서, 도전막(720)은 트랜지스터(MD)의 일부라고 할 수도 있다.
- [0344] 트랜지스터(MB)는, 트랜지스터(MD)와 동일한 공정에서 형성할 수 있다. 또한, 트랜지스터(MD)와 동일한 구조를 트랜지스터(MB)에 사용할 수 있다.
- [0345] 예를 들어, 도전막(704)과 동일한 전위를 공급하는 배선과 도전막(720)을 전기적으로 접속할 수 있다.
- [0346] 예를 들어, 배선부에 사용하는 재료를 도전막(720)에 사용할 수 있다. 구체적으로는, 도전성 산화물 또는 인듐을 포함하는 도전성 산화물, 산화인듐, 인듐 주석 산화물, 인듐 아연 산화물, 인듐 아연 갈륨 산화물, 산화아연, 갈륨을 첨가한 산화아연 등을, 도전막(720)에 사용할 수 있다.
- [0347] 예를 들어, 게이트 드라이버 회로부(GDA)에 사용하는 도전막(720)과 동일한 공정에서 형성할 수 있는 도전막을, 화소(702B)의 도전막(720)에 사용할 수 있다.
- [0348] <표시 모듈의 구성 예 3.>
- [0349] 본 발명의 일 형태의 정보 처리 장치에 사용할 수 있는 표시 모듈(700C)의 구성에 대해서 도 12를 참조하면서 설명한다.
- [0350] 도 12의 (A)는 표시 모듈(700C)의 구성을 설명하는 단면도이다. 표시 모듈(700C)은, 도 11의 (A)에 나타내는 표시 모듈(700B)과는 상이한 구성을 구비한다. 도 12의 (B)는 트랜지스터(MDC) 및 트랜지스터(MC)에 사용할 수 있는 트랜지스터의 구성을 설명하는 단면도이다.
- [0351] 또한, 표시 모듈(700C)은, 보텀 게이트형의 트랜지스터 대신에 톱 게이트형의 트랜지스터를 구비하는 점이 도 11을 참조하면서 설명하는 표시 모듈(700B)과는 상이하이다. 여기에서는 상이한 구성을 대해서 상세하게 설명하고, 마찬가지의 구성을 사용할 수 있는 부분에 대해서 상기 설명을 원용한다.
- [0352] 《트랜지스터(MC), 트랜지스터(MDC)》

- [0353] 트랜지스터(MC)는, 절연막(710B)과 중첩되는 영역을 구비하는 도전막(704)과, 절연막(710B) 및 도전막(704)의 사이에 배치되는 영역을 구비하는 반도체 막(718)을 구비한다. 또한, 도전막(704)은 게이트 전극의 기능을 구비한다(도 12의 (B)).
- [0354] 반도체 막(718)은, 도전막(704)과 중첩되지 않는 제1 영역(718A) 및 제2 영역(718B)과, 제1 영역(718A) 및 제2 영역(718B)의 사이에 도전막(704)과 중첩되는 제3 영역(718C)을 구비한다.
- [0355] 트랜지스터(MC)는, 제3 영역(718C) 및 도전막(704)의 사이에 절연막(706)을 구비한다. 또한, 절연막(706)은 게이트 절연막의 기능을 구비한다. 제1 영역(718A) 및 제2 영역(718B)은, 제3 영역(718C)에 비해 저저항화되고, 소스 영역의 기능 또는 드레인 영역의 기능을 구비한다.
- [0356] 또한, 예를 들어 후술하는 산화물 반도체 막의 저항률의 제어 방법을, 반도체 막(718)에 제1 영역(718A) 및 제2 영역(718B)을 형성하는 방법에 사용할 수 있다. 구체적으로는, 희가스를 포함하는 가스를 사용하는 플라즈마 처리를 적용할 수 있다. 예를 들어, 도전막(704)을 마스크에 사용하면, 제3 영역(718C)의 형상의 일부를 도전막(704)의 단부의 형상과 자기 정합할 수 있다.
- [0357] 트랜지스터(MC)는, 제1 영역(718A)과 접하는 도전막(712A)과, 제2 영역(718B)과 접하는 도전막(712B)을 구비한다. 도전막(712A) 및 도전막(712B)은, 소스 전극 또는 드레인 전극의 기능을 구비한다.
- [0358] 트랜지스터(MC)와 동일한 공정에서 형성할 수 있는 트랜지스터를 트랜지스터(MDC)에 사용할 수 있다.
- [0359] 《기판(710)》
- [0360] 예를 들어, 기재(710A)와 절연막(710B)의 적층 재료를 기판(710)에 사용한다. 절연막(710B)은, 기재(710A)로부터 반도체 막(718)으로의 불순물의 확산을 억제하는 기능을 구비한다.
- [0361] <산화물 반도체 막의 저항률의 제어 방법>
- [0362] 산화물 반도체 막의 저항률을 제어하는 방법에 대해서 설명한다.
- [0363] 소정의 저항률을 구비하는 산화물 반도체 막을, 도전막(720), 제1 영역(718A) 또는 제2 영역(718B)에 사용할 수 있다.
- [0364] 예를 들어, 산화물 반도체 막에 포함되는 수소, 물 등의 불순물의 농도 및/또는 막 내의 산소 결손을 제어하는 방법을, 산화물 반도체 막의 저항률을 제어하는 방법에 사용할 수 있다.
- [0365] 구체적으로는, 플라즈마 처리를 수소, 물 등의 불순물 농도 및/또는 막 내의 산소 결손을 증가 또는 저감하는 방법에 사용할 수 있다.
- [0366] 구체적으로는, 희가스(He, Ne, Ar, Kr, Xe), 수소 및 질소 중에서 선택된 1종 이상을 포함하는 가스를 사용해서 행하는 플라즈마 처리를 적용할 수 있다. 예를 들어, Ar 분위기 하에서의 플라즈마 처리, Ar과 수소의 혼합 가스 분위기 하에서의 플라즈마 처리, 암모니아 분위기 하에서의 플라즈마 처리, Ar과 암모니아의 혼합 가스 분위기 하에서의 플라즈마 처리, 또는 질소 분위기 하에서의 플라즈마 처리 등을 적용할 수 있다. 이에 의해, 캐리어 밀도가 높고, 저항률이 낮은 산화물 반도체 막으로 할 수 있다.
- [0367] 또는, 이온 주입법, 이온 도핑법 또는 플라즈마 이온화 이온 임플란테이션법 등을 사용하여, 수소, 붕소, 인 또는 질소를 산화물 반도체 막에 주입하여, 저항률이 낮은 산화물 반도체 막으로 할 수 있다.
- [0368] 또는, 수소를 포함하는 절연막을 산화물 반도체 막에 접해서 형성하고, 절연막으로부터 산화물 반도체 막에 수소를 확산시키는 방법을 사용할 수 있다. 이에 의해, 산화물 반도체 막의 캐리어 밀도를 높이고, 저항률을 낮게 할 수 있다.
- [0369] 예를 들어, 막 내의 함유 수소 농도가 $1 \times 10^{22} \text{ atoms/cm}^3$ 이상인 절연막을 산화물 반도체 막에 접해서 형성함으로써, 효과적으로 수소를 산화물 반도체 막에 함유시킬 수 있다. 구체적으로는, 질화 실리콘막을 산화물 반도체 막에 접해서 형성하는 절연막에 사용할 수 있다.
- [0370] 산화물 반도체 막에 포함되는 수소는, 금속 원자와 결합하는 산소와 반응해서 물이 됨과 함께, 산소가 탈리된 격자(또는 산소가 탈리된 부분)에 산소 결손을 형성한다. 해당 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합하는 산소와 결합함으로써 캐리어인 전자를 생성하는 경우가 있다. 이에 의해, 캐리어 밀도가 높고, 저항률이 낮은 산화물 반도체 막으로 할 수 있다.

- [0371] 구체적으로는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의해 얻어지는 수소 농도가, 8×10^{19} atoms/cm³ 이상, 바람직하게는 1×10^{20} atoms/cm³ 이상, 보다 바람직하게는 5×10^{20} atoms/cm³ 이상인 산화물 반도체를 도전막(720)에 적절하게 사용할 수 있다.
- [0372] 한편, 저항률이 높은 산화물 반도체를 트랜지스터의 채널이 형성되는 반도체 막에 사용할 수 있다. 구체적으로는, 반도체 막(718)에 적절하게 사용할 수 있다.
- [0373] 예를 들어, 산소를 포함하는 절연막, 다시 말하면, 산소를 방출하는 것이 가능한 절연막을 산화물 반도체 막에 접해서 형성하고, 절연막으로부터 산화물 반도체 막에 산소를 공급시켜서, 막 내 또는 계면의 산소 결손을 보충할 수 있다. 이에 의해, 저항률이 높은 산화물 반도체 막으로 할 수 있다.
- [0374] 예를 들어, 산화 실리콘막 또는 산화질화 실리콘막을, 산소를 방출하는 것이 가능한 절연막에 사용할 수 있다.
- [0375] 산소 결손이 보충되고, 수소 농도가 저감된 산화물 반도체 막은, 고순도 진성화, 또는 실질적으로 고순도 진성화된 산화물 반도체 막이라고 말할 수 있다. 여기서, 실질적으로 진성이라, 산화물 반도체 막의 캐리어 밀도가, 8×10^{11} 개/cm³ 미만, 바람직하게는 1×10^{11} 개/cm³ 미만, 더욱 바람직하게는 1×10^{10} 개/cm³ 미만인 것을 가리킨다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은, 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은, 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도를 저감할 수 있다.
- [0376] 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막을 구비하는 트랜지스터는, 오프 전류가 현저하게 작고, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이(L)가 $10 \mu\text{m}$ 인 소자여도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V 내지 10V의 범위에서, 오프 전류가, 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 1×10^{-13} A 이하라는 특성을 구비할 수 있다.
- [0377] 상술한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막을 채널 영역에 사용하는 트랜지스터는, 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다.
- [0378] 구체적으로는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의해 얻어지는 수소 농도가, 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 보다 바람직하게는 1×10^{19} atoms/cm³ 이하, 5×10^{18} atoms/cm³ 미만, 바람직하게는 1×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{16} atoms/cm³ 이하인 산화물 반도체를, 트랜지스터의 채널이 형성되는 반도체 막에 적절하게 사용할 수 있다.
- [0379] 또한, 반도체 막(718)보다도 수소 농도 및/또는 산소 결손량이 많고, 저항률이 낮은 산화물 반도체 막을, 도전막(720)에 사용한다.
- [0380] 또한, 반도체 막(718)에 포함되는 수소 농도의 2배 이상, 바람직하게는 10배 이상의 농도의 수소를 포함하는 막을, 도전막(720)에 사용할 수 있다.
- [0381] 또한, 반도체 막(718)의 저항률의 1×10^{-8} 배 이상 1×10^{-1} 배 미만의 저항률을 구비하는 막을, 도전막(720)에 사용할 수 있다.
- [0382] 구체적으로는, $1 \times 10^{-3} \Omega\text{cm}$ 이상 $1 \times 10^4 \Omega\text{cm}$ 미만, 바람직하게는 $1 \times 10^{-3} \Omega\text{cm}$ 이상 $1 \times 10^{-1} \Omega\text{cm}$ 미만인 막을, 도전막(720)에 사용할 수 있다.
- [0383] <표시 모듈의 구성에 4.>
- [0384] 본 발명의 일 형태의 정보 처리 장치에 사용할 수 있는 표시 모듈(700G)의 구성에 대해서 도 13을 참조하면서 설명한다.
- [0385] 도 13의 (A)는 표시 모듈(700G)의 구조를 설명하는 단면도이다. 도 13의 (B)는, 트랜지스터(MDG) 및 트랜지스터(MG)에 사용할 수 있는 트랜지스터의 구성을 설명하는 단면도이다.
- [0386] 또한, 표시 모듈(700G)은, 보텀 게이트형의 트랜지스터 대신에 톱 게이트형의 트랜지스터를 구비하는 점이 도 11을 참조하면서 설명하는 표시 모듈(700B)과는 상이하이다. 여기에서는 상이한 구성에 대해서 상세하게 설명

하고, 마찬가지의 구성을 사용할 수 있는 부분에 대해서 상기 설명을 원용한다.

[0387] 《트랜지스터(MG), 트랜지스터(MDG)》

[0388] 트랜지스터(MG)는, 절연막(701)과 중첩되는 영역을 구비하는 도전막(704)과, 절연막(701) 및 도전막(704)의 사이에 배치되는 영역을 구비하는 반도체 막(718)을 구비한다. 또한, 도전막(704)은, 게이트 전극의 기능을 구비한다(도 13의 (B)). 반도체 막(718)은 도전막(704)과 중첩되지 않는 제1 영역(718A) 및 제2 영역(718B)과, 제1 영역(718A) 및 제2 영역(718B)의 사이에 도전막(704)과 중첩되는 제3 영역(718C)을 구비한다.

[0389] 트랜지스터(MG)는, 제3 영역(718C) 및 도전막(704)의 사이에 절연막(706)을 구비한다. 또한, 절연막(706)은 게이트 절연막의 기능을 구비한다.

[0390] 제1 영역(718A) 및 제2 영역(718B)은, 제3 영역(718C)에 비하여 저저항화되고, 소스 영역의 기능 또는 드레인 영역의 기능을 구비한다.

[0391] 예를 들어, 불순물을 첨가해서 저저항화할 수 있다. 구체적으로는, 인 또는 봉소 등을 이온 도핑법을 사용해서 첨가하여 저저항화할 수 있다. 예를 들어, 도전막(704)을 마스크에 사용하면, 제3 영역(718C)의 형상의 일부를 도전막(704)의 단부 형상과 자기 정합할 수 있다.

[0392] 트랜지스터(MG)는, 제1 영역(718A)과 접하는 도전막(712A)과, 제2 영역(718B)과 접하는 도전막(712B)을 구비한다. 도전막(712A) 및 도전막(712B)은, 소스 전극 또는 드레인 전극의 기능을 구비한다.

[0393] 트랜지스터(MG)와 동일한 공정에서 형성할 수 있는 트랜지스터를 트랜지스터(MDG)에 사용할 수 있다.

[0394] 《절연막(701)》

[0395] 절연막(701)은, 기판(710)으로부터 반도체 막(718)으로의 불순물의 확산을 억제하는 기능을 구비한다. 또한, 반도체 막(718)과 중첩되는 영역을 구비하는 도전막(720)을 트랜지스터(MG)의 제2 게이트 전극에 사용할 수 있다. 따라서, 도전막(720)은, 트랜지스터(MF)의 일부라고 할 수도 있다. 도전막(720)을 트랜지스터(MG)의 제2 게이트 전극에 사용하는 경우, 절연막(701)은 게이트 절연막의 기능을 구비한다.

[0396] 또한, 본 실시 형태는, 본 명세서에서 나타내는 다른 실시 형태와 적절히 조합할 수 있다.

[0397] (실시 형태 3)

[0398] 본 실시 형태에서는, 본 발명의 일 형태의 정보 처리 장치에 사용할 수 있는 트랜지스터의 구성에 대해서, 도 14를 참조하면서 설명한다.

[0399] <반도체 장치의 구성예>

[0400] 도 14의 (A)는 본 발명의 일 형태의 발광 패널에 사용할 수 있는 트랜지스터(100)의 상면도이며, 도 14의 (C)는 도 14의 (A)에 나타내는 일점 쇄선 X1-X2 사이에서의 절단면의 단면도에 상당하고, 도 14의 (D)는 도 14의 (A)에 나타내는 일점 쇄선 Y1-Y2 사이에서의 절단면의 단면도에 상당한다. 도 14의 (B)는 도 14의 (C)를 사용해서 나타내는 트랜지스터(100)의 단면의, 산화물 반도체 막(108)의 근방을 확대한 단면도이다. 또한, 도 14의 (A)에서, 번잡해지는 것을 피하기 위해서, 트랜지스터(100)의 구성 요소의 일부(게이트 절연막으로서 기능하는 절연막 등)를 생략해서 도시하고 있다. 또한, 일점 쇄선 X1-X2 방향을 채널 길이 방향, 일점 쇄선 Y1-Y2 방향을 채널 폭 방향이라 칭하는 경우가 있다. 또한, 트랜지스터의 상면도에서는, 이후의 도면에서도 도 14의 (A)와 마찬가지로, 구성 요소의 일부를 생략해서 도시하는 경우가 있다.

[0401] 예를 들어, 실시 형태 2에서 설명하는 표시 모듈(700)의 트랜지스터(MA)에 사용할 수 있다.

[0402] 예를 들어, 트랜지스터(100)를 트랜지스터(MA)에 사용하는 경우에는, 기판(102)을 기판(710)으로, 도전막(104)을 도전막(704)으로, 절연막(106) 및 절연막(107)이 적층된 적층막을 절연막(706)으로, 산화물 반도체 막(108)을 반도체 막(718)으로, 도전막(112a)을 도전막(712A)으로, 도전막(112b)을 도전막(712B)으로, 절연막(114) 및 절연막(116)이 적층된 적층막을 절연막(721A)으로, 절연막(118)을 절연막(721B)으로, 각각 바꿔 읽을 수 있다.

[0403] 트랜지스터(100)는, 기판(102) 위의 게이트 전극으로서 기능하는 도전막(104)과, 기판(102) 및 도전막(104) 위의 절연막(106)과, 절연막(106) 위의 절연막(107)과, 절연막(107) 위의 산화물 반도체 막(108)과, 산화물 반도체 막(108)과 전기적으로 접속되는 소스 전극으로서 기능하는 도전막(112a)과, 산화물 반도체 막(108)과 전기적으로 접속되는 드레인 전극으로서 기능하는 도전막(112b)을 갖는다. 또한, 트랜지스터(100) 위, 보다 상세하게는, 도전막(112a, 112b) 및 산화물 반도체 막(108) 위에는 절연막(114, 116) 및 절연막(118)이 설치된다. 절

연막(114, 116, 118)은, 트랜지스터(100)의 보호 절연막으로서의 기능을 갖는다.

[0404] 또한, 산화물 반도체 막(108)은, 게이트 전극으로서 기능하는 도전막(104)측의 산화물 반도체 막(108a)과, 산화물 반도체 막(108a) 위의 산화물 반도체 막(108b)을 갖는다. 또한, 절연막(106) 및 절연막(107)은 트랜지스터(100)의 게이트 절연막으로서의 기능을 갖는다.

[0405] 산화물 반도체 막(108)으로서는, In-M(M은, Ti, Ga, Sn, Y, Zr, La, Ce, Nd 또는 Hf를 나타냄) 산화물, In-M-Zn 산화물을 사용할 수 있다.

[0406] 특히, 산화물 반도체 막(108)으로서는, In-M-Zn 산화물을 사용하면 바람직하다.

[0407] 또한, 산화물 반도체 막(108a)은, In의 원자수비가 M의 원자수비보다 많은 제1 영역을 갖는다. 또한, 산화물 반도체 막(108b)은, 산화물 반도체 막(108a)보다도 In의 원자수비가 적은 제2 영역을 갖는다. 또한, 제2 영역은, 제1 영역보다도 얇은 부분을 갖는다.

[0408] 산화물 반도체 막(108a)에 In의 원자수비가 M의 원자수비보다 많은 제1 영역을 가짐으로써, 트랜지스터(100)의 전계 효과 이동도(간단히 이동도 또는 μ FE라고 하는 경우가 있음)를 높게 할 수 있다. 구체적으로는, 트랜지스터(100)의 전계 효과 이동도가 $10\text{cm}^2/\text{Vs}$ 를 초과하는 것이 가능하게 된다.

[0409] 예를 들어, 상기 전계 효과 이동도가 높은 트랜지스터를, 게이트 신호를 생성하는 게이트 드라이버(특히, 게이트 드라이버가 갖는 시프트 레지스터의 출력 단자에 접속되는 디멀티플렉서)에 사용함으로써 프레임 폭이 좁은(협 프레임이라고도 함) 반도체 장치 또는 표시 장치를 제공할 수 있다.

[0410] 한편, In의 원자수비가 M의 원자수비보다 많은 제1 영역을 갖는 산화물 반도체 막(108a)으로 함으로써, 광 조사시에 트랜지스터(100)의 전기 특성이 변동되기 쉬워진다. 그러나, 본 발명의 일 형태의 반도체 장치에서는, 산화물 반도체 막(108a) 위에 산화물 반도체 막(108b)이 형성되어 있다. 또한, 산화물 반도체 막(108b)의 채널 영역의 막 두께가 산화물 반도체 막(108a)의 막 두께보다도 작다.

[0411] 또한, 산화물 반도체 막(108b)은, 산화물 반도체 막(108a)보다도 In의 원자수비가 적은 제2 영역을 갖기 때문에, 산화물 반도체 막(108a)보다도 Eg가 커진다. 따라서, 산화물 반도체 막(108a)과, 산화물 반도체 막(108b)의 적층 구조인 산화물 반도체 막(108)은, 광부 바이어스 스트레스 시험에 의한 내성이 높아진다.

[0412] 상기 구성의 산화물 반도체 막으로 함으로써, 광 조사시에 있어서의 산화물 반도체 막(108)의 광 흡수량을 저감 시킬 수 있다. 따라서, 광 조사시에 있어서의 트랜지스터(100)의 전기 특성의 변동을 억제할 수 있다. 또한, 본 발명의 일 형태의 반도체 장치에서는, 절연막(114) 또는 절연막(116) 중에 과잉의 산소를 함유하는 구성 때문에, 광 조사에 있어서의 트랜지스터(100)의 전기 특성의 변동을 더욱 억제할 수 있다.

[0413] 여기서, 산화물 반도체 막(108)에 대해서, 도 14의 (B)를 사용해서 상세하게 설명한다.

[0414] 도 14의 (B)에서, 산화물 반도체 막(108a)의 막 두께를 t_1 로서, 산화물 반도체 막(108b)의 막 두께를 t_{2-1} 및 t_{2-2} 로서, 각각 나타내고 있다. 산화물 반도체 막(108a) 위에는, 산화물 반도체 막(108b)이 설치되어 있기 때문에, 도전막(112a, 112b)의 형성 시에 있어서, 산화물 반도체 막(108a)이 에칭 가스 또는 에칭 용액 등에 노출되지 않는다. 따라서, 산화물 반도체 막(108a)에서는, 막 감소가 없거나 또는 매우 적다. 한편, 산화물 반도체 막(108b)에서는, 도전막(112a, 112b)의 형성 시에 있어서, 산화물 반도체 막(108b)의 도전막(112a, 112b)과 중첩되지 않는 부분이 에칭되어, 오목부가 형성된다. 즉, 산화물 반도체 막(108b)의 도전막(112a, 112b)과 중첩되는 영역의 막 두께가 t_{2-1} 이 되고, 산화물 반도체 막(108b)의 도전막(112a, 112b)과 중첩되지 않는 영역의 막 두께가 t_{2-2} 가 된다.

[0415] 산화물 반도체 막(108a)과 산화물 반도체 막(108b)의 막 두께의 관계는, $t_{2-1} > t_1 > t_{2-2}$ 가 되면 바람직하다. 이러한 막 두께의 관계로 함으로써, 높은 전계 효과 이동도를 갖고, 또한 광 조사시에 있어서의, 역치 전압의 변동량이 적은 트랜지스터로 하는 것이 가능하게 된다.

[0416] 또한, 트랜지스터(100)가 갖는 산화물 반도체 막(108)은, 산소 결손이 형성되면 캐리어인 전자가 발생하여, 노멀리 온 특성이 되기 쉽다. 따라서, 산화물 반도체 막(108) 중의 산소 결손, 특히 산화물 반도체 막(108a) 중의 산소 결손을 저감시키는 것이, 안정된 트랜지스터 특성을 얻는 데 있어서 중요해진다. 따라서, 본 발명의 일 형태의 트랜지스터의 구성에서는, 산화물 반도체 막(108) 위의 절연막, 여기에서는, 산화물 반도체 막(108) 위의 절연막(114) 및/또는 절연막(116)에 과잉의 산소를 도입함으로써, 절연막(114) 및/또는 절연막(116)으로부터 산화물 반도체 막(108) 중으로 산소를 이동시켜서, 산화물 반도체 막(108) 중, 특히 산화물 반도체 막(108a)

중의 산소 결손을 보충하는 것을 특징으로 한다.

[0417] 또한, 절연막(114, 116)으로서는, 화학 양론적 조성보다도 과잉으로 산소를 함유하는 영역(산소 과잉 영역)을 갖는 것이 보다 바람직하다. 다시 말하면, 절연막(114, 116)은 산소를 방출하는 것이 가능한 절연막이다. 또한, 절연막(114, 116)에 산소 과잉 영역을 형성하기 위해서는, 예를 들어 성막 후의 절연막(114, 116)에 산소를 도입하여, 산소 과잉 영역을 형성한다. 산소의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라즈마 이온화 전 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.

[0418] 또한, 산화물 반도체 막(108a) 중의 산소 결손을 보충하기 위해서는, 산화물 반도체 막(108b)의 채널 영역 근방의 막 두께를 얇게 하는 것이 적합하다. 따라서, $t_2 < t_1$ 의 관계를 만족하면 된다. 예를 들어, 산화물 반도체 막(108b)의 채널 영역 근방의 막 두께로서는, 바람직하게는 1nm 이상 20nm 이하, 더욱 바람직하게는 3nm 이상 10nm 이하이다.

[0419] 이하에, 본 실시 형태의 반도체 장치에 포함되는 기타 구성 요소에 대해서, 상세하게 설명한다.

《기판》

[0420] 기판(102)의 재질 등에 큰 제한은 없지만, 적어도, 후의 열처리에 견딜 수 있을 정도의 내열성을 갖고 있을 필요가 있다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을, 기판(102)으로서 사용해도 된다.

[0421] 또한, 실리콘이나 탄화 실리콘을 재료로 한 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용하는 것도 가능하다.

[0422] 또한, 이들의 기판 위에 반도체 소자 또는 절연막 등이 설치된 것을, 기판(102)으로서 사용해도 된다.

[0423] 또한, 기판(102)으로서, 유리 기판을 사용하는 경우, 제6세대(1500mm×1850mm), 제7세대(1870mm×2200mm), 제8세대(2200mm×2400mm), 제9세대(2400mm×2800mm), 제10세대(2950mm×3400mm) 등의 대면적 기판을 사용함으로써 대형의 표시 장치를 제작할 수 있다.

[0424] 또한, 기판(102)으로서, 가요성 기판을 사용하고, 가요성 기판 위에 직접, 트랜지스터(100)를 형성해도 된다. 또는, 기판(102)과 트랜지스터(100)의 사이에 박리층을 형성해도 된다. 박리층은, 그 위에 반도체 장치를 일부 또는 전부 완성시킨 후, 기판(102)로부터 분리하여, 다른 기판에 옮겨 적재하는데 사용할 수 있다. 그때, 트랜지스터(100)는, 내열성이 떨어진 기판이나 가요성의 기판에도 옮겨 적재할 수 있다.

《게이트 전극, 소스 전극 및 드레인 전극으로서 기능하는 도전막》

[0425] 게이트 전극으로서 기능하는 도전막(104), 및 소스 전극으로서 기능하는 도전막(112a), 및 드레인 전극으로서 기능하는 도전막(112b)으로서는, 크롬(Cr), 구리(Cu), 알루미늄(Al), 금(Au), 은(Ag), 아연(Zn), 몰리브덴(Mo), 탄탈륨(Ta), 티타늄(Ti), 텉스텐(W), 망간(Mn), 니켈(Ni), 철(Fe), 코발트(Co)에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용해서 각각 형성할 수 있다.

[0426] 또한, 도전막(104, 112a, 112b)은, 단층 구조라도, 2층 이상의 적층 구조로 해도 된다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화티타늄막 위에 티타늄막을 적층하는 2층 구조, 질화티타늄막 위에 텉스텐막을 적층하는 2층 구조, 질화탄탈막 또는 질화텅스텐막 위에 텉스텐막을 적층하는 2층 구조, 티타늄막과, 그 티타늄막 위에 알루미늄막을 적층하고, 또한 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한, 알루미늄에, 티타늄, 탄탈륨, 텉스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐에서 선택된 하나 또는 복수를 조합한 합금막, 또는 질화막을 사용해도 된다.

[0427] 또한, 도전막(104, 112a, 112b)에는, 인듐 주석 산화물, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 적용할 수도 있다.

[0428] 또한, 도전막(104, 112a, 112b)에는, Cu-X 합금막(X는, Mn, Ni, Cr, Fe, Co, Mo, Ta 또는 Ti)을 적용해도 된다. Cu-X 합금막을 사용함으로써 습식 에칭 프로세스에서 가공할 수 있기 때문에, 제조 비용을 억제하는 것이 가능하게 된다.

《게이트 절연막으로서 기능하는 절연막》

- [0432] 트랜지스터(100)의 게이트 절연막으로서 기능하는 절연막(106, 107)으로서는, 플라즈마 화학 기상 퇴적(PECVD: (Plasma Enhanced Chemical Vapor Deposition))법, 스퍼터링법 등에 의해, 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화실리콘막, 산화알루미늄막, 산화하프늄막, 산화이트륨막, 산화지르코늄막, 산화갈륨막, 산화탄탈막, 산화마그네슘막, 산화란탄막, 산화세륨막 및 산화네오디뮴막을 1종 이상 포함하는 절연막을, 각각 사용할 수 있다. 또한, 절연막(106, 107)의 적층 구조로 하지 않고, 상술한 재료에서 선택된 단층의 절연막 또는 3층 이상의 절연막을 사용해도 된다.
- [0433] 또한, 절연막(106)은, 산소의 투과를 억제하는 블로킹 막으로서의 기능을 갖는다. 예를 들어, 절연막(107, 114, 116) 및/또는 산화물 반도체 막(108) 중에 과잉의 산소를 공급하는 경우에 있어서, 절연막(106)은 산소의 투과를 억제할 수 있다.
- [0434] 또한, 트랜지스터(100)의 채널 영역으로서 기능하는 산화물 반도체 막(108)과 접하는 절연막(107)은, 산화물 절연막인 것이 바람직하고, 화학 양론적 조성보다도 과잉으로 산소를 함유하는 영역(산소 과잉 영역)을 갖는 것이 보다 바람직하다. 다시 말하면, 절연막(107)은 산소를 방출하는 것이 가능한 절연막이다. 또한, 절연막(107)에 산소 과잉 영역을 형성하기 위해서는, 예를 들어 산소 분위기 하에서 절연막(107)을 형성하면 된다. 또는, 성막 후의 절연막(107)에 산소를 도입하여, 산소 과잉 영역을 형성해도 된다. 산소의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라즈마 이멸전 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.
- [0435] 또한, 절연막(107)으로서, 산화하프늄을 사용하는 경우, 이하의 효과를 발휘한다. 산화하프늄은, 산화 실리콘이나 산화질화 실리콘과 비교해서 비유전율이 높다. 따라서, 산화 실리콘을 사용하는 경우에 비해 막 두께를 크게 할 수 있기 때문에, 터널 전류에 의한 누설 전류를 작게 할 수 있다. 즉, 오프 전류가 작은 트랜지스터를 실현할 수 있다. 또한, 결정 구조를 갖는 산화하프늄은, 비정질 구조를 갖는 산화하프늄에 비해 높은 비유전율을 구비한다. 따라서, 오프 전류가 작은 트랜지스터로 하기 위해서는, 결정 구조를 갖는 산화하프늄을 사용하는 것이 바람직하다. 결정 구조의 예로서는, 단사정계나 입방정계 등을 들 수 있다. 단, 본 발명의 일 형태는, 이들에 한정되지 않는다.
- [0436] 또한, 본 실시 형태에서는, 절연막(106)으로서 질화 실리콘막을 형성하고, 절연막(107)으로서 산화 실리콘막을 형성한다. 질화 실리콘막은, 산화 실리콘막과 비교해서 비유전율이 높고, 산화 실리콘막과 동등한 정전 용량을 얻는 데 필요한 막 두께가 크기 때문에, 트랜지스터(100)의 게이트 절연막으로서, 질화 실리콘막을 포함함으로써 절연막을 물리적으로 후막화할 수 있다. 따라서, 트랜지스터(100)의 절연 내압의 저하를 억제, 나아가 절연 내압을 향상시켜서, 트랜지스터(100)의 정전 파괴를 억제할 수 있다.
- [0437] 《산화물 반도체 막》
- [0438] 산화물 반도체 막(108)으로서는, 앞서 나타내는 재료를 사용할 수 있다. 산화물 반도체 막(108)이 In-M-Zn 산화물인 경우, In-M-Zn 산화물을 성막하기 위해서 사용하는 스퍼터링 타깃의 금속 원소의 원자수비는, $In \geq M$, $Zn \geq M$ 을 만족하는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자수비로서, $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=2:1:3$, $In:M:Zn=3:1:2$, $In:M:Zn=4:2:4.1$ 이 바람직하다. 또한, 산화물 반도체 막(108)이 In-M-Zn 산화물인 경우, 스퍼터링 타깃으로서는, 다결정의 In-M-Zn 산화물을 포함하는 타깃을 사용하면 바람직하다. 다결정의 In-M-Zn 산화물을 포함하는 타깃을 사용함으로써, 결정성을 갖는 산화물 반도체 막(108)을 형성하기 쉬워진다. 또한, 성막되는 산화물 반도체 막(108)의 원자수비는 각각, 오차로서 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의 $\pm 40\%$ 의 변동을 포함한다. 예를 들어, 스퍼터링 타깃으로서, 원자수비가 $In:Ga:Zn=4:2:4.1$ 을 사용하는 경우, 성막되는 산화물 반도체 막(108)의 원자수비는, $In:Ga:Zn=4:2:3$ 근방이 되는 경우가 있다.
- [0439] 예를 들어, 산화물 반도체 막(108a)으로서는, 상술한 $In:M:Zn=2:1:3$, $In:M:Zn=3:1:2$, $In:M:Zn=4:2:4.1$ 등의 스퍼터링 타깃을 사용해서 형성하면 된다. 또한, 산화물 반도체 막(108b)으로서는, 상술한 $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$ 등을 사용해서 형성하면 된다. 또한, 산화물 반도체 막(108b)에 사용하는 스퍼터링 타깃의 금속 원소의 원자수비로서는, $In \geq M$, $Zn \geq M$ 을 만족할 필요는 없고, $In \geq M$, $Zn \leq M$ 을 만족하는 조성이어도 된다. 구체적으로는, $In:M:Zn=1:3:2$ 등을 들 수 있다.
- [0440] 또한, 산화물 반도체 막(108)은 에너지 캡이 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 이와 같이, 에너지 캡이 넓은 산화물 반도체를 사용함으로써 트랜지스터(100)의 오프 전류를 저감할 수 있다. 특히, 산화물 반도체 막(108a)에는, 에너지 캡이 2eV 이상, 바람직하게는 2eV 이상 3.0eV 이하의 산화물 반도체 막을 사용하고, 산화물 반도체 막(108b)에는, 에너지 캡이 2.5eV 이상 3.5eV 이하의 산화물 반도체 막을

사용하면 적합하다. 또한, 산화물 반도체 막(108a)보다도 산화물 반도체 막(108b)의 에너지 갭이 큰 것이 바람직하다.

[0441] 또한, 산화물 반도체 막(108a) 및 산화물 반도체 막(108b)의 두께는, 각각 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더욱 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 앞서 기재된 막 두께의 관계를 만족하면 바람직하다.

[0442] 또한, 산화물 반도체 막(108b)으로서는, 캐리어 밀도가 낮은 산화물 반도체 막을 사용한다. 예를 들어, 산화물 반도체 막(108b)은 캐리어 밀도가 1×10^{17} 개/cm³ 이하, 바람직하게는 1×10^{15} 개/cm³ 이하, 더욱 바람직하게는 1×10^{13} 개/cm³ 이하, 보다 바람직하게는 1×10^{11} 개/cm³ 이하로 한다.

[0443] 또한, 이들에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 역치 전압 등)에 따라서 적절한 조성의 것을 사용하면 된다. 또한, 필요로 하는 트랜지스터의 반도체 특성을 얻기 위해서, 산화물 반도체 막(108a) 및 산화물 반도체 막(108b)의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0444] 또한, 산화물 반도체 막(108a) 및 산화물 반도체 막(108b)으로서는, 각각 불순물 농도가 낮고, 결함 준위 밀도가 낮은 산화물 반도체 막을 사용함으로써 더욱 우수한 전기 특성을 갖는 트랜지스터를 제작할 수 있어 바람직하다. 여기에서는, 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은, 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 따라서, 해당 산화물 반도체 막에 채널 영역이 형성되는 트랜지스터는, 역치 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함)으로 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은, 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은, 오프 전류가 현저하게 작고, 채널 폭이 1×10^6 μm 이고 채널 길이(L)가 10 μm 인 소자여도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V 내지 10V의 범위에서, 오프 전류가, 반도체 파라미터 애널라이저의 측정 한계이하, 즉 1×10^{-13} A 이하라는 특성을 얻을 수 있다.

[0445] 따라서, 상기 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체 막에 채널 영역이 형성되는 트랜지스터는, 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터로 할 수 있다. 또한, 산화물 반도체 막의 트랩 준위에 포획된 전하는, 소실될 때까지 필요로 하는 시간이 길어, 마치 고정 전하와 같이 행동하는 경우가 있다. 그 때문에, 트랩 준위 밀도가 높은 산화물 반도체 막에 채널 영역이 형성되는 트랜지스터는, 전기 특성이 불안정해지는 경우가 있다. 불순물로서는, 수소, 질소, 알칼리 금속 또는 알칼리 토금속 등이 있다.

[0446] 산화물 반도체 막에 포함되는 수소는, 금속 원자와 결합하는 산소와 반응해서 물이 됨과 함께, 산소가 탈리된 격자(또는 산소가 탈리된 부분)에 산소 결손을 형성한다. 해당 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서, 수소가 포함되어 있는 산화물 반도체 막을 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 이 때문에, 산화물 반도체 막(108)은 수소가 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체 막(108)에 있어서, SIMS 분석에 의해 얻어지는 수소 농도를, 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 보다 바람직하게는 1×10^{19} atoms/cm³ 이하, 5×10^{18} atoms/cm³ 이하, 바람직하게는 1×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{16} atoms/cm³ 이하로 한다.

[0447] 또한, 산화물 반도체 막(108a)에 있어서, 제14족 원소의 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체 막(108a)에 있어서 산소 결손이 증가하여, n형화되어버린다. 이 때문에, 산화물 반도체 막(108a)에 있어서의 실리콘이나 탄소의 농도와, 산화물 반도체 막(108a)과의 계면 근방의 실리콘이나 탄소의 농도(SIMS 분석에 의해 얻어지는 농도)를 2×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{17} atoms/cm³ 이하로 한다.

[0448] 또한, 산화물 반도체 막(108a)에 있어서, SIMS 분석에 의해 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를, 1×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{16} atoms/cm³ 이하로 한다. 알칼리 금속 및 알칼리 토금속은, 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있어, 트랜지스터의 오프 전류가 증대되어버리는 경우가

있다. 이 때문에, 산화물 반도체 막(108a)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다.

[0449] 또한, 산화물 반도체 막(108a)에 질소가 포함되어 있으면, 캐리어인 전자가 발생하고, 캐리어 밀도가 증가하여, n형화하기 쉽다. 그 결과, 질소가 포함되어 있는 산화물 반도체 막을 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 해당 산화물 반도체 막에 있어서, 질소는 가능한 한 저감되어 있는 것이 바람직하다. 예를 들어 SIMS 분석에 의해 얻어지는 질소 농도는, $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.

[0450] 또한, 산화물 반도체 막(108a) 및 산화물 반도체 막(108b)은, 각각 비단결정 구조여도 된다. 비단결정 구조는, 예를 들어 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor), 다결정 구조, 미결정 구조 또는 비정질 구조를 포함한다. 비단결정 구조에 있어서, 비정질 구조는 가장 결함 준위 밀도가 높고, CAAC-OS는 가장 결함 준위 밀도가 낮다.

《트랜지스터의 보호 절연막으로서 기능하는 절연막》

[0452] 절연막(114, 116)은, 산화물 반도체 막(108)에 산소를 공급하는 기능을 갖는다. 또한, 절연막(118)은, 트랜지스터(100)의 보호 절연막으로서의 기능을 갖는다. 또한, 절연막(114, 116)은 산소를 갖는다. 또한, 절연막(114)은 산소를 투과할 수 있는 절연막이다. 또한, 절연막(114)은, 후에 형성하는 절연막(116)을 형성할 때의, 산화물 반도체 막(108)에의 대미지 완화 막으로서도 기능한다.

[0453] 절연막(114)으로서는, 두께가 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하의 산화 실리콘, 산화질화 실리콘 등을 사용할 수 있다.

[0454] 또한, 절연막(114)은, 결함량이 적은 것이 바람직하고, 대표적으로는, ESR 측정에 의해, 실리콘의 땅글링 본드에서 유래되는 $g=2.001$ 에 나타나는 신호의 스핀 밀도가 $3 \times 10^{17} \text{ spins/cm}^3$ 이하인 것이 바람직하다. 이것은, 절연막(114)에 포함되는 결함 밀도가 많으면, 해당 결함에 산소가 결합해버려, 절연막(114)에 있어서의 산소의 투과량이 감소해버린다.

[0455] 또한, 절연막(114)에 있어서는, 외부로부터 절연막(114)에 들어간 산소가 모두 절연막(114)의 외부로 이동하지 않고, 절연막(114)에 머무르는 산소도 있다. 또한, 절연막(114)에 산소가 들어감과 함께, 절연막(114)에 포함되는 산소가 절연막(114)의 외부로 이동함으로써, 절연막(114)에 있어서 산소의 이동이 발생하는 경우도 있다. 절연막(114)으로서 산소를 투과할 수 있는 산화물 절연막을 형성하면, 절연막(114) 위에 설치되는, 절연막(116)으로부터 탈리되는 산소를, 절연막(114)을 통해서 산화물 반도체 막(108)으로 이동시킬 수 있다.

[0456] 또한, 절연막(114)은, 질소산화물에 기인하는 준위 밀도가 낮은 산화물 절연막을 사용해서 형성할 수 있다. 또한, 당해 질소산화물에 기인하는 준위 밀도는, 산화물 반도체 막의 가전자대의 상단부의 에너지($E_{V_{OS}}$)와 산화물 반도체 막의 전도대의 하단부의 에너지($E_{C_{OS}}$)의 사이에 형성될 수 있는 경우가 있다. 상기 산화물 절연막으로서, 질소산화물의 방출량이 적은 산화질화 실리콘막 또는 질소산화물의 방출량이 적은 산화질화 알루미늄막 등을 사용할 수 있다.

[0457] 또한, 질소산화물의 방출량이 적은 산화질화 실리콘막은, 승온 탈리 가스 분석법에 있어서, 질소산화물의 방출량보다 암모니아의 방출량이 많은 막이며, 대표적으로는 암모니아의 방출량이 $1 \times 10^{18} \text{ 개/cm}^3$ 이상 $5 \times 10^{19} \text{ 개/cm}^3$ 이하이다. 또한, 암모니아의 방출량은, 막의 표면 온도가 50°C 이상 650°C 이하, 바람직하게는 50°C 이상 550°C 이하의 가열 처리에 의한 방출량으로 한다.

[0458] 질소산화물(NO_x , x는 0보다 크고 2 이하, 바람직하게는 1 이상 2 이하), 대표적으로는 NO_2 또는 NO 는, 절연막(114) 등에 준위를 형성한다. 당해 준위는, 산화물 반도체 막(108)의 에너지 캡 내에 위치한다. 그 때문에, 질소산화물이, 절연막(114) 및 산화물 반도체 막(108)의 계면에 확산하면, 당해 준위가 절연막(114)측에서 전자를 포획하는 경우가 있다. 이 결과, 포획된 전자가, 절연막(114) 및 산화물 반도체 막(108) 계면 근방에 머무르기 때문에, 트랜지스터의 역치 전압을 플러스 방향으로 시프트시켜버린다.

[0459] 또한, 질소산화물은, 가열 처리에서 암모니아 및 산소와 반응한다. 절연막(114)에 포함되는 질소산화물은, 가열 처리에서, 절연막(116)에 포함되는 암모니아와 반응하기 때문에, 절연막(114)에 포함되는 질소산화물이 저감된다. 이 때문에, 절연막(114) 및 산화물 반도체 막(108)의 계면에 있어서, 전자가 포획되기 어렵다.

[0460] 절연막(114)으로서, 상기 산화물 절연막을 사용함으로써 트랜지스터의 역치 전압의 시프트를 저감하는 것이 가

능하고, 트랜지스터의 전기 특성의 변동을 저감할 수 있다.

[0461] 또한, 트랜지스터의 제작 공정의 가열 처리, 대표적으로는 300°C 이상 350°C 미만의 가열 처리에 의해, 절연막(114)은 100K 이하의 ESR에서 측정해서 얻어진 스펙트럼에 있어서 g 값이 2.037 이상 2.039 이하인 제1 시그널, g 값이 2.001 이상 2.003 이하인 제2 시그널, 및 g 값이 1.964 이상 1.966 이하인 제3 시그널이 관측된다. 또한, 제1 시그널 및 제2 시그널의 스플릿 폭, 및 제2 시그널 및 제3 시그널의 스플릿 폭은, X 밴드의 ESR 측정에서 약 5mT이다. 또한, g 값이 2.037 이상 2.039 이하인 제1 시그널, g 값이 2.001 이상 2.003 이하인 제2 시그널, 및 g 값이 1.964 이상 1.966 이하인 제3 시그널의 스팬 밀도의 합계가 1×10^{18} spins/cm³ 미만이고, 대표적으로는 1×10^{17} spins/cm³ 이상 1×10^{18} spins/cm³ 미만이다.

[0462] 또한, 100K 이하의 ESR 스펙트럼에 있어서 g 값이 2.037 이상 2.039 이하인 제1 시그널, g 값이 2.001 이상 2.003 이하인 제2 시그널, 및 g 값이 1.964 이상 1.966 이하인 제3 시그널은, 질소산화물(NO_x , x는 0보다 크고 2 이하, 바람직하게는 1 이상 2 이하) 기인의 시그널에 상당한다. 질소산화물의 대표예로서는, 일산화질소, 이산화질소 등이 있다. 즉, g 값이 2.037 이상 2.039 이하인 제1 시그널, g 값이 2.001 이상 2.003 이하인 제2 시그널, 및 g 값이 1.964 이상 1.966 이하인 제3 시그널의 스팬 밀도의 합계가 적을수록, 산화물 절연막에 포함되는 질소산화물의 함유량이 적다고 할 수 있다.

[0463] 또한, 상기 산화물 절연막은, SIMS에서 측정되는 질소 농도가 6×10^{20} atoms/cm³ 이하이다.

[0464] 막의 표면 온도가 220°C 이상 350°C 이하이고, 실란 및 일산화이질소를 사용한 PECVD법을 사용하여, 상기 산화물 절연막을 형성함으로써, 치밀하고, 또한 경도가 높은 막을 형성할 수 있다.

[0465] 절연막(116)은, 화학 양론적 조성을 만족하는 산소보다도 많은 산소를 포함하는 산화물 절연막을 사용해서 형성한다. 화학 양론적 조성을 만족하는 산소보다도 많은 산소를 포함하는 산화물 절연막은, 가열에 의해 산소의 일부가 탈리된다. 화학 양론적 조성을 만족하는 산소보다도 많은 산소를 포함하는 산화물 절연막은, TDS 분석에서, 산소 원자로 환산한 산소의 탈리량이 1.0×10^{19} atoms/cm³ 이상, 바람직하게는 3.0×10^{20} atoms/cm³ 이상인 산화물 절연막이다. 또한, 상기 TDS 분석에서의 막의 표면 온도로서는 100°C 이상 700°C 이하 또는 100°C 이상 500°C 이하의 범위가 바람직하다.

[0466] 절연막(116)으로서는, 두께가 30nm 이상 500nm 이하, 바람직하게는 50nm 이상 400nm 이하의, 산화 실리콘, 산화 질화 실리콘 등을 사용할 수 있다.

[0467] 또한, 절연막(116)은, 결함량이 적은 것이 바람직하고, 대표적으로는, ESR 측정에 의해, 실리콘의 데글링 본드에서 유래되는 $g=2.001$ 에 나타나는 신호의 스팬 밀도가 1.5×10^{18} spins/cm³ 미만, 나아가 1×10^{18} spins/cm³ 이하인 것이 바람직하다. 또한, 절연막(116)은 절연막(114)과 비교해서 산화물 반도체 막(108)으로부터 이격되어 있기 때문에, 절연막(114)보다 결함 밀도가 많아도 된다.

[0468] 또한, 절연막(114, 116)은, 동종의 재료의 절연막을 사용할 수 있기 때문에, 절연막(114)과 절연막(116)의 계면을 명확하게 확인할 수 없는 경우가 있다. 따라서, 본 실시 형태에서는, 절연막(114)과 절연막(116)의 계면은, 파선으로 도시하고 있다. 또한, 본 실시 형태에서는, 절연막(114)과 절연막(116)의 2층 구조에 대해서 설명했지만, 이것에 한정되지 않고, 예를 들어 절연막(114)의 단층 구조로 해도 된다.

[0469] 절연막(118)은 질소를 갖는다. 또한, 절연막(118)은 질소 및 실리콘을 갖는다. 또한, 절연막(118)은 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등의 블로킹할 수 있는 기능을 갖는다. 절연막(118)을 설치함으로써, 산화물 반도체 막(108)으로부터의 산소의 외부로의 확산과, 절연막(114, 116)에 포함되는 산소의 외부로의 확산과, 외부로부터 산화물 반도체 막(108)에의 수소, 물 등의 인입을 방지할 수 있다. 절연막(118)으로서는, 예를 들어 질화물 절연막을 사용할 수 있다. 해당 질화물 절연막으로서는, 질화 실리콘, 질화산화 실리콘, 질화알루미늄, 질화산화 알루미늄 등이 있다. 또한, 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등의 블로킹 효과를 갖는 질화물 절연막 대신에 산소, 수소, 물 등의 블로킹 효과를 갖는 산화물 절연막을 설치해도 된다. 산소, 수소, 물 등의 블로킹 효과를 갖는 산화물 절연막으로서는, 산화알루미늄, 산화질화 알루미늄, 산화갈륨, 산화질화 갈륨, 산화이트륨, 산화질화 이트륨, 산화하프늄, 산화질화 하프늄 등이 있다.

[0470] 또한, 상기 기재된, 도전막, 절연막, 산화물 반도체 막 등의 다양한 막은, 스퍼터링법이나 PECVD법에 의해 형성할 수 있지만, 다른 방법, 예를 들어 열 CVD(Chemical Vapor Deposition)법에 의해 형성해도 된다.

- [0471] 열 CVD법의 예로서 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법을 사용해도 된다.
- [0472] 열 CVD법은, 플라즈마를 사용하지 않는 성막 방법 때문에, 플라즈마 대미지에 의해 결함이 생성되지 않는다는 이점을 갖는다.
- [0473] 열 CVD법은, 원료 가스와 산화제를 동시에 챔버 내에 보내어, 챔버 내를 대기압 또는 감압 하로 하고, 기판 근방 또는 기판 위에서 반응시켜서 기판 위에 퇴적시킴으로써 성막을 행해도 된다.
- [0474] 또한, ALD법은, 챔버 내를 대기압 또는 감압 하로 하고, 반응을 위한 원료 가스가 순차 챔버에 도입되고, 그 가스 도입의 순서를 반복함으로써 성막을 행해도 된다. 예를 들어, 각각의 스위칭 밸브(고속 밸브라고도 함)를 전환해서 2종류 이상의 원료 가스를 순서대로 챔버에 공급하고, 복수종의 원료 가스가 혼합되지 않도록 제1 원료 가스와 동시 또는 그 후에 불활성 가스(아르곤, 또는 질소 등) 등을 도입하고, 제2 원료 가스를 도입한다. 또한, 동시에 불활성 가스를 도입하는 경우에는, 불활성 가스는 캐리어 가스가 되고, 또한 제2 원료 가스의 도입시에도 동시에 불활성 가스를 도입해도 된다. 또한, 불활성 가스를 도입하는 대신에 진공 배기로 의해 제1 원료 가스를 배출한 후, 제2 원료 가스를 도입해도 된다. 제1 원료 가스가 기판의 표면에 흡착되어 제1층을 성막하고, 나중에 도입되는 제2 원료 가스와 반응하여, 제2층이 제1층 위에 적층되어서 박막이 형성된다. 이 가스 도입 순서를 제어하면서 원하는 두께가 될 때까지 복수회 반복함으로써, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는, 가스 도입 순서를 반복하는 횟수에 따라 조절할 수 있기 때문에, 정밀한 막 두께 조절이 가능하여, 미세한 FET를 제작하는 경우에 적합하다.
- [0475] MOCVD법이나 ALD법 등의 열 CVD법은, 상기 실시 형태의 도전막, 절연막, 산화물 반도체 막, 금속 산화막 등의 다양한 막을 형성할 수 있으며, 예를 들어 In-Ga-Zn-O막을 성막하는 경우에는, 트리메틸인듐, 트리메틸갈륨 및 디메틸아연을 사용한다. 또한, 트리메틸인듐의 화학식은, $In(CH_3)_3$ 이다. 또한, 트리메틸갈륨의 화학식은, $Ga(CH_3)_3$ 이다. 또한, 디메틸아연의 화학식은, $Zn(CH_3)_2$ 이다. 또한, 이들의 조합에 한정되지 않고, 트리메틸갈륨 대신에 트리에틸갈륨(화학식 $Ga(C_2H_5)_3$)을 사용할 수도 있고, 디메틸아연 대신에 디에틸아연(화학식 $Zn(C_2H_5)_2$)을 사용할 수도 있다.
- [0476] 예를 들어, ALD를 이용하는 성막 장치에 의해 산화하프늄 막을 형성하는 경우에는, 용매와 하프늄 전구체 화합물을 포함하는 액체(하프늄 알록시드나, 테트라카스디메틸아미드하프늄(TDMAH) 등의 하프늄아미드)를 기화시킨 원료 가스와, 산화제로서 오존(O_3)의 2종류의 가스를 사용한다. 또한, 테트라카스디메틸아미드하프늄의 화학식은 $Hf[N(CH_3)_2]_4$ 이다. 또한, 다른 재료 액으로서는, 테트라카스(에틸메틸아미드)하프늄 등이 있다.
- [0477] 예를 들어, ALD를 이용하는 성막 장치에 의해 산화알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체 화합물을 포함하는 액체(트리메틸알루미늄(TMA) 등)를 기화시킨 원료 가스와, 산화제로서 H_2O 의 2종류의 가스를 사용한다. 또한, 트리메틸알루미늄의 화학식은 $Al(CH_3)_3$ 이다. 또한, 다른 재료 액으로서는, 트리스(디메틸아미드)알루미늄, 트리이소부틸알루미늄, 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵坦디오네이트) 등이 있다.
- [0478] 예를 들어, ALD를 이용하는 성막 장치에 의해 산화 실리콘막을 형성하는 경우에는, 헥사클로로디실란을 피성막면에 흡착시켜, 흡착물에 포함되는 염소를 제거하고, 산화성 가스(O_2 , 일산화이질소)의 라디칼을 공급해서 흡착물과 반응시킨다.
- [0479] 예를 들어, ALD를 이용하는 성막 장치에 의해 텅스텐막을 성막하는 경우에는, WF_6 가스와 B_2H_6 가스를 순차 반복해서 도입하여 초기 텅스텐막을 형성하고, 그 후, WF_6 가스와 H_2 가스를 사용해서 텅스텐막을 형성한다. 또한, B_2H_6 가스 대신에 SiH_4 가스를 사용해도 된다.
- [0480] 예를 들어, ALD를 이용하는 성막 장치에 의해 산화물 반도체 막, 예를 들어 In-Ga-Zn-O막을 성막하는 경우에는, $In(CH_3)_3$ 가스와 O_3 가스를 순차 반복해서 도입하여 In-O층을 형성하고, 그 후, $Ga(CH_3)_3$ 가스와 O_3 가스를 사용해서 GaO층을 형성하고, 또한 그 후 $Zn(CH_3)_2$ 가스와 O_3 가스를 사용해서 ZnO층을 형성한다. 또한, 이들 층의 순서는 이 예에 제한하지 않는다. 또한, 이들 가스를 섞어서 In-Ga-O층이나 In-Zn-O층, Ga-Zn-O층 등의 혼합화합물층을 형성해도 된다. 또한, O_3 가스 대신에 Ar 등의 불활성 가스로 물을 베블링해서 얻어진 H_2O 가스를 사용해도 되지만, H를 포함하지 않는 O_3 가스를 사용하는 것이 더 바람직하다. 또한, $In(CH_3)_3$ 가스 대신에,

$\text{In}(\text{C}_2\text{H}_5)_3$ 가스를 사용해도 된다. 또한, $\text{Ga}(\text{CH}_3)_3$ 가스 대신에, $\text{Ga}(\text{C}_2\text{H}_5)_3$ 가스를 사용해도 된다. 또한, $\text{Zn}(\text{CH}_3)_2$ 가스를 사용해도 된다.

[0481] 또한, 본 실시 형태는, 본 명세서에서 나타내는 다른 실시 형태와 적절히 조합할 수 있다.

[0482] (실시 형태 4)

[0483] 본 실시 형태에서는, 본 발명의 일 형태의 정보 처리 장치에 사용할 수 있는 트랜지스터의 구성에 대해서, 도 15를 참조하면서 설명한다.

[0484] <반도체 장치의 구성예>

[0485] 도 15의 (A)는 트랜지스터(100)의 상면도이며, 도 15의 (B)는 도 15의 (A)에 나타내는 일점 쇄선 X1-X2 사이에서의 절단면의 단면도에 상당하고, 도 15의 (C)는 도 15의 (A)에 나타내는 일점 쇄선 Y1-Y2 사이에서의 절단면의 단면도에 상당한다. 또한, 도 15의 (A)에서, 번잡해지는 것을 피하기 위해서, 트랜지스터(100)의 구성 요소의 일부(게이트 절연막으로서 기능하는 절연막 등)를 생략해서 도시하고 있다. 또한, 일점 쇄선 X1-X2 방향을 채널 길이 방향, 일점 쇄선 Y1-Y2 방향을 채널 폭 방향이라 호칭하는 경우가 있다. 또한, 트랜지스터의 상면도에서는, 이후의 도면에서도 도 15의 (A)와 마찬가지로, 구성 요소의 일부를 생략해서 도시하는 경우가 있다.

[0486] 또한, 트랜지스터(100)를 실시 형태 2에서 설명하는 표시 모듈(700) 또는 표시 모듈(700B)에 사용할 수 있다.

[0487] 예를 들어, 트랜지스터(100)를 트랜지스터(MB) 또는 트랜지스터(MD)에 사용하는 경우에는, 기판(102)을 기판(710)으로, 도전막(104)을 도전막(704)으로, 절연막(106) 및 절연막(107)이 적층된 적층막을 절연막(706)으로, 산화물 반도체 막(108)을 반도체 막(718)으로, 도전막(112a)을 도전막(712A)으로, 도전막(112b)을 도전막(712B)으로, 절연막(114) 및 절연막(118)이 적층된 적층막을 절연막(721A)으로, 절연막(116)을 절연막(721B)으로, 도전막(120b)을 도전막(720)으로 각각 바꾸어 읽을 수 있다.

[0488] 트랜지스터(100)는, 기판(102) 위의 제1 게이트 전극으로서 기능하는 도전막(104)과, 기판(102) 및 도전막(104) 위의 절연막(106)과, 절연막(106) 위의 절연막(107)과, 절연막(107) 위의 산화물 반도체 막(108)과, 산화물 반도체 막(108)과 전기적으로 접속되는 소스 전극으로서 기능하는 도전막(112a)과, 산화물 반도체 막(108)과 전기적으로 접속되는 드레인 전극으로서 기능하는 도전막(112b)과, 산화물 반도체 막(108), 도전막(112a) 및 (112b) 위의 절연막(114, 116)과, 절연막(116) 위에 설치되고, 또한 도전막(112b)과 전기적으로 접속되는 도전막(120a)과, 절연막(116) 위의 도전막(120b)과, 절연막(116) 및 도전막(120a, 120b) 위의 절연막(118)을 갖는다.

[0489] 또한, 절연막(106, 107)은 트랜지스터(100)의 제1 게이트 절연막으로서의 기능을 갖고, 절연막(114, 116)은 트랜지스터(100)의 제2 게이트 절연막으로서의 기능을 갖고, 절연막(118)은 트랜지스터(100)의 보호 절연막으로서의 기능을 갖는다. 또한, 본 명세서 등에서, 절연막(106, 107)을 제1 절연막으로, 절연막(114, 116)을 제2 절연막으로, 절연막(118)을 제3 절연막으로 각각 호칭하는 경우가 있다.

[0490] 또한, 도전막(120b)을 트랜지스터(100)의 제2 게이트 전극에 사용할 수 있다.

[0491] 또한, 트랜지스터(100)를 표시 패널에 사용하는 경우에는, 도전막(120a)을 표시 소자의 전극에 사용할 수 있다.

[0492] 또한, 산화물 반도체 막(108)은, 제1 게이트 전극으로서 기능하는 도전막(104)측의 산화물 반도체 막(108b)과, 산화물 반도체 막(108b) 위의 산화물 반도체 막(108c)을 갖는다. 또한, 산화물 반도체 막(108b) 및 산화물 반도체 막(108c)은, In과, M(M은 Al, Ga, Y 또는 Sn)과, Zn을 갖는다.

[0493] 예를 들어, 산화물 반도체 막(108b)으로서는, In의 원자수비가 M의 원자수비보다 많은 영역을 가지면 바람직하다. 또한, 산화물 반도체 막(108c)으로서는, 산화물 반도체 막(108b)보다도 In의 원자수가 적은 영역을 가지면 바람직하다.

[0494] 산화물 반도체 막(108b)이, In의 원자수비가 M의 원자수비보다 많은 영역을 가짐으로써, 트랜지스터(100)의 전계 효과 이동도(간단히 이동도 또는 μFE 라고 하는 경우가 있음)를 높게 할 수 있다. 구체적으로는, 트랜지스터(100)의 전계 효과 이동도가 $10\text{cm}^2/\text{Vs}$ 를 초과하는 것이, 더욱 바람직하게는 트랜지스터(100)의 전계 효과 이동도가 $30\text{cm}^2/\text{Vs}$ 를 초과하는 것이 가능하게 된다.

[0495] 예를 들어, 상기 전계 효과 이동도가 높은 트랜지스터를, 게이트 신호를 생성하는 게이트 드라이버(특히, 게이트 드라이버가 갖는 시프트 레지스터의 출력 단자에 접속되는 디멀티플렉서)에 사용함으로써, 프레임 폭이 좁은

(협 프레임이라고도 함) 반도체 장치 또는 표시 장치를 제공할 수 있다.

[0496] 한편, 산화물 반도체 막(108b)이, In의 원자수비가 M의 원자수비보다 많은 영역을 갖는 경우, 광 조사시에 트랜지스터(100)의 전기 특성이 변동되기 쉬워진다. 그러나, 본 발명의 일 형태의 반도체 장치에서는, 산화물 반도체 막(108b) 위에 산화물 반도체 막(108c)이 형성되어 있다. 또한, 산화물 반도체 막(108c)은, 산화물 반도체 막(108b)보다도 In의 원자수비가 적은 영역을 갖기 때문에, 산화물 반도체 막(108b)보다도 Eg가 커진다. 따라서, 산화물 반도체 막(108b)과, 산화물 반도체 막(108c)과의 적층 구조인 산화물 반도체 막(108)은, 광 부 바이어스 스트레스 시험에 의한 내성을 높이는 것이 가능하게 된다.

[0497] 또한, 산화물 반도체 막(108) 중, 특히 산화물 반도체 막(108b)의 채널 영역에 흔입되는 수소 또는 수분 등의 불순물은, 트랜지스터 특성에 영향을 주기 때문에 문제가 된다. 따라서, 산화물 반도체 막(108b) 중의 채널 영역에서는, 수소 또는 수분 등의 불순물이 적을수록 바람직하다. 또한, 산화물 반도체 막(108b) 중의 채널 영역에 형성되는 산소 결손은, 트랜지스터 특성에 영향을 주기 때문에 문제가 된다. 예를 들어, 산화물 반도체 막(108b)의 채널 영역 중에 산소 결손이 형성되면, 해당 산소 결손에 수소가 결합하여, 캐리어 공급원이 된다. 산화물 반도체 막(108b)의 채널 영역 중에 캐리어 공급원이 생성되면, 산화물 반도체 막(108b)을 갖는 트랜지스터(100)의 전기 특성의 변동, 대표적으로는 역치 전압의 시프트가 발생한다. 따라서, 산화물 반도체 막(108b)의 채널 영역에서는, 산소 결손이 적을수록 바람직하다.

[0498] 따라서, 본 발명의 일 형태에서는, 산화물 반도체 막(108)에 접하는 절연막, 구체적으로는, 산화물 반도체 막(108)의 하방에 형성되는 절연막(107) 및 산화물 반도체 막(108)의 상방에 형성되는 절연막(114, 116)이 과잉 산소를 함유하는 구조이다. 절연막(107) 및 절연막(114, 116)으로부터 산화물 반도체 막(108)으로 산소 또는 과잉 산소를 이동시킴으로써, 산화물 반도체 막 내의 산소 결손을 저감하는 것이 가능하게 된다. 따라서, 트랜지스터(100)의 전기 특성, 특히 광 조사에 있어서의 트랜지스터(100)의 변동을 억제하는 것이 가능하게 된다.

[0499] 또한, 본 발명의 일 형태에서는, 절연막(107) 및 절연막(114, 116)에 과잉 산소를 함유시키기 위해서, 제작 공정의 증가가 없는, 또는 제작 공정의 증가가 매우 적은 제작 방법을 사용한다. 따라서, 트랜지스터(100)의 수율을 높게 하는 것이 가능하다.

[0500] 구체적으로는, 산화물 반도체 막(108b)을 형성하는 공정에서, 스퍼터링법을 사용하여, 산소 가스를 포함하는 분위기에서 산화물 반도체 막(108b)을 형성함으로써, 산화물 반도체 막(108b)의 괴형성면이 되는, 절연막(107)에 산소 또는 과잉 산소를 첨가한다.

[0501] 또한, 도전막(120a, 120b)을 형성하는 공정에서, 스퍼터링법을 사용하여, 산소 가스를 포함하는 분위기에서 도전막(120a, 120b)을 형성함으로써, 도전막(120a, 120b)의 괴형성면이 되는, 절연막(116)에 산소 또는 과잉 산소를 첨가한다. 또한, 절연막(116)에 산소 또는 과잉 산소를 첨가할 때 절연막(116)의 하방에 위치하는 절연막(114) 및 산화물 반도체 막(108)에도 산소 또는 과잉 산소가 첨가되는 경우가 있다.

<산화물 도전체>

[0503] 이어서, 산화물 도전체에 대해서 설명한다. 도전막(120a, 120b)을 형성하는 공정에서, 도전막(120a, 120b)은, 절연막(114, 116)으로부터 산소의 방출을 억제하는 보호막으로서 기능한다. 또한, 도전막(120a, 120b)은, 절연막(118)을 형성하는 공정 전에는, 반도체로서의 기능을 갖고, 절연막(118)을 형성하는 공정 후에는, 도전막(120a, 120b)은 도전체로서의 기능을 갖는다.

[0504] 도전막(120a, 120b)을 도전체로서 기능시키기 위해서는, 도전막(120a, 120b)에 산소 결손을 형성하고, 해당 산소 결손에 절연막(118)으로부터 수소를 첨가하면, 전도대 근방에 도너 준위가 형성된다. 그 결과, 도전막(120a, 120b)은, 도전성이 높아져 도전체화한다. 도전체화된 도전막(120a, 120b)을 각각 산화물 도전체라고 할 수 있다. 일반적으로, 산화물 반도체는, 에너지 갭이 크기 때문에, 가시광에 대하여 투광성을 갖는다. 한편, 산화물 도전체는, 전도대 근방에 도너 준위를 갖는 산화물 반도체이다. 따라서, 산화물 도전체는, 도너 준위에 의한 흡수의 영향은 작고, 가시광에 대하여 산화물 반도체와 동일 정도의 투광성을 갖는다.

<반도체 장치의 구성 요소>

[0506] 이하에, 본 실시 형태의 반도체 장치에 포함되는 구성 요소에 대해서, 상세하게 설명한다.

[0507] 또한, 이하의 재료에 대해서는, 실시 형태 3에서 설명하는 재료와 마찬가지의 재료를 사용할 수 있다.

[0508] 실시 형태 3에서 설명하는 기판(102)에 사용할 수 있는 재료를 기판(102)에 사용할 수 있다. 또한, 실시 형태

3에서 설명하는 절연막(106, 107)에 사용할 수 있는 재료를 절연막(106, 107)에 사용할 수 있다.

[0509] 또한, 실시 형태 3에서 설명하는 게이트 전극, 소스 전극 및 드레인 전극으로서 기능하는 도전막에 사용할 수 있는 재료를, 제1 게이트 전극, 소스 전극 및 드레인 전극으로서 기능하는 도전막에 사용할 수 있다.

[0510] 《산화물 반도체 막》

[0511] 산화물 반도체 막(108)으로서는, 앞서 나타내는 재료를 사용할 수 있다.

[0512] 산화물 반도체 막(108b)이 In-M-Zn 산화물인 경우, In-M-Zn 산화물을 성막하기 위해서 사용하는 스퍼터링 타깃의 금속 원소의 원자수비는, In>M을 만족하는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자수비로서, In:M:Zn=2:1:3, In:M:Zn=3:1:2, In:M:Zn=4:2:4.1 등을 들 수 있다.

[0513] 또한, 산화물 반도체 막(108c)이 In-M-Zn 산화물인 경우, In-M-Zn 산화물을 성막하기 위해서 사용하는 스퍼터링 타깃의 금속 원소의 원자수비는, In≤M을 만족하는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자수비로서, In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=1:3:2, In:M:Zn=1:3:4, In:M:Zn=1:3:6, In:M:Zn=1:4:5 등을 들 수 있다.

[0514] 또한, 산화물 반도체 막(108b) 및 산화물 반도체 막(108c)이 In-M-Zn 산화물인 경우, 스퍼터링 타깃으로서는, 다결정의 In-M-Zn 산화물을 포함하는 타깃을 사용하면 바람직하다. 다결정의 In-M-Zn 산화물을 포함하는 타깃을 사용함으로써, 결정성을 갖는 산화물 반도체 막(108b) 및 산화물 반도체 막(108c)을 형성하기 쉬워진다. 또한, 성막되는 산화물 반도체 막(108b) 및 산화물 반도체 막(108c)의 원자수비는 각각, 오차로서 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의 ±40%의 변동을 포함한다. 예를 들어, 산화물 반도체 막(108b)의 스퍼터링 타깃으로서, 원자수비가 In:Ga:Zn=4:2:4.1을 사용하는 경우, 성막되는 산화물 반도체 막(108b)의 원자수비는, In:Ga:Zn=4:2:3 근방이 되는 경우가 있다.

[0515] 또한, 산화물 반도체 막(108)은 에너지 캡이 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 이와 같이, 에너지 캡이 얇은 산화물 반도체를 사용함으로써 트랜지스터(100)의 오프 전류를 저감할 수 있다. 특히, 산화물 반도체 막(108b)에는, 에너지 캡이 2eV 이상, 바람직하게는 2eV 이상 3.0eV 이하의 산화물 반도체 막을 사용하고, 산화물 반도체 막(108c)에는, 에너지 캡이 2.5eV 이상 3.5eV 이하의 산화물 반도체 막을 사용하면, 적합하다. 또한, 산화물 반도체 막(108b)보다도 산화물 반도체 막(108c)의 에너지 캡이 큰 것이 더 바람직하다.

[0516] 또한, 산화물 반도체 막(108b) 및 산화물 반도체 막(108c)의 두께는, 각각 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더욱 바람직하게는 3nm 이상 50nm 이하로 한다.

[0517] 또한, 산화물 반도체 막(108c)으로서는, 캐리어 밀도가 낮은 산화물 반도체 막을 사용한다. 예를 들어, 산화물 반도체 막(108c)은, 캐리어 밀도가 $1 \times 10^{17} \text{ 개}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15} \text{ 개}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{13} \text{ 개}/\text{cm}^3$ 이하, 보다 바람직하게는 $1 \times 10^{11} \text{ 개}/\text{cm}^3$ 이하로 한다.

[0518] 또한, 이들에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 역치 전압 등)에 따라서 적절한 조성의 것을 사용하면 된다. 또한, 필요로 하는 트랜지스터의 반도체 특성을 얻기 위해서, 산화물 반도체 막(108b) 및 산화물 반도체 막(108c)의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0519] 또한, 산화물 반도체 막(108b) 및 산화물 반도체 막(108c)으로서는, 각각 불순물 농도가 낮고, 결함 준위 밀도가 낮은 산화물 반도체 막을 사용함으로써 더욱 우수한 전기 특성을 갖는 트랜지스터를 제작할 수 있어 바람직하다. 여기에서는, 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은, 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 따라서, 해당 산화물 반도체 막에 채널 영역이 형성되는 트랜지스터는, 역치 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은, 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은, 오프 전류가 현저하게 작고, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이(L)가 $10\mu\text{m}$ 인 소자여도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V 내지 10V의 범위에서, 오프 전류가, 반도체 파라미터 애널라이저의 측정 한계 이하, 즉

$1 \times 10^{-13} \text{ A}$ 이하라는 특성을 얻을 수 있다.

[0520] 따라서, 상기 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체 막에 채널 영역이 형성되는 트랜지스터는, 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터로 할 수 있다. 또한, 산화물 반도체 막의 트랩 준위에 포획된 전하는, 소실될 때까지 필요로 하는 시간이 길어, 마치 고정 전하와 같이 행동하는 경우가 있다. 그 때문에, 트랩 준위 밀도가 높은 산화물 반도체 막에 채널 영역이 형성되는 트랜지스터는, 전기 특성이 불안정해지는 경우가 있다. 불순물로서는, 수소, 질소, 알칼리 금속 또는 알칼리 토금속 등이 있다.

[0521] 산화물 반도체 막에 포함되는 수소는, 금속 원자와 결합하는 산소와 반응해서 물이 됨과 함께, 산소가 탈리된 격자(또는 산소가 탈리된 부분)에 산소 결손을 형성한다. 해당 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서, 수소가 포함되어 있는 산화물 반도체 막을 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 이 때문에, 산화물 반도체 막(108)은 수소가 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체 막(108)에 있어서, SIMS 분석에 의해 얻어지는 수소 농도를, $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.

[0522] 또한, 산화물 반도체 막(108b)은, 산화물 반도체 막(108c)보다도 수소 농도가 적은 영역을 가지면 바람직하다. 산화물 반도체 막(108b)이, 산화물 반도체 막(108c)보다도 수소 농도가 적은 영역을 더 가짐으로써, 신뢰성이 높은 반도체 장치로 할 수 있다.

[0523] 또한, 산화물 반도체 막(108b)에 있어서, 제14족 원소의 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체 막(108b)에 있어서 산소 결손이 증가하여, n형화되어버린다. 이 때문에, 산화물 반도체 막(108b)에 있어서의 실리콘이나 탄소의 농도와, 산화물 반도체 막(108b)과의 계면 근방의 실리콘이나 탄소의 농도(SIMS 분석에 의해 얻어지는 농도)를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.

[0524] 또한, 산화물 반도체 막(108b)에 있어서, SIMS 분석에 의해 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를, $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다. 알칼리 금속 및 알칼리 토금속은, 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있어, 트랜지스터의 오프 전류가 증대해버리는 경우가 있다. 이 때문에, 산화물 반도체 막(108b)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다.

[0525] 또한, 산화물 반도체 막(108b)에 질소가 포함되어 있으면, 캐리어인 전자가 발생하고, 캐리어 밀도가 증가하여, n형화하기 쉽다. 그 결과, 질소가 포함되어 있는 산화물 반도체 막을 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 해당 산화물 반도체 막에 있어서, 질소는 가능한 한 저감되어 있는 것이 바람직하다. 예를 들어 SIMS 분석에 의해 얻어지는 질소 농도는, $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.

[0526] 또한, 산화물 반도체 막(108b) 및 산화물 반도체 막(108c)은, 각각 비단결정 구조이어도 된다. 비단결정 구조는, 예를 들어 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor), 다결정 구조, 미결정 구조 또는 비정질 구조를 포함한다. 비단결정 구조에 있어서, 비정질 구조는 가장 결합 준위 밀도가 높고, CAAC-OS는 가장 결합 준위 밀도가 낮다.

《제2 게이트 절연막으로서 기능하는 절연막》

[0528] 절연막(114, 116)은 트랜지스터(100)의 제2 게이트 절연막으로서 기능한다. 또한, 절연막(114, 116)은 산화물 반도체 막(108)에 산소를 공급하는 기능을 갖는다. 즉, 절연막(114, 116)은 산소를 갖는다. 또한, 절연막(114)은 산소를 투과할 수 있는 절연막이다. 또한, 절연막(114)은 후에 형성하는 절연막(116)을 형성할 때의, 산화물 반도체 막(108)에의 대미지 완화 막으로서도 기능한다.

[0529] 예를 들어, 실시 형태(3)에서 설명하는 절연막(114, 116)을 절연막(114, 116)에 사용할 수 있다.

《도전막으로서 기능하는 산화물 반도체 막 및 제2 게이트 전극으로서 기능하는 산화물 반도체 막》

[0531] 앞서 기재된 산화물 반도체 막(108)과 마찬가지의 재료를, 도전막(120a) 및 제2 게이트 전극으로서 기능하는 도

전막(120b)에 사용할 수 있다.

[0532] 즉, 도전막(120a) 및 제2 게이트 전극으로서 기능하는 도전막(120b)은, 산화물 반도체 막(108)(산화물 반도체 막(108b) 및 산화물 반도체 막(108c))에 포함되는 금속 원소를 갖는다. 예를 들어, 제2 게이트 전극으로서 기능하는 도전막(120b)과, 산화물 반도체 막(108)(산화물 반도체 막(108b) 및 산화물 반도체 막(108c))이 동일한 금속 원소를 갖는 구성으로 함으로써, 제조 비용을 억제하는 것이 가능하게 된다.

[0533] 예를 들어, 도전막(120a) 및 제2 게이트 전극으로서 기능하는 도전막(120b)으로서는, In-M-Zn 산화물의 경우, In-M-Zn 산화물을 성막하기 위해서 사용하는 스퍼터링 타깃의 금속 원소의 원자수비는, $In \geq M$ 을 만족하는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자수비로서, $In:M:Zn=2:1:3$, $In:M:Zn=3:1:2$, $In:M:Zn=4:2:4.1$ 등을 들 수 있다.

[0534] 또한, 도전막(120a) 및 제2 게이트 전극으로서 기능하는 도전막(120b)의 구조로서는, 단층 구조 또는 2층 이상의 적층 구조로 할 수 있다. 또한, 도전막(120a, 120b)이 적층 구조인 경우에는, 상기 스퍼터링 타깃의 조성에 한정되지 않는다.

《트랜지스터의 보호 절연막으로서 기능하는 절연막》

[0536] 절연막(118)은 트랜지스터(100)의 보호 절연막으로서 기능한다.

[0537] 절연막(118)은 수소 및 질소 중 어느 한쪽 또는 양쪽을 갖는다. 또는, 절연막(118)은 질소 및 실리콘을 갖는다. 또한, 절연막(118)은 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등의 블로킹할 수 있는 기능을 갖는다. 절연막(118)을 설치함으로써, 산화물 반도체 막(108)으로부터의 산소의 외부로의 확산과, 절연막(114, 116)에 포함되는 산소의 외부로의 확산과, 외부로부터 산화물 반도체 막(108)에의 수소, 물 등의 인입을 방지할 수 있다.

[0538] 또한, 절연막(118)은, 도전막(120a) 및 제2 게이트 전극으로서 기능하는 도전막(120b)에, 수소 및 질소 중 어느 한쪽 또는 양쪽을 공급하는 기능을 갖는다. 특히 절연막(118)으로서는, 수소를 포함하고, 당해 수소를 도전막(120a, 120b)에 공급하는 기능을 가지면 바람직하다. 절연막(118)으로부터 도전막(120a, 120b)에 수소가 공급됨으로써, 도전막(120a, 120b)은 도전체로서의 기능을 갖는다.

[0539] 절연막(118)으로서는, 예를 들어 질화물 절연막을 사용할 수 있다. 해당 질화물 절연막으로서는, 질화 실리콘, 질화산화 실리콘, 질화알루미늄, 질화산화 알루미늄 등이 있다.

[0540] 또한, 상기 기재된, 도전막, 절연막, 산화물 반도체 막 등의 다양한 막은, 스퍼터링법이나 PECVD법에 의해 형성할 수 있지만, 다른 방법, 예를 들어 열 CVD법에 의해 형성해도 된다. 열 CVD법의 예로서 MOCVD법이나 ALD법을 사용해도 된다. 구체적으로는, 실시 형태 3에서 설명하는 방법에 의해 형성할 수 있다.

[0541] 또한, 본 실시 형태는, 본 명세서에서 나타내는 다른 실시 형태와 적절히 조합할 수 있다.

(실시 형태 5)

[0543] 본 실시 형태에서는, 본 발명의 일 형태의 소자를 사용한 터치 패널의 구성에 대해서, 도 16을 참조하면서 설명한다.

[0544] 도 16은, 본 실시 형태에서 예시하는 터치 패널(1700)의 사시도이다. 또한 명료화를 위해서, 대표적인 구성 요소만을 도 16에 나타내었다.

[0545] 터치 패널(1700)은 표시부(1701)와 터치 센서(1795)를 구비한다(도 16의 (B) 참조). 또한, 터치 패널(1700)은, 기판(1710), 기판(1770) 및 기판(1790)을 갖는다.

[0546] 표시부(1701)는, 기판(1710), 기판(1710) 위에 복수의 화소 및 당해 화소에 신호를 공급할 수 있는 복수의 배선(1711)을 구비한다. 복수의 배선(1711)은, 기판(1710)의 외주부에까지 배치되고, 그 일부가 단자(1719)를 구성하고 있다. 단자(1719)는 FPC(1709(1))와 전기적으로 접속한다.

<터치 센서>

[0548] 기판(1790)에는, 터치 센서(1795)와, 터치 센서(1795)와 전기적으로 접속하는 복수의 배선(1798)을 구비한다. 복수의 배선(1798)은, 기판(1790)의 외주부에 배치되고, 그 일부는 단자를 구성한다. 그리고, 당해 단자는 FPC(1709(2))와 전기적으로 접속된다. 또한, 도 16의 (B)에서는 명료화를 위해서, 기판(1790)의 이면측(기판

(1790)과 대향하는 면측)에 설치되는 터치 센서(1795)의 전극이나 배선 등을 실선으로 나타내고 있다.

[0549] 터치 센서(1795)로서, 예를 들어 정전 용량 방식의 터치 센서를 적용할 수 있다. 정전 용량 방식으로서는, 표면형 정전 용량 방식, 투영형 정전 용량 방식 등이 있다.

[0550] 투영형 정전 용량 방식으로서는, 주로 구동 방식의 차이에 의해 자기 용량 방식, 상호 용량 방식 등이 있다. 상호 용량 방식을 사용하면 동시 다점 검출이 가능하게 되기 때문에 바람직하다.

[0551] 이하에서는, 투영형 정전 용량 방식의 터치 센서를 적용하는 경우에 대해서, 도 16의 (B)를 사용해서 설명한다.

[0552] 또한, 손가락 등의 검지 대상의 근접 또는 접촉을 검지할 수 있는 다양한 센서를 적용할 수 있다.

[0553] 투영형 정전 용량 방식의 터치 센서(1795)는, 전극(1791)과 전극(1792)을 갖는다. 전극(1791)은 복수의 배선(1798) 중 어느 하나와 전기적으로 접속하고, 전극(1792)은 복수의 배선(1798) 중 다른 어느 하나와 전기적으로 접속한다.

[0554] 전극(1792)은, 도 16의 (A), (B)에 도시한 바와 같이, 일방향으로 반복해서 배치된 복수의 사변형이 코너부에서 접속된 형상을 갖는다.

[0555] 전극(1791)은 사변형이며, 전극(1792)이 연장되는 방향과 교차하는 방향으로 반복해서 배치되어 있다.

[0556] 배선(1794)은, 전극(1792)을 사이에 둔 2개의 전극(1791)을 전기적으로 접속한다. 이때, 전극(1792)과 배선(1794)의 교차부의 면적이 가능한 한 작아지는 형상이 바람직하다. 이에 의해, 전극이 설치되지 않은 영역의 면적을 저감할 수 있고, 투과율의 불균일을 저감할 수 있다. 그 결과, 터치 센서(1795)를 투과하는 광의 휘도 불균일을 저감할 수 있다.

[0557] 또한, 전극(1791), 전극(1792)의 형상은 이것에 한정되지 않고, 다양한 형상을 취할 수 있다. 예를 들어, 복수의 전극(1791)을 가능한 한 간극이 발생하지 않도록 배치하고, 절연막을 통해서 전극(1792)을, 전극(1791)과 중첩되지 않는 영역이 생기도록 떨어져서 복수 설치하는 구성으로 해도 된다. 이때, 인접하는 2개의 전극(1792)의 사이에, 이것들과는 전기적으로 절연된 더미 전극을 설치하면, 투과율이 상이한 영역의 면적을 저감할 수 있기 때문에 바람직하다.

[0558] 또한, 본 실시 형태는, 본 명세서에서 나타내는 다른 실시 형태와 적절히 조합할 수 있다.

[0559] (실시 형태 6)

[0560] 본 실시 형태에서는, 본 발명의 일 형태의 반사형의 표시 장치를 갖는 표시 모듈 및 전자 기기에 대해서, 도 17 및 도 18을 사용해서 설명을 행한다.

[0561] 도 17에 나타내는 표시 모듈(8000)은, 상부 커버(8001)와 하부 커버(8002)의 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 프레임(8009), 프린트 기판(8010), 배터리(8011)를 갖는다.

[0562] 본 발명의 일 형태의 표시 장치는, 예를 들어 표시 패널(8006)에 사용할 수 있다.

[0563] 상부 커버(8001) 및 하부 커버(8002)는, 터치 패널(8004) 및 표시 패널(8006)의 사이즈에 맞추어, 형상이나 치수를 적절히 변경할 수 있다.

[0564] 터치 패널(8004)은, 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널(8006)에 중첩해서 사용할 수 있다. 또한, 표시 패널(8006)의 대향 기판(밀봉 기판)에, 터치 패널 기능을 갖게 하는 것도 가능하다. 또한, 표시 패널(8006)의 각 화소 내에 광 센서를 설치하여, 광학식의 터치 패널로 하는 것도 가능하다.

[0565] 프레임(8009)은, 표시 패널(8006)의 보호 기능 외에, 프린트 기판(8010)의 동작에 의해 발생하는 전자파를 차단하기 위한 전자 실드로서의 기능을 갖는다. 또한 프레임(8009)은, 방열판으로서의 기능을 갖고 있어도 된다.

[0566] 프린트 기판(8010)은, 전원 회로, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로를 갖는다. 전원 회로에 전력을 공급하는 전원으로서는, 외부의 상용 전원이어도 되고, 별도 설치한 배터리(8011)에 의한 전원이어도 된다. 배터리(8011)는, 상용 전원을 사용하는 경우에는 생략 가능하다.

[0567] 또한, 표시 모듈(8000)은, 편광판, 위상차판, 프리즘 시트 등의 부재를 추가해서 설치해도 된다.

[0568] 도 18의 (A) 내지 도 18의 (G)는, 전자 기기를 도시하는 도면이다. 이 전자 기기는, 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치, 또는 조작 스위치를 포함함), 접속 단자

(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전 수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.

[0569] 도 18의 (A)는 모바일 컴퓨터이며, 상술한 것 이외에, 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 18의 (B)는 기록 매체를 구비한 휴대형의 화상재생 장치(예를 들어, DVD 재생 장치)이며, 상술한 것 이외에, 제2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 18의 (C)는 고글형 디스플레이이며, 상술한 것 이외에, 제2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 18의 (D)는 휴대형 유기기이며, 상술한 것 이외에, 기록 매체 판독부(5011) 등을 가질 수 있다. 도 18의 (E)는, 텔레비전 수상 기능을 구비한 디지털 카메라이며, 상술한 것 이외에, 안테나(5014), 셋터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 18의 (F)는 휴대형 유기기이며, 상술한 것 이외에, 제2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 18의 (G)는 운반형 텔레비전 수상기이며, 상술한 것 이외에, 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다.

[0570] 도 18의 (A) 내지 도 18의 (G)에 나타내는 전자 기기는, 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동화상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 일자 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용해서 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용해서 다양한 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독해서 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 복수의 표시부를 갖는 전자 기기에 있어서는, 하나의 표시부를 주로 해서 화상 정보를 표시하고, 다른 하나의 표시부를 주로 해서 문자 정보를 표시하는 기능, 또는, 복수의 표시부에 시차를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 갖는 전자 기기에 있어서는, 정지 화상을 촬영하는 기능, 동화상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 18의 (A) 내지 도 18의 (G)에 나타내는 전자 기기가 가질 수 있는 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0571] 도 18의 (H)는 스마트 워치이며, 하우징(7302), 표시 패널(7304), 조작 버튼(7311, 7312), 접속 단자(7313), 밴드(7321), 이음쇠(7322) 등을 갖는다.

[0572] 베젤 부분을 겸하는 하우징(7302)에 탑재된 표시 패널(7304)은, 비직사각 형상의 표시 영역을 갖고 있다. 또한, 표시 패널(7304)로서는, 직사각 형상의 표시 영역으로 해도 된다. 표시 패널(7304)은, 시각을 나타내는 아이콘(7305), 그 밖의 아이콘(7306) 등을 표시할 수 있다.

[0573] 또한, 도 18의 (H)에 나타내는 스마트 워치는, 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동화상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 일자 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용해서 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용해서 다양한 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독해서 표시부에 표시하는 기능 등을 가질 수 있다.

[0574] 또한, 하우징(7302)의 내부에, 스피커, 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전 수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰 등을 가질 수 있다. 또한, 스마트 워치는, 발광 소자를 그 표시 패널(7304)에 사용함으로써 제작할 수 있다.

[0575] 또한, 본 실시 형태는, 본 명세서에서 나타내는 다른 실시 형태와 적절히 조합할 수 있다.

[0576] [실시 예]

[0577] 본 실시 예에서는, 제작한 본 발명의 일 형태의 정보 처리 장치에 대해서, 도 19 내지 도 21을 참조하면서 설명한다.

[0578] 도 19는, 제작한 정보 처리 장치의 표시부(2730)의 구성을 설명하는 도면이다. 도 19의 (A)는 표시부(2730)의 구성을 설명하는 도면이다. 도 19의 (B), (C)는 표시부(2730)의 표시 상태를 설명하는 편광 현미경 사진이다.

[0579] 도 20은, 화소(2702(i, j))의 구성을 설명하는 도면이다. 도 20의 (A)는 화소(2702(i, j))의 구성을 설명하는

상면도이며, 도 20의 (B)는 도 20의 (A)의 절단선 a-a'에서의 부화소(2702(i, j)R)의 구성을 설명하는 단면도이다.

[0580] 도 21은, 본 발명의 일 형태의 정보 처리 장치의 특성을 설명하는 도면이다. 도 21의 (A)는 제작한 정보 처리 장치가 표시할 수 있는 색의 범위를 설명하는 색도도이다. 도 21의 (B)는 1Hz의 빈도로 선택 신호를 공급하는 방법을 사용해서 화상을 표시한 경우의 반사율의 계시적인 변화를, 다양한 계조에 있어서 평가한 결과를 설명하는 도면이다. 또한, 도 21의 (A)에는, 434ppi의 화소 밀도를 구비하는 표시부의 평가 결과와, 212ppi의 화소 밀도를 구비하는 표시부의 평가 결과가 도시되어 있다.

[0581] <구성>

[0582] 본 실시예에서 설명하는 정보 처리 장치의 표시부(2730)는, 화소(2702(i, j)) 및 화소(2702(i+1, j))와, 화소(2702(i, j)) 및 화소(2702(i, j+1))와, 주사선(G(i)1), 주사선(G(i)2) 및 주사선(G(i)3)과, 신호선(S(j))을 갖는다. 또한, 신호선(S(j+1))을 갖는다(도 19의 (A) 참조).

[0583] 화소(2702(i, j)) 및 화소(2702(i, j+1))는, 행방향(도면 중에 화살표 R로 나타냄)으로 배치되었다. 화소(2702(i, j)) 및 화소(2702(i+1, j))는, 행방향과 교차하는 열방향(도면 중에 화살표 C로 나타냄)으로 배치되었다.

[0584] 주사선(G(i)1), 주사선(G(i)2) 및 주사선(G(i)3)은 화소(2702(i, j)) 및 화소(2702(i+1, j))와 전기적으로 접속되었다. 신호선(S(j))은, 화소(2702(i, j)) 및 화소(2702(i, j+1))와 전기적으로 접속되었다.

[0585] 화소(2702(i, j)), 화소(2702(i+1, j)) 및 화소(2702(i, j+1))를 포함하는 1군의 화소는, 434ppi의 정세도로 배치되었다.

[0586] 화소(2702(i, j))는, 부화소(2702(i, j)R), 부화소(2702(i, j)G) 및 부화소(2702(i, j)B)를 구비한다(도 19의 (A) 및 도 20의 (A) 참조).

[0587] 부화소(2702(i, j)R)은, 주사선(G(i)1) 및 신호선(S(j))과 전기적으로 접속되었다. 부화소(2702(i, j)G)는, 주사선(G(i)2) 및 신호선(S(j))과 전기적으로 접속되었다. 부화소(2702(i, j)B)는, 주사선(G(i)3) 및 신호선(S(j))과 전기적으로 접속되었다.

[0588] 화소(2702(i, j+1))는 부화소(2702(i, j+1)R)을 구비한다. 부화소(2702(i, j+1)R)은, 주사선(G(i)1) 및 신호선(S(j+1))과 전기적으로 접속되었다.

[0589] 부화소(2702(i, j)G)는, 부화소(2702(i, j)R)의 면적과 동등한 면적을 구비한다. 부화소(2702(i, j)B)는, 부화소(2702(i, j)R)의 면적의 1.07배의 면적을 구비한다. 이에 의해, 반사율의 저하를 방지하면서, 백색 표시시의 색도 좌표를 개선할 수 있었다.

[0590] 또한, 부화소(2702(i, j)R)은, 신호선(S(j)) 및 배선(CSCOM)과 전기적으로 접속되고, 도전막(2704), 절연막(2706), 절연막(2721), 도전막(2720), 절연막(2728) 및 도전막(2751)을 구비한다(도 20의 (A) 및 도 20의 (B) 참조). 또한, 배선(CSCOM)은 용량 소자의 한쪽의 전극으로서 기능하고, 도전막(2704)은 게이트 전극으로서 기능하고, 절연막(2706)은 게이트 절연막으로서 기능하고, 도전막(2720)은 제2 게이트 전극으로서 기능한다. 또한, 절연막(2721)은 불순물의 확산을 억제하는 기능을 구비하고, 절연막(2728)은 다양한 구조가 초래하는 요철을 평탄화하는 기능을 구비하고, 도전막(2751)은 액정 소자의 액정 배향을 제어하는 전계를 인가하는 기능을 구비한다.

[0591] <사양>

[0592] 제작한 표시부(2730)의 사양을 표 1에 나타내었다. 또한, 2개의 서로 다른 주파수에서 표시부(2730)를 구동할 수 있다. 예를 들어, 선택 신호를 60Hz의 빈도로 공급해서 동화상을 표시할 수 있다. 또한, 선택 신호를 1Hz의 빈도로 공급해서 정지 화상을 표시할 수 있다.

표 1

화소 밀도	434 ppi
화소수	1536 (H) × 2048 × RGB (V)
개구율	81 %
반사율	28 %
NTSC 비	37 %
구동 주파수	동화상 : 60 Hz 정지화상 : 1 Hz

[0593]

<구동 방법>

[0595]

본 실시예에서는, 신호선(S(j))에 공급하는 신호의 극성과 상이한 극성의 신호를 신호선(S(j))에 인접하는 신호선(S(j+1))에 공급하는 방법을, 표시부(2730)를 구동하는 방법에 사용하였다. 이에 의해, 소비 전력을 저감할 수 있다. 또한, 신호선(S(j))에 전기적으로 접속되는 부화소(2702(i, j)R)의 전위는, 신호선(S(j))에 인접하는 신호선(S(j+1))에 전기적으로 접속하는 부화소(2702(i, j+1)R)의 일부의 영역에 영향을 준다.

[0596]

직사각 형상을 구비하는 부화소(2702(i, j)R)의 짧은 변을 신호선(S(j))이 연장되는 열 방향을 따르도록 배치하고, 긴 변을 주사선(G(i))이 연장되는 행 방향을 따르도록 배치하였다. 이에 의해, 부화소(2702(i, j+1)R)의 면적에서 차지하는, 부화소(2702(i, j)R)의 전위에 영향을 받는 영역의 면적의 비율을 작게 할 수 있다.

[0597]

예를 들어, 신호선(S(j))에 전기적으로 접속되는 부화소(2702(i, j)R)의 전위가, 부화소(2702(i, j+1)R)에 액정 재료의 배향 결함을 발생시키는 경우, 상기 배치에 의해, 부화소(2702(i, j+1)R)의 면적에서 차지하는, 배향 결함이 발생하는 영역의 면적의 비율을 작게 할 수 있다.

[0598]

또한, 액정 재료의 배향 결함으로부터 광이 누설되어버리는 경우, 의도하지 않은 광을 차단하기 위해서 차광막(BM)(블랙 매트릭스라고도 함)을 배치할 필요가 발생하고, 부화소의 개구율이 저하되어버린다. 그러나, 상기 배치에 의해, 부화소의 개구율의 저하를 억제할 수 있다. 구체적으로는, 본 실시예에서는, 열방향으로만 연장되는 차광막(BM)을 사용하고, 행방향으로는 차광막(BM)을 배치하지 않았다(도 19의 (B) 참조). 바꾸어 말하면, 부화소(2702(i, j)R) 및 부화소(2702(i, j+1)R)의 사이에는, 차광막(BM)은 배치되지 않았다. 그 결과, 434ppi가 높은 화소 밀도에 있어서, 81%의 높은 개구율 및 28%의 높은 반사율을 양립시킬 수 있었다.

[0599]

또한, 신호선(S(j+1))은 신호선(S(j))에 공급하는 신호의 극성과 상이한 극성의 신호가 공급되고, 부화소(2702(i, j+1)R)은 신호선(S(j+1))과 전기적으로 접속되고, 부화소(2702(i, j+1)R)은 부화소(2702(i, j)R)과 인접하고, 부화소(2702(i, j+1)R)은 부화소(2702(i, j)R)과 동일한 색의 표시를 하는 기능을 구비한다(도 19의 (A) 참조). 이에 의해, 부화소(2702(i, j)R)의 전위가 부화소(2702(i, j+1))의 일부의 표시에 미치는 영향을, 인지되기 어렵게 할 수 있다.

[0600]

예를 들어, 부화소(2702(i, j)R) 및 부화소(2702(i, j+1)R)의 사이에 가로 방향(행방향이라고도 할 수 있음)의 전계가 발생하는 경우, 스프레이 배향, 벤드 배향이 형성되어, 플렉소일렉트릭 분극을 발생한다. 플렉소일렉트릭 분극은, 리프레시 동작에 수반되는 극성(방위)의 반전에 영향을 받기 때문에, 리프레시 동작에 수반되는 깜박거림의 발생 요인이 되는 경우가 있다. 특히, 30Hz 미만의 빈도로 행하여지는 리프레시 동작에 수반되는 깜박거림은 인지되기 쉽다.

[0601]

그러나, 상기 배치에 의해, 부화소(2702(i, j+1)R)은 부화소(2702(i, j)R)과 동일한 색의 표시를 하는 기능을 구비한다. 이에 의해, 색 편차를 수반하는 깜박거림보다 인지되기 어려운 동일한 색의 성분으로 깜박거림이 발생한다.

[0602]

<평가 결과>

[0603]

이하의 평가 결과와 같이, 본 실시 형태에서 제작한 정보 처리 장치는, 양호한 화상을 표시할 수 있었다. 또한, 편리성 또는 신뢰성이 우수한 신규 정보 처리 장치를 제공할 수 있었다.

[0604]

동일한 색의 표시를 하는 부화소에 상이한 극성의 신호를 공급하여, 상이한 극성의 신호가 초래하는 영향을 저감할 수 있었다(도 19의 (B) 참조). 그 결과, 색 편차를 억제할 수 있고, NTSC비 37%의 색 재현성을, 반사형

의 표시 장치에서 실현할 수 있었다(도 21의 (A) 참조).

[0605] 또한, 1Hz의 빈도로 선택 신호를 공급하는 방법을 사용해서 화상을 표시한 경우의 반사율의 계시적인 변화를, 다양한 계조에 있어서 평가하였다. 구체적으로는, 100% 화상(백색 화상이라고도 할 수 있음), 0% 화상(흑색 화상이라고도 할 수 있음) 및 중간조의 화상을 표시하였다. 중간조의 화상은, 75% 화상, 52% 화상 및 32% 화상을 표시하고, 각각의 화상을 표시하면서 반사율을 측정하였다.

[0606] 측정 기간 중에 관측한 최대의 반사율을 100으로 해서, 다른 반사율을 규격화하였다(도 21의 (B) 참조). 어떤 화상을 표시한 경우에도, 반사율의 계시적인 변화는 1.22% 미만으로, 인지할 수 있는 깜박거림이 억제된 표시부를 실현할 수 있었다.

[0607] 또한, P. G. J. Barten씨가 제창하는 시각에 관한 수식 모델에 기초하는 전달 함수에 의하면, 일반적인 독서시의 감상 거리 30cm에서 6inch 정도의 디스플레이를 감상한 경우, 깜박거림을 느끼는 밝기의 최소 변동량은, 1.22% 정도로 어렵잖아진다.

[0608] 예를 들어, 본 명세서 등에서, X와 Y가 접속되어 있다고 명시적으로 기재되어 있는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우가, 본 명세서 등에 개시되어 있는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도, 도면 또는 문장에 기재되어 있는 것으로 한다.

[0609] 여기서, X, Y는, 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0610] X와 Y가 직접적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가, X와 Y의 사이에 접속되어 있지 않은 경우이며, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)를 통하지 않고, X와 Y가 접속되어 있는 경우이다.

[0611] X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y의 사이에 1개 이상 접속되는 것이 가능하다. 또한, 스위치는, 온/오프가 제어되는 기능을 갖고 있다. 즉, 스위치는, 도통 상태(온 상태), 또는, 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 흘리지 않을지를 제어하는 기능을 갖고 있다. 또는, 스위치는, 전류를 흘리는 경로를 선택해서 전환하는 기능을 갖고 있다. 또한, X와 Y가 전기적으로 접속되어 있는 경우에는, X와 Y가 직접적으로 접속되어 있는 경우를 포함하는 것으로 한다.

[0612] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 변환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로워 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y의 사이에 1개 이상 접속되는 것이 가능하다. 또한, 일례로서, X와 Y의 사이에 다른 회로를 끼우고 있어도, X로부터 출력된 신호가 Y에 전달되는 경우에는, X와 Y는 기능적으로 접속되어 있는 것으로 한다.

[0613] 또한, X와 Y가 기능적으로 접속되어 있는 경우에는, X와 Y가 직접적으로 접속되어 있는 경우와, X와 Y가 전기적으로 접속되어 있는 경우를 포함하는 것으로 한다.

[0614] 또한, X와 Y가 전기적으로 접속되어 있다고 명시적으로 기재되어 있는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y의 사이에 다른 소자 또는 다른 회로를 끼워서 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y의 사이에 다른 회로를 끼워서 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y의 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되어 있는 경우)가 본 명세서 등에 개시되어 있는 것으로 한다. 즉, 전기적으로 접속되어 있다고 명시적으로 기재되어 있는 경우에는, 간단히, 접속되어 있다고만 명시적으로 기재되어 있는 경우와 마찬가지의 내용이, 본 명세서 등에 개시되어 있는 것으로 한다.

[0615] 또한, 예를 들어 트랜지스터의 소스(또는 제1 단자 등)가, Z1을 통해서(또는 통하지 않고), X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제2 단자 등)이, Z2를 통해서(또는 통하지 않고), Y와 전기적으로 접속되어

있는 경우나, 트랜지스터의 소스(또는 제1 단자 등)가, Z1의 일부와 직접적으로 접속되고, Z1의 다른 일부가 X와 직접적으로 접속되고, 트랜지스터의 드레인(또는 제2 단자 등)이, Z2의 일부와 직접적으로 접속되고, Z2의 다른 일부가 Y와 직접적으로 접속되어 있는 경우에는, 이하와 같이 표현할 수 있다.

[0616] 예를 들어, 「X와 Y와 트랜지스터의 소스(또는 제1 단자 등)와 드레인(또는 제2 단자 등)은, 서로 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제1 단자 등), 트랜지스터의 드레인(또는 제2 단자 등), Y의 순서로 전기적으로 접속되어 있다.」라고 표현할 수 있다. 또는, 「트랜지스터의 소스(또는 제1 단자 등)는 X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제1 단자 등), 트랜지스터의 드레인(또는 제2 단자 등), Y는, 이 순서로 전기적으로 접속되어 있다.」라고 표현할 수 있다. 또는, 「X는, 트랜지스터의 소스(또는 제1 단자 등)와 드레인(또는 제2 단자 등)을 통해서, Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제1 단자 등), 트랜지스터의 드레인(또는 제2 단자 등), Y는, 이 접속 순서로 설치되어 있다.」라고 표현할 수 있다. 이들 예와 마찬가지의 표현 방법을 사용하여, 회로 구성에서의 접속의 순서에 대해 규정함으로써, 트랜지스터의 소스(또는 제1 단자 등)와, 드레인(또는 제2 단자 등)을 구별하여, 기술적 범위를 결정할 수 있다.

[0617] 또는, 별도의 표현 방법으로서, 예를 들어 「트랜지스터의 소스(또는 제1 단자 등)는, 적어도 제1 접속 경로를 통해서 X와 전기적으로 접속되고, 상기 제1 접속 경로는, 제2 접속 경로를 가지지 않고, 상기 제2 접속 경로는, 트랜지스터를 통한, 트랜지스터의 소스(또는 제1 단자 등)와 트랜지스터의 드레인(또는 제2 단자 등)과의 사이의 경로이며, 상기 제1 접속 경로는, Z1을 통한 경로이며, 트랜지스터의 드레인(또는 제2 단자 등)은 적어도 제3 접속 경로를 통해서 Y와 전기적으로 접속되고, 상기 제3 접속 경로는, 상기 제2 접속 경로를 가지지 않고, 상기 제3 접속 경로는, Z2를 통한 경로이다.」라고 표현할 수 있다. 또는, 「트랜지스터의 소스(또는 제1 단자 등)는 적어도 제1 접속 경로에 의해, Z1을 통해서 X와 전기적으로 접속되고, 상기 제1 접속 경로는, 제2 접속 경로를 가지지 않고, 상기 제2 접속 경로는, 트랜지스터를 통한 접속 경로를 갖고, 트랜지스터의 드레인(또는 제2 단자 등)은 적어도 제3 접속 경로에 의해, Z2를 통해서 Y와 전기적으로 접속되고, 상기 제3 접속 경로는, 상기 제2 접속 경로를 가지지 않는다.」라고 표현할 수 있다. 또는, 「트랜지스터의 소스(또는 제1 단자 등)는 적어도 제1 전기적 패스에 의해, Z1을 통해서 X와 전기적으로 접속되고, 상기 제1 전기적 패스는, 제2 전기적 패스를 가지지 않고, 상기 제2 전기적 패스는, 트랜지스터의 소스(또는 제1 단자 등)로부터 트랜지스터의 드레인(또는 제2 단자 등)으로의 전기적 패스이며, 트랜지스터의 드레인(또는 제2 단자 등)은 적어도 제3 전기적 패스에 의해, Z2를 통해서 Y와 전기적으로 접속되고, 상기 제3 전기적 패스는, 제4 전기적 패스를 가지지 않고, 상기 제4 전기적 패스는, 트랜지스터의 드레인(또는 제2 단자 등)으로부터 트랜지스터의 소스(또는 제1 단자 등)로의 전기적 패스이다.」라고 표현할 수 있다. 이들 예와 마찬가지의 표현 방법을 사용하여, 회로 구성에 있어서의 접속 경로에 대해서 규정함으로써, 트랜지스터의 소스(또는 제1 단자 등)와, 드레인(또는 제2 단자 등)을 구별하여, 기술적 범위를 결정할 수 있다.

[0618] 또한, 이들 표현 방법은 일례이며, 이들 표현 방법에 한정되지 않는다. 여기서, X, Y, Z1, Z2는, 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0619] 또한, 회로도상은 독립되어 있는 구성 요소끼리 전기적으로 접속하고 있는 것처럼 도시되고 있는 경우에도, 1개의 구성 요소가, 복수의 구성 요소의 기능을 겸비하고 있는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이, 배선의 기능 및 전극의 기능의 양쪽 구성 요소의 기능을 겸비하고 있다. 따라서, 본 명세서에서의 전기적으로 접속이란, 이러한 하나의 도전막이, 복수의 구성 요소의 기능을 겸비하고 있는 경우도, 그 범주에 포함한다.

부호의 설명

[0620] C1 : 용량 소자 FPC : 플렉시블 프린트 기판

GD : 구동 회로 GDA : 게이트 드라이버 회로부

GD1 : 구동 회로 GD2 : 구동 회로

LAN : 로컬에리어 네트워크 MA : 트랜지스터

MB : 트랜지스터 MC : 트랜지스터

MD : 트랜지스터 MF : 트랜지스터

MG : 트랜지스터 MDC : 트랜지스터
 MDG : 트랜지스터 P1 : 위치 정보
 PIC1 : 화상 정보 PIC2 : 화상 정보
 PIC3 : 화상 정보 PIC4 : 화상 정보
 SD : 구동 회로 SDA : 소스 드라이버 회로부
 SW : 트랜지스터 SW1 : 트랜지스터
 SW2 : 트랜지스터 T1 : 시작
 T2 : 시작 T3 : 시작
 T4 : 시작 T5 : 시작
 T6 : 시작 V1 : 화상 정보
 S(j) : 신호선 VP : 배선
 VCOM : 배선 CSCOM : 배선
 10 : 조명 11 : 제어 장치
 12 : 라우터 13 : 인디케이터
 100 : 트랜지스터 102 : 기관
 104 : 도전막 106 : 절연막
 107 : 절연막 108 : 산화물 반도체 막
 108a : 산화물 반도체 막 108b : 산화물 반도체 막
 108c : 산화물 반도체 막 112a : 도전막
 112b : 도전막 114 : 절연막
 116 : 절연막 118 : 절연막
 120a : 도전막 120b : 도전막
 150 : 트랜지스터 200 : 정보 처리 장치
 210 : 연산 장치 211 : 연산부
 212 : 기억부 214 : 전송로
 215 : 입출력 인터페이스 220 : 입출력 장치
 230 : 표시부 230B : 표시부
 231 : 표시 영역 232 : 화소
 235 : 표시 소자 240 : 입력부
 250 : 검지부 290 : 통신부
 700 : 표시 모듈 700A : 표시 모듈
 700B : 표시 모듈 700C : 표시 모듈
 700G : 표시 모듈 701 : 절연막
 702A : 화소 702B : 화소
 702AB : 부화소 702AG : 부화소
 702AR : 부화소 702BB : 부화소

702BG : 부화소 702BR : 부화소

704 : 도전막 706 : 절연막

710 : 기판 710A : 기재

710B : 절연막 711 : 신호선

712A : 도전막 712B : 도전막

718 : 반도체 막 719 : 접속 전극

720 : 도전막 721A : 절연막

721B : 절연막 728 : 절연막

730 : 시일재 750 : 액정 소자

751A : 도전막 751B : 도전막

752 : 도전막 753 : 액정층

770 : 기판 770P : 광학 필름

771 : 절연막 1700 : 터치 패널

1701 : 표시부 1709 : FPC

1710 : 기판 1711 : 배선

1719 : 단자 1770 : 기판

1790 : 기판 1791 : 전극

1792 : 전극 1794 : 배선

1795 : 터치 센서 1798 : 배선

2702(i, j) : 화소 2702(i, j)R : 부화소

2702(i, j)G : 부화소 2702(i, j)B : 부화소

2704 : 도전막 2706 : 절연막

2720 : 도전막 2721 : 절연막

2728 : 절연막 2730 : 표시부

2751 : 도전막 5000 : 하우징

5001 : 표시부 5002 : 표시부

5003 : 스피커 5004 : LED 램프

5005 : 조작 키 5006 : 접속 단자

5007 : 센서 5008 : 마이크로폰

5009 : 스위치 5010 : 적외선 포트

5011 : 기록 매체 판독부 5012 : 지지부

5013 : 이어폰 5014 : 안테나

5015 : 셔터 버튼 5016 : 수상부

5017 : 충전기 7302 : 하우징

7304 : 표시 패널 7305 : 아이콘

7306 : 아이콘 7311 : 조작 버튼

7312 : 조작 버튼 7313 : 접속 단자

7321 : 랜드 7322 : 이음쇠

8000 : 표시 모듈 8001 : 상부 커버

8002 : 하부 커버 8003 : FPC

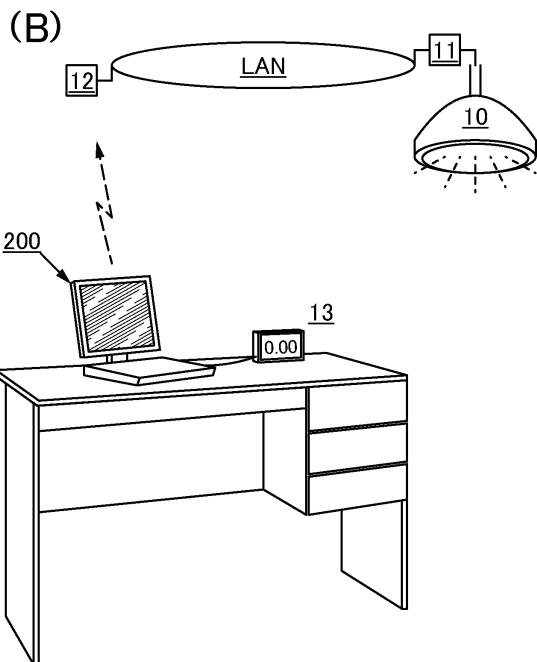
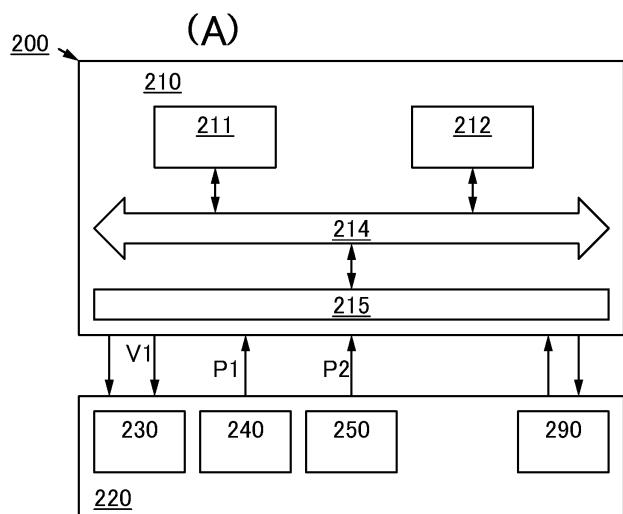
8004 : 터치 패널 8005 : FPC

8006 : 표시 패널 8009 : 프레임

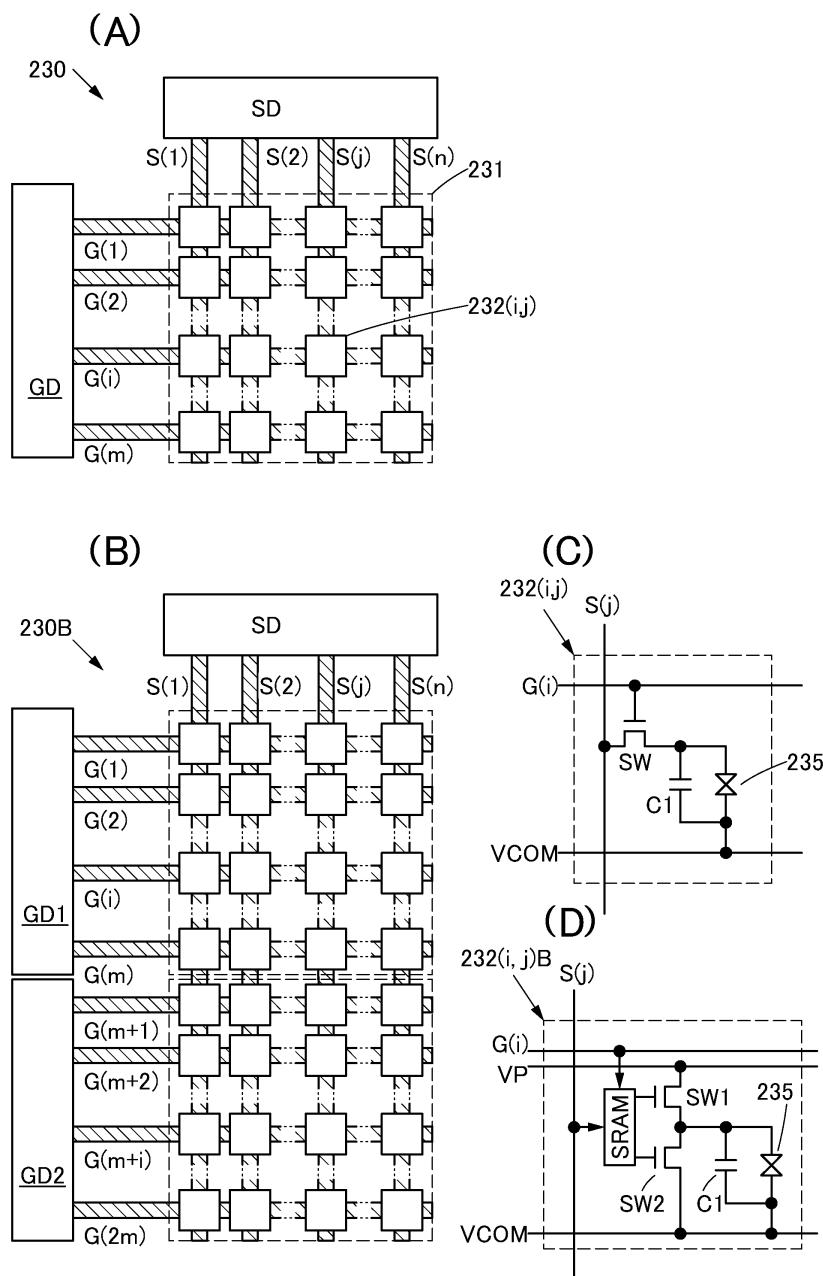
8010 : 프린트 기판 8011 : 배터리

도면

도면1

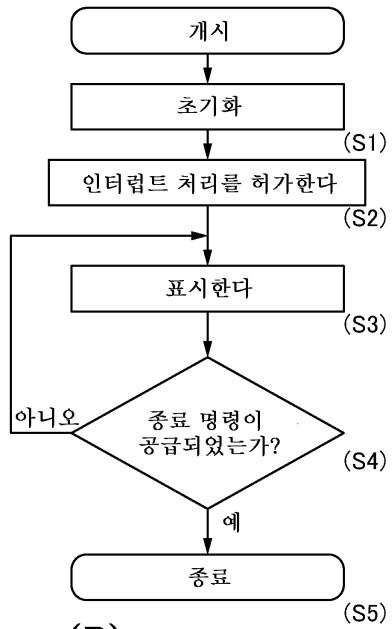


도면2

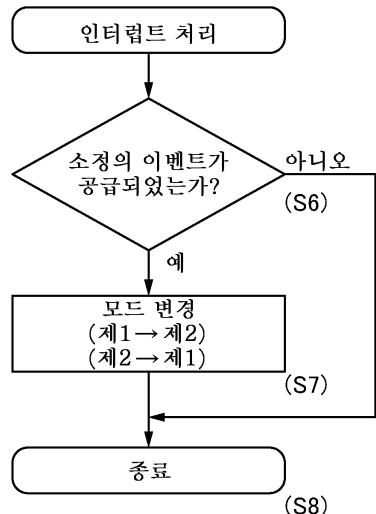


도면3

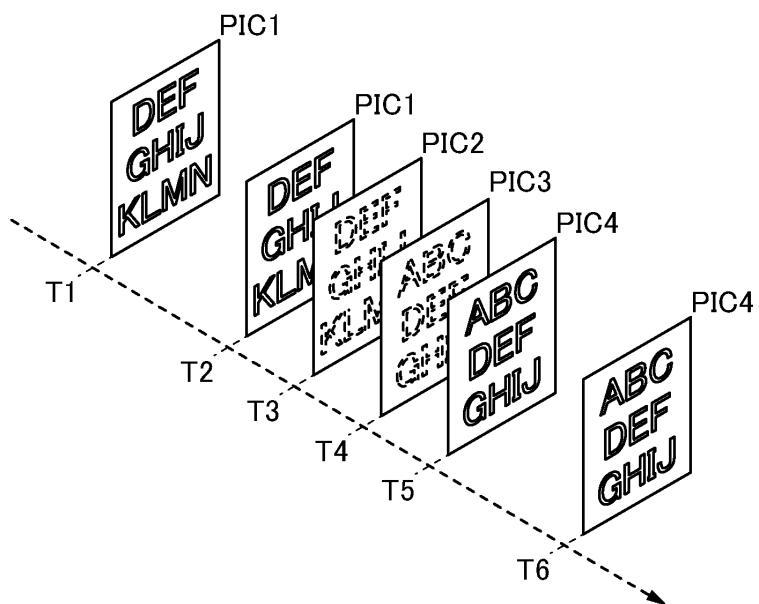
(A)



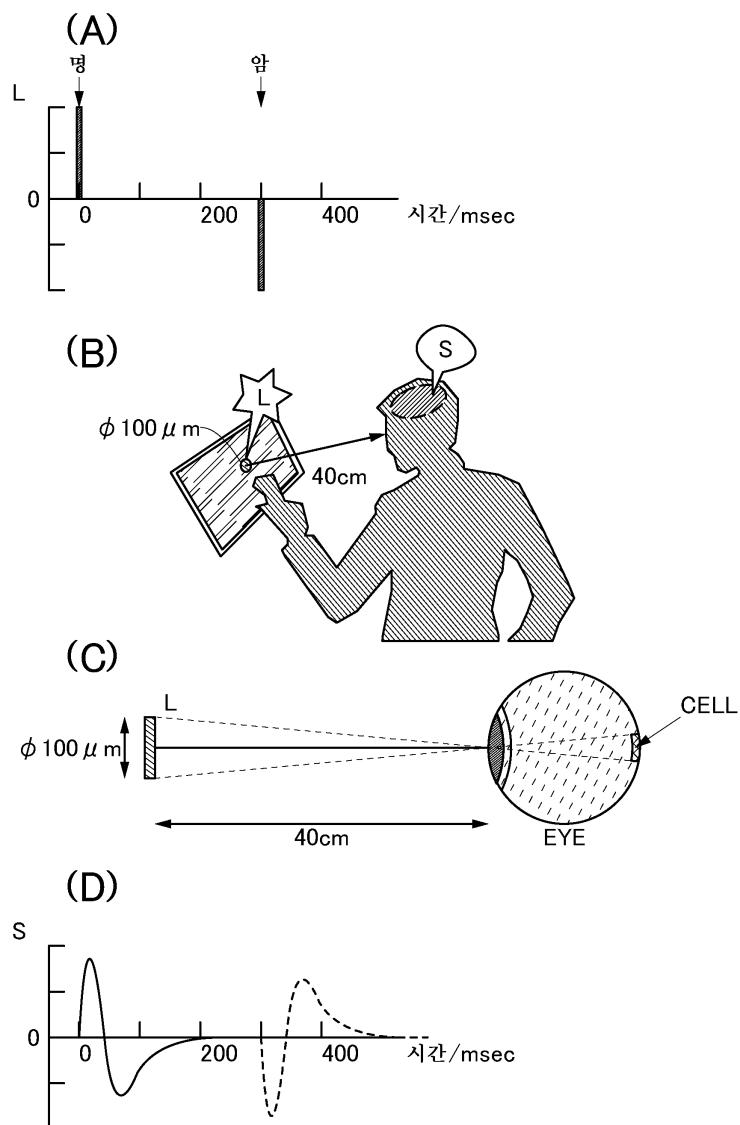
(B)



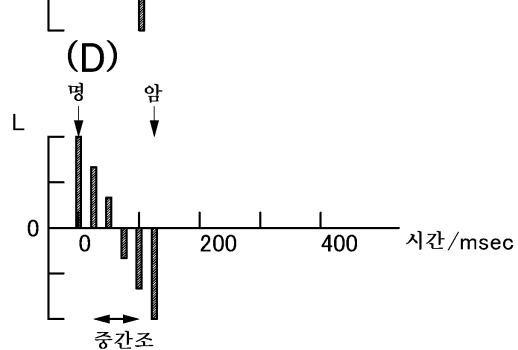
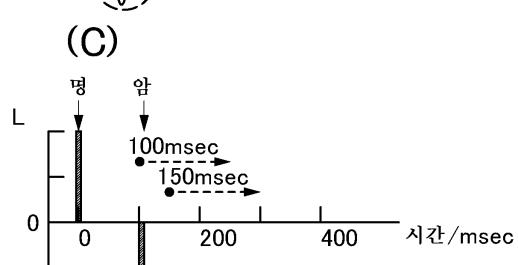
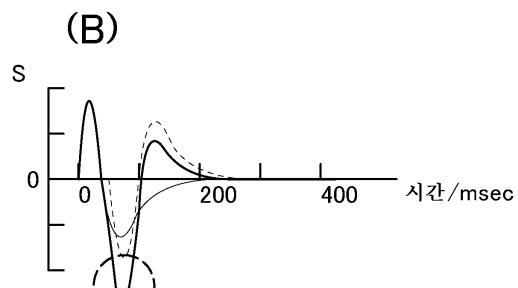
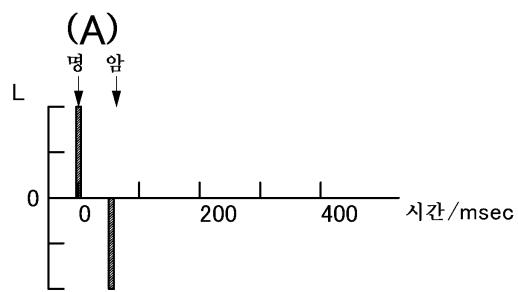
도면4



도면5

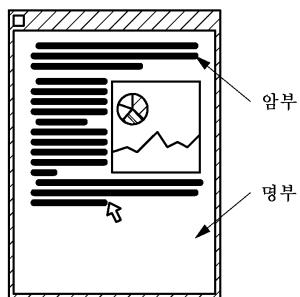


도면6

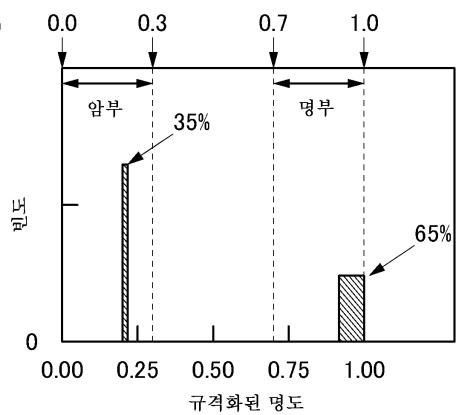


도면7

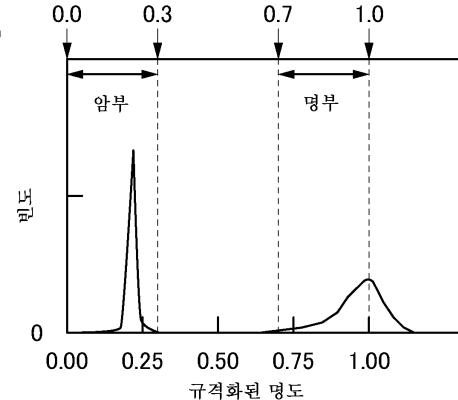
(A)



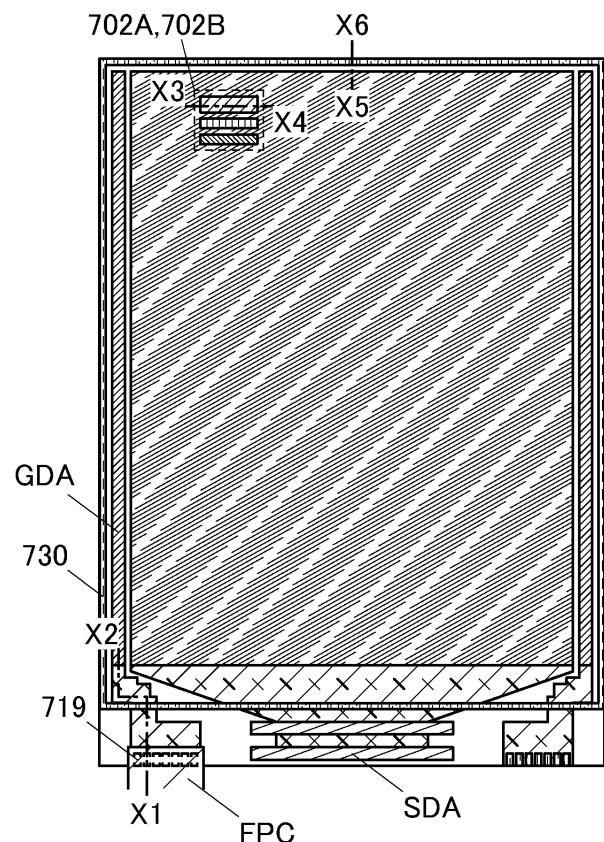
(B)



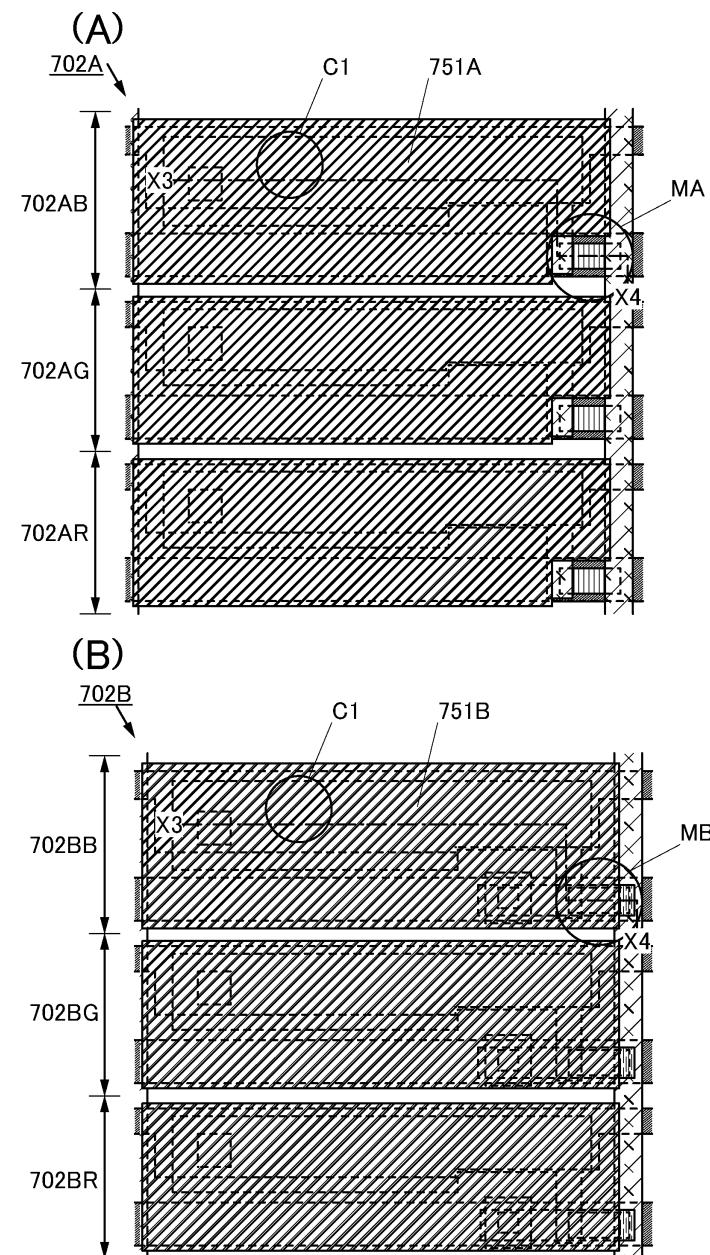
(C)



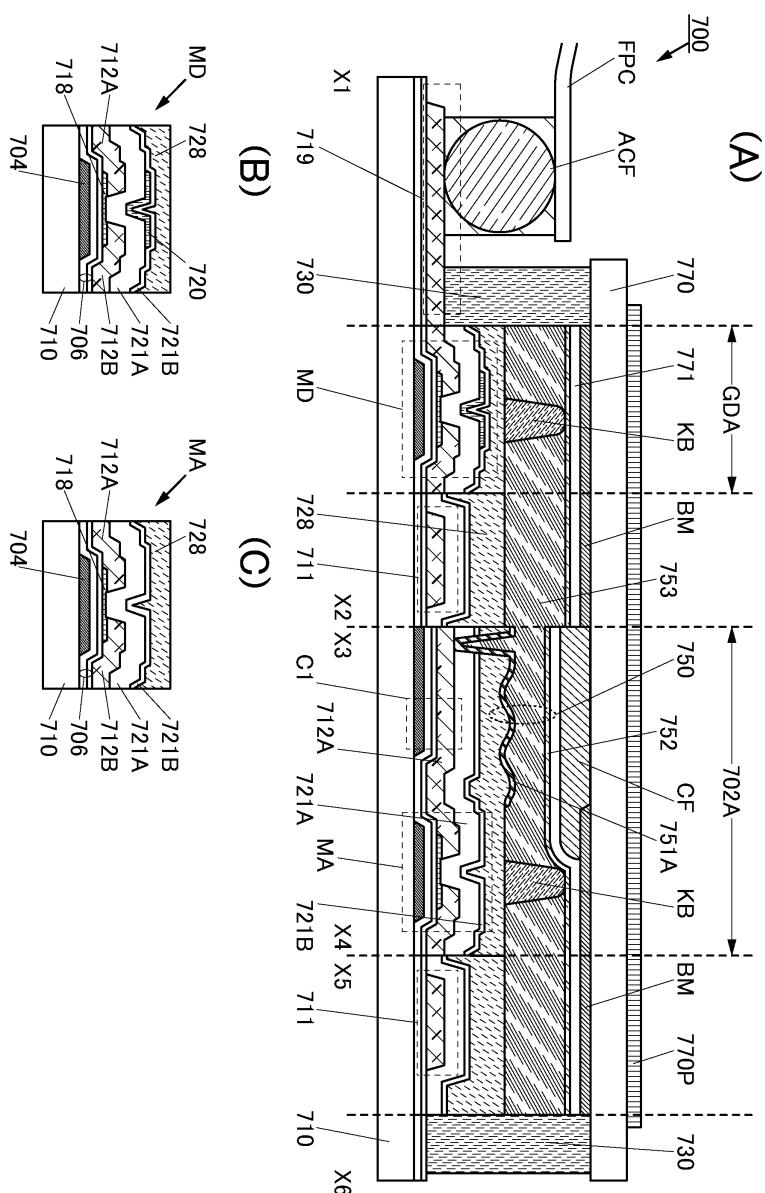
도면8



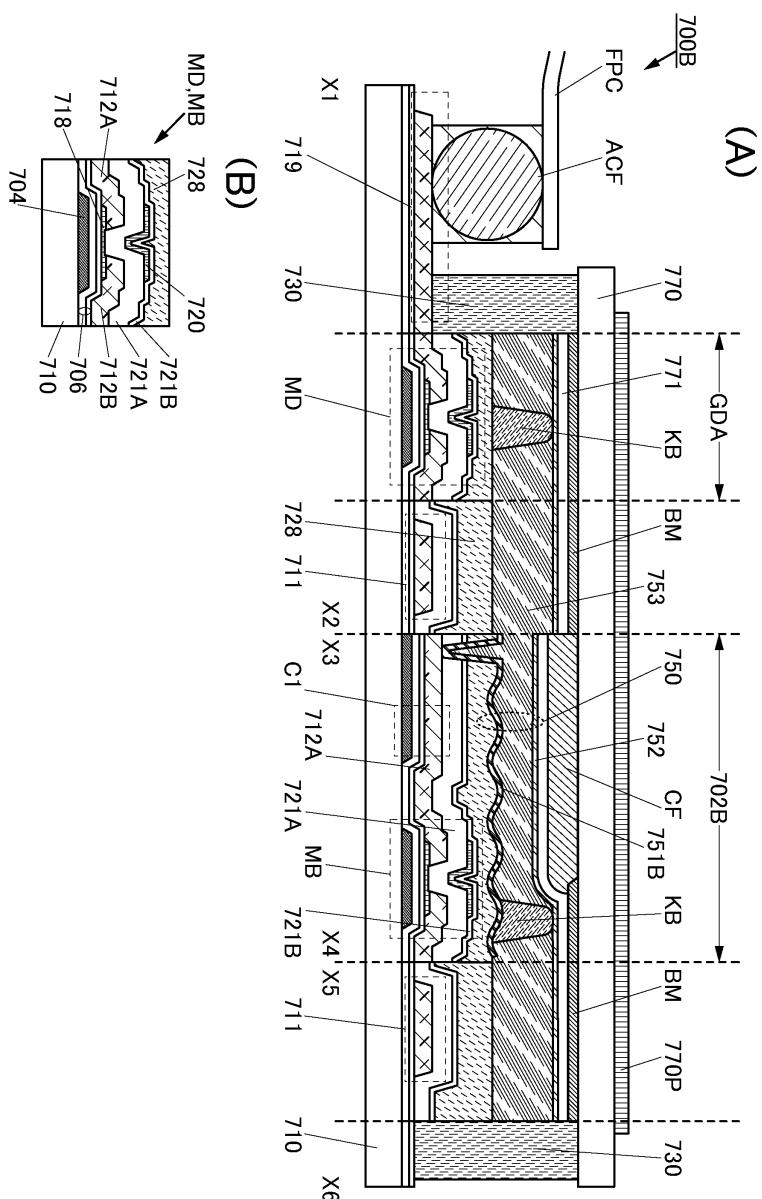
도면9



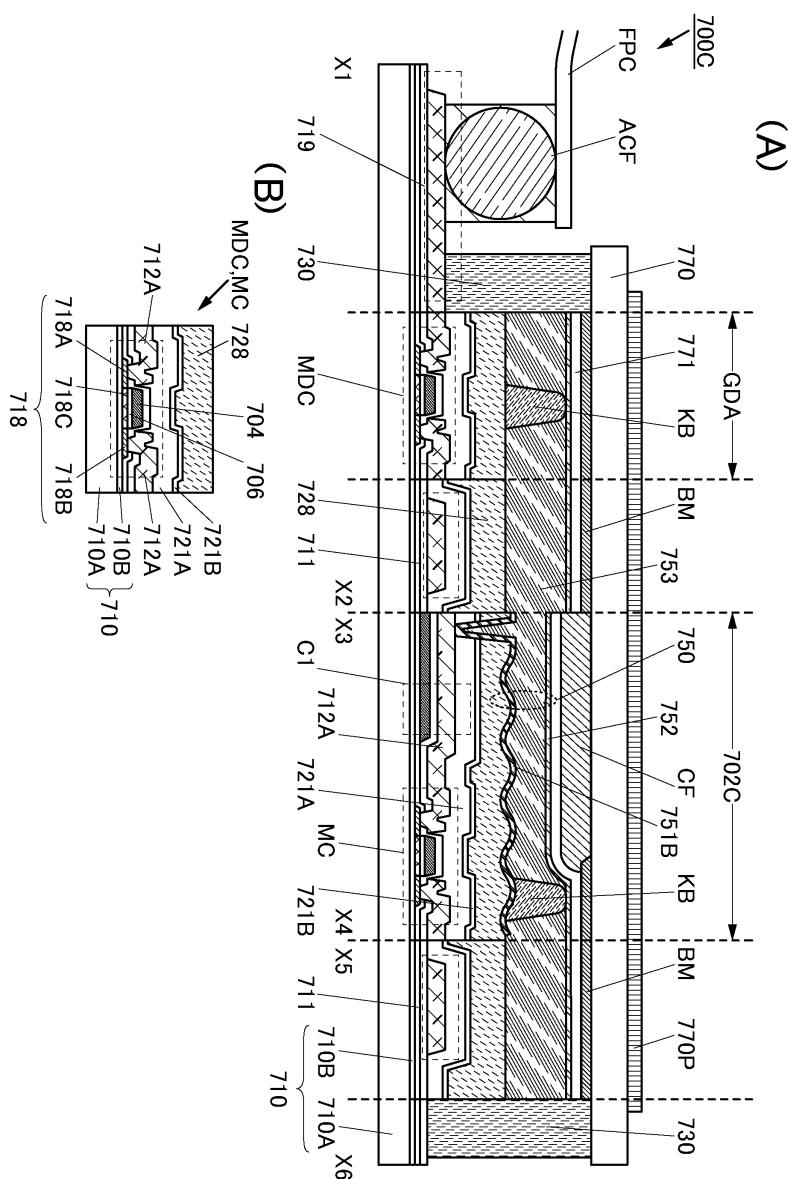
도면10



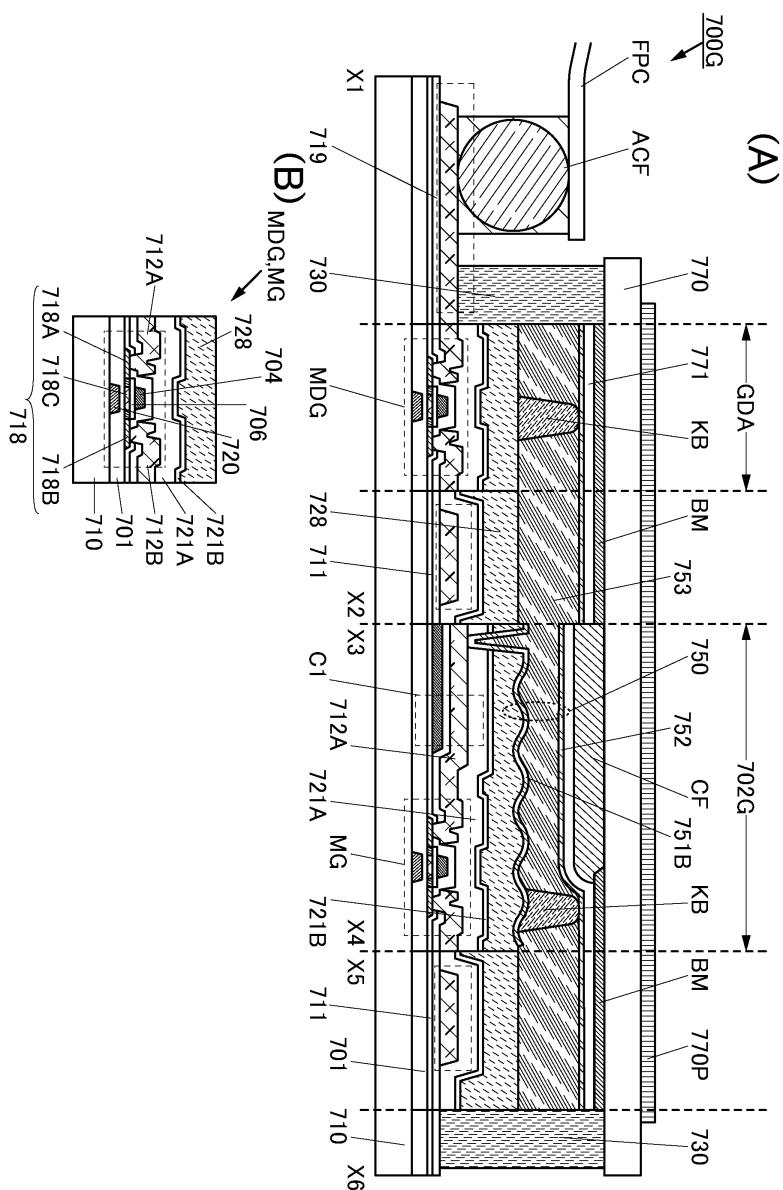
도면11



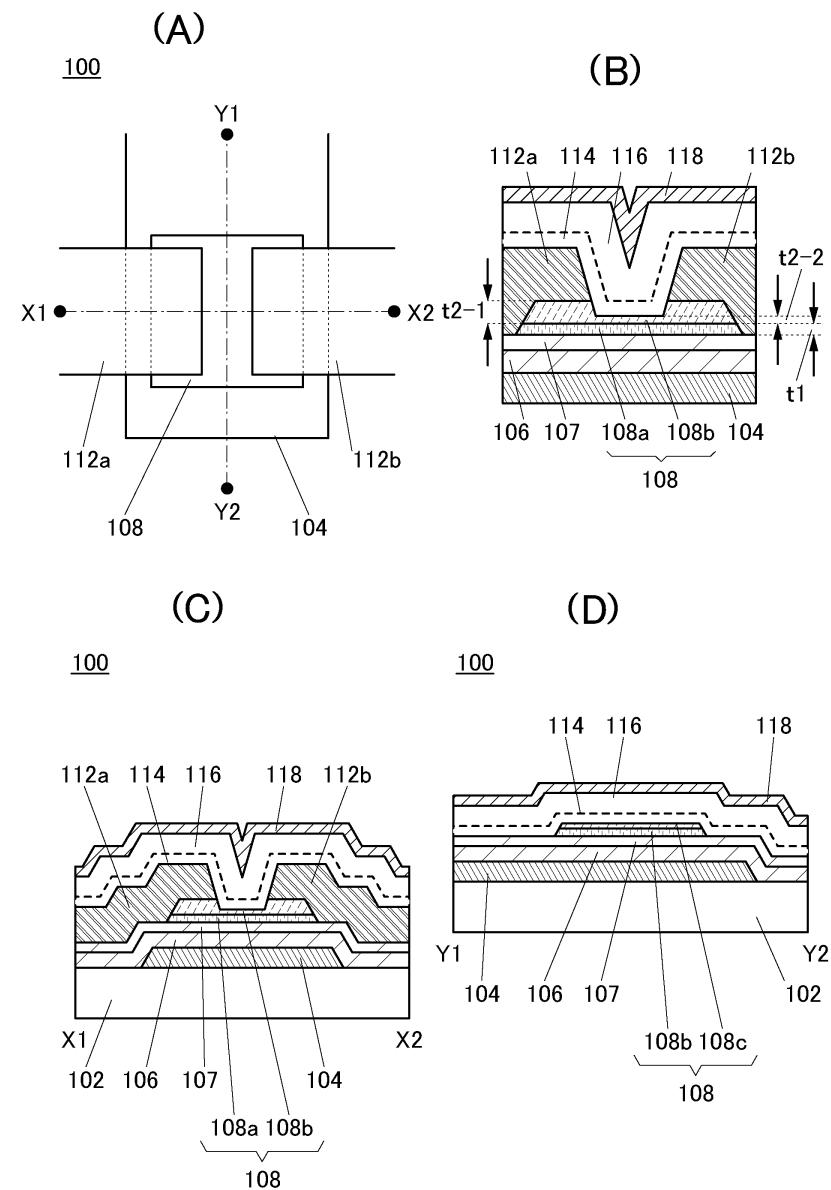
도면12



도면13

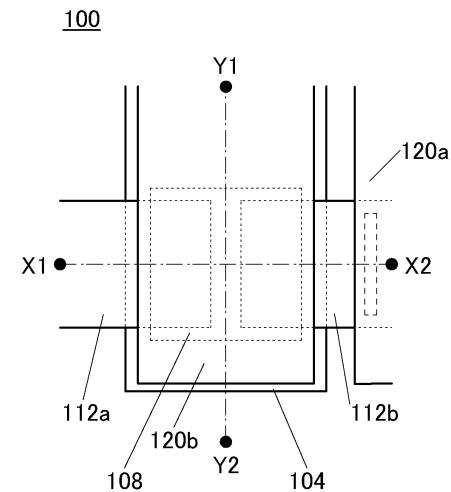


도면14

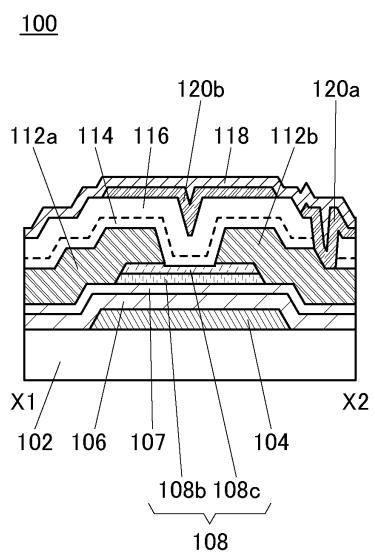


도면15

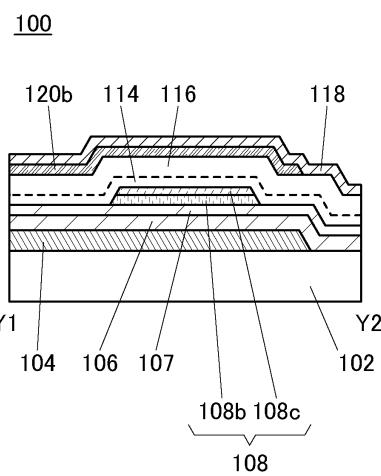
(A)



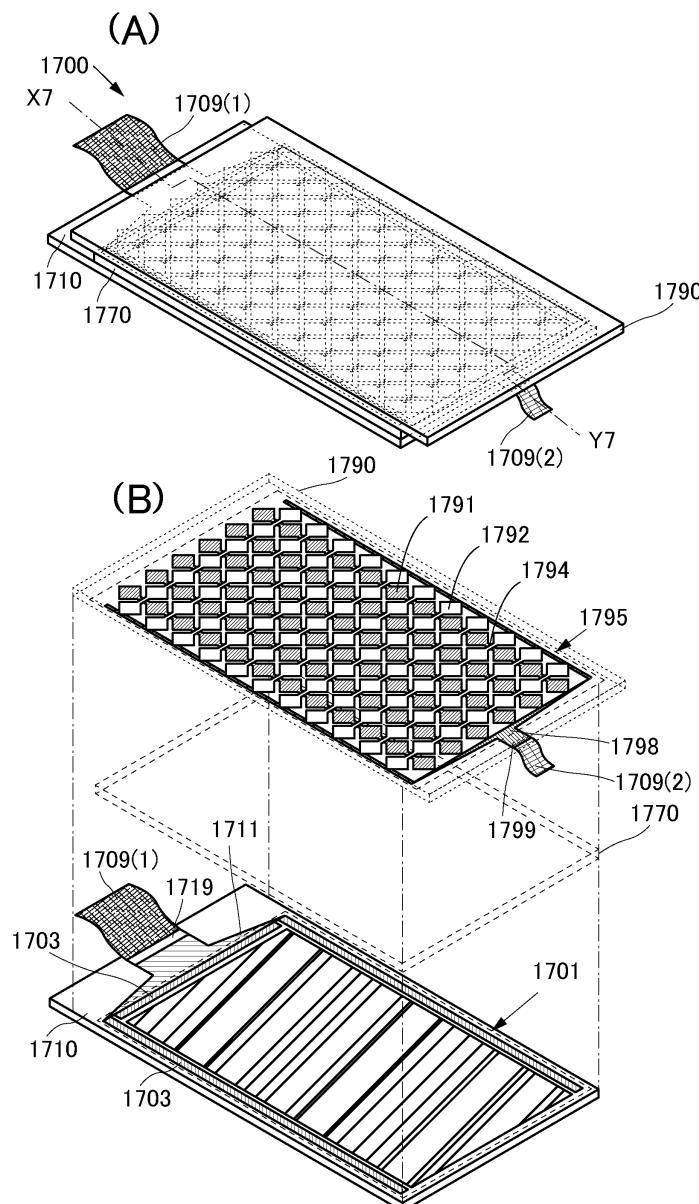
(B)



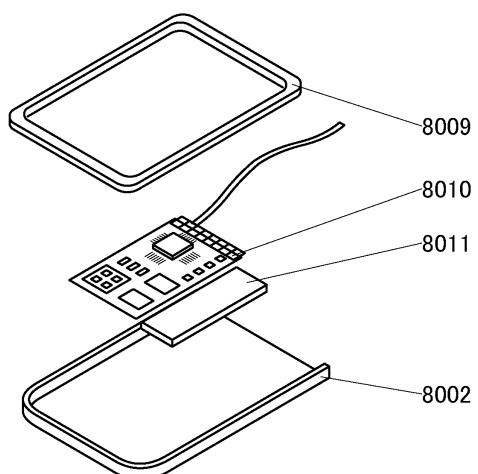
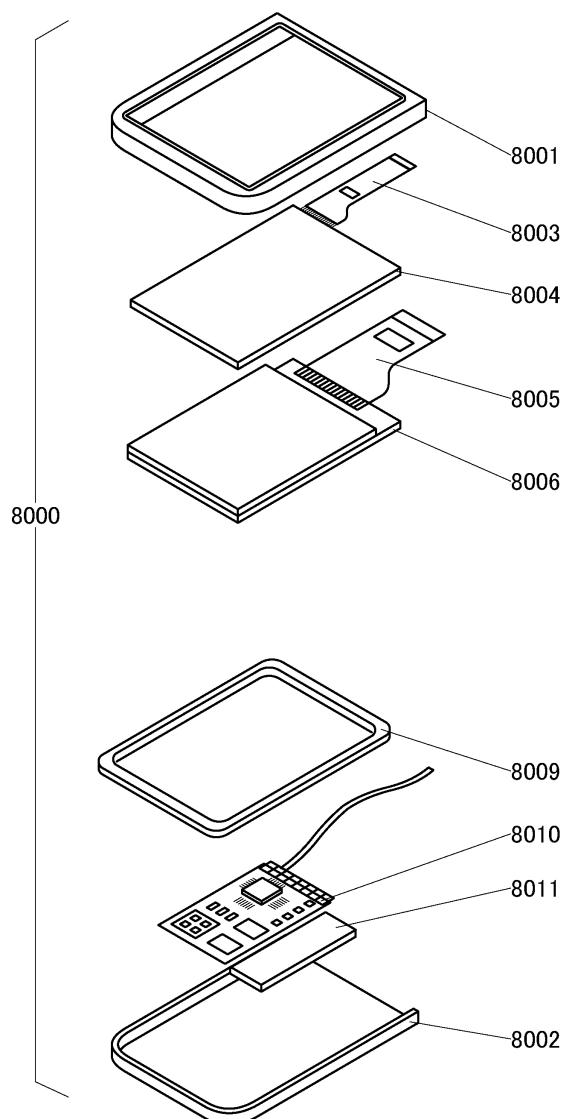
(C)



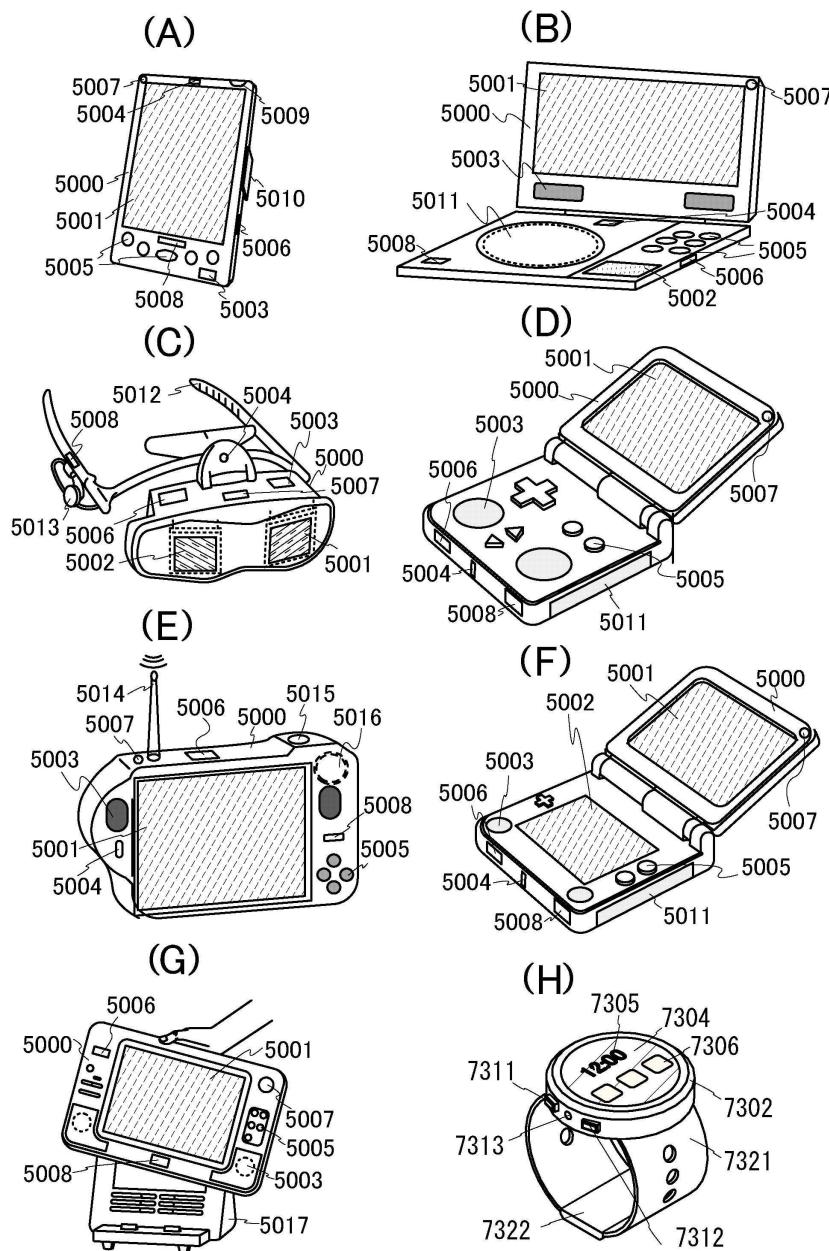
도면16



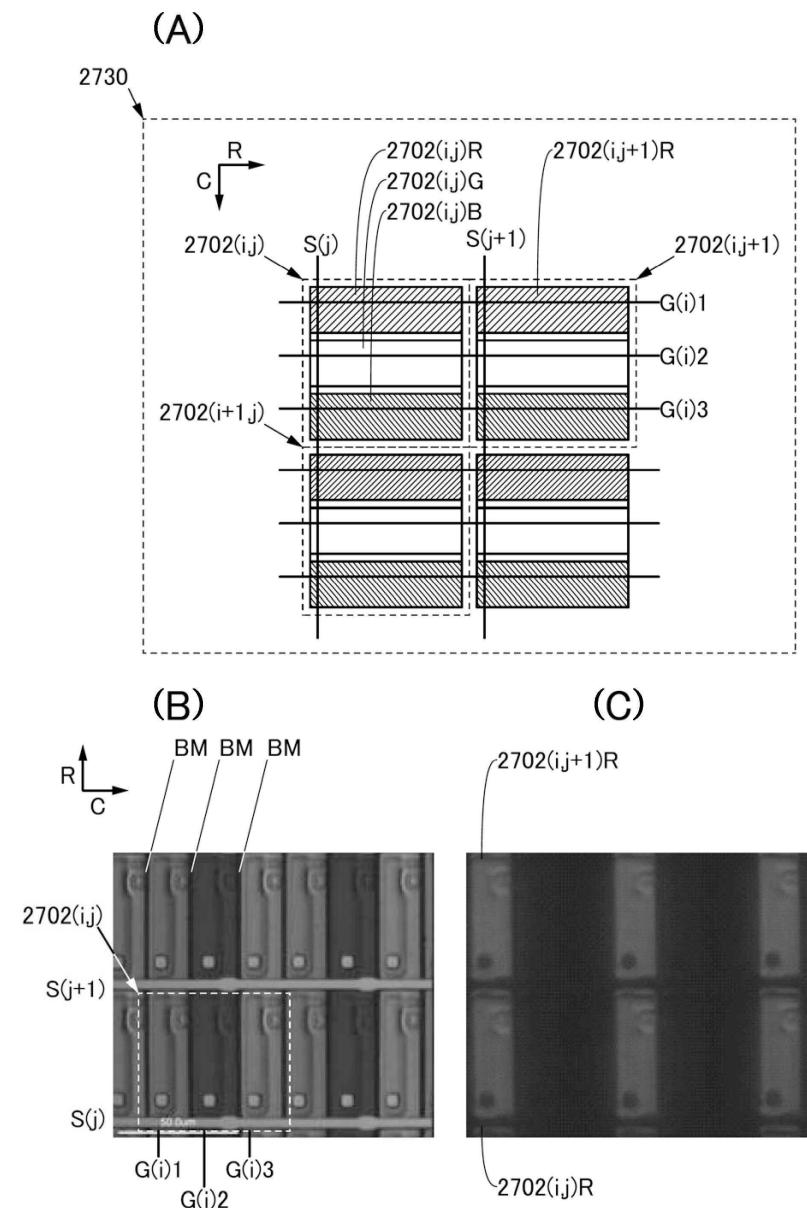
도면17



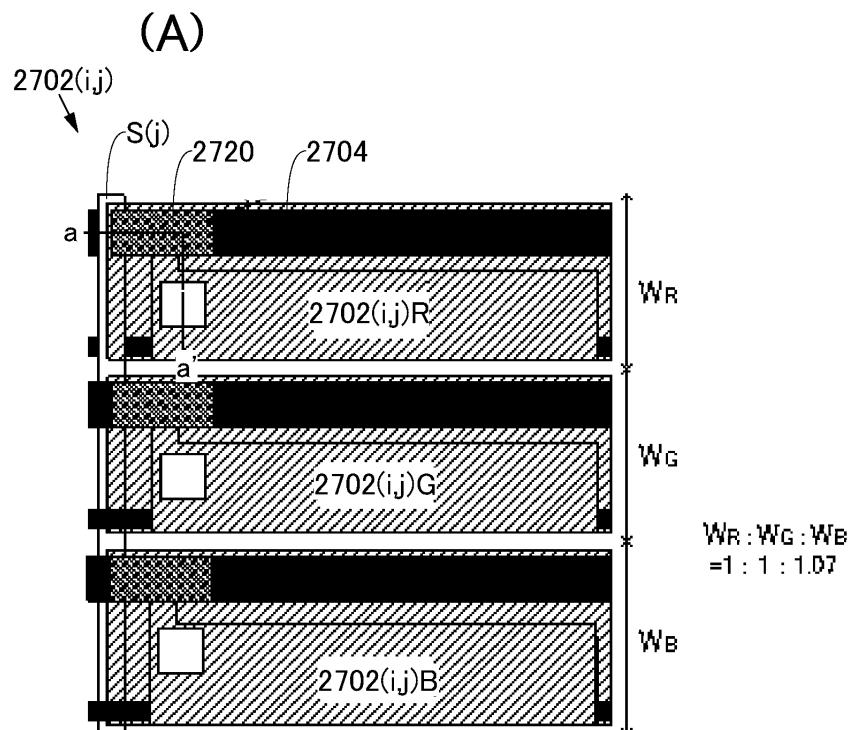
도면18



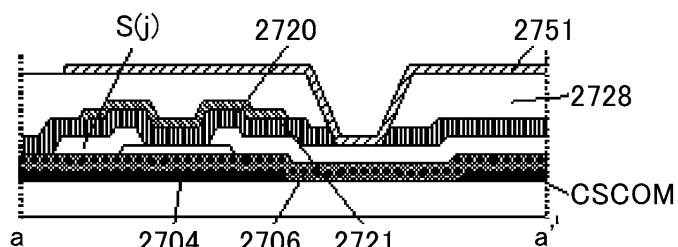
도면19



도면20

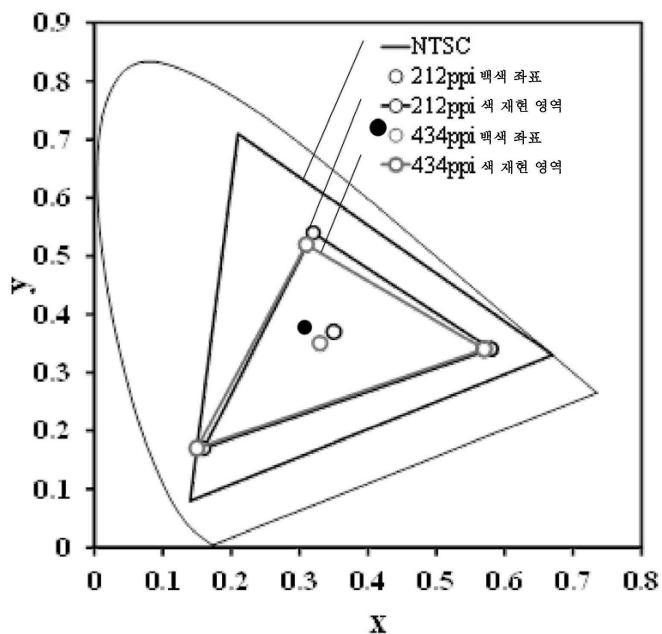


(B)



도면21

(A)



(B)

