



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201036112 A1

(43)公開日：中華民國 99 (2010) 年 10 月 01 日

(21)申請案號：098136607

(22)申請日：中華民國 98 (2009) 年 10 月 28 日

(51)Int. Cl. : *H01L21/84 (2006.01)* *H01L21/76 (2006.01)*

(30)優先權：2008/10/30 美國 12/290,384

2008/10/30 美國 12/290,362

(71)申請人：康寧公司(美國) CORNING INCORPORATED (US)

美國

(72)發明人：希瑞強恩 薩庫 CHEREKDJIAN, SARKO (US)；希提 節福利史考特 CITES, JEFFREY SCOTT (US)；康拉得 潔米葛力 COUILLARD, JAMES GREGORY (US)；馬梅而 里查歐 MASCHMEYER, RICHARD ORR (US)；莫耳 米其強 MOORE, MICHAEL JOHN (US)；優甚庫 亞倫 USENKO, ALEX (RU)

(74)代理人：吳洛傑

申請實體審查：有 申請專利範圍項數：18 項 圖式數：12 共 45 頁

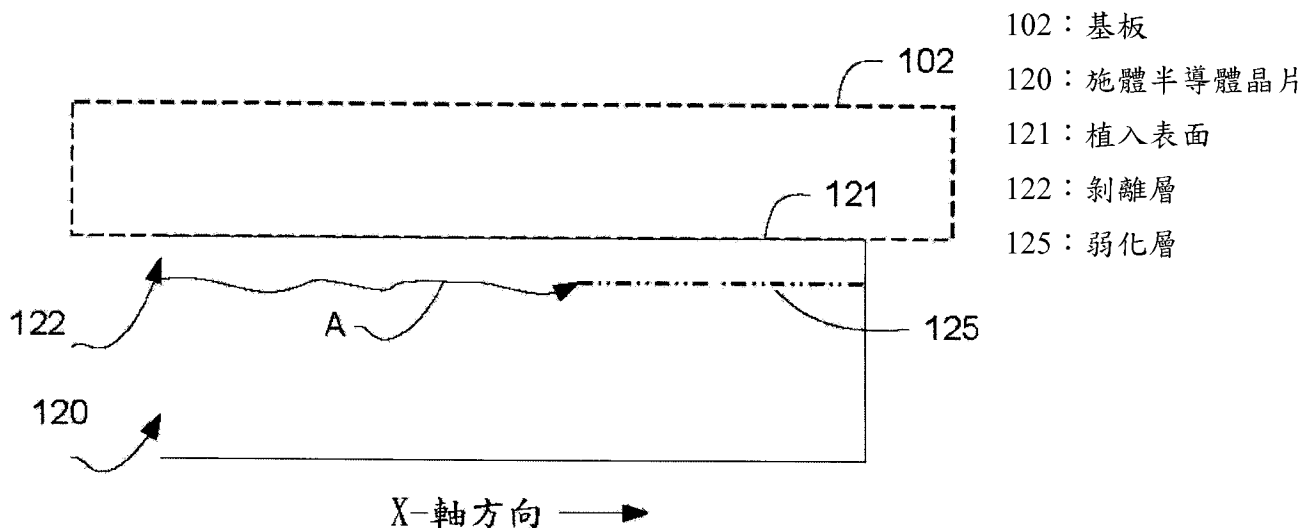
(54)名稱

使用直接剝離作用製造半導體於絕緣體結構上之方法及裝置之一

METHODS AND APPARATUS FOR PRODUCING SEMICONDUCTOR ON INSULATOR STRUCTURES USING DIRECTED EXFOLIATION

(57)摘要

本發明揭示出一種形成絕緣體上半導體(SOI)結構的方法及裝置,其包含將施體半導體晶片之植入表面施以離子植入步驟,在界定出施體半導體晶片剝離層的橫截面上產生一個弱化層;以及讓半導體晶片施以空間變化步驟於離子植入步驟之前,過程中或之後,使得弱化層之至少一項參數在整個弱化層至少一個 X-及 Y-軸方向空間地變化。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201036112 A1

(43)公開日：中華民國 99 (2010) 年 10 月 01 日

(21)申請案號：098136607

(22)申請日：中華民國 98 (2009) 年 10 月 28 日

(51)Int. Cl. : *H01L21/84 (2006.01)* *H01L21/76 (2006.01)*

(30)優先權：2008/10/30 美國 12/290,384

2008/10/30 美國 12/290,362

(71)申請人：康寧公司(美國) CORNING INCORPORATED (US)

美國

(72)發明人：希瑞強恩 薩庫 CHEREKDJIAN, SARKO (US)；希提 節福利史考特 CITES, JEFFREY SCOTT (US)；康拉得 潔米葛力 COUILLARD, JAMES GREGORY (US)；馬梅而 里查歐 MASCHMEYER, RICHARD ORR (US)；莫耳 米其強 MOORE, MICHAEL JOHN (US)；優甚庫 亞倫 USENKO, ALEX (RU)

(74)代理人：吳洛傑

申請實體審查：有 申請專利範圍項數：18 項 圖式數：12 共 45 頁

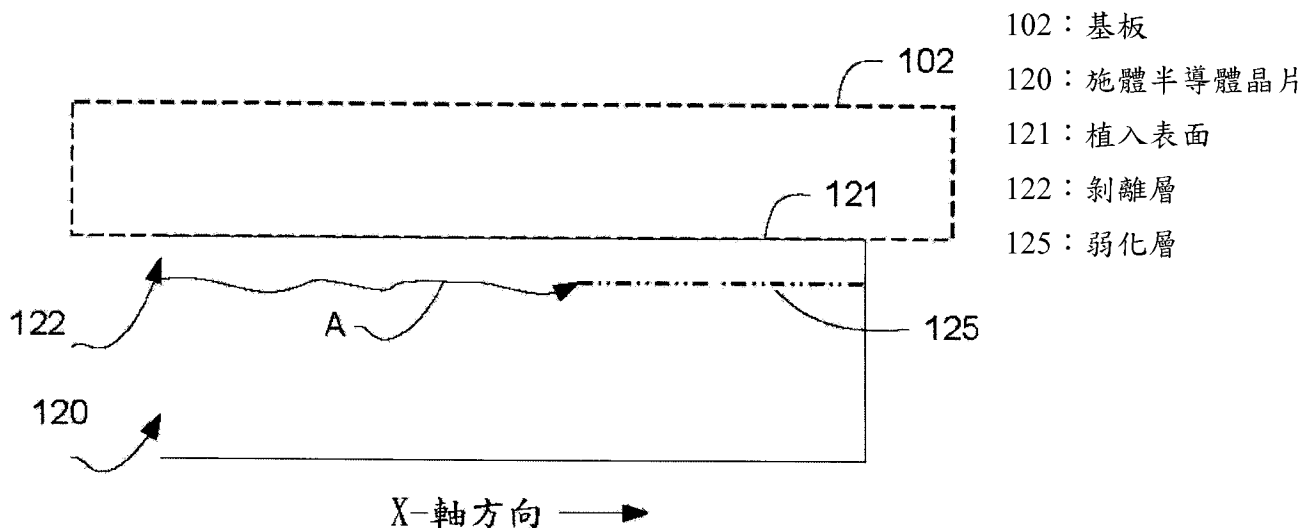
(54)名稱

使用直接剝離作用製造半導體於絕緣體結構上之方法及裝置之一

METHODS AND APPARATUS FOR PRODUCING SEMICONDUCTOR ON INSULATOR STRUCTURES USING DIRECTED EXFOLIATION

(57)摘要

本發明揭示出一種形成絕緣體上半導體(SOI)結構的方法及裝置,其包含將施體半導體晶片之植入表面施以離子植入步驟,在界定出施體半導體晶片剝離層的橫截面上產生一個弱化層;以及讓半導體晶片施以空間變化步驟於離子植入步驟之前,過程中或之後,使得弱化層之至少一項參數在整個弱化層至少一個 X-及 Y-軸方向空間地變化。



六、發明說明：

【發明所屬之技術領域】

本發明係關於絕緣體上半導體(SOI)結構之製造, 該結構例如為非圓形斷面及/或相當大的斷面面積。

【先前技術】

隨著市場需求不斷持續地增加, 絕緣體上半導體(SOI)裝置變得越來越重要。SOI 技術對高效能薄膜電晶體(TFT), 太陽能電池, 和顯示器而言也變得越來越重要, 譬如主動式矩陣顯示器, 有機發光二極體(OLED)顯示器, 液晶顯示器(LCD), 積體電路, 光伏打裝置等等。SOI 結構可包括絕緣材料上一層薄薄譬如矽的半導體材料。

取得 SOI 結構的各種方式包括晶格匹配基板上的矽(Si)磊晶成長, 以及黏結單晶矽晶片到另一矽晶片。更進一步的方法包括植入氫或氧離子的離子植入技術, 在氧離子植入的情況, 形成以 Si 覆蓋矽晶片內的氧化層, 或者在氫離子植入的情況, 分離(剝離)薄 Si 層以黏結到另一具有氧化層的 Si 晶片。

美國專利第 7, 176, 528 號說明了一種利用剝離技術產生玻璃上半導體(SOG)結構的處理方式。這些步驟包括:
(i)將矽晶片表面暴露至氫離子植入以產生黏結表面;(ii)讓晶片的黏結表面和玻璃基板接觸;(iii)施加壓力, 溫度和電壓到晶片和玻璃基板促進其間的黏結;和(iv)從矽晶片分離玻璃基板和矽薄膜層。

上述的方法在一些情況下和/或使用在一些應用時, 容

易產生令人討厭的效果。請參考圖 1A-1D, 以譬如氫離子的離子經由表面 21 植入半導體晶片 20, 使得此種植入在整個半導體晶片 20 的密度和深度是均勻的。

參考圖 1A, 當譬如矽的半導體材料以譬如氫離子的離子植入時會產生傷害部位。傷害部位層界定出剝離層 22。有些傷害部位以非常高的寬高比晶核形成於薄板(它們有很大的有效直徑而幾乎沒有高度)。從植入離子產生的氣體, 譬如 H_2 擴散至薄板, 形成相當高寬高比的氣泡。這些氣泡中的氣體壓力非常高, 估計可達約 10 千巴。

如圖 1B 的雙箭頭所示, 薄板和氣泡在有效直徑內增長, 直到它們互相很靠近, 而使剩餘的矽太弱而無法抵抗氣體的高壓。由於沒有一個最佳的點開始分離, 就會隨機產生多個分離前緣, 因而多個傳播穿過半導體晶片 20 的裂隙。

靠近半導體晶片 20 的邊緣, 有很多植入離子可以從富含氫的表面跑出來。這是因為靠近凹槽(即晶片 20 的側邊壁板)的關係。更特別的是, 在植入期間離子(譬如氫質子)減速通過半導體晶片 20(譬如矽)的結構, 從晶格部位取代一些矽原子產生缺陷的平面。當氫離子失去動能時, 會變成原子氫, 並進一步界定出一個原子氫平面。在室溫下, 矽晶格內的缺陷平面和原子氫平面都不穩定。因此, 缺陷(空隙)和原子氫互相移動形成熱穩定的空隙-氫成分。很多成分集合在一起產生富含氫的平面。(加熱時, 矽晶格通常會沿著富含氫的平面分裂)。

並不是所有的空隙和氫都會崩解成空隙-氫成分。有

些空隙-氫成分會從空隙平面擴散,最後離開矽晶片 20。因此有些原子氫不會造成剝離層 22 的分裂。靠近矽晶片 20 的邊緣,氫原子有另外從晶格跑出的路徑。因此,矽晶片 20 邊緣區域的氫濃度可能較低。較低的氫濃度會需要更高溫或更長的時間來發展足夠的力量以支援分離。

因此,在分離處理期間以沒有分離的邊緣產生帳篷狀的結構 24。在臨界壓力,沿著譬如{111}平面(圖 1C)相對弱的平面會出現其餘半導體材料的裂痕,而完成剝離層 22 和矽晶片 20 的分離(圖 1D)。然而,邊緣 22A, 22B 是來自傷害部位界定出的主要分裂表面。這種非平面的分裂是令人討厭的。分離的其它特徵包括剝離層 22 可以被描述成台地,而裂隙出現的薄板或氣泡,則由峽谷圍繞著。要注意的是,這些台地和峽谷無法在圖 1D 精確顯示,因為這些細節是超過所示的比例尺可描繪出的可能。

不想限制本發明在任何運作理論,我們認為使用前述的技術,從開始分離到完成分離的時間大約是數十個微秒。換句話說,分離的隨機開始和傳播大約是 3000 公尺/秒。再者,不想限制本發明在任何運作理論,我們認為這種分離速度是前述的剝離層 22 分裂表面令人討厭的特性所造成(圖 1D)。

美國專利第 6,010,579 號說明了一種經由離子均勻植入深度 Z0 到半導體基板 10 的技術,將晶片的溫度降到開始分離的溫度以下,然後在植入深度 Z0 附近的基板 10 邊緣引進多個能量脈衝以達到"控制分裂前緣"。本發明採取直接

的分離方式,和美國專利第 6,010,579 號控制分裂前緣的方式有顯著的不同,也和"隨機的"分裂方式不同。

和先前討論的剝離層 22 和半導體晶片 20 分離相關的挑戰,當 SOI 結構的大小增加,尤其當半導體晶片的形狀是長方形時會更嚴重。這種長方形半導體晶片可使用在多個半導體鋪片耦合到絕緣體基板的應用上。更進一步有關鋪片式 SOI 結構的製造細節可在美國第 2007/0117354 號專利公告案中找到,其完整的說明在這裡也全部併入參考。

【發明內容】

為了方便說明,以下的討論常常是根據 SOI 結構。參考這種特定型態的 SOI 結構,使得本發明的說明更加容易,但是我們不希望也不應該解釋成以任何方式來限制本發明的範疇。這裡所使用的 SOI 縮寫一般是指絕緣體上半導體結構,包括但不限定是絕緣體上矽結構。同樣地,所使用的 SOG 縮寫一般是指玻璃上半導體結構包括但不限定是玻璃上矽結構。SOI 縮寫涵蓋了 SOG 結構。

依據本發明的一個或多個實施範例,形成絕緣體上半導體(SOI)結構的方法和裝置提供:在施體半導體晶片的植入表面進行離子植入步驟,在界定出施體半導體晶片剝離層的橫截面上產生一個弱化層;以及讓半導體晶片在離子植入步驟之前,期間或之後,進行空間變化步驟以使這個弱化層的一個或多個參數,以至少一個 X-和 Y-方向,在整個晶片上空間變化。

空間變化步驟可促進剝離層和半導體晶片分離的特性

,使得分離是可方向性和/或時間性控制的。

參數可包括一個或多個下列項目的一項或組合:(i)從離子植入步驟產生的晶核形成部位密度;(ii)植入表面(或參考表面)弱化層的深度;(iii)從植入表面至少到弱化層人工造成的傷害部位(譬如盲洞);和(iv)利用溫度梯度在整個弱化層增加缺陷部位的晶核形成和/或壓力。

此方法和裝置更進一步提供將施體半導體晶片的溫度提升到足以從弱化層的一點,邊緣,和/或區域在弱化層開始分離。可進一步使施體半導體晶片的溫度足以繼續在沿著弱化層的方向分離,為變化參數的函數。

當本發明這裡的說明配合附圖一起參考時,其他方面,特徵,優點等,對熟悉此項技術的人而言,將會變得顯而易見。

【實施方式】

參考附圖,同樣的編號代表同樣的元件,依據本發明的一個或多個實施範例,圖 2A-2B 顯示的是中間 SOI 結構(尤其是 SOG 結構)。中間 SOI 結構包括譬如玻璃或玻璃陶瓷基板 102 的絕緣體基板,和施體半導體晶片 120。玻璃或玻璃陶瓷基板 102 和施體半導體晶片 120 可使用此項技術任何已知的處理過程耦合在一起,譬如黏結,熔融,黏著等。

在將玻璃或玻璃陶瓷基板 102 和施體半導體晶片 120 耦合在一起之前,施體半導體晶片 120 包括暴露的植入表面 121。讓施體半導體晶片 120 的植入表面 121 進行離子植入步驟,在界定出剝離層 122 的橫截面上產生一個弱化層 125。弱

化層 125 位在平行於界定出 X-Y 正交軸方向的參考表面(可能在任意處, 因而未顯示)。X-軸方向在圖 2A 中是從左到右顯示, 而 Y-軸方向是正交於 X-軸方向到頁內(因而未顯示)

。讓半導體晶片 120 在離子植入步驟之前, 期間或之後, 進行空間變化步驟以使剝離層 122 和半導體晶片 120 的分離特性是可方向性和/或時間性控制的。然而不想限制本發明在任何運作理論, 我們相信這種可方向性和/或時間性控制可能改善分離特性, 譬如剝離層 122 和半導體晶片 120 上較平滑的暴露表面(後續分離)。我們也相信這種可方向性和/或時間性控制可能改善邊緣特性, 譬如改善剝離層 122 和半導體晶片 120 上暴露表面的邊緣, 這是弱化層 125 界定出的主要分裂表面。

剝離層 122 和半導體晶片 120 可方向性和/或時間性控制的分離可以數種方式達到, 譬如以至少一個 X-和 Y-軸方向, 在整個弱化層 125 上改變一個或多個參數。這些參數可包括一個或多個下列項目, 單獨或組合:(i)從離子植入步驟產生的晶核形成部位密度;(ii)植入表面 121(或參考表面)的弱的部位 125 深度;(iii)從植入表面 121 至少到弱化層 125 人工造成的傷害部位(譬如盲洞);和(iv)利用溫度梯度, 在整個弱化層 125 增加缺陷部位的晶核形成和/或壓力。

如圖 2A-2B 的箭頭 A 所示, 剝離層 122 和半導體晶片 120 可方向性和/或時間性控制的分離特性, 造成從弱化層 125 的一點, 邊緣, 和/或區域到其他點, 邊緣, 和/或區域的傳播分離, 為時間的函數。這通常可從下列達成: 首先, 改變如

以上所討論整個弱化層 125 上一個或多個的空間參數, 第二, 提升半導體晶片的溫度到足以在弱化層的一點, 邊緣, 和/或區域開始分離。因此, 進一步提升施體半導體晶片的溫度, 使其足以繼續在沿著弱化層 125 的方向分離, 為整個弱的部位 125 空間變化參數的函數。最好建立變化的參數, 使得提升溫度的時間-溫度量變曲線圖是大約數秒, 沿著弱化層 125 的分離傳播發生超過至少一秒。

現在請參考圖 3A-3C, 進一步顯示關於在整個弱化層 125 上改變一個或多個空間參數的細節。圖 3A 是經由植入表面 121 觀看施體半導體晶片 120 的頂視圖。X-軸方向陰影的變化是代表參數的空間變化(譬如晶核形成部位密度, 部位內壓力, 晶核形成的程度, 人工產生傷害部位(洞)的分佈, 植入深度等。在所示的例子中, 一個或多個的參數以 X-軸方向從施體半導體晶片 120(因而是其內的弱化層 125)一個邊緣 130A 變化朝向相反的一個邊緣 130B, 反之亦然。

參考圖 3B, 這是分離參數的圖表, 其顯示的是弱化層 125 內晶核形成部位密度的橫截面圖, 為 X-軸方向的函數。或者或此外, 分離參數可表示一個或多個晶核形成部位內壓力, 晶核形成的程度, 人工產生傷害部位(洞)的分佈等, 每個都可為 X-軸空間測量的函數。請參考圖 3C, 這是分離參數的圖表, 其顯示弱化層 125 內晶核形成部位深度(對應離子植入的深度)的橫截面圖, 為 X-軸方向的函數。

不想限制本發明在任何運作理論, 我們相信當邊緣 130A 的晶核形成部位密度相當高時, 會發生從邊緣 130A 朝向邊

邊緣 130B 的分離傳播(以虛線的箭頭表示), 並且降低朝向邊緣 130B 空間位置的晶核形成部位密度。這個理論也被認為是和其他參數保持聯繫, 譬如晶核形成部位內的氣體壓力, 分離之前晶核形成部位聚集的程度, 和人工產生傷害部位(洞)的分佈。至於和弱化層 125 深度相關的參數, 我們認為當沿著弱化層 125 的起始邊緣 130B 出現較低的深度時, 會發生從邊緣 130B 朝向邊緣 130A 的分離傳播(以實線的箭頭表示), 而出現比較高的深度時, 可連續地朝向邊緣 130A 更遠的距離。

現在參考圖 4A-4C, 進一步顯示關於在整個弱化層 125 上改變一個或多個空間參數的細節。圖顯示的是經由植入表面 121 觀看施體半導體晶片 120 的頂視圖。X-軸和 Y-軸方向陰影的變化是代表參數的空間變化, 即晶核形成部位密度, 部位內壓力, 晶核形成的程度, 人工產生傷害部位(洞)的分佈, 植入深度等。在每個所示的例子中, 參數在 X-軸和 Y-軸兩個方向空間變化。

請特別參考圖 4A, 陰影是代表從兩個邊緣 130A, 130D 開始朝向其他邊緣 130B, 130C 的空間參數變化, 在 X-軸和 Y-軸方向更進一步的距離改變。為了跟的上以上的討論, 在考慮晶核形成部位密度的參數時, 假使在邊緣 130A, 130D 的起始邊緣有較高的密度, 那麼分離的傳播(以虛線箭頭表示)會從邊緣 130A, 130D 的角落輻射朝向晶片 120 的中央, 並朝向其他邊緣 130B, 130C。這個理論也被認為是和其他參數保持聯繫, 譬如晶核形成部位內的氣體壓力, 分離之前晶核

形成部位聚集的程度,和人工產生傷害部位(洞)的分佈。

至於和弱化層 125 深度相關的參數,我們認為當沿著邊緣 130B, 130C 開始降低深度時,分離的傳播(以實線箭頭表示)從邊緣 130B, 130C 的角落輻射朝向晶片 120 中央,並朝向其他邊緣 130A, 130D。

特別參考圖 4B 和 4C,陰影代表從所有邊緣 130 開始,並朝向施體半導體晶片 120 中央的空間變化參數,反之亦然。

現在提供進一步的細節,參考在 X-軸和 Y-軸的一個或兩個方向整個弱化層 125 上離子植入所產生的晶核形成部位密度空間變化的特定參數。不管使用什麼技術達到這種空間變化,晶核形成部位最大密度最好是存在弱化層 125 的一點,邊緣,或區域約 5×10^5 部位/ cm^2 ,而晶核形成部位最小密度存在離開弱化層 125 約 5×10^4 部位/ cm^2 。以另一種方式看待這種變化,最大晶核形成部位密度和最小晶核形成部位密度之間的差異大約 10 倍。

依據本發明的一個或多個實施範例,可藉著改變離子植入步驟的劑量,空間改變弱化層 125 內晶核形成部位密度。經由背景,讓植入表面 121 進行一個或多個離子植入步驟,產生弱化層 125(因而是剝離層 122)。雖然在這方面可使用很多種植入技術,機器等,但一種適合的方法指出施體半導體晶圓 120 的植入表面 121 可進行氫離子植入步驟,至少開始產生施體半導體晶片 120 的剝離層 122。

請參考圖 5A,顯示的是 Axcelis NV-10 型態整批植入器的簡圖,藉著改變植入離子的劑量,可修改用於弱化層 125

內晶核形成部位密度的空間改變。

多個施體半導體晶片 120, 在這個例子是長方形鋪片可在相對於入射離子束(指向到頁內)的滾筒 200 上以固定半徑呈方位角的分佈。滾筒 200 的旋轉提供擬-X-掃瞄(dX/dt), 而整個滾筒 200 的機械式平移提供 Y-掃瞄(dY/dt)。使用擬-X-掃瞄這個詞是因為較小的滾筒 200 半徑, 和大型的滾筒 200 半徑比起來, X-掃瞄比較彎曲, 因此在這種滾筒 200 上不會得到完全筆直的掃瞄。調整 X-掃瞄速度和/或 Y-掃瞄速度會造成劑量中的空間變化。在過去, 當離子束 202 徑向通過朝向滾筒 200 中央時, 可使用增加的 Y-掃瞄速度以確保均勻的劑量。的確, 此項技術傳統的思考是達到空間均勻的劑量, 當相對於施體半導體晶片 120 的角度速度減少到接近滾筒 200 中央時, Y-掃瞄速度必須對應地增加。然而, 依據本發明, 可以不執著於傳統的掃瞄協定達到空間改變的劑量, 產生譬如圖 3A 和 4A 的圖案。例如, 當離子束 202 徑向通過朝向滾筒 200 中央時, 可保持 Y-掃瞄速度均勻。或者, 當離子束 202 徑向通過朝向滾筒 200 中央時, 我們也可以減少 Y-掃瞄速度。熟悉此項技術的人, 可從這裡的說明得知其他的可能性。另一種方式是改變射束能量, 為掃瞄速率和位置的函數。這種改變可透過修改軟體中植入器的控制演算法, 控制軟體和終端站驅動程式之間的電子介面, 或其他機械式的修改。

參考圖 5B, 顯示的是單一基板 X-Y 植入器的簡圖, 藉著改變植入離子的劑量可修改用於弱化層 125 內晶核形成部

位密度的空間改變。在這個例子中，電子束 202 掃瞄比機械式基板掃瞄快(圖 5A)。再者，此項技術傳統的思考是達到空間均勻的劑量，因而設定 X 和 Y 掃瞄速率和射束能量以達到均勻的劑量。再者，可以不執著於傳統的掃瞄協定，達到空間改變的劑量。藉由無數變化的 X 和 Y 掃瞄速率和/或射束能量組合，可在植入劑量內達到顯著的空間改變。可產生垂直或水平，一維或二維的梯度，經由這種變化產生譬如圖 3A, 4A, 4B 和 4C 的圖案。

請參考圖 5C，顯示的是依據離子浴技術的植入器簡圖。條帶射束 204 從延伸的離子來源產生。依據傳統的技術，單一均勻速度掃瞄(和正交方向的均勻射束能量成比例)可達到傳統的目標，即空間均勻的劑量。然而，依據本發明的各種特性，藉著改變施體半導體晶片 120 到條帶射束 204 的機械式掃瞄速率可以產生一維的梯度(即圖 3A 旋轉 90 度)。藉著相對於條帶射束 204 扭轉施體半導體晶片 120 一個角度，以及改變機械式掃瞄速率，可以類似於圖 4A 的方式產生劑量內的空間變化。或者或此外，沿著射束來源的空間變化射束電流會在掃瞄方向提供共正交的梯度提供額外的自由度以產生受支配的空間變化劑量。

不管用來達到劑量變化的特定植入技術，不管最高劑量的位置(沿著一個或多個起始邊緣，起始點，或起始區域)，真正最高劑量是在所要範圍內以原子/cm²為單位，而最低劑量是在其他所要範圍內的至少一個 X-和 Y-軸方向以原子/cm²為單位。最高劑量和最低劑量之間的差異可以在約 10

-30%之間,最大變化約 3 倍。在一些應用上,至少約 20%的差異是很重要的。

依據本發明的一種或以上進一步特性,可藉以真正均勻的方式植入第一離子成分,空間改變弱化層 125 內的晶核形成部位密度建立真正均勻分佈的弱化層 125。之後,可以真正非均勻的方式植入第二離子成分到施體半導體晶片 120。建立真正非均勻的植入使得第二離子成分導致原子遷移到弱部位 125 產生整個弱化層 125 上晶核形成部位空間改變的密度。舉例而言,第一離子成分可以是氫離子,而第二離子成分可以是氦離子。

非均勻的植入可以使用上述技術,此說明中稍後的描述,或從其他來源得知而產生。例如,第二離子成分的劑量可以是空間變化的。第二離子成分(譬如 He 離子)的劑量變化會導致接下來第二成分非均勻的遷移到第一離子成分的位置,因而建立非均勻的晶核形成部位密度。這種變化可改變薄板內的壓力,這也是有帮助的。

或者,第二離子成分非均勻的植入可包括植入第二離子成分到整個施體半導體晶片 120 的空間變化深度。熟悉此項技術的人可依據這裡所揭示的修改任何已知的植入離子到均勻深度的技術以達到非均勻深度的量變曲線圖。在背景中,我們知道 He 離子可以比氫離子植入的更深,譬如兩倍深度或以上。晶片溫度增加時,很多 He 離子會遷移到較淺氫離子植入的部位,提供稍後分離的氣體壓力。依據本發明的此項特性,植入較深的 He 導致的傷害是位在施體半

導體晶片 120 遠離較淺氬離子植入的深度, 而且很少這種 He 離子會在一定的時間內抵達。相反的情況也是如此, 植入較不深的 He 離子情況也是如此, 因而會造成整個弱化層 125 上晶核形成部位空間變化的密度。

雖然理論上不管第一和第二離子成分的順序(譬如先植入 He 或先植入 H)都可達成晶核形成部位空間變化的密度, 但多個離子植入步驟的順序也可達成所需的結果。的確, 根據離子成分, 植入的順序可能在密度上有整體效果, 甚至密度也會空間變化。雖然有點反直覺並令很多熟悉此項技術的人很驚訝, 我們發現先植入氬離子會產生較多的晶核形成部位。以一定的計量而言, He 被多熟悉此項技術的人認為會比氬離子產生 10 倍的傷害。然而, 應該要注意的是 He 離子的傷害(空隙和有空隙的半導體原子, 或 Frankel 對), 甚至在室溫下會快速自行退火。因此, 很多但不是全部的 He 傷害是可以修復的。換句話說, 氬離子和譬如 Si 原子的半導體原子黏結(形成 Si-H 鍵)以穩定產生的傷害。如果 H 在 He 植入之前就存在會產生更多的晶核形成部位。

現在參考圖 6A-6B, 顯示的是適合用來達到晶核形成部位密度空間改變的更進一步範例。在這個範例中, 如圖 6A 所示, 可在離子植入步驟期間藉著調整離子束的射束角度達到集結部位密度空間改變。雖然射束角度可藉著多種方式調整, 其中一種方式是讓施體半導體晶片 120 針對離子束傾斜, 如圖 6A 所示。施體半導體晶片 120 有一個寬度(如頁面顯示從左到右), 深度(深入頁內), 和高度(如頁面顯示從

上到下)。寬度和深度可界定出 X-和 Y-軸方向, 而高度可界定出垂直於植入表面 121 的縱向軸 Lo。傾斜施體半導體晶片 120 以使縱向軸 Lo 在離子植入步驟期間是成針對植入射束方向軸(以實心箭頭顯示)的角度 Φ 。角度 Φ 可以是在約 1 到 45 度之間。

在傾斜的情況下, 射束來源從位置 A 掃瞄到位置 B, 射束 202 的寬度 W 在施體半導體晶片 120 的植入表面 121 從寬度 Wa 變化到 Wb, 反之亦然。寬度 W 的變化會造成離子植入在掃瞄方向(可設定成沿著至少一個 X-和 Y-軸方向)產生晶核形成部位密度改變。

植入射束 202 可包括具有相同(正)電荷的氫離子。當具有相同電荷的粒子互相驅離時, 射束 202 在離離子來源較遠的距離時較寬(位置 A), 在離離子來源較近的距離時較窄(位置 B)。位置 B 較聚集(較低的寬度 Wb)的離子束會比位置 A 較不聚集(較高的寬度 Wa)的離子束, 加熱施體半導體晶片 120 的局部區域到較高的程度。在較高的溫度下, 較多氫離子會從這個局部區域擴散, 和其他區域比較, 會剩下較少的氫離子。如圖 6B 所示, 這會在施體半導體晶片 120 的弱化層 125 內產生橫向的氫非均勻分佈(因而是晶核形成部位的密度)。藉著調整射束來源的角度或併入一些已知的設計來調整離子束 202 的準直可達到類似的晶核形成部位密度空間改變。

適合用來達到晶核形成部位密度空間改變的更進一步技術是使用二階段離子植入步驟。第一離子植入步驟是執

行具有吸引第二離子成分效果的離子植入。之後,植入第二離子成分。第一離子成分是使用任何適合的前述或稍後描述的技術以空間非均勻的方式植入。因此,當第二離子成分植入時,會遷移到第一成分,產生的弱化層 125 會顯示非均勻的晶核形成部位密度。

例如,第一離子成分可以根據施體半導體晶片 120 的材料,譬如使用矽離子植入在矽施體半導體晶片 120 內。這種 Si 離子的特性會捕捉第二離子成分譬如氫離子。如以上說明的,氫離子和譬如 Si 原子的一些半導體原子黏結,形成 Si-H 鍵。舉例而言,可在此項技術已知的劑量和能量下,執行矽到矽的植入,譬如美國專利第 7,148,124 號中所說明的,其完整的說明在這裡也全部併入參考。然而,不同於先前的技術,捕捉的離子成分(在這個例子是 Si)空間密度分佈是非均勻的(譬如在施體半導體晶片 120 的一邊是最高,而在相反一邊是最低,或這裡討論的其他變化)。接著,植入譬如氫的第二離子成分,這可能是均勻的分佈。施體半導體晶片 120 弱的部位 125 內剩餘的氫量可根據於兩個因素:(1)可捕捉譬如氫的第二離子成分的集中分佈部位,和(2)可以使用的氫(植入的氫和植入劑量剩餘的氫)。

要注意的是,可反轉成分的非均勻空間分佈以達到類似的結果。例如,可均勻植入第一離子成分,接著非均勻植入第二離子成分。或者,兩种植入都是空間非均勻的。弱化層 125 內第二成分(譬如氫)的非均勻分佈會產生最高氫濃度的一點,邊緣或區域,也就是開始分裂的最低溫度位置。

再參考圖 2A-2B, 箭頭 A 顯示剝離層 122 和施體半導體晶片 120 可方向性和/或時間性控制的分離特性以達到從弱化層 125 的一點, 邊緣, 和/或區域, 到其他一點, 邊緣, 和/或區域的傳播分離, 為時間的函數。根據晶核形成部位密度的空間改變, 提升施體半導體晶片的溫度, 使其足以可從弱化層 125 最高密度的一點, 邊緣, 和/或區域, 開始分離。我們發現矽中氫的高濃度可在溫度 350°C 或以下分離, 而較低濃度的氫要在較高溫例如 450°C 或更高分離。將施體半導體晶片的溫度提升到可進一步使施體半導體晶片 120 的溫度足以繼續在沿著弱化層 125 的方向分離, 為整個弱化層 125 密度空間變化的函數。

現在提供進一步的細節, 參考在 X-軸和 Y-軸的一個或兩個方向離子植入所產生的弱化層 125 深度空間變化的特定參數。不管使用什麼技術達到這種空間變化, 真正低的深度最好在約 200-380nm 之間, 而最高深度在約 400-425nm 之間。以另一種方式看待這種變化, 最大和最小深度之間的差異可以是約 5-200%。

依據本發明一項或多項, 可藉著在離子植入步驟期間調整離子束的射束角度, 空間改變弱化層 125 的深度。的確, 可應用針對圖 6A-6B 所討論的處理過程以調整弱化層 125 的深度(要注意改變溫度作為射束寬度函數的設計機制, 並不被認為是達到弱化層 125 深度空間改變的理由)。

參考圖 6A 以及 7A-7B, 可藉著改變至少下列一項, 達到弱化層 125 深度的空間改變:(1)傾斜角度 Φ (請參考圖 6A 的

顯示和說明), (2)針對離子植入射束 202 的方向軸, 沿著其縱向軸 Lo 扭轉施體半導體晶片 120。調整傾斜和/或扭轉以調整導向通過施體半導體晶片 120 晶格結構的一個角度, 使得當離子束 202 掃描整個植入表面 121 時, 導向容易對齊和不對齊離子束 202。當導向的角度空間改變時, 弱化層 125 的深度也會隨之改變。

角度 Φ 可以在約 1-10 度之間, 而扭轉角度可以在約 1-45 度之間。

如同以上的推論, 請進一步參考圖 7C 和 7D, 植入深度會隨著傾斜變大而變小。對相對小的角度而言(譬如 0-10 度), 植入深度和傾斜的關係是由導向來控制。對相對大的角度而言, 是由餘弦效應控制。換句話說, 所產生的玻璃薄膜厚度是和入射角度的餘弦成正比。

或者或此外, 空間變化步驟可包括改變離子束 202 的能量水準, 使得當離子束 202 掃描施體半導體晶片 120 的整個植入表面 121 時, 植入表面 121 的弱化層 125 深度也會在整個施體半導體晶片 120 空間改變。

如圖 7B 所示, 以上的技術產生施體半導體晶片 120 弱化層(或植入深度)的橫向非均勻深度。

可以使用更進一步的參數, 和施體半導體晶片 120 的傾斜一起調整, 達到離子沉積分佈寬度(或分散)的空間變化。如圖 8A 所示, 經過弱化層 125(從上到下)的離子分佈寬度改變是施體半導體晶片 120(更一般而言是射束角度)傾斜角度的函數。因此, 可藉著改變傾斜角度, 達到弱化層 125

內空間變化的分佈寬度(如圖 8B 所示)。然而,不想被限定於任何運作理論,我們認為具有較窄分佈寬度的弱化層 125 部分會比具有較寬分佈寬度的弱化層 125 部分在較低的溫度下分離。因此,我們相信剝離層 122 和施體半導體晶片 120 可方向性和/或時間性控制的分離特性可達到從弱化層 125 的一點,邊緣,和/或區域,到其他一點,邊緣,和/或區域的傳播分離,為時間和溫度的函數。

請參考圖 8C, 有關傾斜在分散效應上的額外資料, 又會衝擊植入量變曲線圖的寬度。圖 8C 所示兩种植入的劑量是一樣的。雖然尖峰 H 濃度是不同的, 但兩种植入劑都會分離。因此, ± 0.1 度和 ± 3 度傾斜改變之間的差異, 對分散而言是很明顯的。

另一種弱化層 125 空間改變深度的技術包括讓施體半導體晶片 120 進行後續的植入材料移除處理, 使得植入表面 121 弱化層 125 的深度在整個施體半導體晶片 120 是空間改變的。如圖 9A 所示, 可使施體半導體晶片 120 進行一些決定性的研磨處理過程或離子體輔助化學蝕刻(PACE)。這些技術可局部控制研磨步驟所移除的材料量。其他包括反應離子蝕刻(RIE), 化學機械式研磨(CMP), 和溼化學蝕刻的方法在規則和可再生的整個暴露表面, 也可以有非均勻的材料移除。可以使用一種或多種這些或其他技術, 造成植入表面 121 弱化層 125 深度的些微變化, 譬如圖 3A, 4A, 4B, 4C 和其他圖所顯示的。在材料移除之前的離子植入步驟可以是空間均勻或非均勻的。

參考圖 9B 和 9C, 空間改變的步驟可包括在施體半導體晶片 120 植入表面 121 上以非均勻的方式使用遮罩 220A 或 220B, 使得當離子束 202 掃瞄整個植入表面 121 時, 阻止離子的穿透為不同的程度。遮罩薄膜 220 可包括二氧化矽, 譬如光阻的有機聚合物, 和其他。可能的沉積技術包括加強離子體的化學蒸氣沉積(PECVD), 旋轉塗膜, 聚二甲基矽氧烷(PDMS)衝壓等。遮罩薄膜 220 的厚度可小於或比擬弱化層 125 所需的深度。因為植入離子的深度是以入射離子的能量來決定, 遮罩 220 的阻擋動作會轉變成施體半導體晶片 120 內主要植入成分深度的空間調變。根據沉積薄膜 220 的特性, 可藉著增加離子路徑的長度達到所需的特性, 擴散離子以更改導向的度數, 或其他現象。

如圖 9D 所示(顯示弱化層 125 所有邊緣的較低深度和朝向中央的較高深度), 施體半導體晶片 120 在黏結到基板 102 之後和期間, 提升到足以在弱化層 125 較低深度的一點, 邊緣, 和/或區域開始分離。進一步提升施體半導體晶片 120 的溫度, 使其足以繼續在沿著弱化層 125 的方向分離, 為從最低深度到最高深度空間變化的函數。

參考圖 10A-10D 及 11, 空間改變的步驟可包括鑽一個或多個的盲孔 230 穿過植入表面 121 至少到弱化層 125, 最好是穿過弱化層 125(圖 10B)。不想限制本發明在任何運作理論, 我們相信在黏結到基板 102(圖 10C)期間或之後, 提升施體半導體晶片 120 到較高的溫度, 在沒有這些孔的位置分離之前在這些盲孔 230(圖 10D)開始分離。如圖 11 所示, 鑽一個

盲孔 230 陣列穿過植入表面 121 可以產生這些孔非均勻的空間分佈。因此,提升施體半導體晶片 120 的溫度,使其足以開始並繼續在沿著弱化層 125 的方向分離,從最高到最低濃度,為盲孔 230 陣列分佈的函數。

參考圖 12A-12B, 空間改變的步驟可包括讓施體半導體晶片 120 受制於非均勻的時間-溫度量變曲線圖,使得在整個施體半導體晶片 120 穿過弱化層 125 的各個空間位置的晶核形成部位密度或壓力是空間變化的。例如,圖 12 所示的溫度梯度施加比右邊較高的溫度到晶片 120 的左邊。這種溫度梯度可以在黏結之前,或黏結到基板 102 期間在原地施加。經過一段時間,假使處理時間維持在低於特定處理溫度的分離門檻,至少一個缺陷的晶核形成部位和那裡的氣體壓力,在整個弱化層 125 會以空間變化的度數在整個晶片 120 增加,為溫度梯度的函數(請見圖 12B)。我們希望特定處理溫度的分離門檻時間是遵循著 Arrhenius 關係,分離門檻時間是和處理溫度的倒數成指數正比。重要的參數是在處理溫度的處理時間和分離門檻的比例。這裡討論的或需要的任何前述空間變化參數量變曲線圖,可藉著調整處理時間-分離時間比的量變曲線圖而達成。接著,施體半導體晶片的溫度提升到足以從弱化層 125 的一點,邊緣,和/或最大處理時間-分離時間比的區域開始分離。在所示的例子中,最大處理時間-分離時間比是在晶片 120 的左邊。接著,更進一步提升施體半導體晶片 120 的溫度,使其足以繼續沿著弱化層 125 的方向分離,從最大處理時間-分離時間比到

最小處理時間-分離時間比, 為變化時間-溫度量變曲線圖的函數。根據材料特徵和其他因素, 包括離子成分, 劑量和植入深度, 真正高的處理時間-分離時間比是在約 0.9 和 0.5 之間, 而最低的處理時間-分離時間比是在約 0 和 0.5 之間。可以使用各種預先黏結或在原地黏結的機制, 達到空間改變時間-溫度量變曲線圖。例如, 可以使用一個或多個空間非均勻的傳導, 對流, 或輻射加熱技術(加熱板, 雷射幅照, 可見的/紅外燈, 或其他), 來加熱施體半導體晶片 120。可藉由直接或間接的熱接觸(傳導)達到控制的時間/溫度梯度以達成任何所需的量變曲線圖。可根據電腦控制或程式設計, 使用二維陣列的加熱板元件, 達到不同的量變曲線圖。例如, 使用快速熱退火的(輻射)的燈局部紅外線輻射, 和/或使用可見的或近紅外線雷射幅射來提供局部和空間非均勻的加熱(輻射)。或者, 可透過任何方式使用空間非均勻的冷卻機制, 譬如直接接觸(傳導), 或氣體或流體流噴射(傳導/對流), 使用均勻或非均勻的熱量變曲線圖, 達到所需的時間-溫度梯度。

再者, 可以在預先黏結或在原地使用這些加熱/冷卻技術。一起使用原地黏結技術, 黏結裝置說明於例如為美國第 11/417, 445 號專利中, 該發明名稱"High Temperature Anodic Bonding Apparatus, 該專利之說明在此加入作為參考, 該黏結裝置能夠使用於本發明。可控制黏結裝置的熱輻射耗損管理, 經由合併黏結裝置周圍的紅外線反射元件, 最小化輻射耗損並最大化邊緣溫度。相反地, 可控制黏

結裝置的熱輻射耗損管理,經由合併冷卻的紅外線吸收器,最大化輻射耗損並最小化邊緣溫度。可使用上述主題的很多種變化達到所需的時間-溫度梯度。

雖然本發明在此已對特定實施例作說明,人們瞭解這些實施例只作為說明本發明原理以及應用。因而人們瞭解列舉性實施例能夠作許多變化以及能夠設計出其他排列而並不會脫離下列申請專利範圍界定出本發明精神及原理。應該只受限於下列申請專利範圍。

【圖式簡單說明】

在所有附圖中,"X"表示 X-軸方向,"Y"表示 Y-軸方向。

圖 1A, 1B, 1C, 及 1D 為方塊圖,其顯示出先前技術剝離處理過程。

圖 2A-2B 為方塊圖,其顯示出依據本發明一項或多項之剝離處理過程。

圖 3A 為依據本發明一項或多項之施體半導體晶片的頂視圖,該晶片具有其中相關弱化層之空間變化參數。

圖 3B 為曲線圖,其圖示地顯示出圖 3A 空間變化參數。3B.1 表示分離參數。

圖 3C 為曲線圖,其圖示地顯示出圖 3A 空間變化參數為弱化層之深度。3C.1 表示植入深度。

圖 4A, 4B, 及 4C 為本發明一項或多項之各別施體半導體晶片之頂視圖,該晶片具有空間變化參數。

圖 5A, 5B, 及 5C 為一些離子植入裝置之簡圖,其可使用來達成空間變化參數。在圖 5A 中, dX/dt 表示掃描;以及 $dY/$

Dt 表示 dY/dt 掃描。

圖 6A-6B 顯示出離子植入技術, 其被使用來在施體半導體晶片中達成晶核形成部位之空間變化密度。在圖 6B 中, 6B.1 表示晶核形成部位密度。

圖 7A-7B 顯示出離子植入技術, 其被使用來在施體半導體晶片中達成空間變化植入深度。在圖 7B 中, 7B.1 表示植入深度。

圖 7C-7D 為曲線圖, 其顯示出離子植入傾斜角度與植入深度間之關係。在圖 7C 中, 7C.1 表示扭轉=0 之模擬; 7C.2 表示扭轉=0 之數據; 7C.3 表示扭轉=23 之模擬; 7C.4 表示扭轉=23 之數據植。在圖 7D 中, 7D.1 表示餘弦計算, 以及 7D.2 表示數據。

圖 8A-8B 顯示出離子植入技術, 其被使用來在施體半導體晶片中達成空間變化離子分別寬度。在圖 8B 中, 8B.1 表示分佈寬度。

圖 8C 為曲線圖, 其顯示出離子植入傾斜角度與分散間之關係。在圖 8C 中, 曲線 8.1 相對於傾斜= ± 3 度; 曲線 8.2 相對於傾斜= ± 0.1 度。

圖 9A-9D 顯示出其他離子植入技術, 其被使用來在施體半導體晶片中達成空間變化離子植入深度。

圖 10A-10D 及 11 顯示出另一離子植入技術, 其被使用來在施體半導體晶片中達成缺陷部位之空間變化分佈。

圖 12A-12B 顯示出時間-溫度量變曲線技術, 其被使用來在施體半導體晶片中達成空間變化參數量變曲線。在圖

12A 中, 12.1 表示溫度梯度。

【主要元件符號說明】

基板 10; 半導體晶片 20; 植入表面 21; 剝離層 22; 邊緣 22A, 22B; 結構 24; 基板 102; 施體半導體晶片 120; 植入表面 121; 剝離層 122; 弱化層 125; 邊緣 30A, 130B, 130C, 130D; 滾筒 200; 離子束 202; 條帶射束 204; 遮罩薄膜 220; 盲孔 230。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98136607

※申請日：98.10.28

※IPC 分類：H01L 21/84 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/76

(2006.01)

1. 使用直接剝離作用製造半導體於絕緣體結構上之方法及裝置之一

METHODS AND APPARATUS FOR PRODUCING SEMICONDUCTOR ON INSULATOR STRUCTURES USING DIRECTED EXFOLIATION

二、中文發明摘要：

本發明揭示出一種形成絕緣體上半導體(SOI)結構的方法及裝置，其包含將施體半導體晶片之植入表面施以離子植入步驟，在界定出施體半導體晶片剝離層的橫截面上產生一個弱化層；以及讓半導體晶片施以空間變化步驟於離子植入步驟之前，過程中或之後，使得弱化層之至少一項參數在整個弱化層至少一個 X-及 Y-軸方向空間地變化。

三、英文發明摘要：

Methods and apparatus provide for forming a semiconductor-on-insulator (SOI) structure, including subjecting a implantation surface of a donor semiconductor wafer to an ion implantation step to create a weakened slice in cross-section defining an exfoliation layer of the donor semiconductor wafer; and subjecting the donor semiconductor wafer to a spatial variation step, either before, during or after the ion implantation step, such that at least one parameter of the weakened slice varies spatially across the weakened slice in at least one of X- and Y- axial directions.

七、申請專利範圍

1. 一種形成絕緣體上半導體(SOI)結構的方法, 其包含:

將施體半導體晶片植入表面施以離子植入步驟, 在界定出施體半導體晶片剝離層的橫截面上產生弱化層; 以及

讓施體半導體晶片在離子植入步驟之前, 期間或之後進行空間變化步驟以使由離子植入步驟產生之晶核形成密度在整個弱化層 X-和 Y-軸方向之至少一個方向空間地變化。

2. 依據申請專利範圍第 1 項之方法, 其中在弱化層之第一區域中晶核形成部位之最大局部密度呈現為 5×10^5 部位/cm² 以及在弱化層之第二區域中晶核形成部位之最小局部密度呈現為 5×10^4 部位/cm², 其中在 X-和 Y-軸方向之至少一個方向與第一區域分隔。

3. 依據申請專利範圍第 1 或 2 項之方法, 其中在弱化層第一區域中晶核形成部位之最大密度約為在弱化層第二區域中晶核形成部位之最小密度的 10 倍。

4. 依據申請專利範圍第 1 或 2 項之方法, 其中更進一步包含提昇施體半導體晶片至溫度足以在弱化層處由晶核形成部位之最大密度的一點, 邊緣, 和/或區域開始分離。

5. 依據申請專利範圍第 4 項之方法, 其中更進一步包含提昇施體半導體晶片至溫度足以實質上沿著弱化層方向連續分離, 為晶核形成部位由最高密度至最小密度之不同密度的函數。

6. 依據申請專利範圍第 4 項之方法, 其中提升溫度的時間-溫度量變曲線規模約為數秒, 使得沿著弱化層由最高密度

至最小密度之分離傳播發生超過至少一秒。

7. 依據申請專利範圍第 1 或 2 項之方法, 其中空間變化步驟包含在 X-和 Y-軸方向之至少一個方向空間地變化植入離子的量劑。

8. 依據申請專利範圍第 1 或 2 項之方法, 其中空間變化步驟包含空間地變化植入離子的量劑, 使得實質上高量劑出現於沿著施體半導體晶片弱化層之啟始邊緣, 啟始點, 或啟始區域以及較低的量劑出現於在至少一個 X-及 Y 軸方向離起始邊緣, 啟始點, 或啟始區域連續地更遠距離處。

9. 依據申請專利範圍第 8 項之方法, 其中最低量劑實質上為高量劑之 70%至 90%, 或至少 80%。

10. 依據申請專利範圍第 8 項之方法, 其中實質上高量劑出現於沿著弱化層一個或多個邊緣之啟始點或區域處以及較低的量劑出現於在至少一個 X-及 Y 軸方向離起始點或區域連續地更遠距離處。

11. 依據申請專利範圍第 7 項之方法, 其中:

施體半導體晶片為長方形; 以及

空間變化步驟包含空間地變化植入離子之量劑, 使得實質上高量劑出現於施體半導體晶片弱化層至少兩個邊緣之每一邊緣處以及較低的量劑出現於離至少兩個邊緣朝向弱化層中心連續地更遠距離處。

12. 依據申請專利範圍第 11 項之方法, 其中空間變化步驟包含空間地變化植入離子的量劑, 使得實質上高量劑出現於弱化層所有邊緣處以及較低量劑出現於朝向弱化層中心連

續地更遠距離處。

13. 依據申請專利範圍第 7 項之方法, 其中空間變化步驟發生於離子植入步驟過程中以及離子植入步驟包含:

以實質上均勻方式植入第一種類離子以產生實質上均勻分佈之弱化層; 以及

以實質上非均勻方式植入第二種類離子, 使得第二種類離子產生原子遷移至弱化層, 其導致晶核形成部位之密度空間地變化於整個弱化層。

14. 依據申請專利範圍第 13 項之方法, 其中第一種類離子為氫以及第二種類離子為氮。

15. 依據申請專利範圍第 13 項之方法, 其中以實質上非均勻方式植入第二種類離子之步驟包含植入第二種類離子以空間地變化深度於施體半導體晶片。

16. 依據申請專利範圍第 1 或 2 項之方法, 其中

施體半導體晶片具有寬度, 深度以及高度, 寬度及深度界定出 X-Y-軸方向, 以及高度界定出縱向軸; 以及

空間變化步驟包含傾斜施體半導體, 使得其在離子植入步驟過程中縱向軸相對於離子植入射束之方向軸為非零角度 Φ , 使得由離子植入步驟產生晶核形成部位之密度空間地變化於整個弱化層之至少一個 X-及 Y 軸方向。

17. 依據申請專利範圍第 16 項之方法, 其中角度 Φ 在 1 至 45 度範圍內。

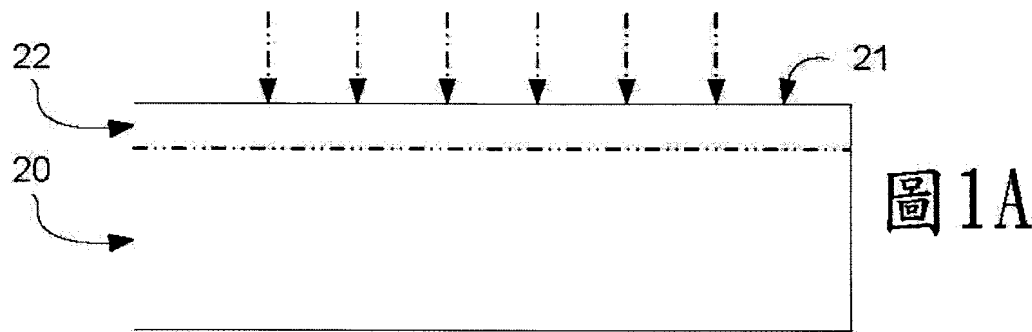
18. 一種形成絕緣體上半導體(SOI)結構的方法, 其包含:

將施體半導體晶片植入表面施以離子植入步驟, 在界定

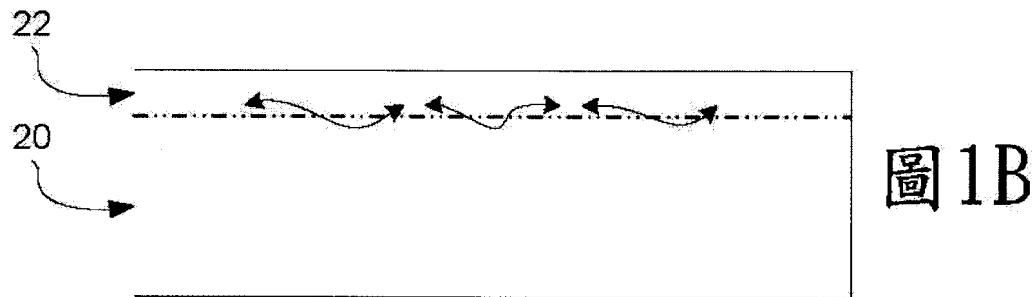
出施體半導體晶片剝離層的橫截面上產生弱化層;以及

鑽出盲孔經由植入表面至少到達弱化層;以及

提高施體半導體晶片至溫度足以沿著弱化層方向實質上
連續性分離, 為盲孔陣列之分佈的函數。



O



O

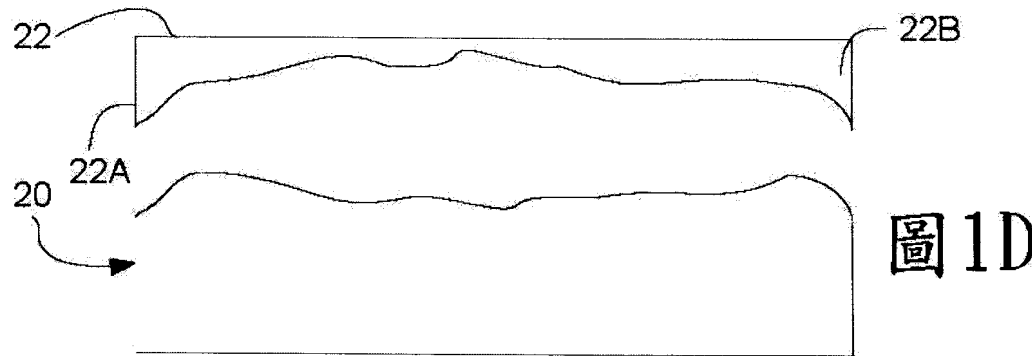
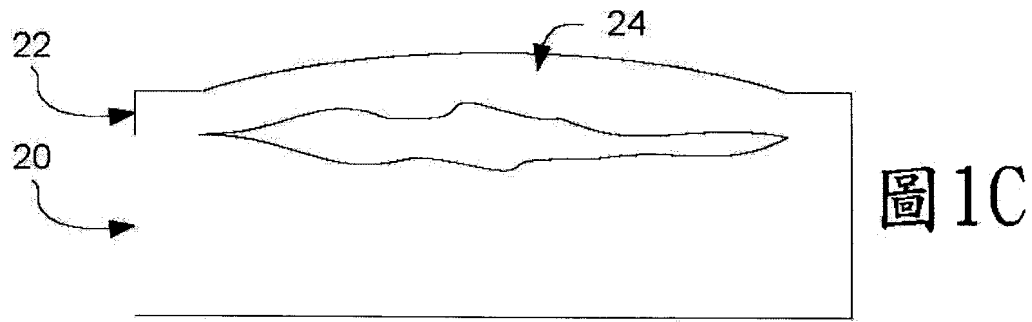


圖 2A

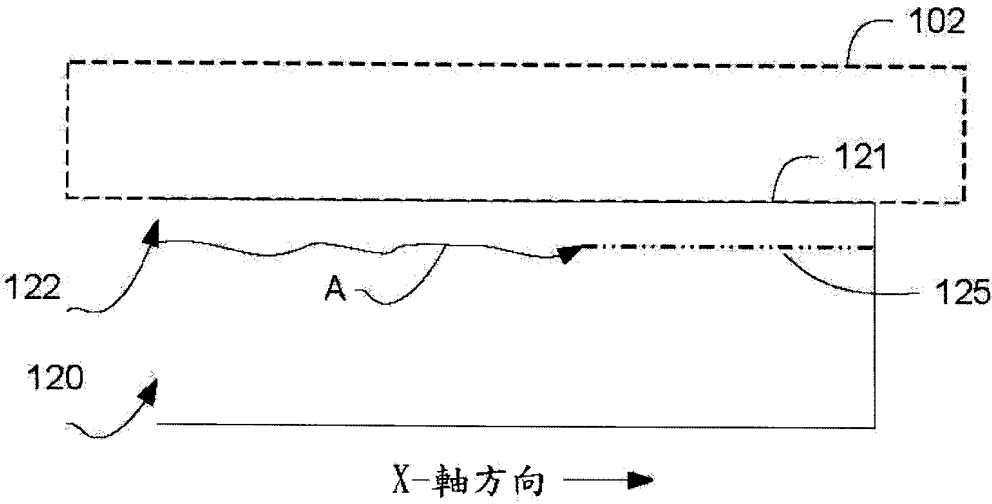
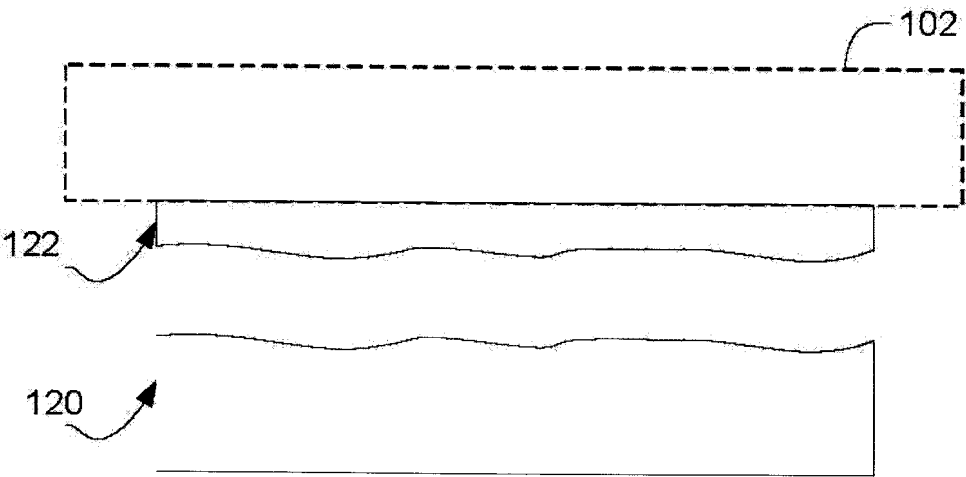


圖 2B



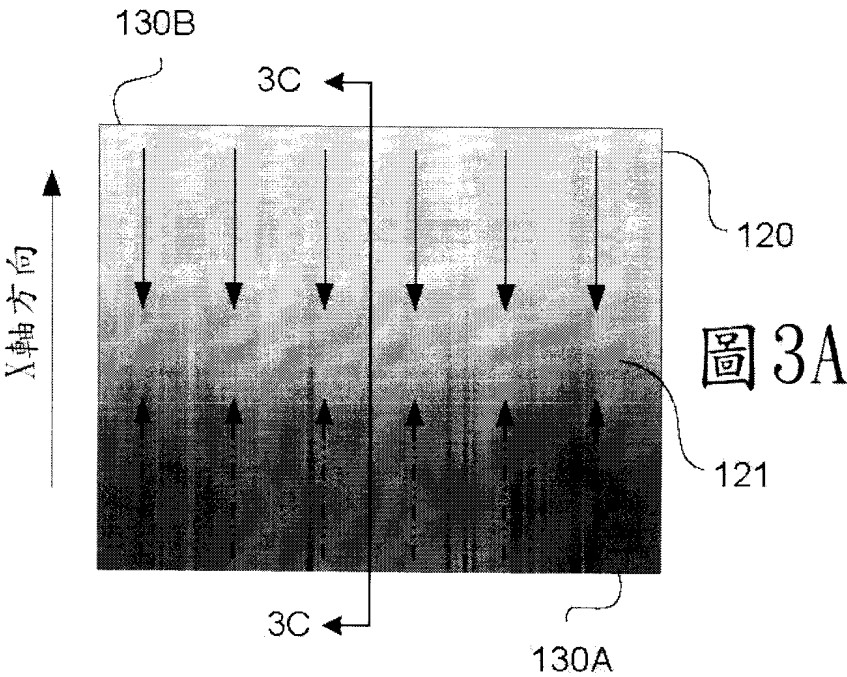


圖 3A

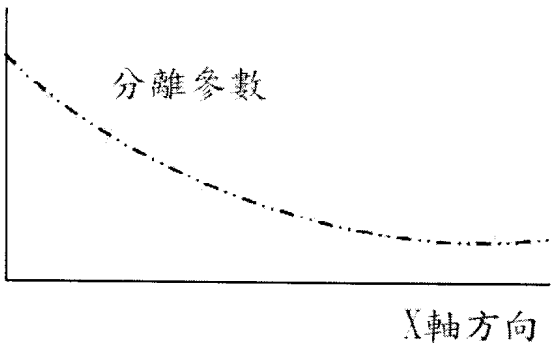


圖 3B

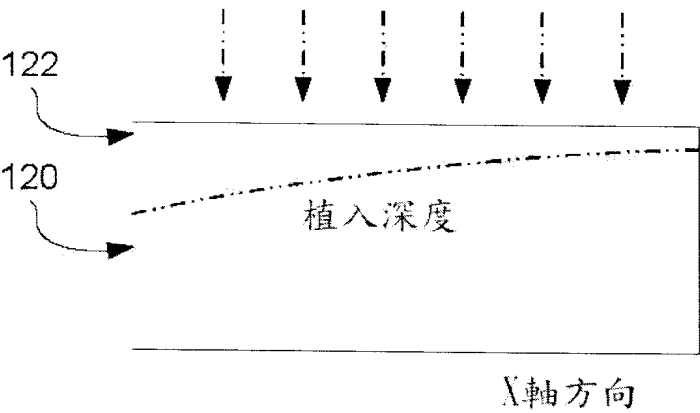
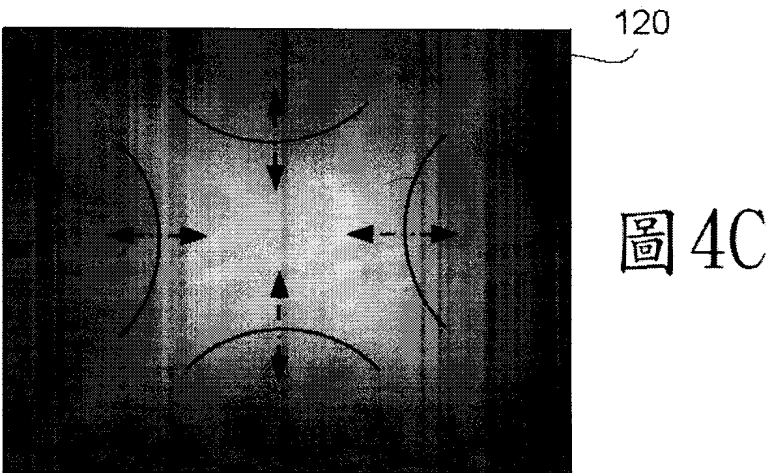
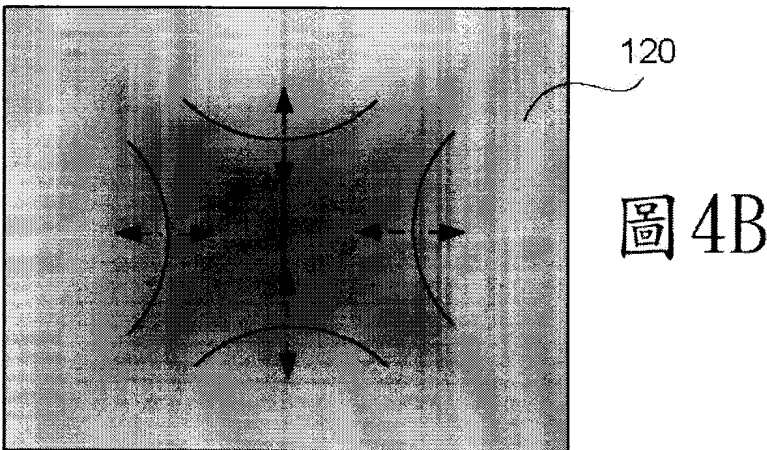
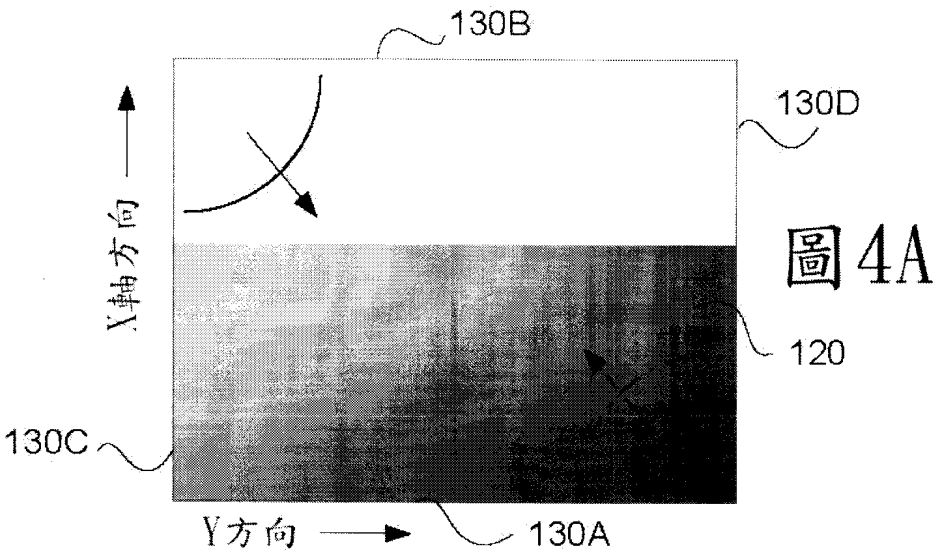


圖 3C



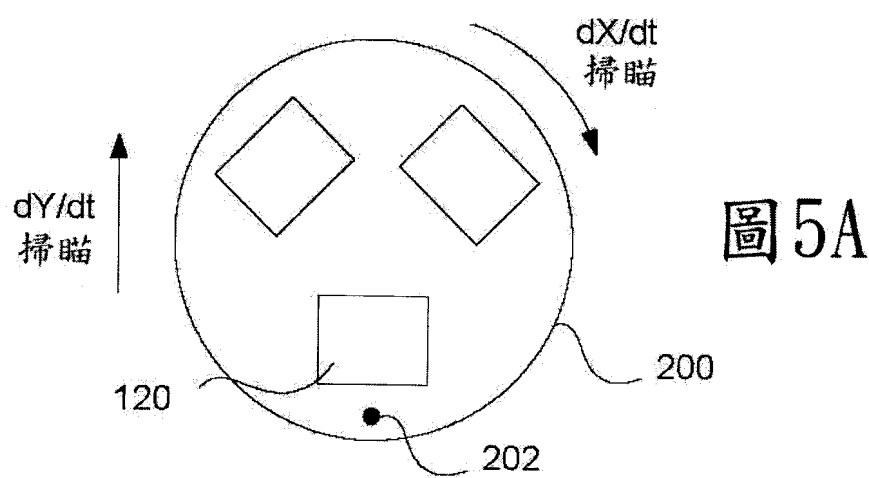


圖5A

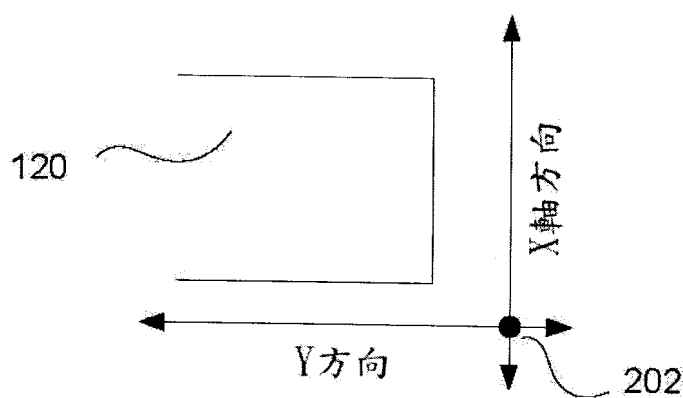


圖5B

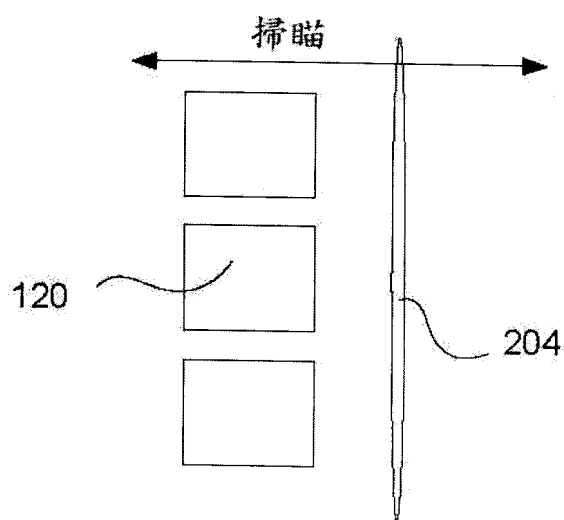


圖5C

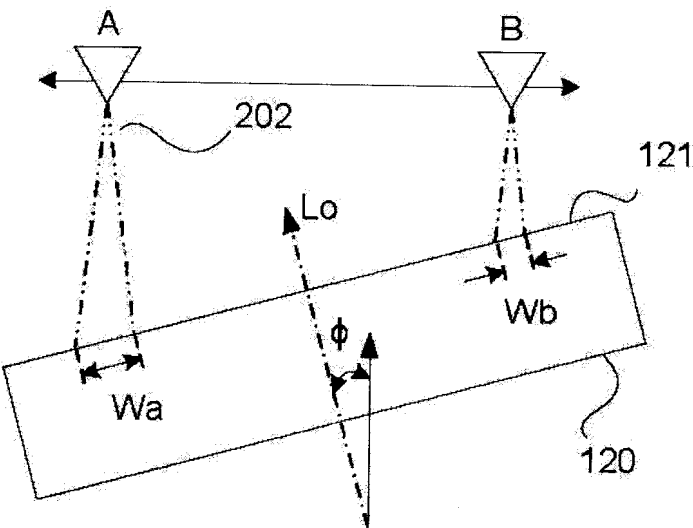


圖 6A

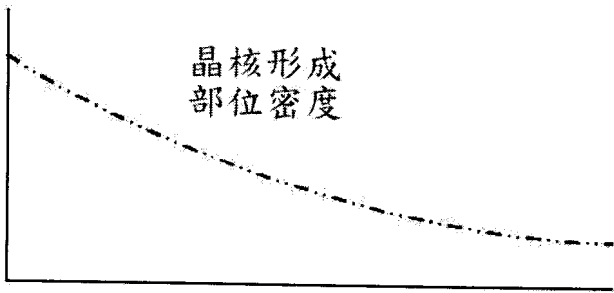


圖 6B

圖 7A

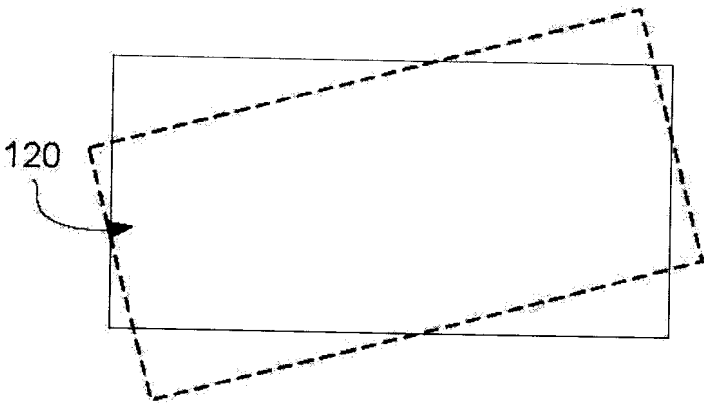


圖 7B

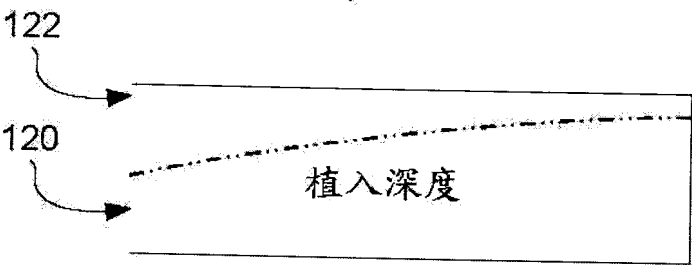


圖 7C

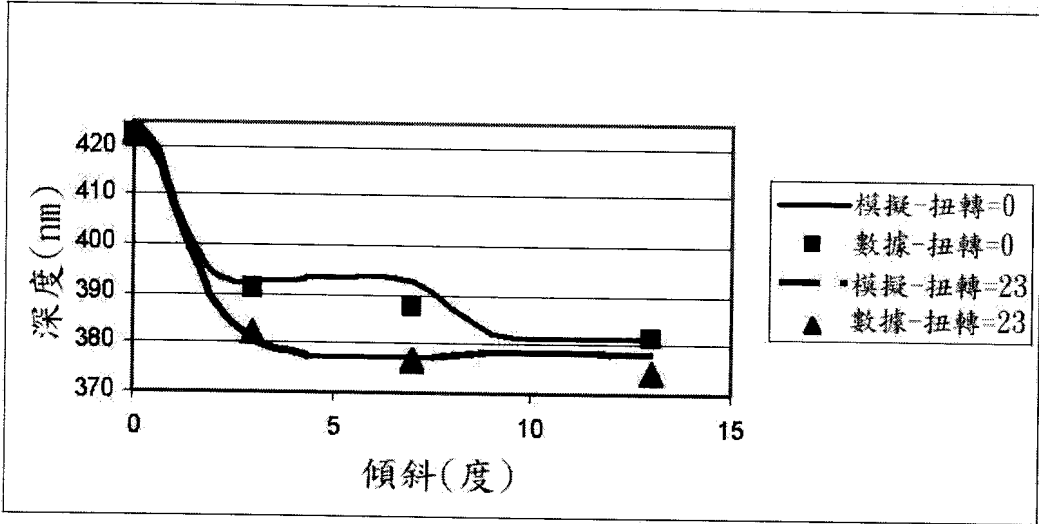


圖 7D

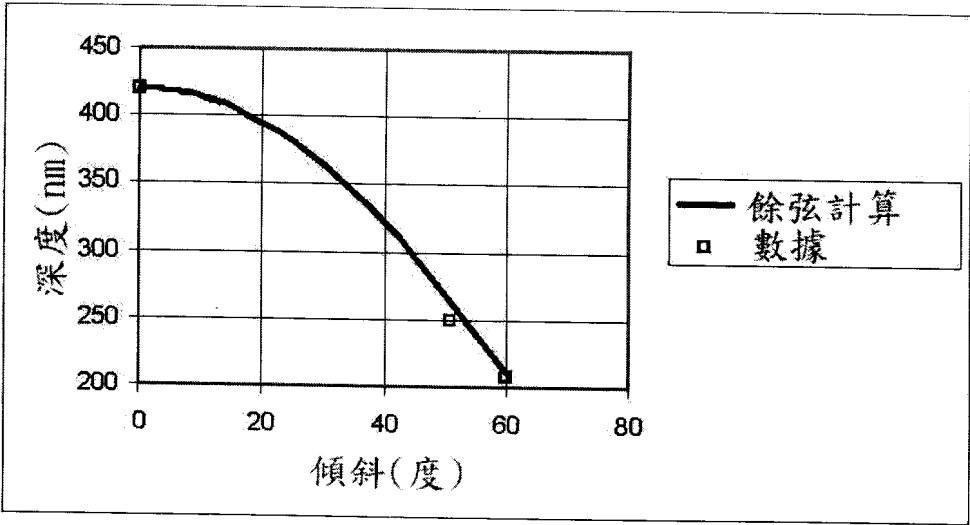


圖 8A

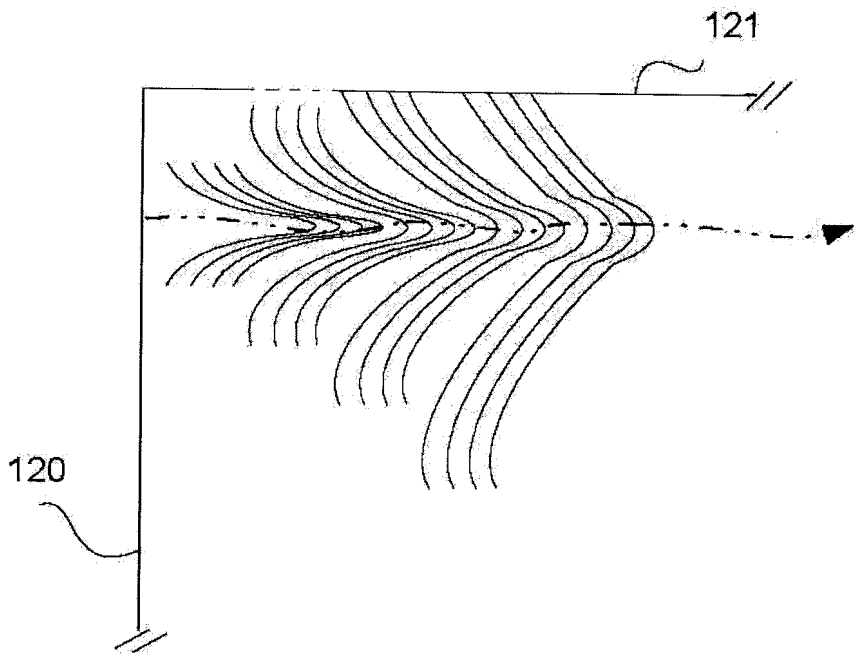


圖 8B

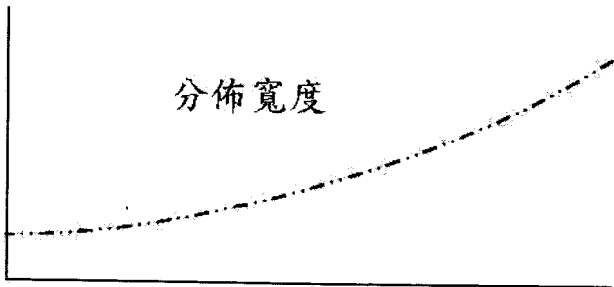


圖 8C

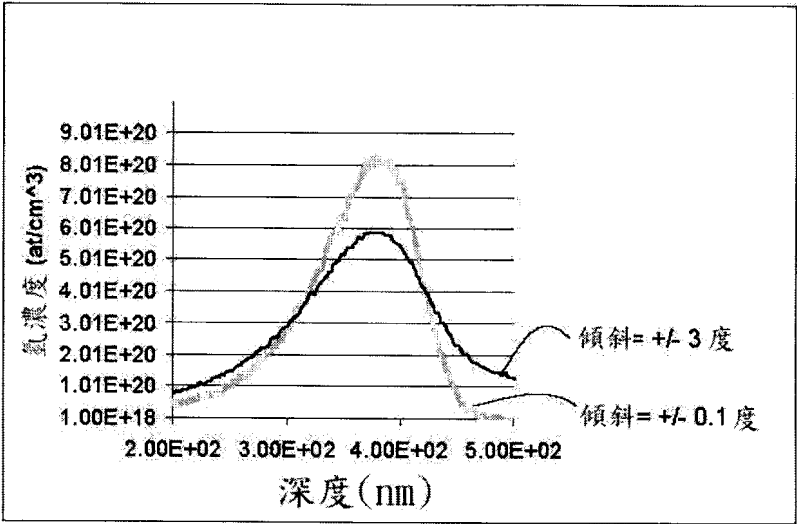


圖 9A

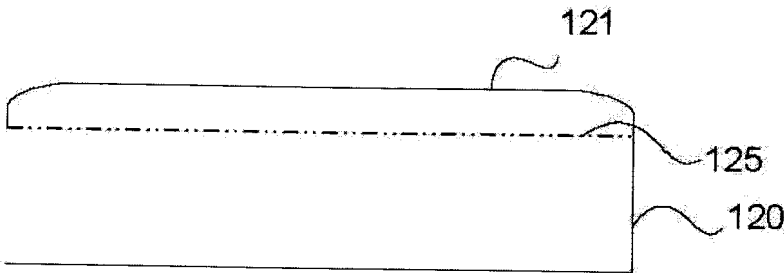


圖 9B

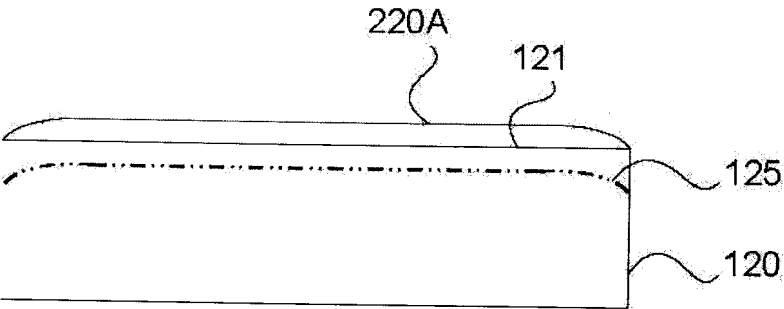


圖 9C

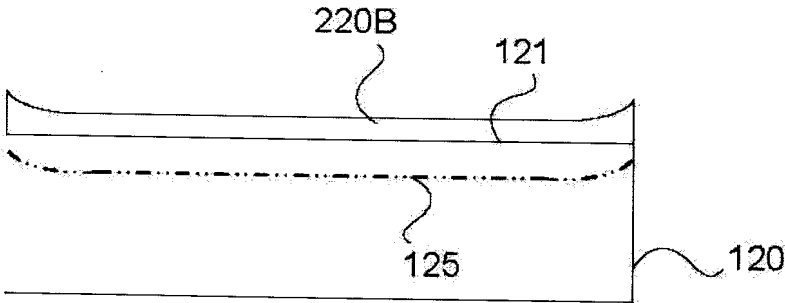
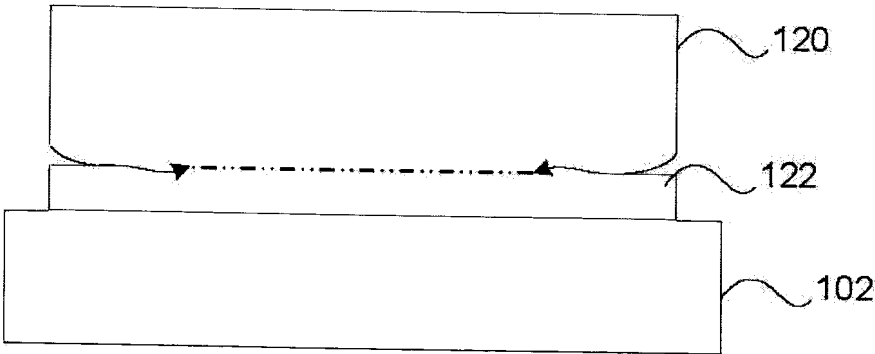


圖 9D



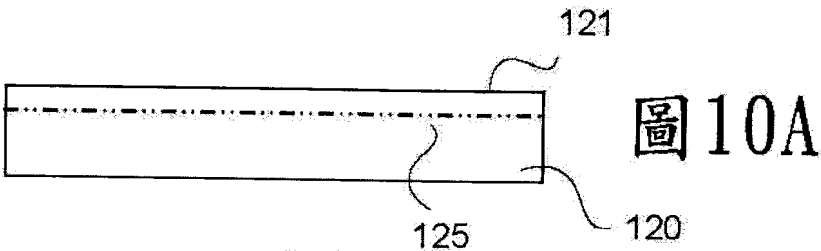


圖 10A

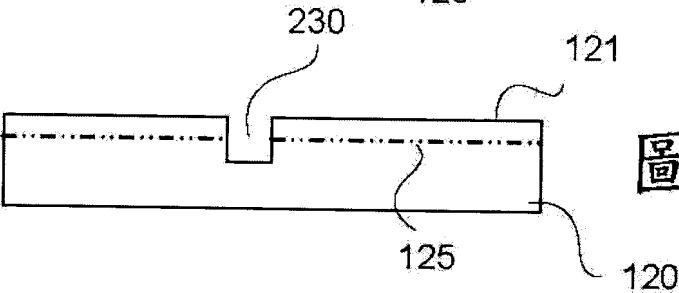


圖 10B

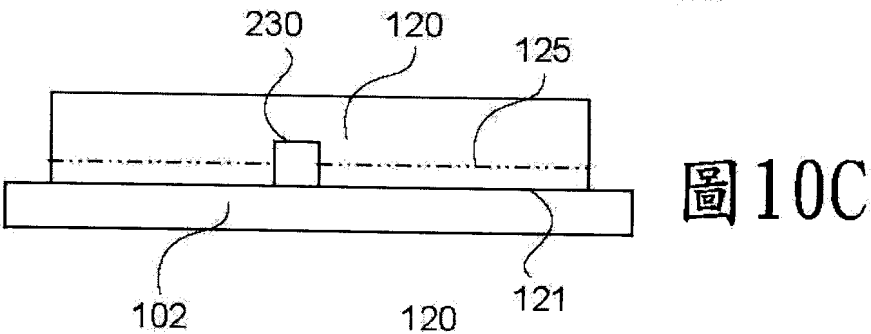


圖 10C

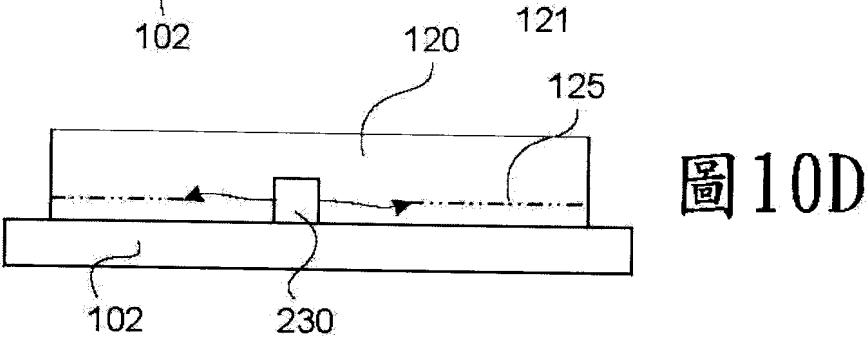


圖 10D

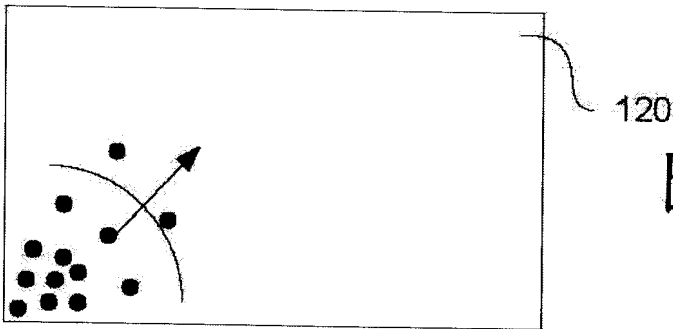


圖 11

圖 12A

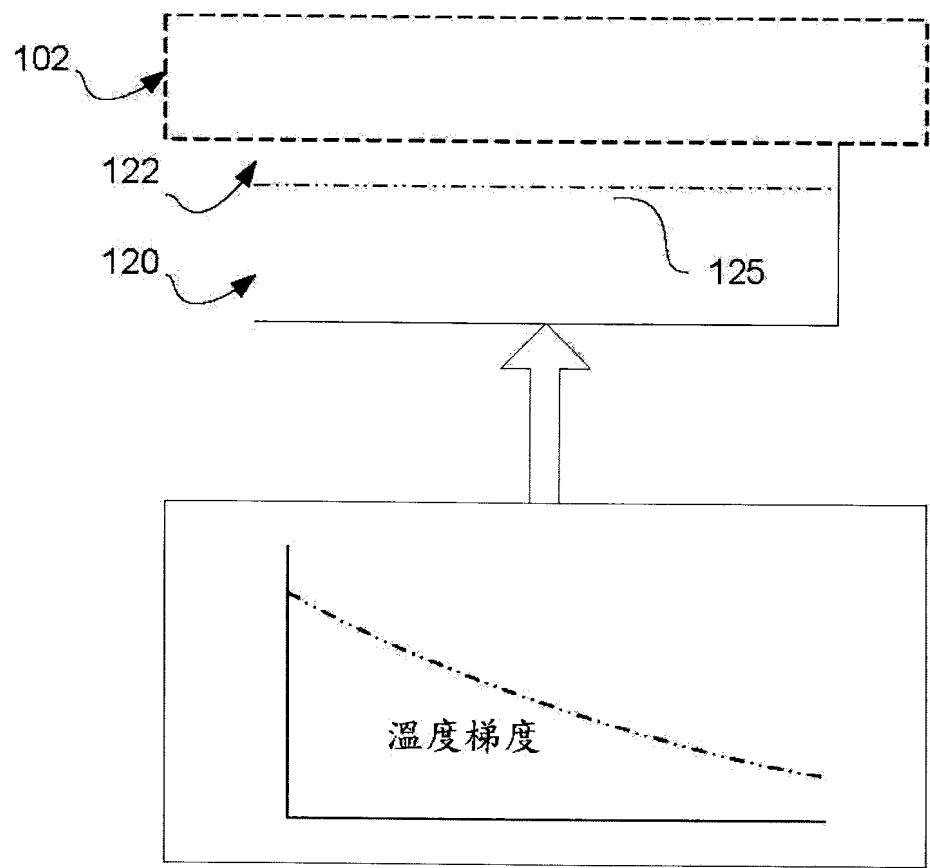
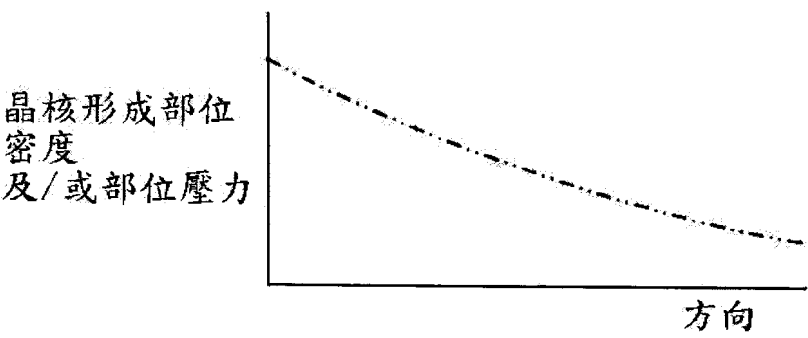


圖 12B



四、指定代表圖：

(一)本案指定代表圖為：圖 2A。

(二)本代表圖之元件符號簡單說明：

基板 102;施體半導體晶片 120;植入表面 121;剝離層 122;弱化層 125。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

99年4月26日

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98136607

※ 申請日：

※IPC 分類：

一、發明名稱：(中文/英文)

使用直接剝離作用製造半導體於絕緣體結構上之方法及裝置之一

METHODS AND APPARATUS FOR PRODUCING SEMICONDUCTOR ON INSULATOR STRUCTURES USING DIRECTED EXFOLIATION

二、中文發明摘要：

本發明揭示出一種形成絕緣體上半導體(SOI)結構的方法及裝置，其包含將施體半導體晶片之植入表面施以離子植入步驟，在界定出施體半導體晶片剝離層的橫截面上產生一個弱化層；以及讓半導體晶片施以空間變化步驟於離子植入步驟之前，過程中或之後，使得弱化層之至少一項參數在整個弱化層至少一個 X-及 Y-軸方向空間地變化。

三、英文發明摘要：

Methods and apparatus provide for forming a semiconductor-on-insulator (SOI) structure, including subjecting a implantation surface of a donor semiconductor wafer to an ion implantation step to create a weakened slice in cross-section defining an exfoliation layer of the donor semiconductor wafer; and subjecting the donor semiconductor wafer to a spatial variation step, either before, during or after the ion implantation step, such that at least one parameter of the weakened slice varies spatially across the weakened slice in at least one of X- and Y- axial directions.

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98136607

※ 申請日：

※IPC 分類：

一、發明名稱：(中文/英文)

使用直接剝離作用製造半導體於絕緣體結構上之方法及裝置之一

METHODS AND APPARATUS FOR PRODUCING SEMICONDUCTOR ON INSULATOR STRUCTURES USING DIRECTED EXFOLIATION

二、中文發明摘要：

本發明揭示出一種形成絕緣體上半導體(SOI)結構的方法及裝置，其包含將施體半導體晶片之植入表面施以離子植入步驟，在界定出施體半導體晶片剝離層的橫截面上產生一個弱化層；以及讓半導體晶片施以空間變化步驟於離子植入步驟之前，過程中或之後，使得弱化層之至少一項參數在整個弱化層至少一個 X-及 Y-軸方向空間地變化。

三、英文發明摘要：

Methods and apparatus provide for forming a semiconductor-on-insulator (SOI) structure, including subjecting a implantation surface of a donor semiconductor wafer to an ion implantation step to create a weakened slice in cross-section defining an exfoliation layer of the donor semiconductor wafer; and subjecting the donor semiconductor wafer to a spatial variation step, either before, during or after the ion implantation step, such that at least one parameter of the weakened slice varies spatially across the weakened slice in at least one of X- and Y- axial directions.

發明專利說明書

99年4月26日

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98136607

※ 申請日：

※IPC 分類：

一、發明名稱：(中文/英文)

使用直接剝離作用製造半導體於絕緣體結構上之方法及裝置之一

METHODS AND APPARATUS FOR PRODUCING SEMICONDUCTOR ON INSULATOR STRUCTURES USING DIRECTED EXFOLIATION

二、中文發明摘要：

本發明揭示出一種形成絕緣體上半導體(SOI)結構的方法及裝置，其包含將施體半導體晶片之植入表面施以離子植入步驟，在界定出施體半導體晶片剝離層的橫截面上產生一個弱化層；以及讓半導體晶片施以空間變化步驟於離子植入步驟之前，過程中或之後，使得弱化層之至少一項參數在整個弱化層至少一個 X-及 Y-軸方向空間地變化。

三、英文發明摘要：

Methods and apparatus provide for forming a semiconductor-on-insulator (SOI) structure, including subjecting a implantation surface of a donor semiconductor wafer to an ion implantation step to create a weakened slice in cross-section defining an exfoliation layer of the donor semiconductor wafer; and subjecting the donor semiconductor wafer to a spatial variation step, either before, during or after the ion implantation step, such that at least one parameter of the weakened slice varies spatially across the weakened slice in at least one of X- and Y- axial directions.

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98136607

※ 申請日：

※IPC 分類：

一、發明名稱：(中文/英文)

使用直接剝離作用製造半導體於絕緣體結構上之方法及裝置之一

METHODS AND APPARATUS FOR PRODUCING SEMICONDUCTOR ON INSULATOR STRUCTURES USING DIRECTED EXFOLIATION

二、中文發明摘要：

本發明揭示出一種形成絕緣體上半導體(SOI)結構的方法及裝置，其包含將施體半導體晶片之植入表面施以離子植入步驟，在界定出施體半導體晶片剝離層的橫截面上產生一個弱化層；以及讓半導體晶片施以空間變化步驟於離子植入步驟之前，過程中或之後，使得弱化層之至少一項參數在整個弱化層至少一個 X-及 Y-軸方向空間地變化。

三、英文發明摘要：

Methods and apparatus provide for forming a semiconductor-on-insulator (SOI) structure, including subjecting a implantation surface of a donor semiconductor wafer to an ion implantation step to create a weakened slice in cross-section defining an exfoliation layer of the donor semiconductor wafer; and subjecting the donor semiconductor wafer to a spatial variation step, either before, during or after the ion implantation step, such that at least one parameter of the weakened slice varies spatially across the weakened slice in at least one of X- and Y- axial directions.

七、申請專利範圍

1. 一種形成絕緣體上半導體(SOI)結構的方法, 其包含:

將施體半導體晶片植入表面施以離子植入步驟, 在界定出施體半導體晶片剝離層的橫截面上產生弱化層; 以及

讓施體半導體晶片在離子植入步驟之前, 期間或之後進行空間變化步驟以使由離子植入步驟產生之晶核形成密度在整個弱化層 X-和 Y-軸方向之至少一個方向空間地變化。

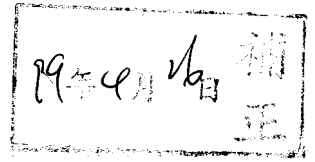
2. 依據申請專利範圍第 1 項之方法, 其中在弱化層之第一區域中晶核形成部位之最大局部密度呈現為 5×10^5 部位/ cm^2 以及在弱化層之第二區域中晶核形成部位之最小局部密度呈現為 5×10^4 部位/ cm^2 , 其中在 X-和 Y-軸方向之至少一個方向與第一區域分隔。

3. 依據申請專利範圍第 1 或 2 項之方法, 其中在弱化層第一區域中晶核形成部位之最大密度約為在弱化層第二區域中晶核形成部位之最小密度的 10 倍。

4. 依據申請專利範圍第 1 或 2 項之方法, 其中更進一步包含提昇施體半導體晶片至溫度足以在弱化層處由晶核形成部位之最大密度的一點, 邊緣, 和/或區域開始分離。

5. 依據申請專利範圍第 4 項之方法, 其中更進一步包含提昇施體半導體晶片至溫度足以實質上沿著弱化層方向連續分離, 為晶核形成部位由最高密度至最小密度之不同密度的函數。

6. 依據申請專利範圍第 4 項之方法, 其中提升溫度的時間-溫度量變曲線規模約為數秒, 使得沿著弱化層由最高密度



出施體半導體晶片剝離層的橫截面上產生弱化層；以及
鑽出盲孔經由植入表面至少到達弱化層；以及
提高施體半導體晶片至溫度足以在盲孔處開始分離。

19. 依據申請專利範圍第 16 項之方法，其中更進一步包含：

鑽出一個陣列盲孔經由植入表面至少到達弱化層以產生
非均勻空間分佈；以及

提高施體半導體晶片至更高溫度足以沿著弱化層方向
實質上連續性分離，為盲孔陣列之分佈的函數。