

發明專利說明書 200537308

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94110258

※申請日期：94.3.31

※IPC 分類：G06F 13/14

一、發明名稱：(中文/英文)

匯流排組織結構之死鎖避免技術

DEADLOCK AVOIDANCE IN A BUS FABRIC

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

輝達公司/ NVIDIA CORPORATION

代表人：(中文/英文)

多明哥 理查 B./DOMINGO, RICHARD B.

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉·聖湯瑪斯高速公路 2701 號

2701 San Tomas Expressway, Santa Clara, CA 95050, U.S.A.

國 籍：(中文/英文) 美國/ USA

三、發明人：(共 1 人)

姓 名：(中文/英文)

里德 大衛 G./REED, DAVID G.

國 籍：(中文/英文)

加拿大/CANADA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國、2004, 04, 01、10/817, 553

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明有關於一種匯流排組織結構之死鎖避免技術。

5 【先前技術】

發明背景

本發明有關於一種在匯流排組織結構避免死鎖之技術，以及更尤其是有關於在積體電路間介面避免死鎖之技術。

10 有一些應用強調電腦系統之資源至如同視訊之程度。視訊之擷取、編碼等涉及電腦系統中各種電路間大量資料傳送，例如在：視訊擷取卡、中央處理單元、圖形處理器、系統記憶體、以及其他電路之間。

此資料典型地在各種匯流排、例如PCI匯流排、Hyper
15 Transport™匯流排上移動，在形成此電腦系統之積體電路上與之間移動，通常使用先進先出式(FIFO)式記憶體將：此等電路彼此隔離，以及減少其彼此間之資料傳送之時間常數。

但是，此等FIFO記憶體消耗昂貴之積體電路晶片面積
20 與電力。因此，令人期望限制FIFO之深度。不幸的是，這意味著此等FIFO會變得滿載而無法接受進一步輸入，因此限制了系統之性能表現。

尤其會產生問題的是，如果此滿載之FIFO是在形成回路之資料通路中。在此情形中，會有處理器例如圖形處理

器或在回路中其他電路成為死鎖，因此無法接收或傳送資料。

此種現象會在以下情形中發生，例如此從電路接收資料之第一FIFO因為其滿載而無法接收資料。此第一FIFO無法發出資料給第二FIFO因為此第二FIFO已滿載。此第二FIFO同樣地無法發出資料因為其欲發出資料給電路，而此電路無法接收資料因為其想要發出資料給第一FIFO。此種情況不幸之集合導致穩定死鎖之情形。

因此，須要電路、方法以及裝置以避免此種死鎖之情形。雖然可以增加FIFO之大小以緩和減輕死鎖情形，然而，此再度與晶片面積與功率之成本有關，而且存在此可能性：甚至更深入之FIFO會滿載。因此，令人期望此等電路、方法、以及裝置並不僅依靠將此等FIFO製得更深且具有有限複雜度。

15 【發明內容】

發明概要

因此，本發明實施例提供電路、裝置、以及方法以避免死鎖之情況。一典型實施例提供位址解碼器以確定：此所接收公佈之寫入請求是對等(peer-to-peer)請求。如果其是的則此請求轉換成未公佈之寫入請求。維持此在等候未公佈請求數目之限制且不超過，以致於避免死鎖。在等候未公佈請求數目藉由：將所發出未公佈請求數目減去所接收到回應之數目而追蹤。

另一典型實施例並不將所接收公佈請求轉換成未公佈

請求，而是提供一仲裁器其追蹤此等候公佈請求之數目。當此等候公佈請求之數目(例如：在FIFO或序列中等候請求之數目)到達預先設定或可設計位準時，則將低位準標記、一區塊對等信號發出給仲裁器用戶，此防止在資料回路中之FIFO滿載因此避免死鎖。當此響應或信號顯示此等候公佈請求之數目是低於由仲裁器所接收之位準時，則將此區塊對等信號去除，且再度允許此對等請求。以替代方式，可以追蹤此等候對等請求之數目，以及當到達預先設定或可設計位準時，則施加此區塊對等信號。此與本發明一致之電路、方法、以及裝置可以包括在此說明之此等或其他實施例之一或兩個。

本發明另一典型實施例提供一種資料傳送方法。此方法包括：接收傳送請求，確定此傳送請求是否為寫入至記憶體位置，如果此傳送請求為寫入至記憶體位置，則發出此傳送請求為公佈請求，否則確定在此公佈請求先進先出式記憶體中可供使用傳送請求項目之數目，且如果此可供使用傳送請求項目之數目大於第一數目，則發出傳送請求作為公佈請求，否則等候發出傳送請求作為公佈請求。

本發明另一典型實施例提供另一種資料傳送方法。此方法包括：維持第一符號數目，接收多個公佈請求，如果此第一符號數目之剩餘數目小於第一數目，則將此多個公佈請求之一傳送作為未公佈請求，否則不將此多個公佈請求之一傳送作為未公佈請求。

本發明另一典型實施例提供另一種積體電路。此積體

電路包括仲裁器，其被設計以追蹤在此公佈請求FIFO中可供使用項目之數目，將多個用戶連接至仲裁器、以及將Hyper Transport 匯流排連接至仲裁器，其中此仲裁器從多個用戶接收對等請求，且將此等公佈請求提供給公佈請求FIFO，以及當此在經公佈請求FIFO中可供使用項目之數目等於第一數目時，則防止此多個用戶發出對等請求。

可以參考以下詳細說明與所附圖式獲得對本發明本質與優點更佳之瞭解。

圖式簡單說明

10 第1圖為計算系統之方塊圖，其藉由包括本發明之實施例而受益；

第2圖為改良計算系統之方塊圖，其藉由包括本發明之實施例而受益；

第3圖為第2圖之改良計算處理系統之簡化方塊圖；

15 第4圖為第2圖之改良計算處理系統之進一步簡化方塊圖，其說明從視訊擷取卡至系統記憶體之寫入路徑；

第5圖為第2圖之改良計算系統之進一步簡化方塊圖，其包括本發明之實施例；

第6圖為流程圖其進一步說明本發明特殊實施例；

20 第7圖為第2圖之改良計算系統之簡化方塊圖，其包括本發明之實施例；以及

第8圖為流程圖其進一步說明本發明特殊實施例。

【實施方式】

較佳實施例之詳細說明

第1圖為計算系統100之方塊圖，其藉由包括本發明之實施例而受益。此計算系統100包括：北橋110、圖形加速器120、南橋130、畫面緩衝器140、中央處理單元(CPU)150、音訊卡160、乙太卡162、數據機164、USB卡166、圖形卡168、PCI槽170、以及記憶體105。此圖如同所包括所有圖其顯示只是作為說明目的，但並非用於限制本發明之可能實施或申請專利範圍。

北橋110將資訊自CPU150對下列裝置來回傳送：記憶體105、圖形加速器120、以及南橋130。此南橋130經由連接例如通用序列匯流排(USB)卡166與以太卡162對外部通訊系統形成介面。此圖形加速器120經由北橋110從CPU150與直接從記憶體或畫面緩衝器140在加速圖形埠(AGP)匯流排125上接收圖形資訊。此圖形加速器120對畫面緩衝器140形成介面。畫面緩衝器140可以包括顯示緩衝器，其儲存被顯示之像素。

在此結構中，CPU150執行由此計算系統所須之大部份處理任務。尤其，圖形加速器120依賴CPU150建立運算與計算幾何值。而且，音訊與聲音卡160依賴CPU150以同時處理：音訊資料、位置計算、以及各種效應，例如：合聲、混聲、斷音、閉口合聲等。此外，CPU150負責有關於可以執行應用之其他指令，以及用於控制連接至南橋130之各種周邊裝置。

第2圖為改良計算系統之方塊圖，其藉由包括本發明之實施例而受益。此方塊圖包括：組合之處理器與北橋210、

媒體控制處理器240、以及系統記憶體270。亦包括於此方塊圖中用於說明目的的是視訊擷取卡280。

此組合之處理器與北橋210包括：中央處理單元212；FIFO 216；多工器222；輸出緩衝器224，包括一個用於公佈請求226、未公佈請求228、以及響應230；輸入FIFO 232，包括一個FIFO用於公佈請求234、未公佈請求236、以及響應238；位址解碼器220；對等FIFO 218；以及記憶體控制器214。

此媒體控制處理器包括：輸入FIFO 242，用於公佈請求244、未公佈請求246、以及響應248；積體圖形處理器252；仲裁器250；以及PCI-至-PCI橋260。此組合之處理器與北橋210在Hyper Transport 匯流排290與295上與媒體控制處理器240通訊。系統記憶體270在記憶體介面匯流排272上連接至記憶體控制器214，而視訊擷取卡280在CPI匯流排282上連接至PCI-至-PCI橋260。

在本發明特殊實施例中，此組合之處理器與北橋210形成第一積體電路上，而媒體控制處理器240形成於第二積體電路上。在另一實施例中，此圖形處理器252並未整合於媒體控制處理器上，而是形成各別積體電路在進階圖形處理器(AGP)匯流排上與媒體控制處理器240通訊。在其他實施例中，可以將此等功能以其他方式分割，且整合於不同數目之積體電路上而在各種匯流排上通訊。

此等資料與請求是在積體電路與積體電路區塊間在匯流排上移動。在寫入請求之情形中，此電路請求允許將資

料置於匯流排上，且該請求被准許。可以將此資料發出作為公佈資料、其中不須要響應，或發出作為未公佈請求、在此情形中須要響應。在此寫入在其目的地電路完成後將響應送回發出電路。

- 5 此等不同之交易、公佈請求、未公佈請求、以及響應如顯示是儲存於各別的FIFO中。此等各別的FIFO可以為相同大小，或可以為不同大小。此外，各種不同FIFO可以具有不同大小。在一特殊實施例中，此未公佈請求FIFO 236具有6個項目，對等FIFO 218具有兩個項目、以及未公佈請求
- 10 求238具有16個項目。在各種實施例中，此對等FIFO 218可以具有一個FIFO用於儲存公佈與未公佈請求與響應，或其可以為各別FIFO用於儲存不同型式交易。有關於各種型式請求與對等交易之更多資訊可以在Hyper Transport說明書中找到，其由Hyper Transport企業集團出版其目前版本是
- 15 1.05，其在此併入作為參考。

 在此新的結構中，此圖形處理器變得與系統記憶體分開。此分開導致可以形成回路之資料路徑，因此成為死鎖。尤其是此從CPU 212與視訊擷取卡280所傳輸之資料會將各種FIFO滿載。

- 20 在第2圖中所示之組態中，CPU 212使用以下路徑將資料寫入於系統記憶體270中之畫面緩衝器。此CPU212在線213上提供請求(資料)給FIFO 216。此FIFO 216提供資料給多工器222，其再將資料提供給輸出緩衝器224。此緩衝器224在Hyper Transport匯流排290上提供資料給FIFO 242，而

由其提供資料給圖形匯流排252。此圖形匯流排252在線254上將請求提供給仲裁器250。此仲裁器250在Hyper Transport匯流排295上將請求提供回FIFO 232。此FIFO 232將請求提供給位址解碼器220，其再將此資料提供給記憶體控制器214。此記憶體控制器214在記憶體介面匯流排272上將資料寫至系統記憶體270。

亦在此組態中，此視訊擷取卡280使用以下路徑將資料寫至系統記憶體270中之畫面緩衝器。此視訊擷取卡280在PCI匯流排282上將資料提供給PCI-至-PCI橋260。此PCI-至-PCI橋260提供資料給仲裁器250，其在Hyper Transport匯流排295上將請求提供給FIFO 232。此FIFO 232將請求提供給位址解碼器220，其再將請求提供給對等FIFO 218。此對等FIFO 218將資料將資料提供給多工器222，其在將資料提供給輸出緩衝器224。此輸出緩衝器224將資料提供給FIFO 242，其在將資料提供給圖形處理器252。

此圖形處理器252然後使用以下路徑將資料寫至系統記憶體270中之畫面緩衝器。此圖形處理器252在線254上將此經修正之請求提供給仲裁器250。此仲裁器250在Hyper Transport匯流排295上將資料提供給FIFO 232。此FIFO 232將資料提供給位址解碼器220。在此時，位址解碼器看到由圖形處理器252所提供之新位址，其再將資料提供給記憶體控制器214。此記憶體控制器214然後在記憶體介面匯流排272上將資料寫至系統記憶體270。

如同可以看出，此回旋(convoluted)路徑通過Hyper

Transport介面匯流排290與295總共三次。尤其在此CPU 212與視訊擷取卡280將資料寫至系統記憶體270中之畫面緩衝器之情形中，此FIFO 242、232、以及218會變得滿載，即無法接收進一步輸入。在此例中會產生此種情形：此圖形

5 處理器252嘗試將資料寫至系統記憶體270中之畫面緩衝器，但無法達成因為仲裁器250無法給予圖形處理器252對Hyper Transport匯流排295之存取。同樣地，此接收FIFO 232無法輸出資料因為此對等FIFO 218滿載。此外，此對等FIFO 218無法輸出資料因為此媒體控制處理器輸入FIFO 242同

10 樣滿載。在此情形中，此匯流排組織結構死鎖且達成非所欲之穩定狀態。

第3圖為第2圖之改良計算處理系統之簡化方塊圖。其包括組合CPU與北橋310、媒體控制處理器340、系統記憶體370、以及視訊擷取卡380。此組合CPU與北橋310包括發

15 射器312與接收器314；而此媒體控制處理器包括：接收器342、發射器344、圖形處理器346、以及PCI-至-PCI橋348。系統記憶體370在記憶體介面匯流排372上與此組合CPU與北橋通訊。在此特殊情形中，包括視訊擷取卡380，其在PCI匯流排382上與媒體控制處理器通訊。

20 第4圖為第2圖之改良計算處理系統之進一步簡化方塊圖，其說明從視訊擷取卡480至系統記憶體470之寫入路徑。此方塊圖包括：組合CPU與北橋410、媒體控制處理器440、系統記憶體470、以及視訊擷取卡480。此組合CPU與北橋電路包括發射器412與接收器414。而此媒體控制處理器

包括：接收器442、發射器444、圖形處理器446、以及PCI-至-PCI橋448。

此視訊擷取卡480將請求提供給PCI-至-PCI橋448，其提供此請求至發射器444。此發射器444將請求傳送至接收器414，其再將此請求提供給發射器412。此發射器412將請求傳送至接收器442，其再將此請求傳送至圖形處理器446。此圖形處理器446藉由將此資料作為請求傳送至發射器444而將資料寫至系統記憶體，其再將此資料提供給接收器414。此接收器414然後將資料寫至系統記憶體470。

如同可以看出，在此過程期間此等請求從發射器444通過至接收器414兩次，這即是死鎖可能發生之處。特定而言，在此死鎖情形中，此圖形處理器無法將請求發出至發射器444，因為此發射器無法將請求發出至接收器414，這是由於有關之FIFO滿載。此圖形處理器無法接收新的請求因為其在等候發出其本身請求。因此，其無法汲取在接收器442中之FIFO。此死鎖情形再度發生，而造成非所欲之穩定狀態。

第5圖為第2圖之改良計算系統之進一步簡化方塊圖，其包括本發明之實施例。此方塊圖包括：組合CPU與北橋510、媒體控制處理器540、系統記憶體570、以及視訊卡580。此組合CPU與北橋510包括發射器512與接收器514。而此媒體控制處理器540包括：接收器542、發射器544、圖形處理器546、以及PCI-至-PCI橋548。此PCI-至-PCI橋548更包括位址解碼器562。

此公佈請求是由視訊擷取卡580提供給PCI-至-PCI橋548。此在PCI-至-PCI橋548中之未址解碼器562決定：此公佈請求為對等請求，而將其轉換成未公佈請求，且將其傳送給發射器544。此發射器544將此請求作為未公佈請求且將其傳送給接收器514。此接收器514然後將此請求傳送給發射器512，其將此請求再傳送給接收器542。此接收器542將此請求提供給圖形處理器546。

圖形處理器546然後將此請求反射回上游至發射器544作為具有在系統記憶體570中畫面緩衝器中位址之公佈請求。此圖形處理器亦發出”目標完成”之完成響應。此組合CPU與北橋510接收此公佈請求與來自發射器544之響應。將此公佈請求傳送至系統記憶體570，以及將響應送回至媒體控制處理器540，其藉由PCI-至-PCI橋548接收。

在此實施例中，此等候未公佈請求之數目限制於某數字”N”例如1，且當達此數目時，不再提供其他未公佈請求發射器544。特定而言，當發出此未公佈請求時，將此PCI-至-PCI橋548之位址解碼器部份562中之計數遞增。當由PCI-至-PCI橋548接收響應時，將此計數遞減。當達此計數時，則由位址解碼器562保持其他未公佈請求。這可以避免上述之死鎖情形。

第6圖為流程圖其進一步說明本發明特殊實施例。在步驟610中，此所公佈請求是由是由視訊擷取卡接收。在步驟620中，此與請求有關之位址解碼且確定：此請求是否為對等或寫入系統記憶體。如果此並非對等請求，即將資料寫

- 至系統記憶體，則在步驟680中將其以公佈請求發出。如果此為對等請求，則在步驟630將此請求轉換成未公佈請求。在步驟640中確定：此等候未公佈請求之數目是否等於此所允許等候未公佈請求之預先確定或設計數目，例如在步驟
- 5 650中之1或其他數目。如果此計數並未達到數字”N”，則在步驟660中，此請求作為未公佈請求發出，且在步驟670中，將計數遞增1。然而，如果此計數並達到數字”N”，則在步驟650將此請求停止或並不准許以避免死鎖情形。當此未公佈請求完成時，接收此響應並將計數遞減。
- 10 回到第2圖，可以詳細看出如何執行此實施例。此視訊擷取卡280在PCI匯流排282上將公佈請求提供給PCI-至-PCI橋260。此在PCI-至-PCI橋260中之位址解碼器確定此請求是否為將資料寫至系統記憶體270。如果是的，則將此請求傳送至仲裁器250，其將此請求置於公佈請求FIFO 234中
- 15 而將其傳送給記憶體控制器214，其將資料寫至系統記憶體270。
- 20 如果此請求是對等請求，則並不將其直接寫至系統記憶體270，而其目的是用於對等電路、例如圖形處理器252，則藉由在PCI-至-PCI橋260中之位址解碼器(或其他電路)，將此公佈請求轉換成未公佈請求。此未公佈請求經由仲裁器250傳送至未公佈請求FIFO 236而至對等FIFO 218。此未公佈請求然後經由匯流排290抵達圖形處理器252。此圖形處理器將此請求轉換回公佈請求且亦發出響應。此公佈請求傳送至記憶體控制器214將資料寫至系統記憶體270，

而由PCI-至-PCI橋260接收此響應。

此在PCI-至-PCI橋260中之解碼器亦追蹤記錄此等候未公佈請求之數目，以及一旦確定此等候未公佈請求已達到預先設定或設計數目時，則並不發出未公佈請求至未公佈請求FIFO 236。

第7圖為第2圖之改良計算系統之簡化方塊圖，其包括本發明之實施例。此方塊圖包括：組合CPU與北橋710、媒體控制處理器740、系統記憶體770、以及視訊擷取卡780。此組合CPU與北橋710包括發射器712與接收器714。而此媒體控制處理器740包括：接收器742、發射器744、圖形處理器746、以及PCI-至-PCI匯流排748。此發射器744更包括仲裁器745。

此所公佈請求是由視訊擷取卡780提供至PCI-至-PCI橋748，其將此請求傳送至仲裁器745。此仲裁器追蹤在接收器714等候之公佈請求(或替代地，對等請求)。當某數目之公佈請求保持等候時，此仲裁器745發出阻擋對等信號給其用戶，例如：圖形處理器746與PCI-至-PCI橋748。在此情形中，不將其他對等請求發出至仲裁器745，一直至此響應顯示在接收器714中有空間且此公佈請求FIFO由仲裁器745接收為止。

如果未發出此阻擋對等信號，則將此公佈請求提供給發射器744，其將請求傳送給接收器714。接收器714將此公佈請求經由發射器712傳送至接收器742。接收器742將此公佈請求傳送至圖形處理器746。此圖形處理器746將此請求

傳送至發射器744而至接收器714，其將此請求提供給系統記憶體770。

第8圖為流程圖其進一步說明本發明特殊實施例。在步驟810中，此仲裁器接收例如來自視訊擷取卡之公佈請求。

- 5 在步驟820中，此仲裁器確定此公佈請求是否為對等請求。如果不是，則在步驟830中，則此資料作為公佈寫入信號發出。如果是的，則在步驟840中，則確定此FIFO是否在最低位準標記之下，或替代地是否施加阻擋對等信號或狀態。如果此為真，則在步驟850中，此仲裁器等候在此公佈寫入
- 10 FIFO中之一個項目變得可供使用。在某點，此公佈寫入FIFO提供一輸出，因此使得此項目自由而可供使用。在此時在步驟830中，仲裁器將阻擋對等信號釋出且將資料傳送至公佈寫入FIFO。

- 回到第2圖，可以詳細看出如何執行此實施例。此視訊
- 15 擷取卡280在PCI匯流排282上將公佈請求提供給PCI-至-PCI橋260。PCI-至-PCI橋260將此等請求傳送至仲裁器250。此仲裁器追蹤在公佈請求FIFO 236中等候之公佈請求之數目(或替代地，此等候對等請求之數目，或在FIFO 218中公佈請求之數目)。當在公佈請求FIFO 236中等候之公佈請
- 20 求之數目抵達預先確定或設計位準時，此仲裁器250發出阻擋對等信號給圖形處理器252、PCI-至-PCI橋260、以及其他用戶電路。這使得此等電路不會發出其他對等請求，因此避免死鎖情形。

當此等候之公佈請求之數目低於此低位準標記時，將

此經公佈請求傳送至公佈請求FIFO 234。然後將此經公佈請求經由對等FIFO 218、多工器222、FIFO 226與244傳送至圖形處理器252。此圖形處理器然後將位址轉換至系統記憶體位址270，且將此公佈請求傳送至仲裁器250。仲裁器
5 250將此公佈請求傳送至公佈請求FIFO 234而至記憶體控制器214，其將資料寫入至系統記憶體270。

在一實施例中，在開機時仲裁器250接收若干個符號例如六個符號。當此仲裁器將對等公佈請求提供給公佈請求FIFO 234時，其沿著此等符號之一傳送。當此公佈請求FIFO
10 輸出對等公佈請求時，此仲裁器接收一符號。如果此符號計數降低至低位準標記例如1時，仲裁器250提供此阻擋對等信號。當接收到符號時，將此阻擋對等信號去除。

以上所提供本發明典型實施例之目的在於說明與描述，其用意並非窮盡或將本發明限制於所描述之確實形式，可以對於以上所揭示內容作許多修正與變化。選擇與
15 描述此等實施例以便最佳說明本發明之原理與實際應用，以使得熟習此技術人士能夠在各種實施例中最佳使用本發明，且具有各種修正而適用於所考慮之特定使用。

【圖式簡單說明】

20 第1圖為計算系統之方塊圖，其藉由包括本發明之實施例而受益；

第2圖為改良計算系統之方塊圖，其藉由包括本發明之實施例而受益；

第3圖為第2圖之改良計算處理系統之簡化方塊圖；

第4圖為第2圖之改良計算處理系統之進一步簡化方塊圖，其說明從視訊擷取卡至系統記憶體之寫入路徑；

第5圖為第2圖之改良計算系統之進一步簡化方塊圖，其包括本發明之實施例；

5 第6圖為流程圖其進一步說明本發明特殊實施例；

第7圖為第2圖之改良計算系統之簡化方塊圖，其包括本發明之實施例；以及

第8圖為流程圖其進一步說明本發明特殊實施例。

【主要元件符號說明】

100…計算系統	210…北橋
105…記憶體	212…中央處理單元(CPU)
110…北橋	213…線
115…匯流排	214…記憶體控制器
120…圖形加速器	216…FIFO記憶體
125…匯流排	218…FIFO記憶體
130…南橋	220…位址解碼器
140…畫面緩衝器	222…多工器
150…中央處理單元(CPU)	224…輸出緩衝器
160…音訊或聲音卡	226…公佈請求
162…乙太卡	228…未公佈請求
164…數據機	230…響應
166…通用序列匯流排(USB)卡	232…輸入FIFO記憶體
168…圖形卡	234…公佈請求
170…PCI槽	236…未公佈請求

- 238...響應
- 240...媒體控制處理器
- 242...輸入FIFO記憶體
- 246...未公佈請求
- 248...響應
- 250...仲裁器
- 252...積體圖形處理器
- 260...PCI-至-PCI橋
- 270...系統記憶體
- 272...記憶體介面匯流排
- 280...視訊擷取卡
- 282...CPI匯流排
- 290...匯流排
- 295...匯流排
- 310...北橋
- 312...發射器
- 314...接收器
- 340...媒體控制處理器
- 342...接收器
- 346...圖形處理器
- 348...PCI-至-PCI橋
- 370...系統記憶體
- 372...記憶體介面匯流排
- 380...視訊擷取卡
- 382...CPI匯流排
- 410...北橋
- 412...發射器
- 414...接收器
- 440...媒體控制處理器
- 442...接收器
- 444...發射器
- 446...圖形處理器
- 448...PCI-至-PCI橋
- 470...系統記憶體
- 480...視訊擷取卡
- 510...北橋
- 512...發射器
- 514...接收器
- 540...媒體控制處理器
- 542...接收器
- 544...發射器
- 546...圖形處理器
- 548...PCI-至-PCI橋
- 570...系統記憶體
- 580...視訊卡
- 610、620...步驟
- 630、640...步驟
- 650、660...步驟

670、680…步驟

710…北橋

712…發射器

714…接收器

740…媒體控制處理器

742…接收器

744…發射器

745…仲裁器

746…圖形處理器

748…PCI-至-PCI橋

770…系統記憶體

780…視訊擷取卡

810、820…步驟

830、840…步驟

850、860…步驟

870、880…步驟

890…步驟

五、中文發明摘要：

本發明為用於在匯流排組織結構中避免死鎖情形發生之電路、裝置、以及方法。一典型實施例提供一位址解碼器用於確定此所接收之公佈請求是否為對等請求。如果是對等請求，則將此公佈請求作為未公佈請求發出。維持此等候未公佈請求數目之限制且不超過，以避免死鎖。另一典型實施例提供一提供一仲裁器，其追蹤等候公佈請求之數目。當此等候公佈請求數目抵達預先設定或可設計位準時，發出此阻擋對等信號至仲裁器用戶，以再度避免死鎖。

六、英文發明摘要：

Circuits, apparatus, and methods for avoiding deadlock conditions in a bus fabric. One exemplary embodiment provides an address decoder for determining whether a received posted request is a peer-to-peer request. If it is, the posted request is sent as a non-posted request. A limit on the number of pending non-posted requests is maintained and not exceed, such that deadlock is avoided. Another exemplary embodiment provides an arbiter that tracks a number of pending posted requests. When the number pending posted requests reaches a , predetermined or programmable level, a Block Peer-to-Peer signal is sent to the arbiter's clients again avoiding deadlock.

十、申請專利範圍：

1. 一種資料傳送方法，包括以下步驟：

接收傳送請求；

確定此傳送請求為將資料寫至記憶體位置；

如果此傳送請求為將資料寫至記憶體位置，則發出此傳送請求作為公佈請求；否則

確定在此公佈寫入先進先出式記憶體中可供使用傳送請求項目之數目；

如果此可供使用傳送請求項目之數目大於第一數目；則

發出傳送請求作為公佈請求；否則

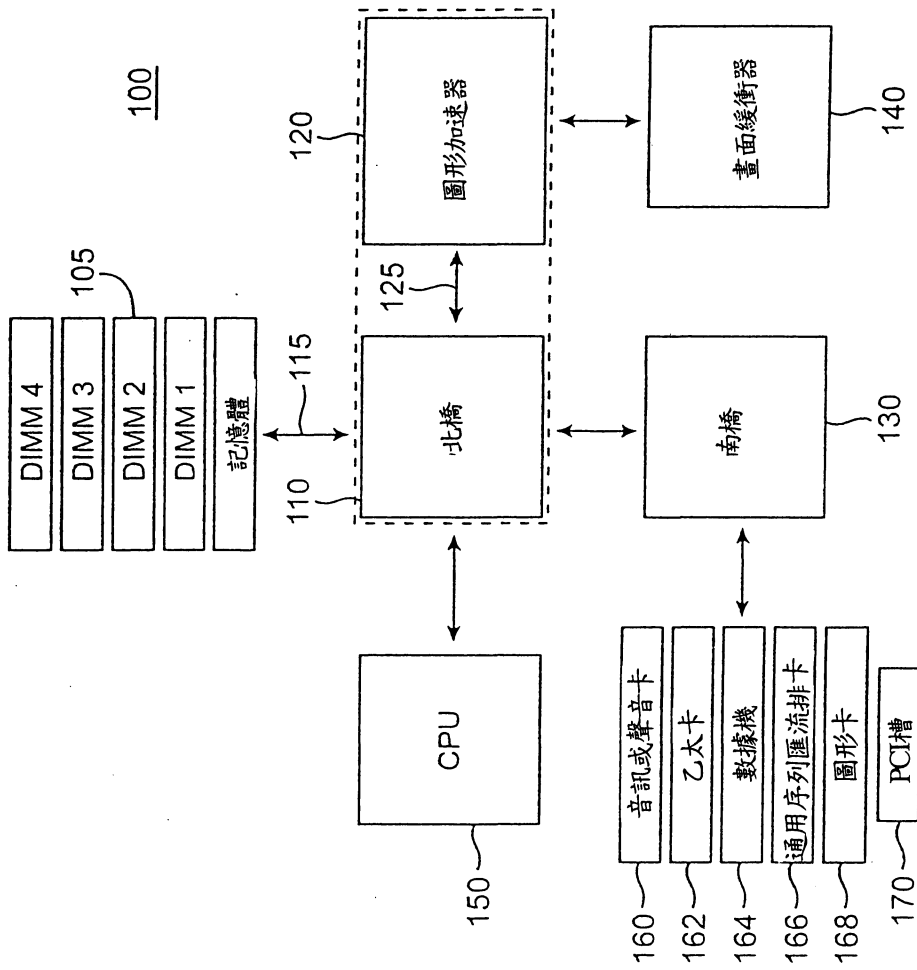
等候以發出傳送請求作為公佈請求。

2. 如申請專利範圍第1項之資料傳送方法，其中此傳送請求是由視訊擷取卡發出。
3. 如申請專利範圍第1項之資料傳送方法，其中此傳送請求是由圖形處理器發出。
4. 如申請專利範圍第1項之資料傳送方法，其中此傳送請求是在Hyper Transport匯流排上發出。
5. 如申請專利範圍第1項之資料傳送方法，其中此等候公佈請求之數目是由仲裁器決定。
6. 如申請專利範圍第1項之資料傳送方法，其中可設計此第一數目。
7. 如申請專利範圍第1項之資料傳送方法，其中此第一數目具有值1。

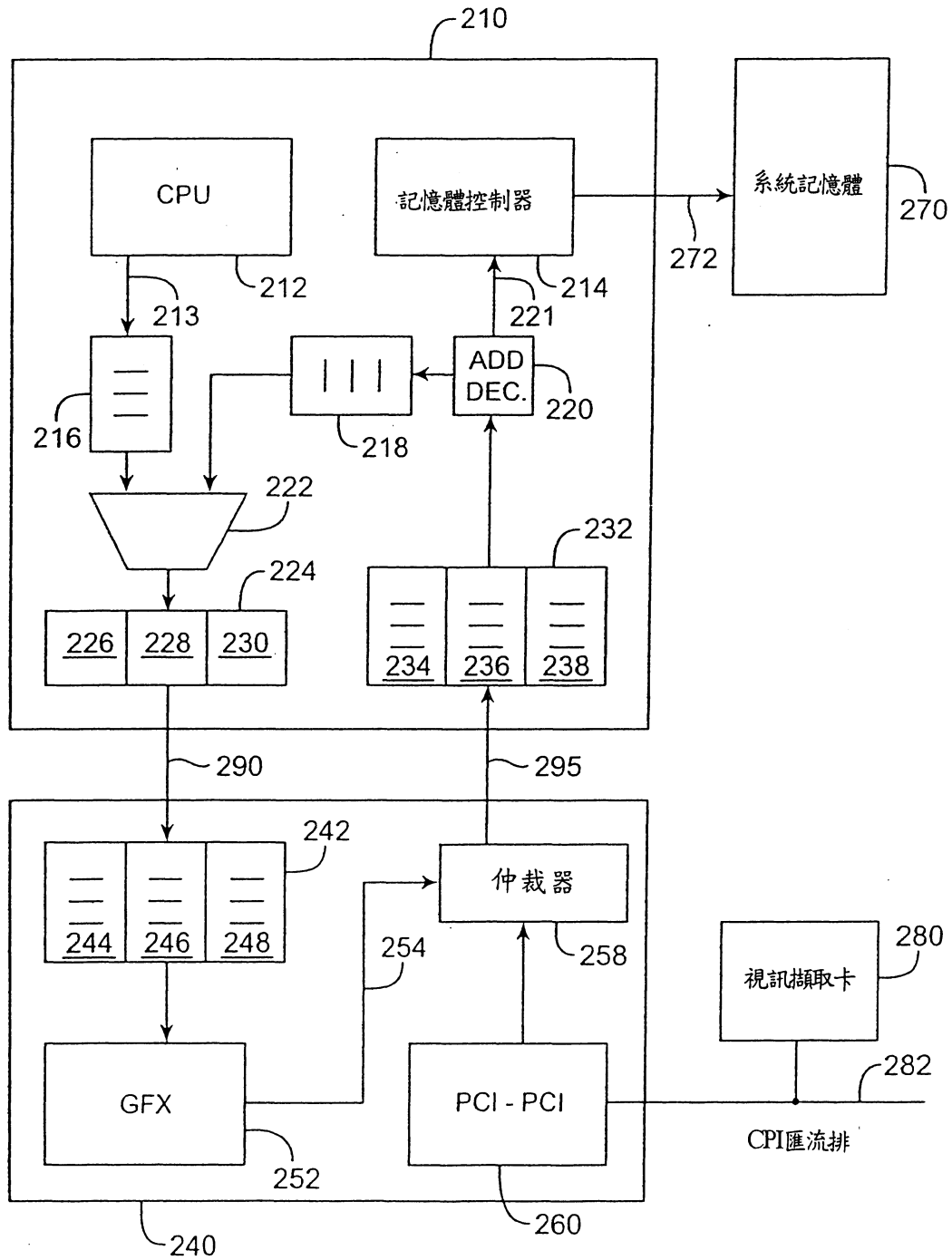
8. 一種資料傳送方法，包括以下步驟：
 - 維持第一數目之符號；
 - 接收多個公佈請求；
 - 如果此符號之第一數目之剩餘數目小於此第一數目，則將此多個公佈請求之一作為未公佈請求傳送；否則
 - 不將將此多個公佈請求之一作為未公佈請求傳送。
9. 如申請專利範圍第8項之資料傳送方法，其中此符號之第一數目為1。
10. 如申請專利範圍第8項之資料傳送方法，其中此符號之第一數目是由位址解碼器維持。
11. 如申請專利範圍第8項之資料傳送方法，更包括
 - 接收來自等候未公佈請求之響應；以及
 - 將可供使用符號數目遞增1。
12. 如申請專利範圍第11項之資料傳送方法，更包括當此符號之數目遞增至第一數目之上時，則將此多個公佈請求之一作為未公佈請求傳送。
13. 一種積體電路，包括被設計以追蹤在公佈請求FIFO中可供使用項目數目之一個仲裁器；
 - 連接至此仲裁器之多個用戶；
 - 連接至此仲裁器之一個Hyper Transport匯流排；
 - 其中此仲裁器從多個用戶接收此收對等請求，且提供公佈請求至公佈請求FIFO；以及
 - 當在此公佈請求FIFO中可供使用項目之數目等於

第一數目時，則避免此多個用戶發出對等請求。

14. 如申請專利範圍第13項之積體電路，其中此多個用戶包括一圖形處理器。
15. 如申請專利範圍第14項之積體電路，其中此多個用戶更包括一PCI-至-PCI橋。
16. 如申請專利範圍第13項之積體電路，其中此等候對等請求之數目對於各所允許公佈請求遞增1。
17. 如申請專利範圍第16項之積體電路，其中此等候對等請求之數目對於由此接收FIFO所提供各對等請求遞減1。
18. 如申請專利範圍第13項之積體電路，更包括當此等候對等請求之數目小於第一數目時，允許此數目之用戶發出對等請求。
19. 如申請專利範圍第18項之積體電路，其中此第一數目為1。

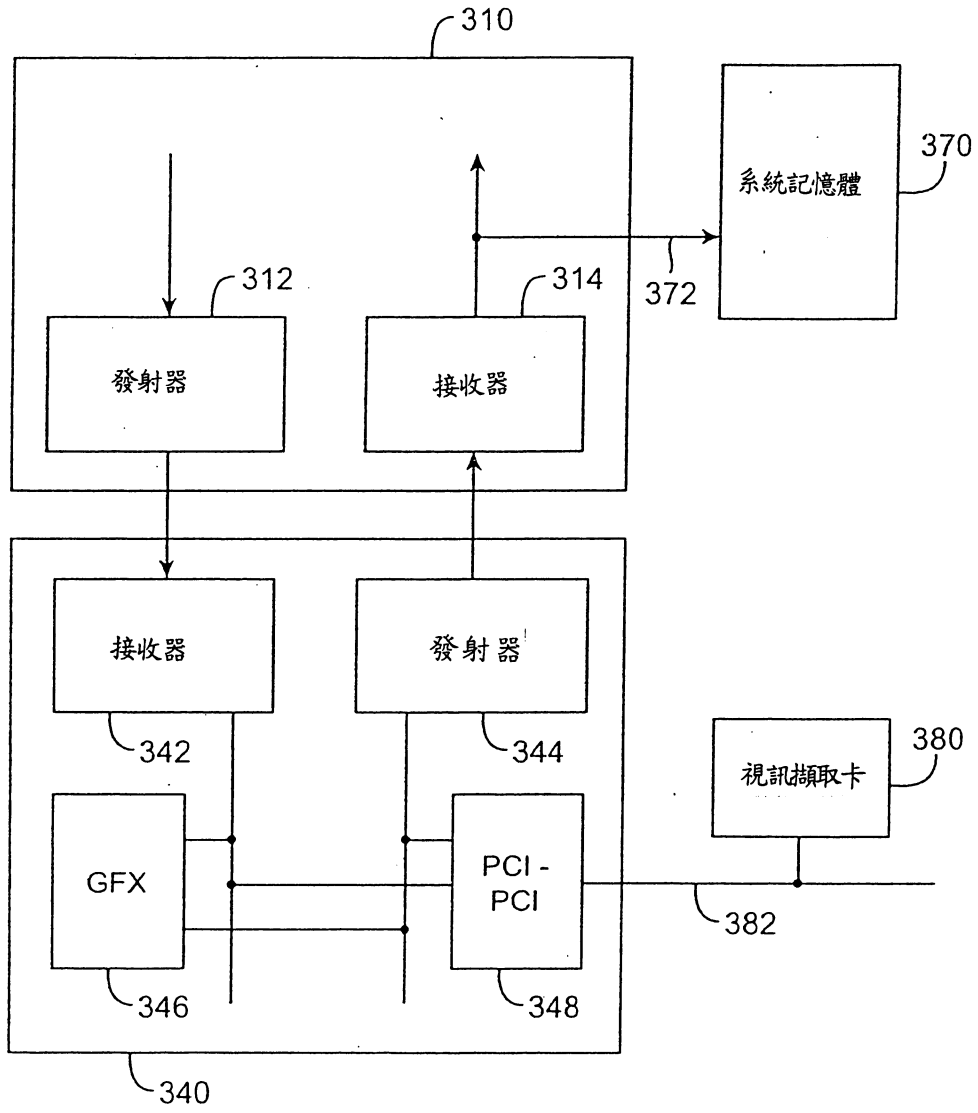


第 1 圖



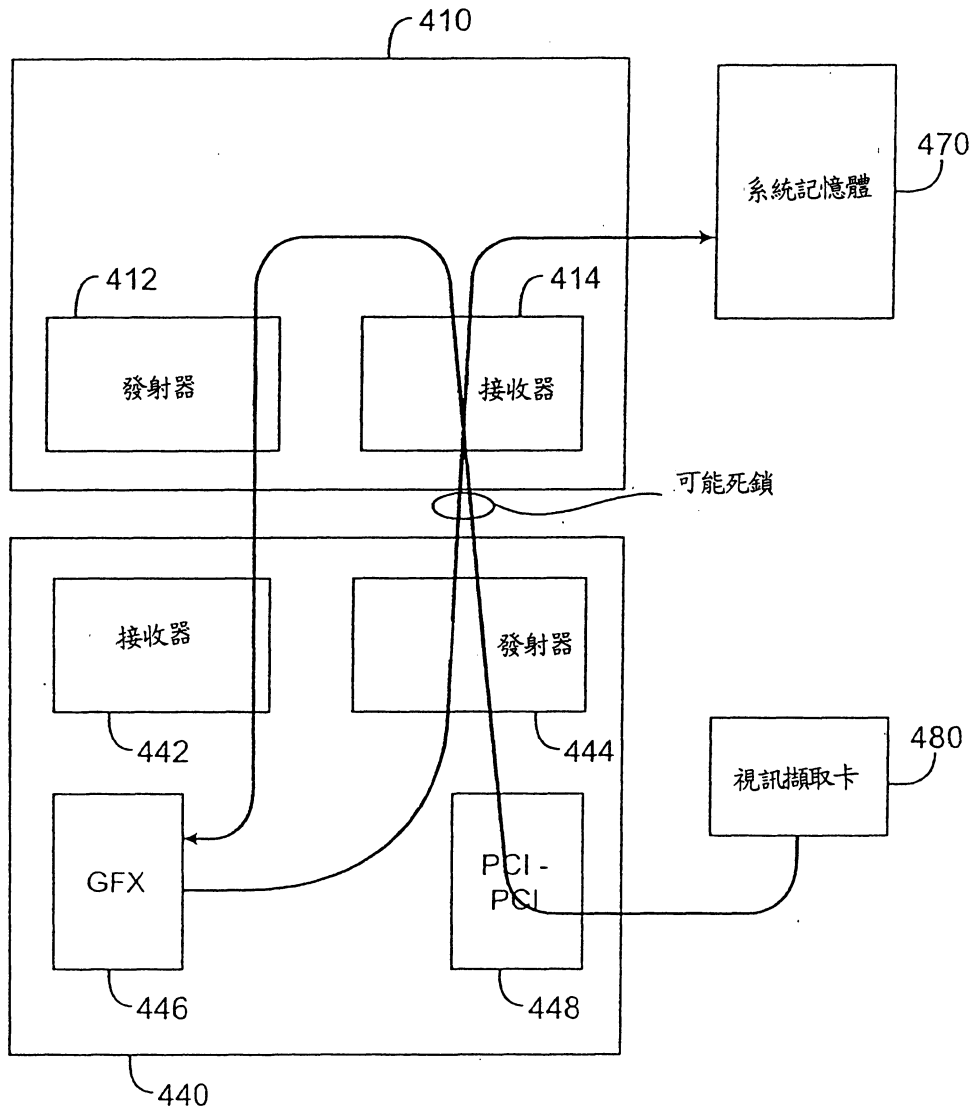
第 2 圖

+



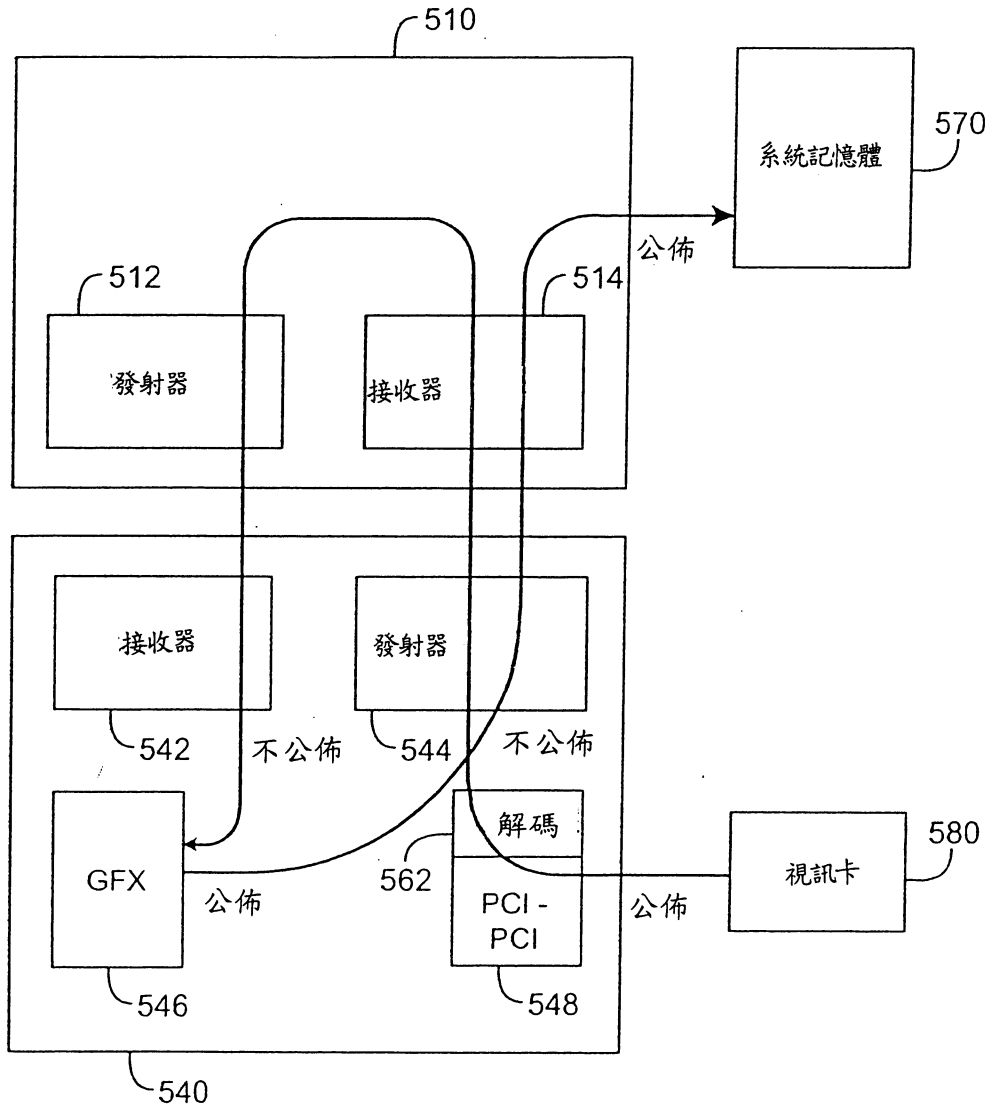
第 3 圖

+



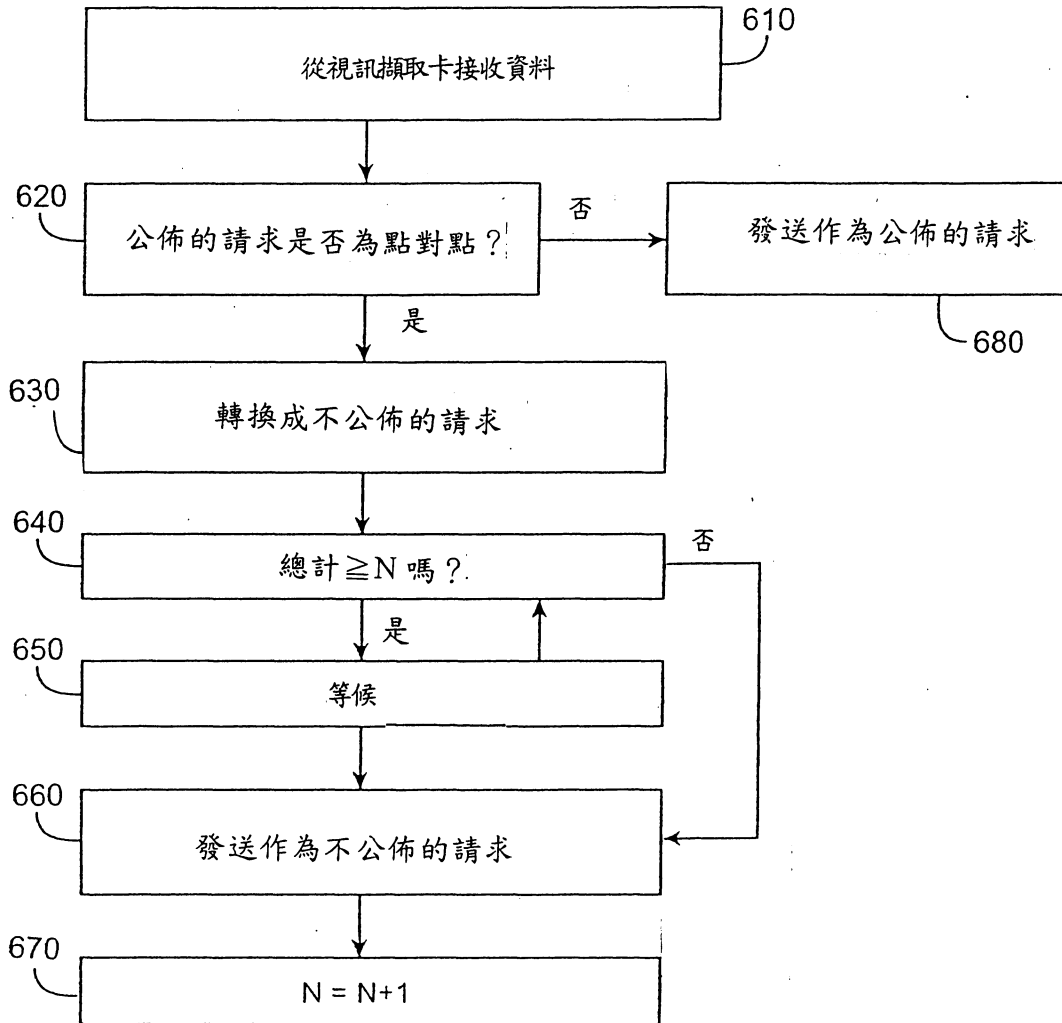
第 4 圖

+



第 5 圖

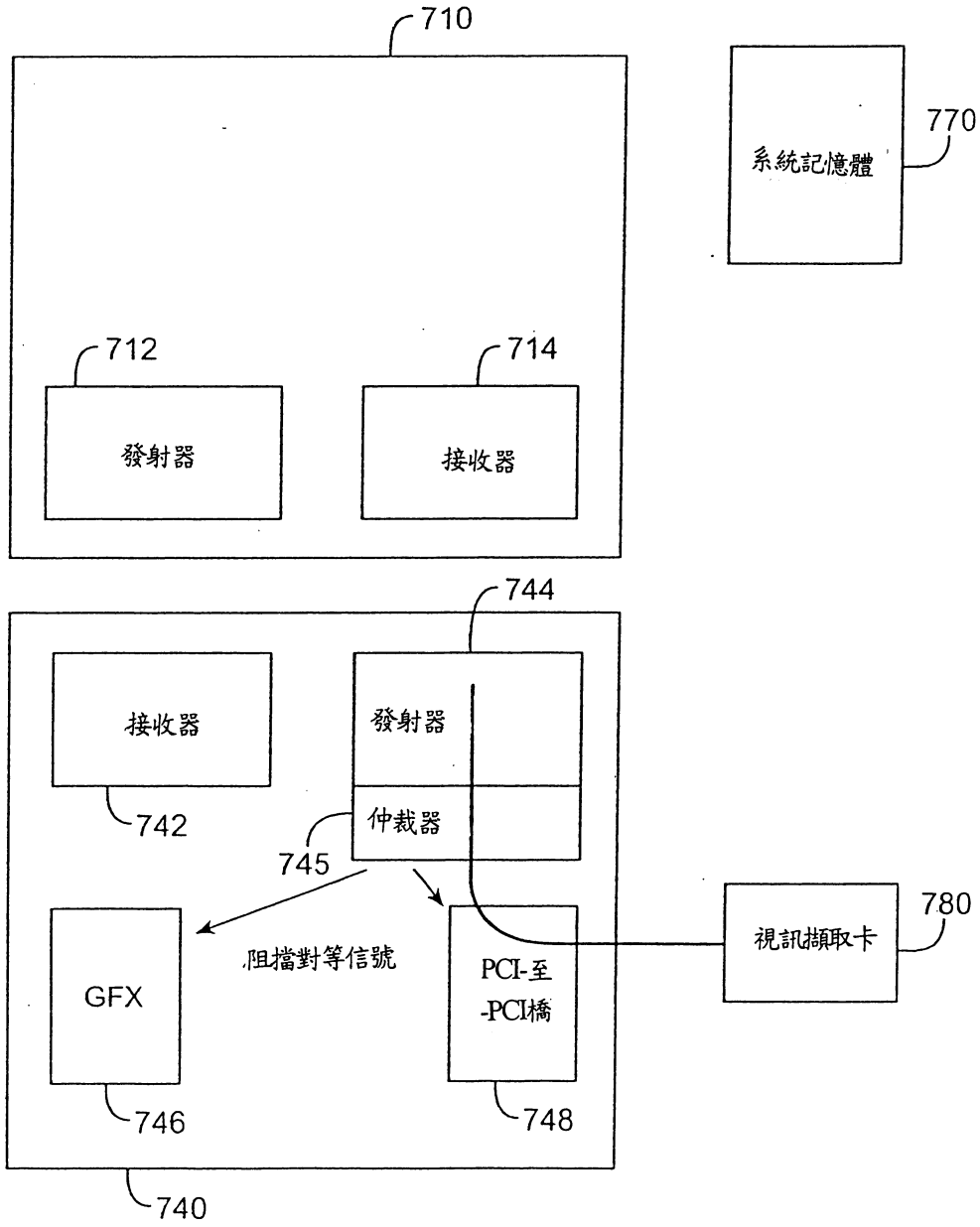
+



第 6 圖

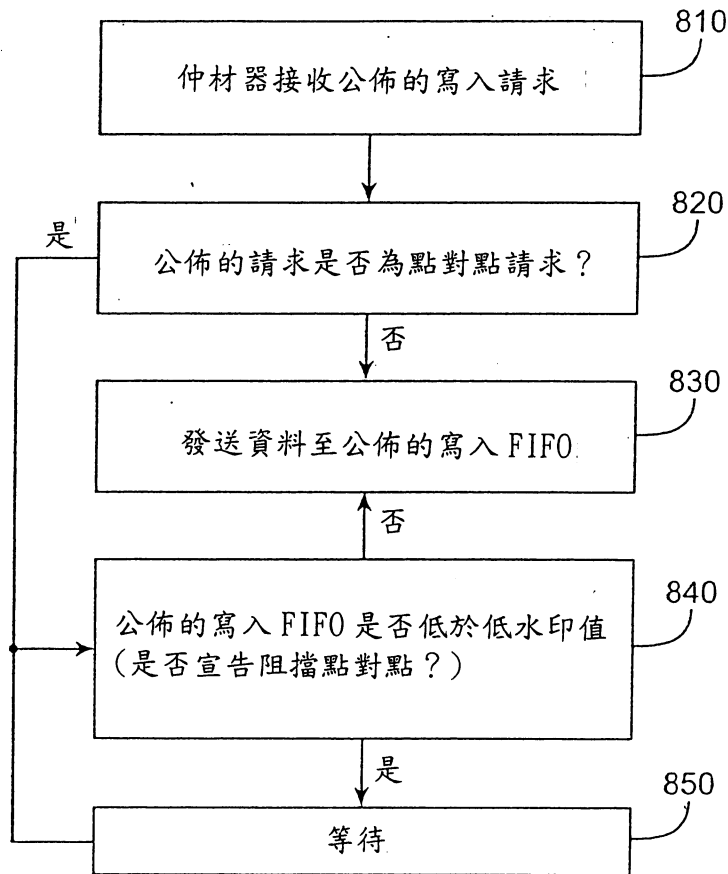
+

7 / 8



第 7 圖

+



第 8 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (8) 圖。

(二)本代表圖之元件符號簡單說明：

810、820…步驟

830、840…步驟

850、860…步驟

870、880…步驟

890…步驟

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：