

- (51) 국제특허분류(Int. Cl.)
H01L 23/538 (2006.01) *H01L 21/48* (2006.01)
H01L 23/00 (2006.01) *H01L 23/13* (2006.01)
H01L 23/498 (2006.01) *H01L 25/00* (2014.01)
H01L 25/065 (2023.01) *H01L 25/16* (2023.01)
H01L 25/18 (2023.01)

(52) CPC특허분류
H01L 23/5383 (2013.01)
H01L 21/4857 (2013.01)

(21) 출원번호 10-2023-7025272

(22) 출원일자(국제) 2021년12월22일
심사청구일자 없음

(85) 번역문제출일자 2023년07월24일

(86) 국제출원번호 PCT/US2021/064920

(87) 국제공개번호 WO 2022/164560
국제공개일자 2022년08월04일

(30) 우선권주장
17/164,729 2021년02월01일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브 5775

(72) 발명자
위, 홍 복
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브5775

수, 마커스
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브5775

파틸, 아니켓
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브5775

(74) 대리인
특허법인 남앤남

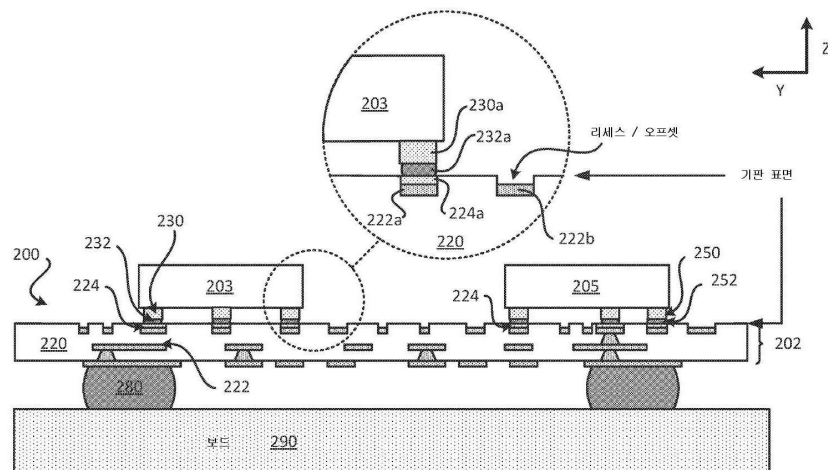
전체 청구항 수 : 총 23 항

- (54) 발명의 명칭 기판의 표면과 정렬된 표면 상호연결부들을 포함하는기판을 갖는 패키지

(57) 요약

본 발명은 기관 및 통합 디바이스를 포함하는 패키지에 관한 것이다. 기관은, 적어도 하나의 유전체 층, 제1 재료를 포함하는 복수의 상호연결부들, 및 복수의 상호연결부들에 커플링된 복수의 표면 상호연결부들을 포함한다. 복수의 표면 상호연결부들은 제2 재료를 포함한다. 복수의 표면 상호연결부들의 표면은 기관의 표면과 평면을 이룬다. 통합 디바이스는 복수의 필라 상호연결부(pillar interconnect)들 및 복수의 솔더 상호연결부(solder interconnect)들을 통해 기관의 복수의 표면 상호연결부들에 커플링된다.

대표도



프로파일 도면

(52) CPC특허분류

H01L 23/13 (2013.01)

H01L 23/49811 (2013.01)

H01L 23/5386 (2013.01)

H01L 24/14 (2013.01)

H01L 25/0655 (2023.08)

H01L 25/16 (2023.08)

H01L 25/18 (2023.08)

H01L 25/50 (2013.01)

H01L 2224/1403 (2013.01)

명세서

청구범위

청구항 1

패키지로서,

기관 — 상기 기관은,

적어도 하나의 유전체 층;

제1 재료를 포함하는 복수의 상호연결부들; 및

상기 복수의 상호연결부들에 커플링된 복수의 표면 상호연결부들을 포함하고,

상기 복수의 표면 상호연결부들은 제2 재료를 포함하고, 그리고

상기 복수의 표면 상호연결부들의 표면은 상기 기관의 표면과 평면을 이룸 —; 및

복수의 필라 상호연결부(pillar interconnect)들 및 복수의 솔더 상호연결부(solder interconnect)들을 통해 상기 기관의 복수의 표면 상호연결부들에 커플링된 통합 디바이스를 포함하는,

패키지.

청구항 2

제1 항에 있어서,

상기 복수의 표면 상호연결부들은, 상기 기관의 표면과 평면을 이루는, 상기 통합 디바이스를 대면하는 표면을 갖는 표면 패드 상호연결부를 포함하는,

패키지.

청구항 3

제1 항에 있어서,

상기 복수의 표면 상호연결부들은 상기 복수의 상호연결부들과 상기 통합 디바이스 사이에 로케이팅되는,

패키지.

청구항 4

제1 항에 있어서,

상기 복수의 표면 상호연결부들에는 시드 층(seed layer)이 없는,

패키지.

청구항 5

제1 항에 있어서,

상기 복수의 표면 상호연결부들은 주석(Sn)을 포함하는,

패키지.

청구항 6

제1 항에 있어서,

상기 복수의 상호연결부들은 상기 기관의 표면을 통해 상기 기관에 임베딩된 트레이스 상호연결부를 포함하고, 그리고

상기 트레이스 상호연결부는 상기 기관의 표면으로부터의 기관 리세스에 인접하는, 패키지.

청구항 7

제6 항에 있어서,
상기 기관의 표면은 상기 통합 디바이스를 대면하는 표면인,
패키지.

청구항 8

제1 항에 있어서,
상기 복수의 상호연결부들은 패드 상호연결부를 포함하고,
상기 복수의 표면 상호연결부들은 표면 패드 상호연결부를 포함하고,
상기 표면 패드 상호연결부는 상기 패드 상호연결부에 커플링되고, 그리고
상기 통합 디바이스를 대면하는, 상기 패드 상호연결부의 표면은 상기 기관의 표면과 평면을 이루는,
패키지.

청구항 9

제8 항에 있어서,
상기 통합 디바이스는 필라 상호연결부 및 솔더 상호연결부를 통해 상기 표면 패드 상호연결부에 커플링되는,
패키지.

청구항 10

제1 항에 있어서,
상기 패키지는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 로케이션 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, IoT(internet of things) 디바이스, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터 선택된 디바이스에 통합되는,
패키지.

청구항 11

기관으로서,
적어도 하나의 유전체 층;
제1 재료를 포함하는 복수의 상호연결부들; 및
상기 복수의 상호연결부들에 커플링된 복수의 표면 상호연결부들을 포함하고,
상기 복수의 표면 상호연결부들은 제2 재료를 포함하고, 그리고
상기 복수의 표면 상호연결부들의 표면은 상기 기관의 표면과 평면을 이루는,
기관.

청구항 12

제11 항에 있어서,
상기 복수의 표면 상호연결부들에는 시드 층이 없는,

기관.

청구항 13

제11 항에 있어서,

상기 복수의 표면 상호연결부들은 주석(Sn)을 포함하는,

기관.

청구항 14

제11 항에 있어서,

상기 복수의 상호연결부들은 상기 기관의 표면을 통해 상기 기관에 임베딩된 트레이스 상호연결부를 포함하고, 그리고

상기 트레이스 상호연결부는 상기 기관의 표면으로부터의 기관 리세스에 인접하는,

기관.

청구항 15

제14 항에 있어서,

상기 기관의 표면은 통합 디바이스를 대면하는 표면인,

기관.

청구항 16

제11 항에 있어서,

상기 복수의 상호연결부들은 패드 상호연결부를 포함하고,

상기 복수의 표면 상호연결부들은 표면 패드 상호연결부를 포함하고,

상기 표면 패드 상호연결부는 상기 패드 상호연결부에 커플링되고, 그리고

상기 패드 상호연결부의 표면은 상기 기관의 표면과 평면을 이루는,

기관.

청구항 17

패키지를 제작하기 위한 방법으로서,

기관을 제공하는 단계 — 상기 기관은,

적어도 하나의 유전체 층;

제1 재료를 포함하는 복수의 상호연결부들; 및

상기 복수의 상호연결부들에 커플링된 복수의 표면 상호연결부들을 포함하고,

상기 복수의 표면 상호연결부들은 제2 재료를 포함하고, 그리고

상기 복수의 표면 상호연결부들의 표면은 상기 기관의 표면과 평면을 이룸 —; 및

통합 디바이스를 복수의 필라 상호연결부들 및 복수의 솔더 상호연결부들을 통해 상기 기관의 복수의 표면 상호연결부들에 커플링하는 단계를 포함하는,

패키지를 제작하기 위한 방법.

청구항 18

제17 항에 있어서,

상기 복수의 표면 상호연결부들은, 상기 기관의 표면과 평면을 이루는, 상기 통합 디바이스를 대면하는 표면을 갖는 표면 패드 상호연결부를 포함하는,

패키지를 제작하기 위한 방법.

청구항 19

제17 항에 있어서,

상기 복수의 표면 상호연결부들은 상기 복수의 상호연결부들과 상기 통합 디바이스 사이에 로케이팅되는,

패키지를 제작하기 위한 방법.

청구항 20

제17 항에 있어서,

상기 복수의 표면 상호연결부들에는 시드 층이 없는,

패키지를 제작하기 위한 방법.

청구항 21

제17 항에 있어서,

상기 복수의 표면 상호연결부들은 주석(Sn)을 포함하는,

패키지를 제작하기 위한 방법.

청구항 22

제17 항에 있어서,

상기 복수의 상호연결부들은 패드 상호연결부를 포함하고,

상기 복수의 표면 상호연결부들은 표면 패드 상호연결부를 포함하고,

상기 표면 패드 상호연결부는 상기 패드 상호연결부에 커플링되고, 그리고

상기 통합 디바이스를 대면하는, 상기 패드 상호연결부의 표면은 상기 기관의 표면과 평면을 이루는,

패키지를 제작하기 위한 방법.

청구항 23

제22 항에 있어서,

상기 통합 디바이스는 필라 상호연결부 및 솔더 상호연결부를 통해 상기 표면 패드 상호연결부에 커플링되는,

패키지를 제작하기 위한 방법.

발명의 설명

기술 분야

[0001] 본 출원은 2021년 2월 1일자로 미국 특허청에 출원된 정규 출원 시리얼 번호 제17/164,729호에 대한 우선권 및 그 이익을 주장하며, 이 정규 출원의 전체 내용은, 마치 그 전체가 그리고 모든 적용가능한 목적들을 위해 하기에서 완전히 기술되는 것처럼 인용에 의해 본원에 포함된다.

[0002] 다양한 특징들은 통합 디바이스를 포함하는 패키지들에 관한 것이지만, 더 구체적으로는 통합 디바이스 및 기관을 포함하는 패키지에 관한 것이다.

배경 기술

[0003] 기관은 유전체 층 및 복수의 상호연결부들을 포함한다. 일부 기관 제작 프로세스들은 표면 리세스들을

갖는 표면 상호연결부들을 생성할 것이며, 여기서 표면 상호연결부들은 기관에 임베딩되고 기관의 표면 아래로 케이팅될 것이다. 기관 내의 이러한 표면 리세스들은, 기관에 커플링된 통합 디바이스와 표면 상호연결부들 사이에 불충분한 또는 불량한 솔더 조인트(solder joint)들을 야기할 수 있다. 패키지 내의 불충분한 및/또는 불량한 솔더 조인트들은 패키지에서 신뢰성 문제들을 야기할 수 있다. 더 신뢰할 수 있는 패키지들을 제공할 계속되는 필요성이 있다.

발명의 내용

[0004] 다양한 특징들은 통합 디바이스를 포함하는 패키지들에 관한 것이지만, 더 구체적으로는 통합 디바이스 및 기관을 포함하는 패키지에 관한 것이다.

[0005] 일 예는 패키지를 제공하며, 패키지는 기관 및 통합 디바이스를 포함한다. 기관은, 적어도 하나의 유전체 층, 제1 재료를 포함하는 복수의 상호연결부들, 및 복수의 상호연결부들에 커플링된 복수의 표면 상호연결부들을 포함한다. 복수의 표면 상호연결부들은 제2 재료를 포함한다. 복수의 표면 상호연결부들의 표면은 기관의 표면과 평면을 이룬다. 통합 디바이스는 복수의 필라 상호연결부(pillar interconnect)들 및 복수의 솔더 상호연결부(solder interconnect)들을 통해 기관의 복수의 표면 상호연결부들에 커플링된다.

[0006] 다른 예는 기관을 제공하며, 기관은, 적어도 하나의 유전체 층, 제1 재료를 포함하는 복수의 상호연결부들, 및 복수의 상호연결부들에 커플링된 복수의 표면 상호연결부들을 포함한다. 복수의 표면 상호연결부들은 제2 재료를 포함한다. 복수의 표면 상호연결부들의 표면은 기관의 표면과 평면을 이룬다.

[0007] 다른 예는 패키지를 제작하기 위한 방법을 제공한다. 방법은 기관을 제공하며, 기관은, 적어도 하나의 유전체 층, 제1 재료를 포함하는 복수의 상호연결부들, 및 복수의 상호연결부들에 커플링된 복수의 표면 상호연결부들을 포함한다. 복수의 표면 상호연결부들은 제2 재료를 포함한다. 복수의 표면 상호연결부들의 표면은 기관의 표면과 평면을 이룬다. 방법은 통합 디바이스를 복수의 필라 상호연결부들 및 복수의 솔더 상호연결부들을 통해 기관의 복수의 표면 상호연결부들에 커플링한다.

도면의 간단한 설명

[0008] 다양한 특징들, 속성 및 장점들은, 도면들과 관련하여 고려될 때 이하 설명된 상세한 설명으로부터 명백하게 될 수 있으며, 도면들에서 유사한 참조 문자들은 전반에 걸쳐 대응되게 식별된다.

[0009] 도 1은 통합 디바이스들 및 기관을 포함하는 패키지의 프로파일 도면을 예시한다.

[0010] 도 2는 기관의 표면과 정렬된 표면 상호연결부들을 포함하는 기관을 포함하는 패키지의 프로파일 도면을 예시한다.

[0011] 도 3은 기관의 표면과 정렬된 표면 상호연결부들을 포함하는 기관을 포함하는 다른 패키지의 프로파일 도면을 예시한다.

[0012] 도 4a - 도 4d는 기관을 제작하기 위한 예시적인 시퀀스를 예시한다.

[0013] 도 5는 기관을 제작하기 위한 방법의 예시적인 흐름도를 예시한다.

[0014] 도 6a - 도 6b는 기관의 표면과 정렬된 표면 상호연결부들을 포함하는 기관을 포함하는 패키지를 제작하기 위한 예시적인 시퀀스를 예시한다.

[0015] 도 7은 기관의 표면과 정렬된 표면 상호연결부들을 포함하는 기관을 포함하는 패키지를 제작하기 위한 방법의 예시적인 흐름도를 예시한다.

[0016] 도 8은 본원에서 설명된 다이, 전자 회로, 통합 디바이스, IPD(integrated passive device), 수동 컴포넌트, 패키지, 및/또는 디바이스 패키지를 통합할 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하의 설명에서, 본 개시내용의 다양한 양상들의 완전한 이해를 제공하기 위해 특정 세부사항들이 제공된다. 그러나, 양상들이 이러한 특정 세부사항들 없이도 실시될 수 있다는 것이 당업자에 의해 이해될 것이다. 예컨대, 회로들은, 불필요한 세부사항으로 양상들을 모호하게 하는 것을 피하기 위해 블록도들로 도시될 수 있다. 다른 경우들에서, 잘-알려진 회로들, 구조들 및 기법들은 본 개시내용의 양상들을 모호하게 하지 않기 위

해 상세하게 도시되지 않을 수 있다.

[0010] [0018] 본 개시내용은 기판 및 통합 디바이스를 포함하는 패키지를 설명한다. 기판은, 적어도 하나의 유전체 층, 제1 재료를 포함하는 복수의 상호연결부들, 및 복수의 상호연결부들에 커플링된 복수의 표면 상호연결부들을 포함한다. 복수의 표면 상호연결부들은 제2 재료를 포함한다. 복수의 표면 상호연결부들의 표면은 기판의 표면과 평면을 이룬다. 통합 디바이스는 복수의 필라 상호연결부들 및 복수의 솔더 상호연결부들을 통해 기판의 복수의 표면 상호연결부들에 커플링된다. 복수의 표면 상호연결부들(예컨대, 표면 패드 상호연결부)은, 통합 디바이스가 기판에 커플링될 때 통합 디바이스의 오정렬이 존재하는 경우에도, 통합 디바이스와 기판 사이에 신뢰할 수 있고 강한 솔더 조인트들을 제공하는 것을 돕는다.

[0011] **표면 상호 연결부들을 포함하는 기판을 포함하는 예시적인 패키지**

[0012] [0019] 도 1은, 기판(102), 통합 디바이스(104) 및 통합 디바이스(106)를 포함하는 패키지(100)를 예시한다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함한다. 복수의 상호연결부들(122)은 기판(102)에 임베딩된 상호연결부들을 포함한다. 통합 디바이스(104)는 복수의 필라 상호연결부들(140) 및 복수의 솔더 상호연결부들(142)을 통해 기판(102)에 커플링된다. 복수의 솔더 상호연결부들(142)은 복수의 상호연결부들(122)에 커플링된다. 통합 디바이스(106)는 복수의 필라 상호연결부들(160) 및 복수의 솔더 상호연결부들(162)을 통해 기판(102)에 커플링된다. 복수의 솔더 상호연결부들(162)은 복수의 상호연결부들(122)에 커플링된다. 복수의 솔더 상호연결부들(124)이 기판(102)에 커플링된다.

[0013] [0020] 통합 디바이스(104)는 기판(102)의 상호연결부들과 오정렬된다. 결과적으로, 복수의 필라 상호연결부들(140)의 일부 및 복수의 솔더 상호연결부들(142)의 일부는 기판(102)의 패드 상호연결부들(예컨대, 122a)과 정렬되지 않는다. 이는, 솔더 상호연결부(예컨대, 142)와 패드 상호연결부(예컨대, 122a) 사이에 불충분한 또는 불량한 솔더 조인트들을 초래하는데, 왜냐하면, 패드 상호연결부와 기판(102)의 최상부 표면 사이의 수직 오프셋이 솔더 상호연결부를 신장시키고 그리고/또는 솔더 상호연결부(142)에 하나 이상의 작은 공극(void)들을 생성하여, 통합 디바이스(104)와 기판(102) 사이에 불충분한 또는 불량한 전기적 연결을 초래하기 때문이다.

[0014] [0021] 도 2는 표면 상호연결부들을 갖는 기판을 포함하는 패키지(200)의 프로파일 도면을 예시한다. 패키지(200)는 기판(202), 통합 디바이스(203) 및 통합 디바이스(205)를 포함한다. 패키지(200)는 복수의 솔더 상호연결부들(280)을 통해 보드(290)(예컨대, PCB(printed circuit board))에 커플링된다. 통합 디바이스(203)는 복수의 필라 상호연결부들(230) 및 복수의 솔더 상호연결부들(232)을 통해 기판(202)에 커플링된다. 통합 디바이스(205)는 복수의 필라 상호연결부들(250) 및 복수의 솔더 상호연결부들(252)을 통해 기판(202)에 커플링된다.

[0015] [0022] 기판(202)은 ETS(embedded trace substrate)일 수 있다. 기판(202)은 적어도 하나의 유전체 층(220), 복수의 상호연결부들(222) 및 복수의 표면 상호연결부들(224)을 포함한다. 복수의 상호연결부들(222)은 적어도 하나의 유전체 층(220)에 로케이팅된 상호연결부들을 포함한다. 복수의 상호연결부들(222)은, 기판(202)의 표면을 통해 임베딩되고 기판(202)의 표면으로부터 오프셋된 복수의 상호연결부들(예컨대, 패드 상호연결부, 트레이스 상호연결부)을 포함한다. 복수의 상호연결부들(222)로부터의 상호연결부들의 예들은 패드 상호연결부(222a) 및 트레이스 상호연결부(222b)를 포함한다. 기판(202)의 표면으로부터 오프셋된 복수의 상호연결부들(222)은 복수의 상호연결부들(222) 위에 로케이팅된 기판 리세스를 가질 수 있다. 상호연결부(222b)(예컨대, 트레이스 상호연결부)는, 기판(202)의 표면으로부터 오프셋되고 기판 리세스에 인접한 상호연결부의 일 예이다.

[0016] [0023] 기판(202)은 복수의 표면 상호연결부들(224)을 포함한다. 복수의 표면 상호연결부들(224)은 복수의 상호연결부들(222) 중 일부에 커플링된다. 복수의 표면 상호연결부들(224)은 공간을 점유할 수 있으며, 그 공간은 점유되지 않으면 기판 리세스일 수 있다. 복수의 표면 상호연결부들(224)은 복수의 상호연결부들(222)과는 상이한 재료를 포함한다. 예컨대, 복수의 상호연결부들(222)은 구리를 포함할 수 있고, 복수의 표면 상호연결부들(224)은 주석(Sn)을 포함할 수 있다. 복수의 표면 상호연결부들(224)은 시드 층(seed layer)(예컨대, 구리 시드 층)과 상이할 수 있다. 복수의 표면 상호연결부들(224)에는 시드 층이 없을 수 있다. 복수의 표면 상호연결부들(224)은 기판(202)의 표면(예컨대, 제1 표면, 최상부 표면)과 정렬되고 그리고/또는 기판(202)의 표면(예컨대, 제1 표면, 최상부 표면)과 평면을 이루는 표면을 가질 수 있다. 예컨대, 기판(202)을 등지는(face away from), 복수의 표면 상호연결부들(224)의 표면은 기판(202)의 표면(예컨대, 제1 표면, 최상부 표면)과 정렬되고 그리고/또는 기판(202)의 표면(예컨대, 제1 표면, 최상부 표면)과 평면을 이룬다. 다른 예에서, 기판(202)을 등지는, 복수의 표면 상호연결부들(224)의 표면은 적어도 하나의 유전체 층(220)의 표면(예컨대, 제1 표면, 최상부 표면)과 정렬되고 그리고/또는 적어도 하나의 유전체 층(220)의 표면(예컨대, 제1 표면, 최상부

표면)과 평면을 이룬다. 기관(202)을 등지는, 복수의 표면 상호연결부들(224)의 표면은 통합 디바이스(예컨대, 203, 205)를 대면하는 표면이다.

[0017] [0024] 복수의 표면 상호연결부들(224)은 기관(202)의 복수의 상호연결부들(222)로부터의 상호연결부들 중 임의의 것과는 상이한 금속 층 상에 로케이팅될 수 있다. 복수의 표면 상호연결부들(224)은, 기관(202)(예컨대, 기관(202)의 적어도 하나의 유전체 층(220)의 최상부 표면)의 제1 표면(예컨대, 최상부 표면, 통합 디바이스 대면 표면)과 정렬되고 그리고/또는 제1 표면(예컨대, 최상부 표면, 통합 디바이스 대면 표면)과 평면을 이루는 표면(예컨대, 기관을 등지는 표면)을 갖는 유일한 상호연결부들일 수 있다. 복수의 표면 상호연결부들(224)은 복수의 상호연결부들(222)과 적어도 하나의 통합 디바이스(예컨대, 203, 205) 사이에 로케이팅된다. 복수의 표면 상호연결부들(224)은 표면 상호연결을 위한 수단일 수 있다.

[0018] [0025] 복수의 표면 상호연결부들(224)은, 복수의 표면 상호연결부들의 표면(예컨대, 기관을 등지는 표면, 통합 디바이스를 대면하는 표면)이 기관(202)의 표면과 평면을 이루도록 그리고/또는 기관(202)의 표면과 정렬되도록, 복수의 상호연결부들(222) 중 일부에 커플링된다. 복수의 표면 상호연결부들(224)은, 통합 디바이스가 기관(202)에 커플링될 때 통합 디바이스의 오정렬이 존재하는 경우에도, 통합 디바이스와 기관 사이에 신뢰할 수 있고 강한 솔더 조인트들을 제공하는 것을 돕는다.

[0019] [0026] 도 2는, 통합 디바이스(203)가 복수의 필라 상호연결부들(230) 및 복수의 솔더 상호연결부들(232)을 통해 기관(202)에 전기적으로 커플링되도록 구성되는 것을 예시한다. 특히, 통합 디바이스(203)는 복수의 필라 상호연결부들(230) 및 복수의 솔더 상호연결부들(232)을 통해 복수의 표면 상호연결부들(224)에 전기적으로 커플링되도록 구성된다. 필라 상호연결부(230a) 및 솔더 상호연결부(232a)는 통합 디바이스(203)의 일부로 간주될 수 있다. 통합 디바이스(203)는 필라 상호연결부(230a)에 커플링된다. 필라 상호연결부(230a)는 솔더 상호연결부(232a)에 커플링된다. 솔더 상호연결부(232a)는 표면 상호연결부(224a)에 커플링된다. 표면 상호연결부(224a)는 상호연결부(222a)에 커플링된다. 표면 상호연결부(224a)는 상호연결부(222a) 위에 로케이팅된다. 표면 상호연결부(224a)는 표면 패드 상호연결부일 수 있다. 상호연결부(222a)는 패드 상호연결부일 수 있다. 따라서, 표면 패드 상호연결부는 패드 상호연결부에 커플링(예컨대, 직접 커플링)될 수 있다. 표면 상호연결부(224a) 및 상호연결부(222a)는, 제1 금속 층 및 제2 금속 층을 포함하는 단일 패드 상호연결부로 간주될 수 있으며, 여기서 제2 금속 층은 제1 금속 층의 재료와 상이한 재료를 포함한다. 제1 금속 층은 상호연결부(222a)로 표현될 수 있고, 제2 금속 층은 표면 상호연결부(224a)로 표현될 수 있다. 제1 금속 층은 구리를 포함할 수 있고, 제2 금속 층은 주석(Sn)을 포함할 수 있다. 제1 금속 층은 시드 층을 포함할 수 있다.

[0020] [0027] 유사하게, 통합 디바이스(205)는 복수의 필라 상호연결부들(250) 및 복수의 솔더 상호연결부들(252)을 통해 기관(202)에 전기적으로 커플링되도록 구성된다. 특히, 통합 디바이스(205)는 복수의 필라 상호연결부들(250) 및 복수의 솔더 상호연결부들(252)을 통해 복수의 표면 상호연결부들(224)에 전기적으로 커플링되도록 구성된다. 복수의 필라 상호연결부들(250), 복수의 솔더 상호연결부들(252), 복수의 표면 상호연결부들(224) 및 복수의 상호연결부들(222)은, 통합 디바이스(203)와 기관(202) 사이에서, 복수의 필라 상호연결부들(230), 복수의 솔더 상호연결부들(232), 복수의 표면 상호연결부들(224) 및 복수의 상호연결부들(222)에 대해 위에서 설명된 바와 같이, 서로 커플링될 수 있다.

[0021] [0028] 통합 디바이스(예컨대, 203, 205)는 다이(예컨대, 반도체 베어 다이)를 포함할 수 있다. 통합 디바이스는 RF(radio frequency) 디바이스, 수동 디바이스, 필터, 커패시터, 인덕터, 안테나, 송신기, 수신기, 갈륨 비소(GaAs) 기반 통합 디바이스, SAW(surface acoustic wave) 필터들, BAW(bulk acoustic wave) 필터, LED(light emitting diode) 통합 디바이스, 실리콘(Si) 기반 통합 디바이스, 실리콘 카바이드(SiC) 기반 통합 디바이스, 메모리, 전력 관리 프로세서(예컨대, 전력 관리 집적 회로), 애플리케이션 프로세서 및/또는 이들의 조합들을 포함할 수 있다. 통합 디바이스(예컨대, 203, 205)는 적어도 하나의 전자 회로(예컨대, 제1 전자 회로, 제2 전자 회로 등)를 포함할 수 있다.

[0022] [0029] 상이한 패키지들은 상이한 수들의 통합 디바이스들을 가질 수 있다는 것이 주목된다. 통합 디바이스들의 로케이전은 예시적이다. 통합 디바이스들은 기관의 상이한 부분들에 커플링될 수 있다.

[0023] [0030] 도 3은 표면 상호연결부들을 포함하는 기관(302)을 포함하는 패키지(300)의 프로파일 도면을 예시한다. 패키지(300)는 패키지(200)와 유사하다. 따라서, 패키지(300)는 패키지(200)와 동일한 또는 유사한 컴포넌트들을 포함한다. 기관(302)은 기관(202)과 유사하다. 따라서, 기관(302)은 기관(202)과 동일한 또는 유사한 컴포넌트들을 포함한다. 기관(302)은 ETS(embedded trace substrate)일 수 있다. 기관(302)은 적어도 하나의 유전체 층(220), 복수의 상호연결부들(222), 복수의 표면 상호연결부들(224), 솔더 레지스트 층(320) 및 캡슐화

층(310)을 포함한다.

- [0024] [0031] 솔더 레지스트 층(320)은 기관(302)의 최하부 표면에 커플링된다. 캡슐화 층(310)은 기관(302)의 제1 표면(예컨대, 최상부 표면) 및 통합 디바이스(들)(예컨대, 203, 205) 위에 형성 및 로케이팅될 수 있다. 캡슐화 층(310)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(310)을 형성하기 위해, 압축 몰딩 프로세스, 이송 몰딩(transfer molding) 프로세스, 또는 액체 몰딩 프로세스가 사용될 수 있다. 캡슐화 층(310)은 포토 에칭가능(photo etchable)할 수 있다. 캡슐화 층(310)은 캡슐화를 위한 수단일 수 있다.
- [0025] **기관을 제작하기 위한 예시적인 시퀀스**
- [0026] [0032] 일부 구현들에서, 기관을 제작하는 것은 몇몇 프로세스들을 포함한다. 도 4a - 도 4d는 표면 상호연결부들을 포함하는 기관을 제공 또는 제작하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 4a - 도 4d의 시퀀스는 도 2의 기관(202)을 제공 또는 제작하는 데 사용될 수 있다. 그러나, 도 4a - 도 4d의 프로세스는 본 개시내용에서 설명된 기관들 중 임의의 기관을 제작하는 데 사용될 수 있다.
- [0027] [0033] 도 4a - 도 4d의 시퀀스는 기관을 제공 또는 제작하기 위한 시퀀스를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 조합할 수 있다는 것이 주목되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다. 일부 구현들에서, 본 개시내용의 범위를 벗어나지 않으면서 프로세스들 중 하나 이상이 대체 또는 교체될 수 있다.
- [0028] [0034] 스테이지 1은, 도 4a에 도시된 바와 같이, 금속 층(402)을 갖는 캐리어(400)가 제공된 후의 상태를 예시한다. 금속 층(402)은 시드 층을 포함할 수 있다. 금속 층(402)은 구리를 포함할 수 있다.
- [0029] [0035] 스테이지 2는, 포토레지스트 층(403)이 제공된 후의 상태를 예시한다. 포토레지스트 층(403)은 금속 층(402) 위에 형성될 수 있다. 포토레지스트 층(403)을 형성하기 위해 적층(lamination) 프로세스 및/또는 증착(deposition) 프로세스가 사용될 수 있다.
- [0030] [0036] 스테이지 3은, 포토레지스트 층(403)에 개구들(404)을 초래하는, 포토레지스트 층(403)의 선택적 에칭 후의 상태를 예시한다.
- [0031] [0037] 스테이지 4는, 포토레지스트 층(403)의 개구들(404)을 통해 금속 층(405)이 형성된 후의 상태를 예시한다. 본 개시내용에서 설명된 바와 같이, 금속 층(405)은 복수의 표면 상호연결부들(224)을 형성할 수 있다. 금속 층(405)은 주석(Sn)을 포함할 수 있다. 그러나, 금속 층(405)을 위해 상이한 재료(들)가 사용될 수 있다. 금속 층(405)을 형성하기 위해 도금 프로세스가 사용될 수 있다. 금속 층(405)은 시드 층(예컨대, 구리 시드 층)과 상이할 수 있다.
- [0032] [0038] 스테이지 5는, 상호연결부들(406)이 금속 층(405)(예컨대, 표면 상호연결부(224)) 및 금속 층(402) 위에 형성된 후의 상태를 예시한다. 상호연결부들을 형성하기 위해 도금 프로세스가 사용될 수 있다. 상호연결부들(406)은 구리를 포함할 수 있다. 상호연결부들(406)은, 금속 층(405) 및/또는 표면 상호연결부들(224)과 상이한 재료를 포함할 수 있다.
- [0033] [0039] 스테이지 6은, 도 4b에 도시된 바와 같이, 금속 층(402)을 노출시키는, 포토레지스트 층(403)의 제거 후의 상태를 예시한다.
- [0034] [0040] 스테이지 7은, 유전체 층(420)이 금속 층(402), 금속 층(405) 및 캐리어(400) 위에 형성된 후의 상태를 예시한다. 유전체 층(420)은 폴리이미드를 포함할 수 있다. 그러나, 상이한 구현들은 유전체 층에 대해 상이한 재료들을 사용할 수 있다. 유전체 층(420)을 형성하기 위해 증착 프로세스 및/또는 적층 프로세스가 사용될 수 있다.
- [0035] [0041] 스테이지 8은 복수의 캐비티들(410)이 유전체 층(420)에 형성된 후의 상태를 예시한다. 복수의 캐비티들(410)은 에칭 프로세스(예컨대, 포토 에칭 프로세스) 또는 레이저 프로세스를 사용하여 형성될 수 있다. 복수의 캐비티들(410)은 상호연결부들(406)의 일부를 노출시킬 수 있다.
- [0036] [0042] 스테이지 9는 상호연결부들(412)이 유전체 층(420) 내에 그리고 유전체 층(420) 위에 형성된 후의 상태를 예시한다. 상호연결부들(412)은 복수의 캐비티들(410)에 형성될 수 있다. 형성될 수 있는 상호연결부들의 예들은 비아, 패드 및/또는 트레이스를 포함한다. 상호연결부들을 형성하기 위해 도금 프로세스가 사용될 수 있다. 상호연결부들(412)은 구리를 포함할 수 있다.
- [0037] [0043] 스테이지 10은 다른 유전체 층(422)이 유전체 층(420) 위에 형성된 후의 상태를 예시한다. 유전체 층

(422)은 유전체 층(420)과 동일한 재료일 수 있다. 그러나, 상이한 구현들은 유전체 층에 대해 상이한 재료들을 사용할 수 있다. 유전체 층(422)을 형성하기 위해 증착 프로세스 및/또는 적층 프로세스가 사용될 수 있다.

[0038] [0044] 스테이지 11은, 도 4c에 도시된 바와 같이, 복수의 캐비티들(430)이 유전체 층(422)에 형성된 후의 상태를 예시한다. 캐비티들(430)을 형성하기 위해 에칭 프로세스 또는 레이저 프로세스가 사용될 수 있다. 복수의 캐비티들(430)은 상호연결부들(412)의 일부를 노출시킬 수 있다.

[0039] [0045] 스테이지 12는 상호연결부들(414)이 유전체 층(422) 내에 그리고 유전체 층(422) 위에 형성된 후의 상태를 예시한다. 상호연결부들(414)은 복수의 캐비티들(430)에 형성될 수 있다. 형성될 수 있는 상호연결부들의 예들은 비아, 패드 및/또는 트레이스를 포함한다. 상호연결부들을 형성하기 위해 도금 프로세스가 사용될 수 있다. 상호연결부들(414)은 구리를 포함할 수 있다.

[0040] [0046] 스테이지 13은 다른 유전체 층(424)이 유전체 층(422) 위에 형성된 후의 상태를 예시한다. 유전체 층(424)은 유전체 층(420)과 동일한 재료일 수 있다. 그러나, 상이한 구현들은 유전체 층에 대해 상이한 재료들을 사용할 수 있다. 유전체 층(424)을 형성하기 위해 증착 프로세스 및/또는 적층 프로세스가 사용될 수 있다.

[0041] [0047] 스테이지 14는 복수의 캐비티들(440)이 유전체 층(424)에 형성된 후의 상태를 예시한다. 캐비티들(440)을 형성하기 위해 에칭 프로세스 또는 레이저 프로세스가 사용될 수 있다. 복수의 캐비티들(440)은 상호연결부들(414)의 일부를 노출시킬 수 있다.

[0042] [0048] 스테이지 15는, 도 4d에 도시된 바와 같이, 상호연결부들(416)이 유전체 층(424) 내에 그리고 유전체 층(424) 위에 형성된 후의 상태를 예시한다. 상호연결부들(416)은 복수의 캐비티들(440)에 형성될 수 있다. 형성될 수 있는 상호연결부들의 예들은 비아, 패드 및/또는 트레이스를 포함한다. 상호연결부들을 형성하기 위해 도금 프로세스가 사용될 수 있다. 상호연결부들(416)은 구리를 포함할 수 있다. 상호연결부들(416)은 유전체 층(424)의 표면 위에 형성될 수 있다. 따라서, 상호연결부들(416)은 기판의 표면 위에 형성될 수 있다.

[0043] [0049] 상호연결부들(406, 412, 414 및/또는 416) 중 일부 또는 전부는 기판(202)의 복수의 상호연결부들(22)을 정의할 수 있다. 유전체 층들(420, 422, 424)은 적어도 하나의 유전체 층(220)으로 표현될 수 있다.

[0044] [0050] 스테이지 16은, 캐리어(400)가 유전체 층(220)으로부터 디커플링(예컨대, 제거, 그라인딩 아웃)되고, 금속 층(402)(예컨대, 시드 층)이 유전체 층(220)으로부터 제거(예컨대, 에칭)되어, 기판(202)을 남긴 후의 상태를 예시한다. 기판(202)의 표면(예컨대, 최상부 표면, 최하부 표면) 위에 적어도 하나의 솔더 레지스트 층(예컨대, 320)이 형성될 수 있다. 복수의 표면 상호연결부들(224)은, 복수의 표면 상호연결부들(224)의 표면(예컨대, 기판을 등지는 표면, 통합 디바이스를 대면하는 표면)이 기판(202)의 표면(예컨대, 적어도 하나의 유전체 층(220)의 표면)과 평면을 이루도록 그리고/또는 기판(202)의 표면(예컨대, 적어도 하나의 유전체 층(220)의 표면)과 정렬되도록, 복수의 상호연결부들(222) 중 일부에 커플링된다. 일부 구현들에서, 상호연결부(222)에 직접 커플링된 표면 상호연결부(224)는, 제1 금속 층 및 제2 금속 층을 포함하는 단일 패드 상호연결부로 간주될 수 있으며, 여기서 제2 금속 층은 제1 금속 층의 재료와 상이한 재료를 포함한다. 제1 금속 층은 복수의 상호연결부들(222)로부터의 상호연결부로 표현될 수 있고, 제2 금속 층은 표면 상호연결부(224)로 표현될 수 있다. 제1 금속 층은 구리를 포함할 수 있고, 제2 금속 층은 주석(Sn)을 포함할 수 있다. 제1 금속 층은 시드 층을 포함할 수 있다. 스테이지 16에 도시된 바와 같이, 복수의 상호연결부들(222)로부터의 상호연결부들 중 일부는 기판(202)의 표면을 통해 임베딩될 수 있고, 복수의 상호연결부들(222)로부터의 상호연결부들 중 일부 위에 그리고/또는 그에 인접하게 기판 리세스가 있을 수 있다.

[0045] [0051] 상이한 구현들은 금속 층(들)을 형성하기 위해 상이한 프로세스들을 사용할 수 있다. 일부 구현들에서, 금속 층(들)을 형성하기 위한 CVD(chemical vapor deposition) 프로세스 및/또는 PVD(physical vapor deposition) 프로세스가 있다. 예컨대, 스퍼터링 프로세스, 스프레이 코팅 프로세스, 및/또는 도금 프로세스가 금속 층(들)을 형성하는 데 사용될 수 있다.

[0046] **기판을 제작하기 위한 방법의 예시적인 흐름도**

[0047] [0052] 일부 구현들에서, 기판을 제작하는 것은 몇몇 프로세스들을 포함한다. 도 5는 표면 상호연결부들을 포함하는 기판을 제공 또는 제조하기 위한 방법(500)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 5의 방법(500)은 도 2의 기판(202)을 제공 또는 제작하는 데 사용될 수 있다. 그러나, 방법(500)은 본 개시내용에서 설명된 임의의 기판을 제작하는 데 사용될 수 있다.

[0048] [0053] 기판을 제공 또는 제작하기 위한 방법을 단순화 및/또는 명확화하기 위해, 도 5의 방법이 하나 이상의

프로세스들을 조합할 수 있다는 것이 주목되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

- [0049] [0054] 방법은 (505에서) 금속 층(402)을 갖는 캐리어(400)를 제공한다. 금속 층(402)은 시드 층(예컨대, 구리 시드 층)을 포함할 수 있다. 상이한 구현들은 캐리어에 대해 상이한 재료들을 사용할 수 있다. 도 10a의 스테이지 1은, 금속 층을 갖는 캐리어에 제공된 후의 상태의 예를 예시 및 설명한다.
- [0050] [0055] 방법은 (510에서) 포토레지스트 층(403)을 형성하고 에칭한다. 포토레지스트 층(403)은 캐리어(400)의 금속 층(402) 위에 적층 및/또는 증착될 수 있다. 도 10a의 스테이지 2 - 스테이지 3은 포토레지스트 층을 형성 및 에칭하는 것을 예시 및 설명한다.
- [0051] [0056] 방법은 (515에서) 금속 층(402) 위에 복수의 표면 상호연결부들(224)을 형성한다. 표면 상호연결부들(224)은 금속 층(405)(예컨대, 표면 금속 층)으로 형성될 수 있다. 금속 층(405)은 금속 층(402)과 상이한 재료를 포함할 수 있다. 금속 층(405)은 주석(Sn)을 포함할 수 있다. 금속 층(405)은 시드 층(예컨대, 구리 시드 층)과 상이할 수 있다. 금속 층(405)을 형성하기 위해 도금 프로세스가 사용될 수 있다. 도 4a의 스테이지 4는 표면 상호연결부들을 형성하는 예를 예시 및 설명한다.
- [0052] [0057] 방법은 (520에서) 금속 층(405) 및 금속 층(402) 위에 상호연결부들(406)을 형성한다. 상호연결부들(406)을 형성하기 위해 도금 프로세스가 사용될 수 있다. 도 4a의 스테이지 5는 상호연결부들을 형성하는 예를 예시 및 설명한다.
- [0053] [0058] 방법은 (525에서) 포토레지스트 층(403)을 제거한다. 도 4b의 스테이지 6은 포토레지스트 층을 제거하는 예를 예시 및 설명한다.
- [0054] [0059] 방법은 (530에서) 캐리어(400) 및 금속 층(402) 위에 유전체 층(420)을 형성한다. 유전체 층(420)은 폴리이미드를 포함할 수 있다. 유전체 층을 형성하는 것은 또한, 유전체 층(420)에 복수의 캐비티들(예컨대, 410)을 형성하는 것을 포함할 수 있다. 복수의 캐비티들은 에칭 프로세스(예컨대, 포토 에칭) 또는 레이저 프로세스를 사용하여 형성될 수 있다. 도 4b의 스테이지 7 - 스테이지 8은 유전체 층을 그리고 유전체 층에 캐비티들을 형성하는 예를 예시 및 설명한다.
- [0055] [0060] 방법은 (535에서) 유전체 층 내에 그리고 유전체 층 위에 상호연결부들을 형성한다. 예컨대, 상호연결부들(412)은 유전체 층(420) 내에 그리고 유전체 층(420) 위에 형성될 수 있다. 상호연결부들을 형성하기 위해 도금 프로세스가 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위에 그리고/또는 유전체 층 내에 패터닝된 금속 층을 제공하는 것을 포함할 수 있다. 도 4b의 스테이지 9는 유전체 층 내에 그리고 유전체 층 위에 상호연결부들을 형성하는 예를 예시 및 설명한다.
- [0056] [0061] 방법은 (540에서) 유전체 층(420) 및 상호연결부들 위에 유전체 층(422)을 형성한다. 유전체 층(422)은 폴리이미드를 포함할 수 있다. 유전체 층을 형성하는 것은 또한, 유전체 층(422)에 복수의 캐비티들(예컨대, 430)을 형성하는 것을 포함할 수 있다. 복수의 캐비티들은 에칭 프로세스 또는 레이저 프로세스를 사용하여 형성될 수 있다. 도 4b - 도 4c의 스테이지 10 - 스테이지 11은 유전체 층을 그리고 유전체 층에 캐비티들을 형성하는 것을 예시한다.
- [0057] [0062] 방법은 (545에서) 유전체 층 내에 그리고/또는 유전체 층 위에 상호연결부들을 형성한다. 예컨대, 상호연결부들(414)이 형성될 수 있다. 상호연결부들을 형성하기 위해 도금 프로세스가 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위에 그리고/또는 유전체 층 내에 패터닝된 금속 층을 제공하는 것을 포함할 수 있다. 도 4c의 스테이지 12는 유전체 층 내에 그리고 유전체 층 위에 상호연결부들을 형성하는 예를 예시 및 설명한다.
- [0058] [0063] 방법은, 540 및 545에서 설명된 바와 같이, 추가적인 유전체 층(들) 및 추가적인 상호연결부들을 형성할 수 있다. 도 4c - 도 4d의 스테이지 13 - 스테이지 15는 유전체 층 내에 그리고 유전체 층 위에 추가적인 상호연결부들을 형성하는 예를 예시 및 설명한다.
- [0059] [0064] 일단 모든 유전체 층(들) 및 추가적인 상호연결부들이 형성되면, 방법은, 유전체 층(420)으로부터 캐리어(예컨대, 400)를 디커플링(예컨대, 제거, 그라인딩 아웃)하고, 금속 층(402)(예컨대, 시드 층)을 제거(예컨대, 에칭 아웃)하여, 기판(202)을 남길 수 있다. 도 4d의 스테이지 16은 기판으로부터 캐리어를 디커플링하는 예를 예시 및 설명한다. 일부 구현들에서, 방법은 기판 위에(예컨대, 기판의 제1 표면 위에, 기판의 제2 표면 위에) 적어도 하나의 솔더 레지스트 층(예컨대, 320)을 형성할 수 있다.

- [0060] [0065] 상이한 구현들은 금속 층(들)을 형성하기 위해 상이한 프로세스들을 사용할 수 있다. 일부 구현들에서, 금속 층(들)을 형성하기 위한 CVD(chemical vapor deposition) 프로세스 및/또는 PVD(physical vapor deposition) 프로세스가 있다. 예컨대, 스퍼터링 프로세스, 스프레이 코팅 프로세스, 및/또는 도금 프로세스가 금속 층(들)을 형성하는 데 사용될 수 있다.
- [0061] **표면 상호연결들을 포함하는 기판을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**
- [0062] [0066] 도 6a - 도 6b는 표면 상호연결부들을 포함하는 기판을 포함하는 패키지를 제공 또는 제작하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 6a - 도 6b의 시퀀스는 도 3의 표면 상호연결부들을 포함하는 기판을 포함하는 패키지(300) 또는 본 개시내용에서 설명된 패키지들 중 임의의 패키지를 제공 또는 제작하는 데 사용될 수 있다.
- [0063] [0067] 도 6a - 도 6b의 시퀀스는 패키지를 제공 또는 제작하기 위한 시퀀스를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 조합할 수 있다는 것이 주목되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다. 일부 구현들에서, 본 개시내용의 범위를 벗어나지 않으면서 프로세스들 중 하나 이상이 대체 또는 교체될 수 있다. 도 6a - 도 6b의 시퀀스는 (웨이퍼의 일부로서) 한 번에 하나의 패키지 또는 여러 패키지들을 제작하는 데 사용될 수 있다.
- [0064] [0068] 스테이지 1은, 도 6a에 도시된 바와 같이, 기판(302)이 제공된 후의 상태를 예시한다. 기판(302)은 공급자에 의해 제공되거나 또는 제작될 수 있다. 기판(302)을 제작하기 위해, 도 4a - 도 4d에 도시된 프로세스와 유사한 프로세스가 사용될 수 있다. 그러나, 상이한 구현들은 기판(302)을 제작하기 위해 상이한 프로세스들을 사용할 수 있다. 기판(302)을 제작하는 데 사용될 수 있는 프로세스들의 예들은 SAP(semi-additive process) 및 mSAP(modified semi-additive process)를 포함한다. 기판(302)은 적어도 하나의 유전체 층(220), 복수의 상호연결부들(222), 복수의 표면 상호연결부들(224) 및 솔더 레지스트 층(320)을 포함한다. 기판(302)은 ETS(embedded trace substrate)일 수 있다.
- [0065] [0069] 복수의 표면 상호연결부들(224)은, 기판(302)의 표면(예컨대, 제1 표면, 최상부 표면)과 정렬되고 그리고/또는 기판(302)의 표면(예컨대, 제1 표면, 최상부 표면)과 평면을 이루는 표면을 가질 수 있다. 예컨대, 기판(302)을 등지는, 복수의 표면 상호연결부들(224)의 표면은 기판(302)의 표면(예컨대, 제1 표면, 최상부 표면)과 정렬되고 그리고/또는 기판(302)의 표면(예컨대, 제1 표면, 최상부 표면)과 평면을 이룬다. 다른 예에서, 기판(302)을 등지는, 복수의 표면 상호연결부들(224)의 표면은 적어도 하나의 유전체 층(220)의 표면(예컨대, 제1 표면, 최상부 표면)과 정렬되고 그리고/또는 적어도 하나의 유전체 층(220)의 표면(예컨대, 제1 표면, 최상부 표면)과 평면을 이룬다. 복수의 표면 상호연결부들(224)은 복수의 상호연결부들(222)의 재료와 상이한 재료를 포함할 수 있다. 복수의 상호연결부들(224)은 시드 층과 상이할 수 있다.
- [0066] [0070] 스테이지 2는, 통합 디바이스(203) 및 통합 디바이스(205)가 기판(302)의 제1 표면(예컨대, 최상부 표면)에 커플링된 후의 상태를 예시한다. 통합 디바이스(203)는 복수의 필라 상호연결부들(230) 및 복수의 솔더 상호연결부들(232)을 통해 기판(302)에 커플링될 수 있다. 복수의 솔더 상호연결부들(232)은 복수의 표면 상호연결부들(224)에 커플링될 수 있다. 통합 디바이스(205)는 복수의 필라 상호연결부들(250) 및 복수의 솔더 상호연결부들(252)을 통해 기판(302)에 커플링될 수 있다. 복수의 솔더 상호연결부들(252)은 복수의 표면 상호연결부들(224)에 커플링될 수 있다. 통합 디바이스들을 기판(302)에 커플링하기 위해 솔더 리플로우 프로세스(solder reflow process)가 사용될 수 있다.
- [0067] [0071] 스테이지 3은, 도 6b에 도시된 바와 같이, 캡슐화 층(310)이 기판(302) 및 통합 디바이스들(예컨대, 203, 205) 위에 제공된 후의 상태를 예시한다. 캡슐화 층(310)은 통합 디바이스들(들) 및/또는 컴포넌트들을 캡슐화할 수 있다. 예컨대, 캡슐화 층(310)은 기판(302) 및 통합 디바이스(들)(예컨대, 203, 205) 위에 형성될 수 있다. 캡슐화 층(310)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(310)을 형성하기 위해, 압축 몰딩 프로세스, 이송 몰딩 프로세스, 또는 액체 몰딩 프로세스가 사용될 수 있다. 캡슐화 층(310)은 포토 에칭가능할 수 있다. 캡슐화 층(310)은 캡슐화를 위한 수단일 수 있다.
- [0068] [0072] 스테이지 4는, 복수의 솔더 상호연결부들(280)이 기판(302)의 제2 표면(예컨대, 최하부 표면)에 커플링된 후의 상태를 예시한다. 복수의 솔더 상호연결부들(280)은 기판(302)의 복수의 상호연결부들(222)로부터의 상호연결부들에 커플링될 수 있다. 복수의 솔더 상호연결부들(280)을 기판(302)에 커플링시키기 위해 솔더 리플로우 프로세스가 사용될 수 있다. 스테이지 4는 패키지(300)를 예시할 수 있다. 본 개시내용에서 설명된 패키지들(예컨대, 200, 300)은 한 번에 하나씩 제작될 수 있거나, 또는 하나 이상의 웨이퍼들의 일부로서 함께 제

작된 다음, 개별 패키지들로 싱글레이팅(singulate)될 수 있다.

[0069] **표면 상호연결부들을 포함하는 기판을 포함하는 패키지를 제작하기 위한 방법의 예시적인 흐름도**

[0070] [0073] 일부 구현들에서, 표면 상호연결부들을 포함하는 기판을 포함하는 패키지를 제작하는 것은 몇몇 프로세스들을 포함한다. 도 7은 표면 상호연결부들을 포함하는 기판을 포함하는 패키지를 제공 또는 제작하기 위한 방법(700)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 7의 방법(700)은 본 개시내용에서 설명된 도 3의 패키지(300)를 제공 또는 제작하는 데 사용될 수 있다. 그러나, 방법(700)은 본 개시내용에서 설명된 패키지들 중 임의의 패키지를 제공 또는 제작하는 데 사용될 수 있다.

[0071] [0074] 표면 상호연결부들을 포함하는 기판을 포함하는 패키지를 제공 또는 제작하기 위한 방법을 단순화 및/또는 명확화하기 위해, 도 7의 방법이 하나 이상의 프로세스들을 조합할 수 있다는 것이 주목되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

[0072] [0075] 방법은 (705에서) 표면 상호연결부들을 갖는 기판(예컨대, 202, 302)을 제공한다. 기판(302)은 공급자에 의해 제공되거나 또는 제작될 수 있다. 기판(302)은 제1 표면 및 제2 표면을 포함한다. 기판(302)은 적어도 하나의 유전체 층(220), 복수의 상호연결부들(222), 복수의 표면 상호연결부들(224) 및 솔더 레지스트 층(320)을 포함한다. 복수의 표면 상호연결부(224)는 복수의 상호연결부들(222)에 커플링될 수 있다. 복수의 표면 상호연결부(224)는 복수의 상호연결부들(222) 위에 로케이팅될 수 있다. 상이한 구현들은 상이한 기판들을 제공할 수 있다. 기판(302)을 제작하기 위해, 도 4a - 도 4d에 도시된 프로세스들과 유사한 프로세스가 사용될 수 있다. 그러나, 상이한 구현들은 기판(302)을 제작하기 위해 상이한 프로세스들을 사용할 수 있다. 도 6a의 스테이지 1은 표면 상호연결부들을 갖는 기판을 제공하는 예를 예시 및 설명한다.

[0073] [0076] 방법은 (710에서) 복수의 통합 디바이스들(예컨대, 203, 205)을 기판(예컨대, 302)의 제1 표면에 커플링한다. 예컨대, 통합 디바이스(203)는 복수의 필라 상호연결부들(230) 및 복수의 솔더 상호연결부들(232)을 통해 기판(302)에 커플링될 수 있다. 복수의 솔더 상호연결부들(232)은 기판(302)의 복수의 상호연결부들(224)에 커플링될 수 있다. 다른 예에서, 통합 디바이스(205)는 복수의 필라 상호연결부들(250) 및 복수의 솔더 상호연결부들(252)을 통해 기판(302)에 커플링될 수 있다. 복수의 솔더 상호연결부들(252)은 기판(302)의 복수의 표면 상호연결부들(224)에 커플링될 수 있다. 통합 디바이스들을 기판에 커플링하기 위해 솔더 리플로우 프로세스가 사용될 수 있다. 도 6a의 스테이지 2는 기판에 커플링된 통합 디바이스들의 예를 예시 및 설명한다.

[0074] [0077] 방법은 (715에서) 기판(예컨대, 302) 위에 캡슐화 층(예컨대, 310)을 형성한다. 캡슐화 층(310)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(310)을 형성하기 위해, 압축 몰딩 프로세스, 이송 몰딩 프로세스, 또는 액체 몰딩 프로세스가 사용될 수 있다. 캡슐화 층(310)은 포토 에칭가능할 수 있다. 캡슐화 층(310)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층은 통합 디바이스들(들) 및/또는 컴포넌트들을 캡슐화할 수 있다. 도 6b의 스테이지 3은 기판 위에 캡슐화 층을 형성하는 예를 예시 및 설명한다.

[0075] [0078] 방법은 (720에서) 복수의 솔더 상호연결부들(예컨대, 280)을 기판(예컨대, 302)의 제2 표면에 커플링한다. 복수의 솔더 상호연결부들은 기판의 복수의 상호연결부들(222)에 커플링될 수 있다. 도 6b의 스테이지 4는, 솔더 상호연결부들을 기판에 커플링하는 예를 예시 및 설명한다.

[0076] **예시적인 전자 디바이스들**

[0077] [0079] 도 8은, 전술된 디바이스, 통합 디바이스, IC(integrated circuit) 패키지, IC(integrated circuit) 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저(interposer), 패키지, PoP(package-on-package), SiP(System in Package), 또는 SoC(System on Chip) 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예컨대, 모바일 폰 디바이스(802), 랩톱 컴퓨터 디바이스(804), 고정 로케이션 단말 디바이스(806), 웨어러블 디바이스(808) 또는 자동차(810)는 본원에서 설명된 바와 같은 디바이스(800)를 포함할 수 있다. 디바이스(800)는 예컨대, 본원에서 설명된 디바이스들 및/또는 IC(integrated circuit) 패키지들 중 임의의 것일 수 있다. 도 8에 예시된 디바이스들(802, 804, 806 및 808) 및 차량(810)은 단지 예시적이다. 다른 전자 디바이스들이 또한, 모바일 디바이스들, 핸드-헬드 PCS(personal communication systems) 유닛들, 휴대용 데이터 유닛들, 이를테면, 개인 휴대 정보 단말(personal digital assistant)들, GPS(global positioning system) 가능 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 로케이션 데이터 유닛들, 이를테면, 미터 판독 장비, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예컨대, 시계들, 안경), IoT(Internet of things) 디바이스들, 서버들, 라우터들, 자동차들(예컨대, 자율주행 차량들)에 구현되는 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장

하거나 또는 리트리브하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는 디바이스들(예컨대, 전자 디바이스들)의 그룹을 포함하는(그러나 이에 제한되지 않음) 디바이스(800)를 특징으로 할 수 있다.

[0078] [0080] 도 2 - 도 3, 도 4a - 도 4d, 도 5, 도 6a - 도 6b, 및/또는 도 7 - 도 8에 예시된 컴포넌트들, 프로세스들, 특징들, 및/또는 기능들 중 하나 이상은 단일 컴포넌트, 프로세스, 특징 또는 기능으로 재배열 및/또는 조합되거나, 또는 몇몇 컴포넌트들, 프로세스들, 또는 기능들로 구현될 수 있다. 본 개시내용을 벗어나지 않으면서 추가적인 엘리먼트들, 컴포넌트들, 프로세스들, 및/또는 기능들이 또한 추가될 수 있다. 또한, 도 2 - 도 3, 도 4a - 도 4d, 도 5, 도 6a - 도 6b, 및/또는 도 7 - 도 8, 및 본 개시내용의 그에 대응하는 설명이 다이들 및/또는 IC들로 제한되지 않는다는 것이 주목되어야 한다. 일부 구현들에서, 도 2 - 도 3, 도 4a - 도 4d, 도 5, 도 6a - 도 6b, 및/또는 도 7 - 도 8 및 그의 대응하는 설명은 디바이스들 및/또는 통합 디바이스들을 제조, 생성, 제공, 및/또는 생산하는 데 사용될 수 있다. 일부 구현들에서, 디바이스는 다이, 통합 디바이스, IPD(integrated passive device), 다이 패키지, IC(integrated circuit) 디바이스, 디바이스 패키지, IC(integrated circuit) 패키지, 웨이퍼, 반도체 디바이스, PoP(package-on-package) 디바이스, 방열 디바이스 및/또는 인터포저를 포함할 수 있다.

[0079] [0081] 본 개시내용의 도면들은 다양한 부분들, 컴포넌트들, 오브젝트들, 디바이스들, 패키지들, 통합 디바이스들, 집적 회로들, 및/또는 트랜지스터들의 실제 표현들 및/또는 개념적 표현들을 나타낼 수 있다는 것이 주목된다. 일부 경우들에서, 도면들은 실체대로는 아닐 수 있다. 일부 경우들에서, 명확성의 목적을 위해, 모든 컴포넌트들 및/또는 부분들이 도시되지는 않을 수 있다. 일부 경우들에서, 도면들에서의 다양한 부분들 및/또는 컴포넌트들의 포지션, 로케이션, 크기들, 및/또는 형상들은 예시적일 수 있다. 일부 구현들에서, 도면들의 다양한 컴포넌트들 및/또는 부분들은 선택적일 수 있다.

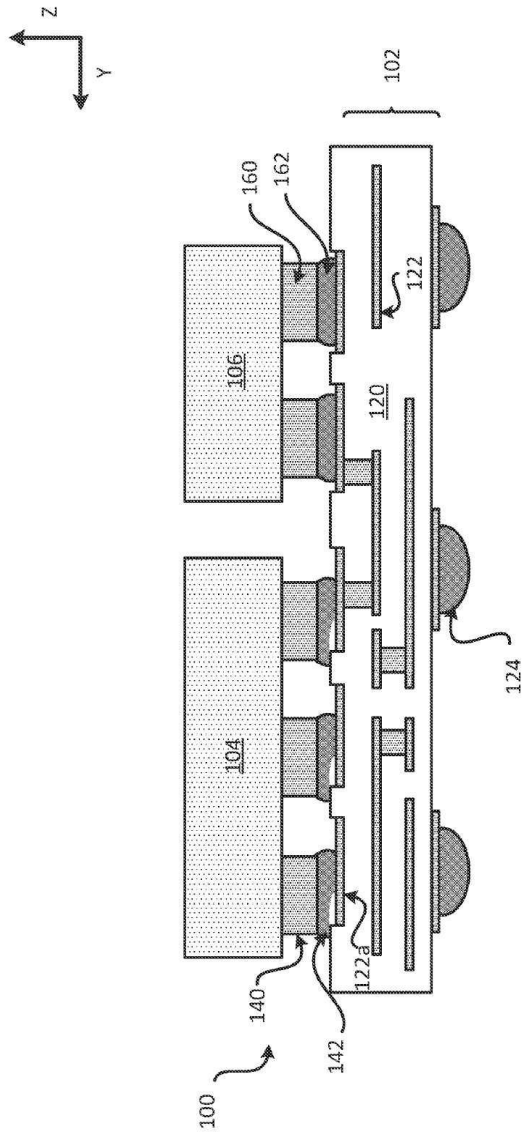
[0080] [0082] "예시적인"이라는 단어는, "예, 경우, 또는 예시로서 기능하는" 것을 의미하도록 본원에서 사용된다. "예시적인" 것으로서 본원에서 설명된 임의의 구현 또는 양상이 반드시 본 개시내용의 다른 양상들에 비해 선호되거나 유리한 것으로 해석될 필요는 없다. 마찬가지로, "양상들"이라는 용어는 본 개시내용의 모든 양상들이 논의된 특징, 장점 또는 동작 모드를 포함할 것을 요구하지 않는다. "커플링된"이라는 용어는 2개의 오브젝트들 사이를 직접적 또는 간접적 커플링(예컨대, 기계적 커플링)하는 것을 지칭하기 위해 본원에서 사용된다. 예컨대, 오브젝트 A가 오브젝트 B를 물리적으로 터치하고, 오브젝트 B가 오브젝트 C를 터치하면, 오브젝트 A와 오브젝트 C는, 그들이 서로를 직접적으로 물리적으로 터치하지 않더라도, 서로 커플링된 것으로 계속해서 간주될 수 있다. "전기적으로 커플링된"이라는 용어는, 전류(예컨대, 신호, 전력, 접지)가 2개의 오브젝트들 사이에서 이동할 수 있도록 2개의 오브젝트들이 직접적으로 또는 간접적으로 함께 커플링되는 것을 의미할 수 있다. 전기적으로 커플링된 2개의 오브젝트들은 2개의 오브젝트들 사이에서 이동하는 전류를 가질 수 있거나 갖지 않을 수 있다. "제1", "제2", "제3" 및 "제4"라는 용어들(그리고/또는 제4 이상의 임의의 것)의 사용은 임의적이다. 설명된 컴포넌트들 중 임의의 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. 예컨대, 제2 컴포넌트로 지칭되는 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. "캡슐화"라는 용어는 오브젝트가 다른 오브젝트를 부분적으로 캡슐화하거나 완전히 캡슐화할 수 있음을 의미한다. "최상부" 및 "최하부"라는 용어들은 임의적이다. 최상부 상에 로케이팅된 컴포넌트는 최하부 상에 로케이팅된 컴포넌트 위에 로케이팅될 수 있다. 최상부 컴포넌트는 최하부 컴포넌트로 간주될 수 있고, 그 반대의 경우도 가능하다. 본 개시내용에서 설명된 바와 같이, 제2 컴포넌트 "위에" 로케이팅된 제1 컴포넌트는, 최하부 또는 최상부가 임의로 정의되는 방식에 따라, 제1 컴포넌트가 제2 컴포넌트의 위 또는 아래에 로케이팅됨을 의미할 수 있다. 다른 예에서, 제1 컴포넌트는 제2 컴포넌트의 제1 표면 위에(예컨대, 상에) 로케이팅될 수 있고, 제3 컴포넌트는 제2 컴포넌트의 제2 표면 위에(예컨대, 아래에) 로케이팅될 수 있으며, 여기서 제2 표면은 제1 표면 반대편이다. 본 출원에서, 다른 컴포넌트 위에 로케이팅된 하나의 컴포넌트의 맥락에서 사용되는 바와 같은 "위에"라는 용어는 다른 컴포넌트 상에 있는 그리고/또는 다른 컴포넌트에 있는(예컨대, 컴포넌트의 표면 상에 있거나 또는 컴포넌트에 임베딩된) 컴포넌트를 의미하기 위해 사용될 수 있음이 추가로 주목된다. 따라서, 예컨대, 제2 컴포넌트 위에 있는 제1 컴포넌트는, (1) 제1 컴포넌트가 제2 컴포넌트 위에 있지만, 제2 컴포넌트를 직접 터치하지는 않는다는 것, (2) 제1 컴포넌트가 제2 컴포넌트 상에(예컨대, 제2 컴포넌트의 표면 상에) 있는 것, 그리고/또는 (3) 제1 컴포넌트가 제2 컴포넌트 내에 있는 것(예컨대, 제2 컴포넌트에 임베딩된 것)을 의미할 수 있다. 제2 컴포넌트 "내에" 로케이팅된 제1 컴포넌트는 제2 컴포넌트 내에 부분적으로 로케이팅되거나 또는 완전히 제2 컴포넌트 내에 로케이팅될 수 있다. 본 개시내용에서 사용되는 바와 같은 "약 '값 X'" 또는 "대략 값 X"라는 용어는 '값 X'의 10% 이내를 의미한다. 예컨대, 약 1 또는 대략 1의 값은 0.9 내지 1.1 범위의 값을 의미할 것이다.

- [0081] [0083] 일부 구현들에서, 상호연결부는 2개의 포인트들, 엘리먼트들 및/또는 컴포넌트들 사이의 전기적 연결을 가능하게 하거나 용이하게 하는 디바이스 또는 패키지의 엘리먼트 또는 컴포넌트이다. 일부 구현들에서, 상호연결부는 트레이스, 비아, 패드, 필라, 금속화 층, 재분배 층, 및/또는 UBM(under bump metallization) 층/상호연결부를 포함할 수 있다. 일부 구현들에서, 상호연결부는 신호(예컨대, 데이터 신호), 접지 및/또는 전력에 대한 전기 경로를 제공하도록 구성될 수 있는 전기 전도성 재료를 포함할 수 있다. 상호연결부는 1개 초과 엘리먼트 또는 컴포넌트를 포함할 수 있다. 상호연결부는 하나 이상의 상호연결부들에 의해 정의될 수 있다. 상호연결부는 하나 이상의 금속 층들을 포함할 수 있다. 상호연결부는 회로의 일부일 수 있다. 상이한 구현들은 상호연결부들을 형성하기 위해 상이한 프로세스들 및/또는 시퀀스들을 사용할 수 있다. 일부 구현들에서, 상호연결부들을 형성하기 위해, CVD(chemical vapor deposition) 프로세스, PVD(physical vapor deposition) 프로세스, 스퍼터링 프로세스, 스프레이 코팅, 및/또는 도금 프로세스가 사용될 수 있다.
- [0082] [0084] 또한, 본원에 포함된 다양한 개시내용들이, 순서도, 흐름도, 구조도, 또는 블록도로서 묘사되는 프로세스로서 설명될 수 있다는 것이 주목된다. 순서도가 순차적인 프로세스로서 동작들을 설명할 수 있지만, 동작들의 대부분은 병렬로 또는 동시에 수행될 수 있다. 게다가, 동작들의 순서는 재배열될 수 있다. 프로세스는 프로세스의 동작들이 완료될 때 종료된다.
- [0083] [0085] 아래에서, 본 발명의 이해를 용이하게 하기 위해 추가의 예들이 설명된다.
- [0084] [0086] 양상 1: 패키지로써, 패키지는 기관 및 통합 디바이스를 포함한다. 기관은, 적어도 하나의 유전체 층; 제1 재료를 포함하는 복수의 상호연결부들; 및 복수의 상호연결부들에 커플링된 복수의 표면 상호연결부들을 포함한다. 복수의 표면 상호연결부들은 제2 재료를 포함하고, 복수의 표면 상호연결부들의 표면은 기관의 표면과 평면을 이룬다. 통합 디바이스는 복수의 필라 상호연결부들 및 복수의 솔더 상호연결부들을 통해 기관의 복수의 표면 상호연결부들에 커플링된다.
- [0085] [0087] 양상 2: 양상 1의 패키지에 있어서, 복수의 표면 상호연결부들은, 기관의 표면과 평면을 이루는, 통합 디바이스를 대면하는 표면을 갖는 표면 패드 상호연결부를 포함한다.
- [0086] [0088] 양상 3: 양상 1 내지 양상 2의 패키지에 있어서, 복수의 표면 상호연결부들은 복수의 상호연결부들과 통합 디바이스 사이에 로케이팅된다.
- [0087] [0089] 양상 4: 양상 1 내지 양상 3의 패키지에 있어서, 복수의 표면 상호연결부들에는 시드 층이 없다.
- [0088] [0090] 양상 5: 양상 1 내지 양상 4의 패키지에 있어서, 복수의 표면 상호연결부들은 주석(Sn)을 포함한다.
- [0089] [0091] 양상 6: 양상 1 내지 양상 5의 패키지에 있어서, 복수의 상호연결부들은 기관의 표면을 통해 기관에 임베딩된 트레이스 상호연결부를 포함하고, 트레이스 상호연결부는 기관의 표면으로부터의 기관 리세스에 인접한다.
- [0090] [0092] 양상 7: 양상 6의 패키지에 있어서, 기관의 표면은 통합 디바이스를 대면하는 표면이다.
- [0091] [0093] 양상 8: 양상 1 내지 양상 7의 패키지에 있어서, 복수의 상호연결부들은 패드 상호연결부를 포함하고, 복수의 표면 상호연결부들은 표면 패드 상호연결부를 포함하고, 표면 패드 상호연결부는 패드 상호연결부에 커플링되고, 통합 디바이스를 대면하는, 패드 상호연결부의 표면은 기관의 표면과 평면을 이룬다.
- [0092] [0094] 양상 9: 양상 8의 패키지에 있어서, 통합 디바이스는 필라 상호연결부 및 솔더 상호연결부를 통해 표면 패드 상호연결부에 커플링된다.
- [0093] [0095] 양상 10: 양상 1 내지 양상 9의 패키지에 있어서, 패키지는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 로케이션 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, IoT(internet of things) 디바이스, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터 선택된 디바이스에 통합된다.
- [0094] [0096] 양상 11: 기관으로서, 기관은, 적어도 하나의 유전체 층; 제1 재료를 포함하는 복수의 상호연결부들; 및 복수의 상호연결부들에 커플링된 복수의 표면 상호연결부들을 포함한다. 복수의 표면 상호연결부들은 제2 재료를 포함한다. 복수의 표면 상호연결부들의 표면은 기관의 표면과 평면을 이룬다.
- [0095] [0097] 양상 12: 양상 11의 기관에 있어서, 복수의 표면 상호연결부들에는 시드 층이 없다.
- [0096] [0098] 양상 13: 양상 11 내지 양상 12의 기관에 있어서, 복수의 표면 상호연결부들은 주석(Sn)을 포함한다.

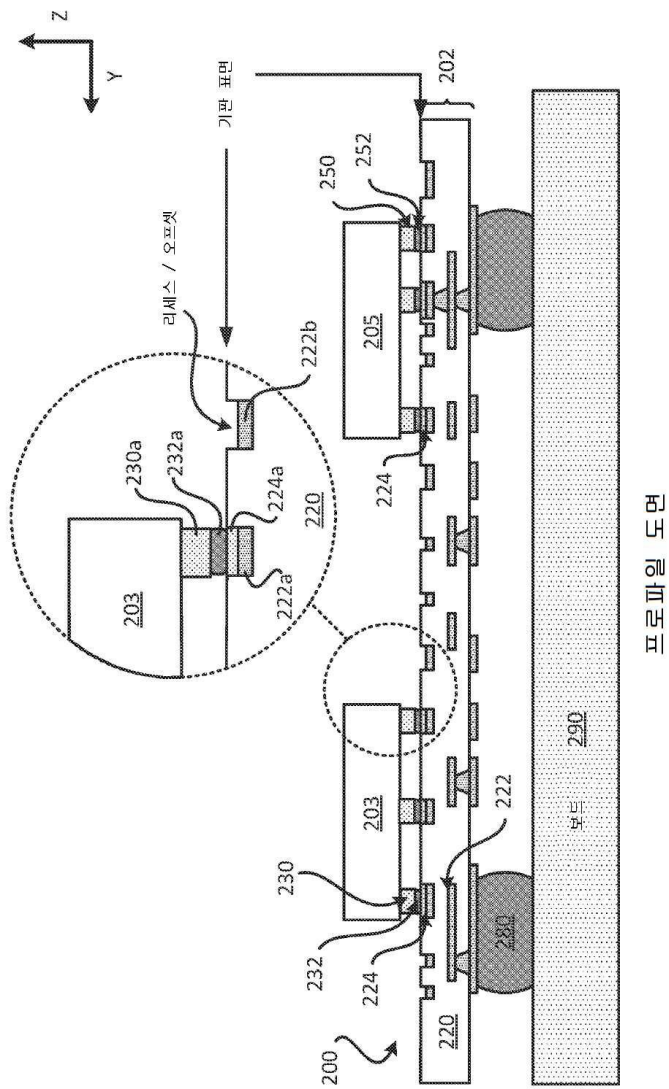
- [0097] [0099] 양상 14: 양상 11 내지 양상 13의 기관에 있어서, 복수의 상호연결부들은 기관의 표면을 통해 기관에 임베딩된 트레이스 상호연결부를 포함하고, 트레이스 상호연결부는 기관의 표면으로부터의 기관 리세스에 인접한다.
- [0098] [00100] 양상 15: 양상 14의 기관에 있어서, 기관의 표면은 통합 디바이스를 대면하는 표면이다.
- [0099] [00101] 양상 16: 양상 11 내지 양상 15의 기관에 있어서, 복수의 상호연결부들은 패드 상호연결부를 포함하고, 복수의 표면 상호연결부들은 표면 패드 상호연결부를 포함하고, 표면 패드 상호연결부는 패드 상호연결부에 커플링되고, 패드 상호연결부의 표면은 기관의 표면과 평면을 이룬다.
- [0100] [00102] 양상 17: 패키지를 제작하기 위한 방법이다. 방법은, 적어도 하나의 유전체 층; 제1 재료를 포함하는 복수의 상호연결부들; 및 복수의 상호연결부들에 커플링된 복수의 표면 상호연결부들을 포함하는 기관을 제공하며, 복수의 표면 상호연결부들은 제2 재료를 포함하고, 복수의 표면 상호연결부들의 표면은 기관의 표면과 평면을 이룬다. 방법은 통합 디바이스를 복수의 필라 상호연결부들 및 복수의 솔더 상호연결부들을 통해 기관의 복수의 표면 상호연결부들에 커플링한다.
- [0101] [00103] 양상 18: 양상 17의 방법에 있어서, 복수의 표면 상호연결부들은, 기관의 표면과 평면을 이루는, 통합 디바이스를 대면하는 표면을 갖는 표면 패드 상호연결부를 포함한다.
- [0102] [00104] 양상 19: 양상 17 내지 양상 18의 방법에 있어서, 복수의 표면 상호연결부들은 복수의 상호연결부들과 통합 디바이스 사이에 로케이팅된다.
- [0103] [00105] 양상 20: 양상 17 내지 양상 19의 방법에 있어서, 복수의 표면 상호연결부들에는 시드 층이 없다.
- [0104] [00106] 양상 21: 양상 17 내지 양상 20의 방법에 있어서, 복수의 표면 상호연결부들은 주석(Sn)을 포함한다.
- [0105] [00107] 양상 22: 양상 17 내지 양상 21의 방법에 있어서, 복수의 상호연결부들은 패드 상호연결부를 포함하고, 복수의 표면 상호연결부들은 표면 패드 상호연결부를 포함하고, 표면 패드 상호연결부는 패드 상호연결부에 커플링되고, 통합 디바이스를 대면하는, 패드 상호연결부의 표면은 기관의 표면과 평면을 이룬다.
- [0106] [00108] 양상 23: 양상 22의 방법에 있어서, 통합 디바이스는 필라 상호연결부 및 솔더 상호연결부를 통해 표면 패드 상호연결부에 커플링된다.
- [0107] [00109] 본원에서 설명된 개시내용의 다양한 특징들은, 본 개시내용을 벗어나지 않으면서 상이한 시스템들에서 구현될 수 있다. 본 개시내용의 전술된 양상들이 단지 예들이고, 본 개시내용을 제한하는 것으로서 해석되지 않아야 한다는 것이 주목되어야 한다. 본 개시내용의 양상들의 설명은 예시적인 것으로 의도되며, 청구항들의 범위를 제한하는 것으로 의도되지 않는다. 따라서, 본 교시들은 다른 타입들의 장치들에 용이하게 적용될 수 있으며, 많은 대안들, 수정들, 및 변형들이 당업자들에게 자명할 것이다.

도면

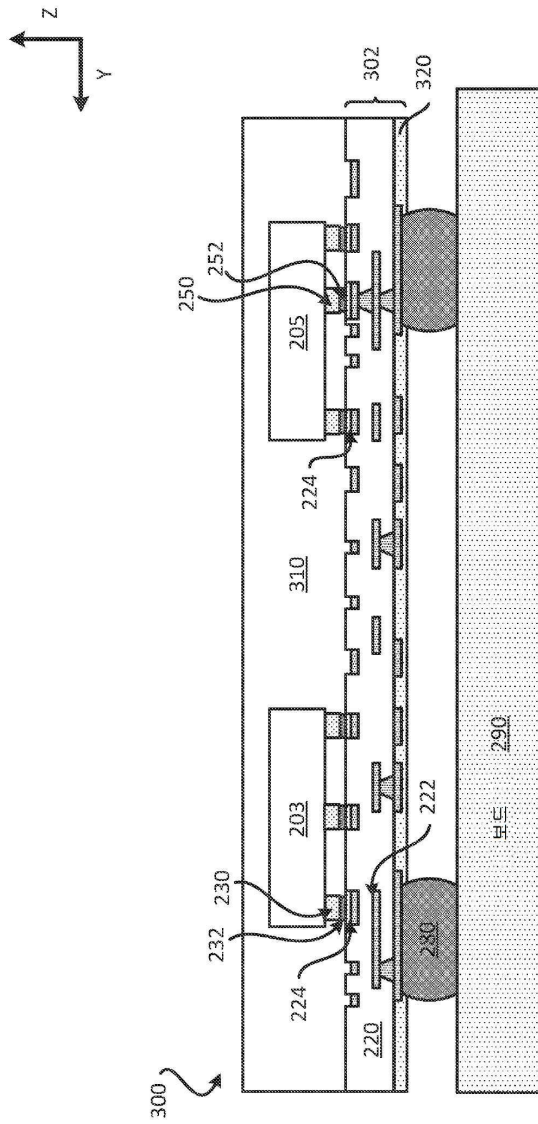
도면1



도면2

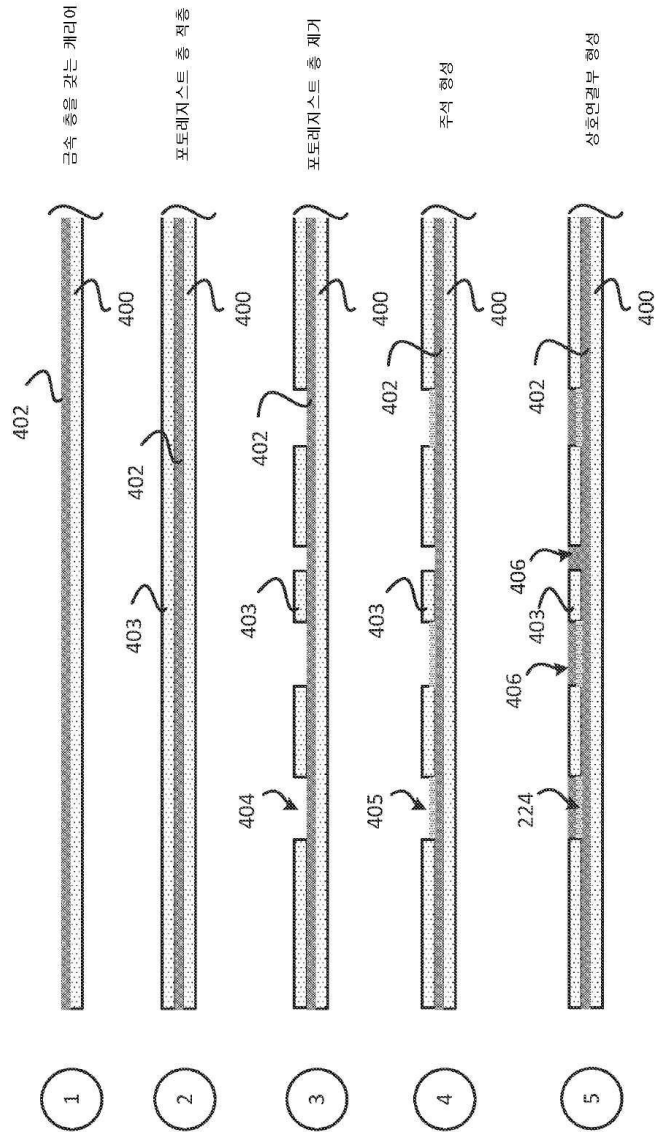


도면3

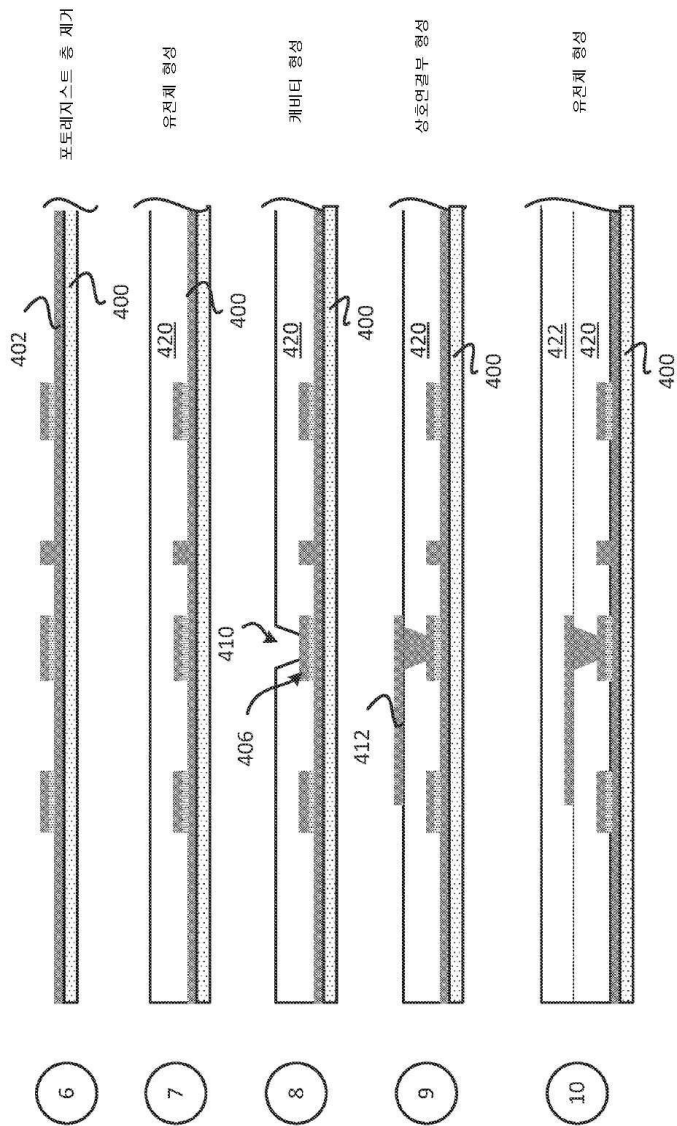


표로파일 도면

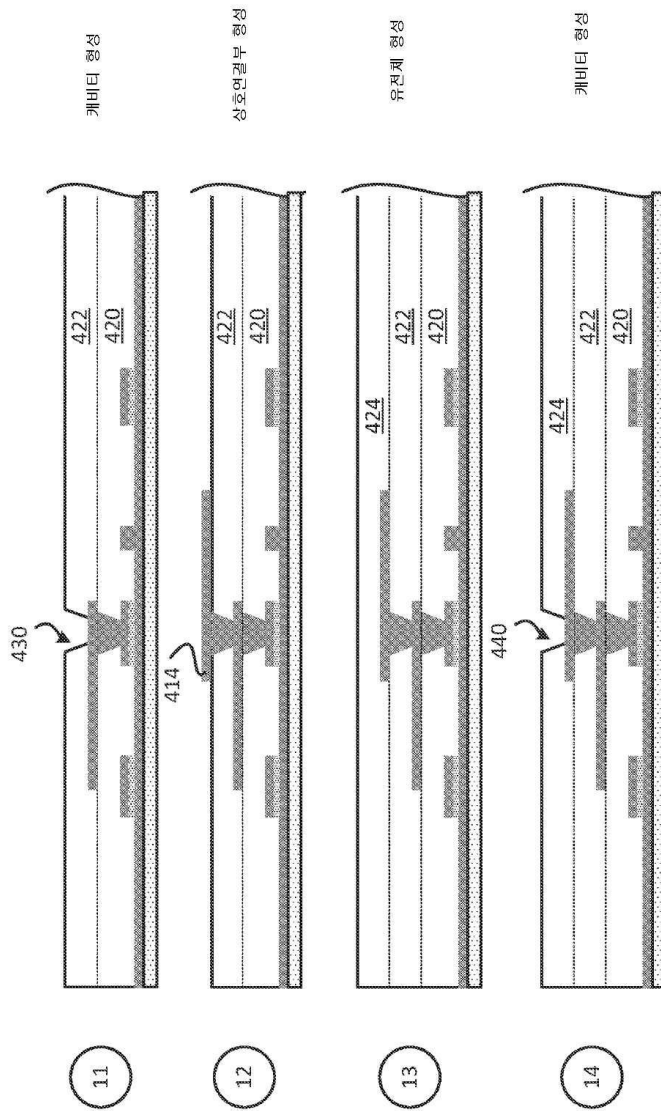
도면4a



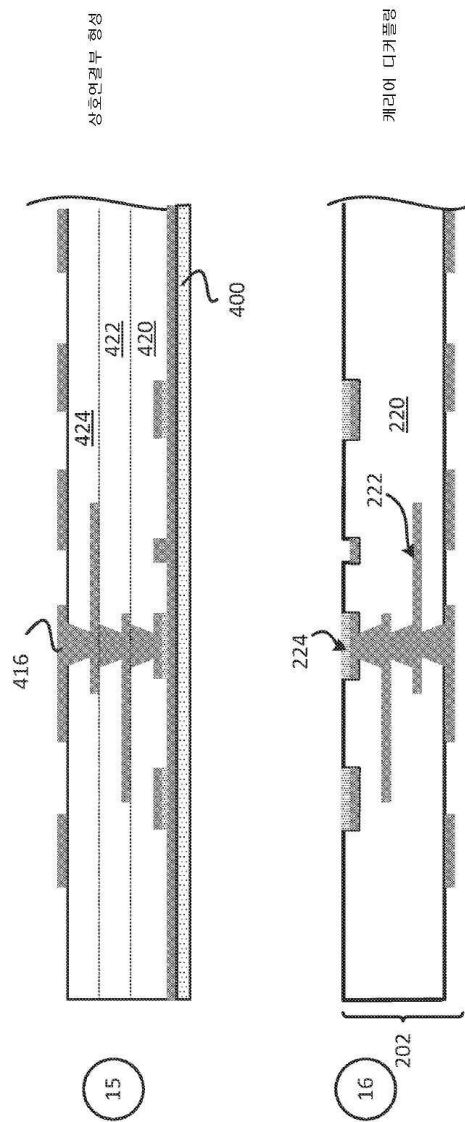
도면4b



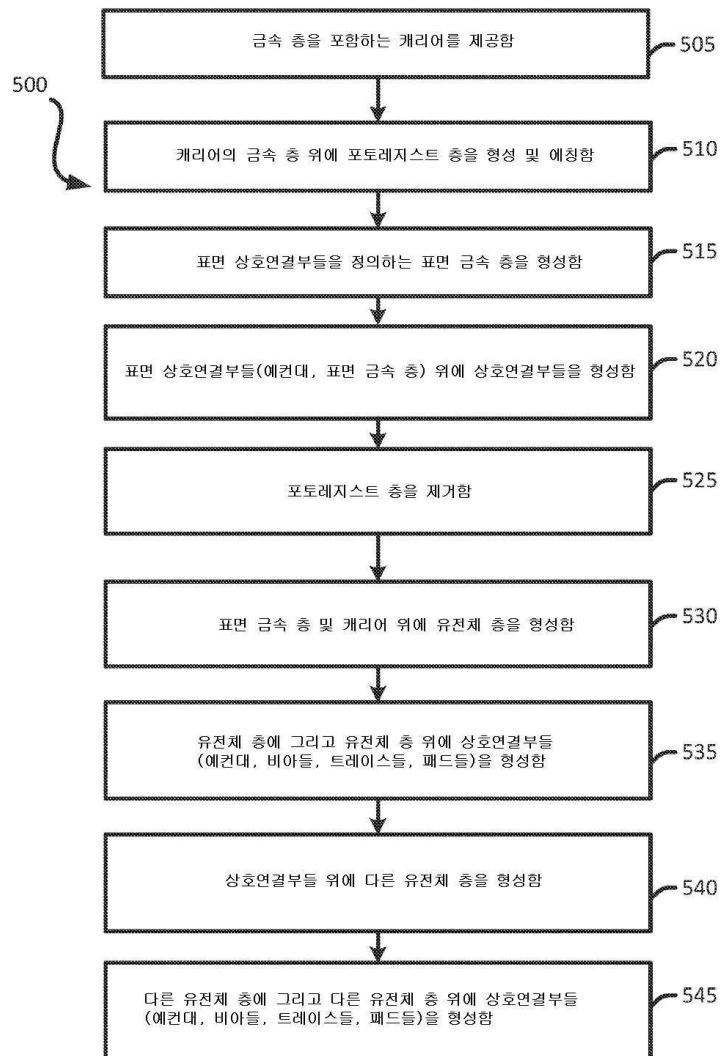
도면4c



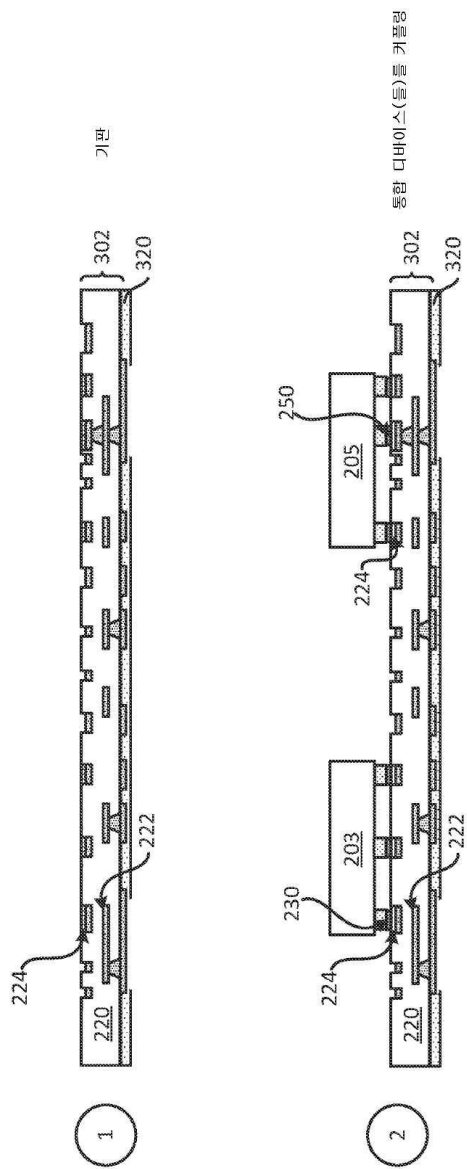
도면4d



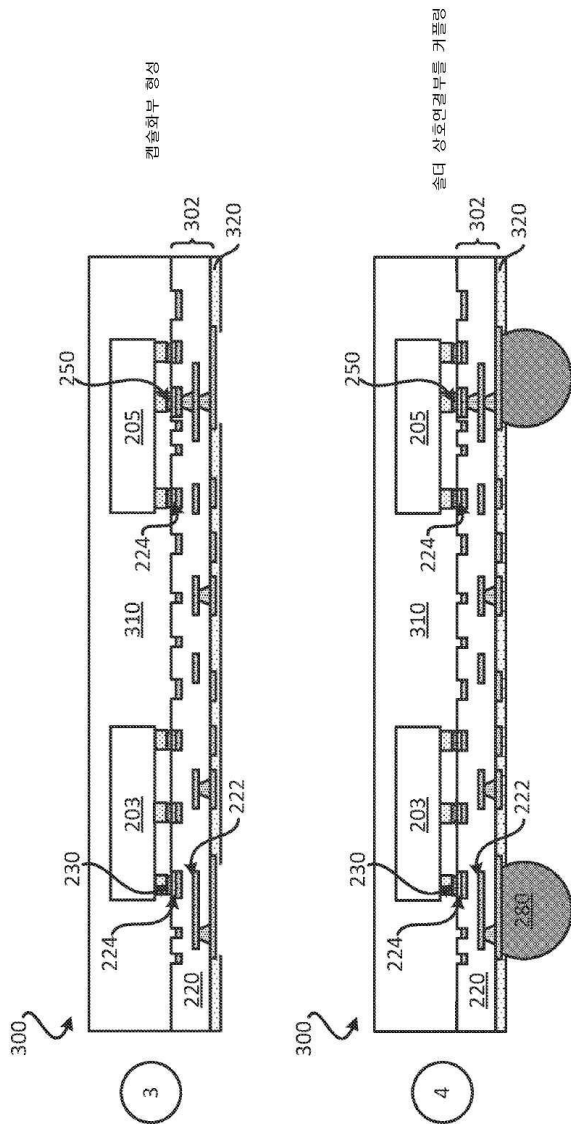
도면5



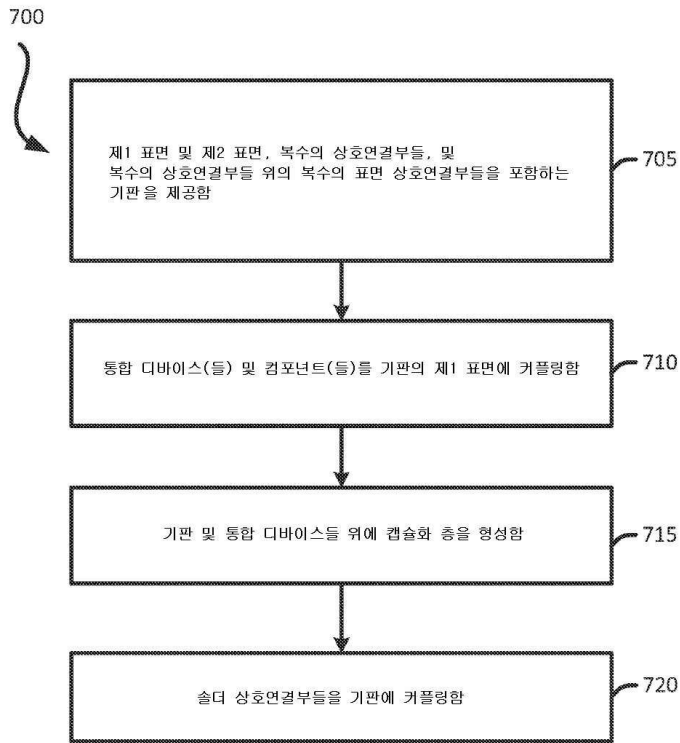
도면6a



도면6b



도면7



도면8

