

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6189742号
(P6189742)

(45) 発行日 平成29年8月30日 (2017. 8. 30)

(24) 登録日 平成29年8月10日 (2017. 8. 10)

(51) Int. Cl.	F I
H O 1 G 4/12 (2006.01)	H O 1 G 4/12 3 4 9
H O 1 G 4/232 (2006.01)	H O 1 G 4/12 3 5 2
H O 1 G 4/30 (2006.01)	H O 1 G 4/12 3 6 4
	H O 1 G 4/30 3 0 1 E
	H O 1 G 4/30 3 0 1 C
請求項の数 4 (全 9 頁) 最終頁に続く	

(21) 出願番号	特願2013-267391 (P2013-267391)	(73) 特許権者	000006633
(22) 出願日	平成25年12月25日 (2013. 12. 25)		京セラ株式会社
(65) 公開番号	特開2015-126008 (P2015-126008A)		京都府京都市伏見区竹田鳥羽殿町 6 番地
(43) 公開日	平成27年7月6日 (2015. 7. 6)	(72) 発明者	木村 哲也
審査請求日	平成28年6月15日 (2016. 6. 15)		京都府京都市伏見区竹田鳥羽殿町 6 番地
			京セラ株式会社内
		審査官	堀 拓也
		(56) 参考文献	特開平 0 5 - 1 6 6 6 6 7 (J P , A)
			特開平 0 3 - 2 2 5 9 0 3 (J P , A)
			特開平 1 0 - 1 4 9 9 4 0 (J P , A)
			最終頁に続く

(54) 【発明の名称】 積層型電子部品およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

セラミック層と内部電極層とが交互に積層された電子部品本体を備えている積層型電子部品であって、前記セラミック層は、その主面が、一对の長辺および一对の短辺を有する矩形形状であり、前記主面において、前記長辺と前記短辺とを結ぶように、かつ互いに平行になるように配置された溝部を有しており、前記内部電極層の一部が前記溝部を埋めるように配置されていることを特徴とする積層型電子部品。

【請求項 2】

前記溝部が、前記主面上で、一つの方向に向いた第 1 の溝部と、該第 1 の溝部に対し交差して他の方向に向いた第 2 の溝部とを有していることを特徴とする請求項 1 に記載の積層型電子部品。

【請求項 3】

前記第 1 の溝部または前記第 2 の溝部の間が山形状になっていることを特徴とする請求項 2 に記載の積層型電子部品。

【請求項 4】

表面に、平行な斜線柄または交差した斜線柄に形成された螺旋状の凹溝部にセラミックスラリを溜めたロール部材を用いて、主面上に斜め方向に互いに平行に配置される溝部を有するセラミックグリーンシートを形成する工程と、
該セラミックグリーンシートの前記主面に内部電極パターンを形成して、該内部電極パターンの一部が前記溝部を埋めるように配置されたパターンシートを形成する工程と、

10

20

前記パターンシートを複数層重ねて電子部品本体成形体を形成する工程と、
前記電子部品本体成形体を焼成して電子部品本体を形成する工程と、
を具備してなることを特徴とする積層型電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層型電子部品およびその製造方法に関する。

【背景技術】

【0002】

従来より、複数のセラミック層と複数の内部電極層とを交互に積み重ねた後、一体的に
焼成して作製された積層型の電子部品が知られている（例えば、特許文献1を参照）。こ
のような積層型電子部品において、例えば、コンデンサは、近年の携帯電話に代表される
小型の電子機器への対応から、さらなる小型化および高容量化が要求されてきている。ま
た、圧電素子においても低い電圧で大きな変位量が得られるように圧電体層の薄層化が求
められている。

10

【0003】

ところが、セラミック層および内部電極層の積層数が、例えば数百層にも及ぶ積層型電
子部品においては、セラミック層および内部電極層の双方が薄層化されているために、セ
ラミック層の厚みに対する内部電極層の厚みの比率が大きくなっていることから、内部電
極層の厚みに起因する段差が大きくなり、このような内部電極層の段差によりセラミック
層と内部電極層との界面にデラミネーションが発生しやすいという問題がある。その原因
は、内部電極層とセラミック層とが例えば金属とセラミックスというように材質が全く異
なるため接着し難いことや、内部電極層とセラミック層との熱膨張係数が大きく異なるた
め、温度変化において内部電極層とセラミック層との収縮量の差により歪みが大きくなる
からである。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-129841号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0005】

従って、本発明の目的は、セラミック層および内部電極層を多層化してもデラミネー
ションが発生する可能性を低減することのできる積層型電子部品およびその製造方法を提
供することにある。

【課題を解決するための手段】

【0006】

本発明の積層型電子部品は、セラミック層と内部電極層とが交互に積層された電子部品
本体を備えている積層型電子部品であって、前記セラミック層は、その主面が、一対の長
辺および一対の短辺を有する矩形状であり、前記主面において、前記長辺と前記短辺とを
結ぶように、かつ互いに平行になるように配置された溝部を有しており、前記内部電極層
の一部が前記溝部を埋めるように配置されていることを特徴とする。

40

【0007】

本発明の積層型電子部品の製造方法は、表面に、平行な斜線柄または交差した斜線柄に
形成された螺旋状の凹溝部にセラミックスラリを溜めたロール部材を用いて、主面上に斜
め方向に互いに平行に配置される溝部を有するセラミックグリーンシートを形成する工程
と、該セラミックグリーンシートの前記主面に内部電極パターンを形成して、該内部電極
パターンの一部が前記溝部を埋めるように配置されたパターンシートを形成する工程と、
前記パターンシートを複数層重ねて電子部品本体成形体を形成する工程と、前記電子部品
本体成形体を焼成して電子部品本体を形成する工程と、を具備してなることを特徴とする

50

。

【発明の効果】

【0008】

本発明によれば、セラミック層および内部電極層を多数積層しても、デラミネーションが発生する可能性を低減することのできる積層型電子部品およびその製造方法を得ることができる。

【図面の簡単な説明】

【0009】

【図1】(a)は、本発明の積層型電子部品の一実施形態を示す外観斜視図であり、(b)は(a)のA-A線断面図であり、(c)は、(b)におけるC部分の拡大図、(d)は内部の平面図である。

10

【図2】本発明の積層型電子部品の他の態様を示すもので、セラミック層の表面に形成された溝部が交差した形状であることを示す平面模式図である。

【図3】セラミックグリーンシートを形成するための塗工機用のロール部材の模式図であり、(a)は、ロール部材の表面が平行な斜線柄を有するもの、(b)は交差した斜線柄を有するものである。

【発明を実施するための形態】

【0010】

図1(a)は、本発明の積層型電子部品の一実施形態を示す外観斜視図であり、(b)は(a)のA-A線断面図であり、(c)は、(b)におけるC部分の拡大図、(d)は内部の平面図である。

20

【0011】

本発明の積層型電子部品の一例として、以下のように積層型のコンデンサを例にして説明する。

【0012】

本実施形態の積層型電子部品は、図1(a)に示すように、電子部品本体1の対向する両端部に外部電極3を有している。電子部品本体1は、図1(b)に示すように、セラミック層5と内部電極層7とが交互に複数層に亘って積層された構成となっている。内部電極層7は外部電極3側に延出されて外部電極3に接続されている。

【0013】

30

本実施形態の積層型電子部品では、図1(c)に示すように、セラミック層5が、その主面5aにおいて、斜め方向に互いに平行に配置された溝部9を有している。また、内部電極層7は、その一部が溝部9を埋めるように配置されている。

【0014】

これによりセラミック層5と内部電極層7との間の接合を強固にすることができるとともに、内部電極層7を介して配置されたセラミック層5同士の接合性をも高めることが可能となり、デラミネーションの発生を抑えることができる。

【0015】

通常、電子部品本体1にデラミネーションが発生する場合に、大きな力が作用する方向は、図1(c)に示すように、電子部品本体1(またはセラミック層5)の端面1aや側面1bに対して垂直な方向と考えられている。

40

【0016】

本実施形態の積層型電子部品では、セラミック層5の主面5aに形成された溝部9が矩形形状のセラミック層5の主面5a上において斜めの方向に並ぶように配置されていることから、溝部9とこれを埋めるように形成された内部電極層7とが強固に接着し、デラミネーションを発生させる方向に向かう力を止めるようにはたらくものと考えられる。

【0017】

セラミック層5の主面5a上に形成された溝部9がセラミック層5の主面5a上において斜めの方向に平行に並んでいる構造の場合には、溝部9の向いている方向が電子部品本体1(またはセラミック層5)の端面1aや側面1bに対して垂直な方向になる部分がほ

50

とんど無い。つまり、デラミネーションが発生しやすい方向（図1（d）において、1a（5A）の矢印の方向または1b（5B）の矢印の方向）に対して、溝部9の方向がいずれも角度 θ だけ違う方向を向いているためである。ここで、図1（d）においてセラミック層5内の破線は内部電極層7の領域を示すものであり、その破線近傍を含む外側の領域がセラミック層5の周縁部5Aに相当する。

【0018】

また、セラミック層5の主面5aに溝部9が形成されていると、内部電極層7がその溝部9に沿ったように重なることから、主面5aが平坦なセラミック層5上に形成される内部電極層7よりも溝部9の凹凸の分だけ内部電極層7の面積が大きくなり、これにより積層型電子部品の静電容量を高めることもできる。

10

【0019】

ここで、セラミック層5に溝部9が形成されている状態とは、セラミック層5の主面5aに光を当てて電子顕微鏡観察したときに、多数の平行な斜線が観察され、走査型電子顕微鏡によって電子部品本体1の断面を観察したときに、セラミック層5の主面5aに、0.1 μm 以上の段差のある溝部9が繰り返されている状態が観察される場合をいう。なお、本実施形態の積層型電子部品の場合、内部電極層7の主面を観察したときにも、セラミック層5の主面5aの形状を反映した模様が見える場合があり、これによってもセラミック層5の溝部9の有無を判断することができる。また、内部電極層7の一部が溝部9を埋めるという状態は、電子部品本体1を断面視したときに、内部電極層7の表面からその内部電極層7の一部が凸状に飛び出してセラミック層5の溝部9に入り込んでいる状態を言う。

20

【0020】

この場合、溝部9間のセラミック層5は山形状になっていることが望ましい。つまり、セラミック層5を断面視したときに、セラミック層5の主面5a側がのこぎり歯のような形状であるのが良い。セラミック層5の主面5aに形成された溝部9が近接して平坦な面を介さずにのこぎり歯のように凹凸が交互に並ぶように配置される形状であると、セラミック層5の主面5aに食い込む内部電極層7の面積比率が高まることから、両層間の結合がさらに強化され、デラミネーションの発生する割合をさらに低減することが可能になる。この場合、内部電極層7の面積がさらに広がることから、静電容量のさらなる向上が図れる。

30

【0021】

また、本実施形態の積層型電子部品では、溝部9がセラミック層5の周縁部5A間を渡るように形成されていることが望ましい。セラミック層5の主面5aに形成された溝部9がセラミック層5の対向する辺（長辺同士、短辺同士）および隣接する辺（長辺と短辺）を結ぶように周縁部5Aにも形成されていると、デラミネーションの起点となりやすい積層型電子部品1の表層部1a付近を強化することができ、これによりデラミネーションの低減とともに、表層部1aで起こりやすい欠けやクラックなども低減することが可能となる。

【0022】

図2は、本発明の積層型電子部品の他の態様を示すもので、セラミック層5の主面5aに形成された溝部9が交差した形状であることを示す平面模式図である。

40

【0023】

図2に示すように、本実施形態の積層型電子部品では、溝部9がセラミック層5の主面5a上で交差した形状を有していることが望ましい。セラミック層5の主面5aに形成された溝部9が交差するような形状であると、一つの方向に向いた溝部9aに対して平行な方向から力がはたいたときにも、交差した他方向に向いた溝部9bが溝部9aに平行な方向に向かう力に対してそれを止めるようにはたらくこととなり得る。これにより電子部品本体1はさらにデラミネーションに対して耐性が高くなり、セラミック層5および内部電極層7が薄層化された積層型電子部品により好適なものとなる。

【0024】

50

次に、本実施形態の積層型電子部品を製造する方法についてコンデンサを例にして説明する。図3は、セラミックグリーンシートを形成するための塗工機用のロール部材11の模式図であり、(a)はロール部材11の表面が平行な斜線柄を有するもの、(b)は交差した斜線柄を有するものである。

【0025】

まず、セラミック層5の材料として、誘電体粉末を準備し、これに有機ビヒクルを加えてセラミックスラリーを調製する。次に、調製したセラミックスラリーを、図3(a)に示すロール部材11を備えた塗工機によりセラミックグリーンシートを作製する。このとき、ロール部材11の表面には螺旋状の凹溝部13(図3では、螺旋状の線間が凹溝部13となる)が形成されており、この凹溝部13にセラミックスラリーを溜め、ロール部材11を有機フィルム上を回転させて移動させることにより、図1(d)に示した模様を有するセラミックグリーンシートが形成される。なお、図3(b)に示すロール部材を用いたときには、図2に示すような模様を有するセラミックグリーンシートが形成される。

10

【0026】

次に、セラミックグリーンシートの溝部を有する主面側に電極ペーストを印刷して矩形状の内部電極パターンの形成されたパターンシートを形成する。このとき、セラミックグリーンシートの溝部には電極ペーストの金属粉末が入り込んでいるものとなっている。

【0027】

次に、パターンシートを複数層重ねてコア積層体を形成し、次いで、このコア積層体の上下面に電極パターンを形成していないセラミックグリーンシートを所定の枚数だけ重ね、加圧加熱処理を行って電子部品本体1となる生の成形体を複数個有する母体積層体を形成する。

20

【0028】

次に、この母体積層体を切断することにより電子部品本体成形体にする。次に、作製した電子部品本体成形体を所定の条件にて焼成することにより電子部品本体1を作製する。次に焼成により得られた電子部品本体1の内部電極層7が露出した端面を含む端部に外部電極3を形成して積層型電子部品を完成させる。

【0029】

こうして得られた積層型電子部品は、セラミックグリーンシートを形成する際に、ロール部材11を用いて塗布膜を形成する方法を採用し、そのロール部材11として、その表面に斜めの方向に向くように形成された凹溝部13を有するものを用いているために、焼成後においてもセラミックグリーンシートの焼結体であるセラミック層5の主面5aには、成形時の溝形状が残り、こうして図1(d)に示すような表面形状を有するセラミック層5を備えた積層型電子部品を形成することができる。

30

【0030】

以上はコンデンサを例に説明したが、本発明はコンデンサに限らず、アクチュエータ、インダクタおよびフィルタなど、セラミック層5と内部電極層7とが多層に積層された他の積層型電子部品にも幅広く適用することができる。この場合、アクチュエータ、インダクタおよびフィルタなどを製造する場合には、それぞれに適用されるセラミック層5用の材料および内部電極層7の材料ならびに製造方法を適用することは言うまでもない。

40

【実施例】

【0031】

以下、具体的に積層型のコンデンサを作製して本発明の効果を確認した。まず、セラミック層用の誘電体粉末として、チタン酸バリウム粉末、MgO粉末、Y₂O₃粉末、MnCO₃粉末およびガラス粉末を混合したものを調製した。次いで、この誘電体粉末を直径5mmのジルコニアボールを用いて、溶媒としてトルエンとアルコールとからなる混合溶媒を添加し湿式混合した。

【0032】

次に、湿式混合した粉末を、ポリビニルブチラル樹脂を溶解させたトルエンおよびアルコールの混合溶媒中に投入し、直径5mmのジルコニアボールを用いて湿式混合してセ

50

ラミックスラリを調製し、図3(a)(b)に示したロール部材を供えた塗工機により厚みが約4 μ mのセラミックグリーンシートを作製した。このとき、溝部の間隔の異なる2種のロールを用いた。こうして得られたセラミックグリーンシートは、溝部がセラミックグリーンシートの周縁部間を渡すように形成されていた。

【0033】

次に、このセラミックグリーンシートの溝部の形成された表面にNi粉末を含む電極ペーストを印刷して電極パターンを有するパターンシートを形成した。こうして得られたパターンシートはセラミックグリーンシートの表面の溝部にNi粉末が入り込んでいる状態であった。

【0034】

次に、電極パターンを有するパターンシートを複数層重ね、次いで、この積層体の上下面にそれぞれ電極パターンを形成していないセラミックグリーンシートを重ね、加圧加熱処理を行って電子部品本体となる積層体を複数個有する母体積層体を形成した。この後、この母体積層体を、所定の寸法に切断して電子部品本体成形体を形成した。電子部品本体成形体における内部電極層の積層数は147層とした。

【0035】

次に、作製した電子部品本体成形体を大気中にて脱脂した後、水素-窒素の混合ガス雰囲気にて酸素分圧が 10^{-8} Paの条件にて焼成し、電子部品本体を作製した。最高温度は表1に示すように、1150~1210℃とした。最高温度での保持時間を2時間とした。作製した電子部品本体のサイズは1005型に相当するものであり、そのサイズはおおよそ、0.95mm×0.50mm×0.50mmであった。また、セラミック層の平均厚みは2.0 μ m、積層部の中央に位置する内部電極層の1層の平均厚みtは0.8 μ mであった。

【0036】

なお、電子部品本体から得られる静電容量の設計値（セラミック絶縁体層を挟んで内部電極層が上下で重なっている有効面積の領域に空隙が無い状態で発現する静電容量）は1.1 μ Fと見積もった。

【0037】

次に、作製した電子部品本体に窒素雰囲気中（酸素分圧： 10^{-6} Pa）、900~1000℃で5時間の熱処理を行った。

【0038】

次に、作製した電子部品本体にバレル研磨処理を行い、電子部品本体の端面に内部電極層を十分に露出させた。

【0039】

次に、バレル研磨した電子部品本体の端部に銅ペーストを塗布し、約800℃、酸素分圧を1 Pa、最高温度の保持時間を0.2時間とする条件で加熱して外部電極を形成した。

【0040】

次に、この外部電極の表面に、順に、電解めっき法によりNiメッキ膜およびSnメッキ膜を形成して積層型のコンデンサを作製した。

【0041】

次に、作製した積層型のコンデンサについて以下の評価を行った。

【0042】

セラミック層の主面における溝部の形成状態は、積層型電子部品をセラミック層の主面に平行になるように割って、露出させたセラミック層の表面に光を当てて顕微鏡観察することにより判定した。このとき、コンデンサの断面を走査型電子顕微鏡によって観察することにより溝部の深さと内部電極層の密着した状態を評価した。図3(a)(b)のロールを備えた塗工機により作製したセラミックグリーンシートを用いて作製したセラミック層には、いずれも深さが0.1 μ m以上となる溝部が形成されていた。また、内部電極層はその溝部の凹凸に沿って這うように密着した状態であることが観察された。

10

20

30

40

50

【0043】

静電容量は温度25℃、周波数1.0kHz、測定電圧を1Vrmsとして測定し、その平均値を求めた。試料数は各30個とした。

【0044】

デラミネーションの評価は、 $\Delta T = 300^\circ\text{C}$ （例えば、温度差が室温（25℃）に対して、はんだ槽の温度が325℃）および $\Delta T = 350^\circ\text{C}$ の条件ではんだ槽に1秒間浸漬した後の外観を観察して評価した。試料数は各100個とした。

【0045】

比較例として、ドクターブレード法により作製したセラミックグリーンシートを適用した積層型電子部品を上記と同様に作製し、評価した。この場合のセラミックグリーンシートは表面粗さ（Rmax）が0.05μm以下であった。

【0046】

【表1】

試料No.	塗工機	セラミック層断面の形状	静電容量 μF	耐熱衝撃試験後のデラミネーションの発生比率	
				$\Delta T = 300^\circ\text{C}$ 個/100個	$\Delta T = 350^\circ\text{C}$ 個/100個
1	ドクターブレード	平坦	0.97	5	18
2	図3(a)	溝部が約10μmの間隔	1.00	0	8
3	図3(a)	凹凸がのこぎり歯状	1.01	0	6
4	図3(b)	溝部が約10μmの間隔	1.03	0	5
5	図3(b)	凹凸がのこぎり歯状	1.04	0	3

【0047】

表1の結果から明らかなように、斜線柄を有するロールを備えた塗工機を用いて作製したセラミックグリーンシートを適用して形成したコンデンサの試料（試料No. 2～5は、いずれもドクターブレード成形したセラミックグリーンシートを用いて作製したコンデンサに比較して静電容量が高く、また、デラミネーションの発生個数も少ないものであった。

【0048】

溝部の凹凸の間隔を狭くして断面形状がのこぎり歯状である試料（試料No. 3、5）は、これよりも溝部の間隔の広い試料（試料No. 2、4）に比較して高容量であり、また、デラミネーションの発生個数が少なかった。

【0049】

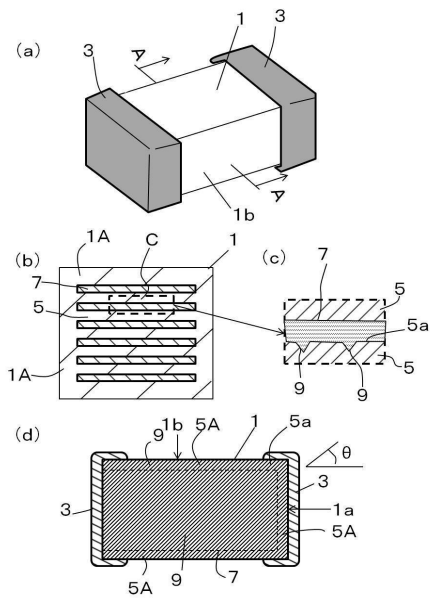
また、溝部を表面上で交差した形状とした試料（試料No. 4、5）は、溝部が斜め方向のみの試料（試料No. 2、3）に比較して、高容量であり、デラミネーションの発生個数が少なかった。

【符号の説明】

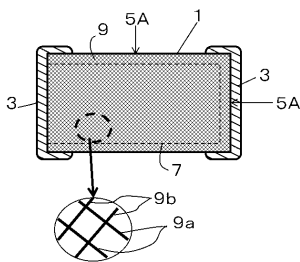
【0050】

- 1 電子部品本体
- 1 a （電子部品本体の）表層部
- 3 外部電極
- 5 セラミック層
- 5 a （セラミック層の）主面
- 5 A （セラミック層の）周縁部
- 7 内部電極層
- 9、9 a、9 b 溝部
- 11 ロール部材
- 13 凹溝部

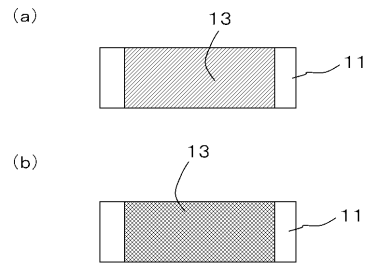
【図 1】



【図 2】



【図 3】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 G 4/30 3 1 1 Z

(58)調査した分野(Int.Cl., DB名)

H 0 1 G 4 / 1 2

H 0 1 G 4 / 2 3 2

H 0 1 G 4 / 3 0

H 0 1 F 1 7 / 0 0